

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 王程麒
	姓 名 (英文)	2. WANG, CHENG CHI
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 744台南縣台南科學工業園區新市鄉奇業路一號
	住居所 (英 文)	2. No. 1, Chi-Yeh Road, Shin-Shih Village, Tainan Science-Based Industrial Park, Tainan County, Taiwan
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

【發明所屬之技術領域】

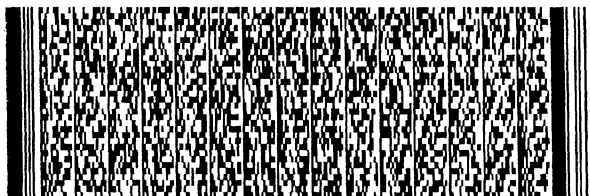
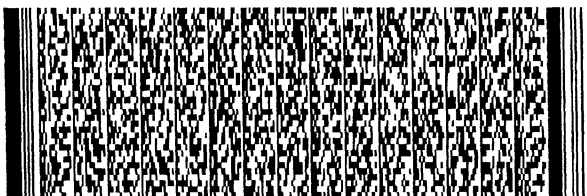
本發明係有關於一種薄膜電晶體，更特別係有關於一種薄膜電晶體，包含一特殊狀通道層及一外圍多晶矽層。

【先前技術】

輕薄及低耗電之液晶顯示器裝置係以薄膜電晶體作為驅動元件，確保其高對比及高反應之性能。該液晶顯示器裝置係可應用於個人電腦及攜帶式電視等，因此該薄膜電晶體之需求範圍已明顯擴大。

大部分之薄膜電晶體係以非晶矽 (amorphous silicon) 或多晶矽 (poly-silicon) 作為通道層之半導體。該非晶矽係由複數個不具有特定結晶方向之矽晶粒所組成的純矽物質。而該多晶矽係由複數個具有不同結晶方向之小單晶矽晶粒所組成的純矽物質，亦即該多晶矽係介於單晶矽與非晶矽之間的一種純矽。相較於非晶矽，多晶矽具有較多的電子遷移率 (mobility)。

非晶矽與多晶矽之矽層沉積係分為孕核、晶粒成長、晶粒聚集及沉積膜成長等步驟。更詳細而言，矽層的沉積係一連串原子的吸附，該吸附原子於薄膜表面上擴散，且於適當階梯或頸結位置下聚集，以漸漸形成薄膜，並成長集合。讓該吸附原子進行長晶、聚集，以至於成長之驅動力，則來自因成長而持續調降的整體表面自由能。該吸附原子於矽層表面所進行之擴散係受其表面溫度影響。該表面溫度越高，擴散能力越好，該吸附原子也更容易找到理想的位置進行聚結，且成長的晶粒尺寸也較大。因此，該



五、發明說明 (2)

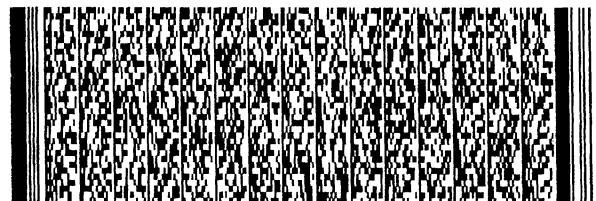
晶粒尺寸係與表面溫度成正相關。再者，晶粒尺寸越大，則具有越多的電子遷移率 (mobility)。

美國專利第 6,436,745 號，標題為 "半導體裝置之生產方法 (Method of Producing A Semiconductor Device)"，於此併入本文參考，揭示一種半導體裝置之生產方法，包含下列步驟：結晶成一非晶體矽層或一部分結晶之非晶體矽層，並藉由催化金屬元素提昇矽之結晶現象，以形成一具有結晶狀之第一矽層；形成一第二矽層於該第一矽層之整個表面上，該第二矽層包含 V 族元素；將該第一矽層及第二矽層進行熱處理，藉此將部分之催化金屬元素自該第一矽層吸至該第二矽層；以及移除已吸取該催化金屬元素之該第二矽層。然而，該專利係使用非晶矽作為半導體，其電子遷移率 (mobility) 較少。

先前技術業已使用多晶矽作為半導體層。該多晶矽層 10 通常係藉由電漿化學氣相沉積 (plasma chemical vapor deposition) 製程沉積於一基板 12 上，藉由微影蝕刻製程將該多晶矽層圖案化，然後藉由雷射退火 (laser anneal) 製程而結晶成為多晶矽層之通道層 14。然而，如第 1a 及 1b 圖所示，於雷射退火製程後，由於多晶矽層之形狀通常係為矩形狀，整個表面溫度係均勻下降且不易被保留，因此該多晶矽之晶粒不易成長為大尺寸之晶粒。

因此，便有需要提供一種薄膜電晶體，能夠具有大晶粒尺寸與較高的電子遷移率。

【發明內容】

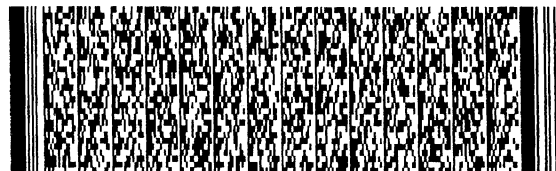
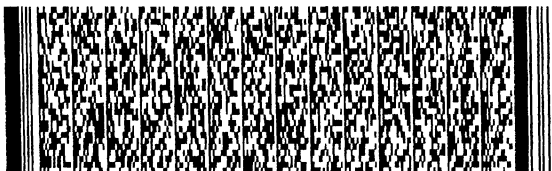


五、發明說明 (3)

本發明之一目的在於提供一種薄膜電晶體，包含一特殊狀通道層及至少一外圍多晶矽層，該特殊狀通道層能夠具有大晶粒尺寸與較高的電子遷移率 (mobility)。

為達上述目的，本發明提供一特殊狀通道層及至少一外圍多晶矽層，其中外圍多晶矽層與特殊狀通道層間有一距離。此特殊狀通道層具有一寬部及一窄部之特別外形如三角形、扇形、梯形、淚滴狀、皇冠狀等，此一外圍多晶矽層，亦具有一寬部及一窄部之特別外形，以該外圍多晶矽層之窄部對應於該特殊狀通道層之窄部，以該外圍多晶矽層之寬部對應於特殊狀通道層之寬部，如此使得該特殊狀通道層具有大晶粒尺寸進而提高電子遷移率 (mobility)。

本發明另提供一種薄膜電晶體，其包含一特殊狀通道層及至少一外圍多晶矽層、一閘極絕緣膜、一閘極 (gate electrode)、一層間絕緣膜、一源極 (source electrode) 及一汲極 (drain electrode)。該特殊狀通道層及該外圍多晶矽層係形成於一基板上。該特殊狀通道層具有一寬部及一窄部，且該外圍多晶矽層包圍該特殊狀通道層。該閘極絕緣膜係形成於該基板上，並覆蓋該特殊狀通道層及該外圍多晶矽層。該閘極 (gate electrode) 係形成於該閘極絕緣層上。該層間絕緣膜 (interlayer insulating film) 係形成於該閘極絕緣膜上且覆蓋該閘極。該源極 (source electrode) 及該汲極 (drain electrode) 係形成於該層間絕緣膜上，貫穿該閘極絕緣層及該層間絕緣膜，並電性連接於該特殊狀通道層。



五、發明說明 (4)

本發明另提供一種薄膜電晶體之製造方法，包含下列步驟：形成一通道層之矽層於一基板上；圖案化該通道層，以形成一特殊狀通道層及至少一外圍多晶矽層，其中該特殊狀通道層具有一寬部及一窄部，且該外圍多晶矽層係包圍該特殊狀通道層，並具有一寬部及一窄部分別對應於該特殊狀通道層之該寬部及該窄部；退火該特殊狀通道層及該外圍多晶矽層；形成一閘極絕緣膜於該基板上，並覆蓋該特殊狀通道層及該外圍多晶矽層；形成一閘極於該閘極絕緣層上；植入 p 離子及 n 離子中之一者於該特殊狀通道層中，以形成一源極區域、一中間區域與一汲極區域；形成一層間絕緣膜於該閘極絕緣膜上，並覆蓋該閘極；形成兩接觸孔，其貫穿該閘極絕緣層及該層間絕緣膜，並裸露該源極區域及該汲極區域；以及形成一源極及一汲極於該層間絕緣膜上，並填滿該兩接觸孔內。

相較於先前技術，根據本發明之薄膜電晶體之製造方法，利用較少之雷射能量而形成大晶粒尺寸之多晶矽層。再者，本發明之薄膜電晶體，其特殊狀通道層具有大晶粒尺寸，因此具有較高的電子遷移率 (mobility)。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文特舉本發明之實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

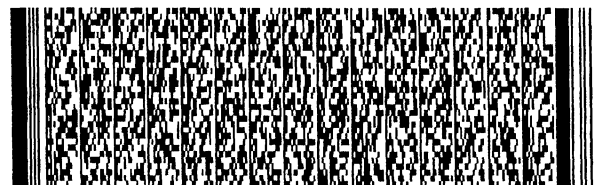
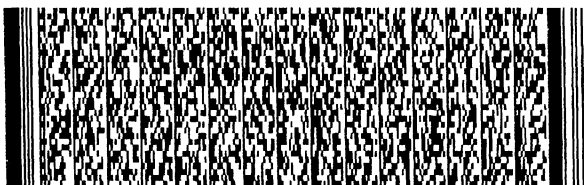
參考第 2a 及 2b 圖，其顯示根據本發明之一實施例之薄膜電晶體 100。該薄膜電晶體係應用於一基板 112 上，諸如液



五、發明說明 (5)

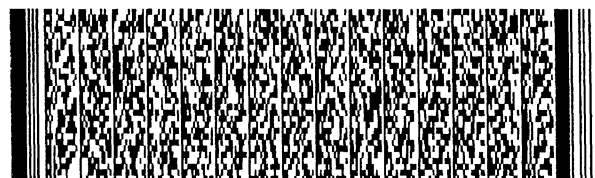
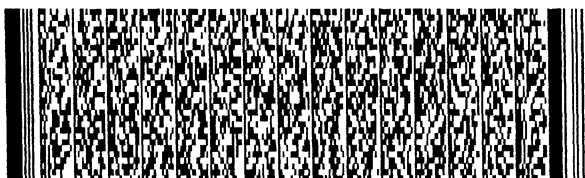
晶顯示裝置之一薄膜電晶體基板。該薄膜電晶體 100 包含一特殊狀通道層 114 形成於該基板 112 上及一外圍多晶矽層 116 形成於該基板 112 上。該特殊狀通道層 114 包含一源極區域 132、一中間區域 134 與一汲極區域 136，並具有一寬部 131 及一窄部 133，亦即該特殊狀通道層 114 之形狀係可為淚滴形狀、三角形狀、扇形狀、梯形狀等形狀。該外圍多晶矽層 116 包圍該特殊狀通道層 114，並與該特殊狀通道層 114 之間界定一間隙 135。一閘極絕緣膜 120 係形成於該基板 112 上，並覆蓋該特殊狀通道層 114 及該外圍多晶矽層 116。一閘極 (gate electrode) 124 係形成於該閘極絕緣層 120 上。一第一層間絕緣膜 (interlayer insulating film) 140 係形成於該閘極絕緣膜 120 上且覆蓋該閘極 124。一源極 (source electrode) 152 及一汲極 (drain electrode) 154 係形成於該第一層間絕緣膜 140 上，貫穿該閘極絕緣層 120 及該第一層間絕緣膜 140，並分別電性連接於該源極區域 132 及該汲極區域 136。本發明非僅限於一個外圍多晶矽層 116，亦可使用複數個外圍多晶矽層 116。而本實施例之製造方法如下列之第 3 圖至第 8 圖。

參考第 3 圖，於高反應溫度下，諸如介於 575°C 至 650°C 之間，一通道層，諸如多晶矽層 110 係藉由電漿化學氣相沉積 (plasma chemical vapor deposition) 製程沉積於一基板 112 上。該電漿化學氣相沉積製程係利用電漿將參與化學氣相沉積反應之氣體分子加以解離成原子、離子或原子團。



五、發明說明 (6)

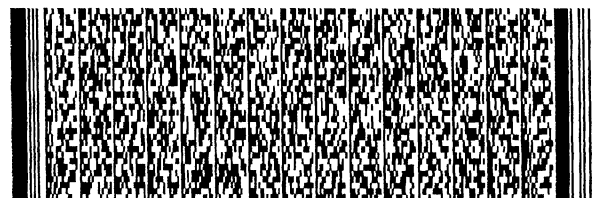
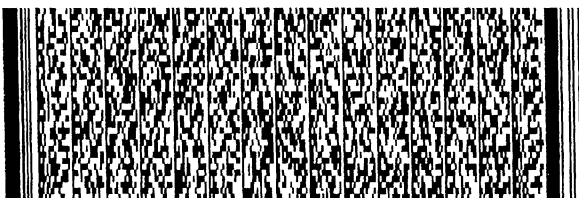
參考第 4a 圖，該多晶矽層 110 係藉由微影蝕刻製程而圖案化，以形成一特殊狀通道層 114 及一外圍多晶矽層 116。該特殊狀通道層 114 具有一寬部 115 及一窄部 117，亦即該特殊狀通道層 114 之形狀係可為淚滴形狀（如第 4b 圖所示）、三角形狀（如第 4c 圖所示）、扇形狀（如第 4d 圖所示）、梯形狀（如第 4e 圖所示）等形狀，而本實施例僅以淚滴形狀作為實施說明。再參考第 4b 圖，該外圍多晶矽層 116 包圍該特殊狀通道層 114，並具有一寬部 119 及一窄部 121 分別對應於該特殊狀通道層之該寬部 115 及該窄部 117。亦即，該特殊狀通道層 114 及該外圍多晶矽層 116 係互相獨立，並非連接在一起。該外圍多晶矽層 116 之該寬部 119 及該窄部 121 分別與該特殊狀通道層 114 之該寬部 115 及該窄部 117 之間界定一第一間隙 126 及第二間隙 128，且該第一間隙 126 係小於該第二間隙 128，用以使該第一間隙 126 之散熱小於該第二間隙 128 之散熱。與第 1b 圖比較，對特殊狀通道層 114 而言，使得該特殊狀通道層 114 之尖端與該特殊狀通道層之該寬部 115 之溫度梯度 (thermal gradient) 較先前技術第 1b 圖大，如此，使得該特殊狀通道層尖端易成為一孕核點，且晶粒成長時由該特殊狀通道層 114 之尖端往該特殊狀通道層之該寬部 115 擴散如此晶粒則可長大甚至可形成一單晶 (single crystal)，如此，可提高電子遷移率。相較於先前技術第 1b 圖，其孕核點於四周均可能發生，如此則孕核點多，晶粒小且多，則無法得到較大之晶粒；同時晶界 (grain boundary) 多，則電子在



五、發明說明 (7)

遷移的過程障礙多，所以，於相同面積下，無法提高電子遷移率。如第 4f 圖所示，本發明非僅限於一個外圍多晶矽層 116，亦可使用複數個外圍多晶矽層 116、116'，且該外圍多晶矽層 116' 包圍該外圍多晶矽層 116，如此可增加熱庫之效果即該特殊狀通道層 114 之尖端與該特殊狀通道層 114 之該寬部 115 之溫度梯度 (thermal gradient) 增加，如此有助於得到較大之晶粒，甚至單晶。

參考第 5a 及 5b 圖，該特殊狀通道層 114 及該外圍多晶矽層 116 係藉由雷射退火 (laser anneal) 製程而退火。該退火製程所施加之能量將增加晶格原子及缺陷在矽層內之振動及擴散，使原子的排列得以重整，因此矽層係可藉由缺陷的消失而進行再結晶，甚至成為單晶的晶體。更詳細而言，於雷射退火製程後，該外圍多晶矽層 116 係形成一熱庫，其包圍該特殊狀通道層 114 且保留該特殊狀通道層 114 的熱量，因此該特殊狀通道層 114 之尖端處 118 的熱梯度 (thermal gradient) 較先前技術第 1b 圖大。由於該特殊狀通道層寬部 115 表面溫度較高，則該特殊狀通道層 114 之長晶方向將由其窄部 117 之尖端處 118 往尖端處 118 之相對另一邊 (亦即寬部 115 之方向) 成長。如此可使得成長的晶粒尺寸也越大，甚至該特殊狀通道層 114 可形成一單晶矽層 (single-crystal silicon)。再者，參考第 5c 圖，該外圍多晶矽層 116 之該窄部 121 亦可具有鋸齒狀 127，用以加強散熱。另外，由於該特殊狀通道層 114 只具有單一窄部 117，因此該窄部之尖端處只能產生單一孕核點 (晶粒成長



五、發明說明 (8)

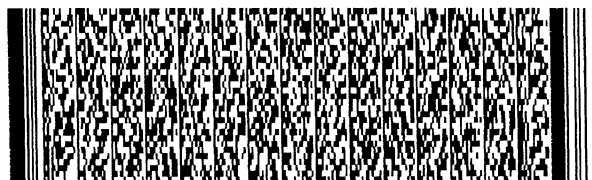
起始點)。熟習此技藝者可知，該特殊狀通道層 114 亦可具有複數個窄部 117a、117b 及 117c 及一寬部 115，亦即該特殊狀通道層 114 係可為皇冠形狀，用以產生複數個孕核點，而此時複數個外圍多晶矽層 116a、116b 及 116c 包圍該特殊狀通道層 114，前述結構如第 5d 圖所示。相較於先前技術，根據本發明之薄膜電晶體之製造方法，利用較少之雷射能量而形成大晶粒尺寸之多晶矽層。

參考第 6 圖，一閘極絕緣膜 120 係形成於該基板 112 上，並覆蓋該特殊狀通道層 114 及該外圍多晶矽層 116。一第一金屬薄膜 122 係形成於該閘極絕緣層 120 上，然後藉由微影蝕刻製程而圖案化該第一金屬薄膜 122，以形成一閘極 124。

參考第 7 圖，該特殊狀通道層 114 藉由離子植入製程而植入 p 離子或 n 離子，以形成一源極區域 (source region) 132、一中間區域 134 與一汲極區域 (drain region) 136。

參考第 8 圖，一第一層間絕緣膜 (interlayer insulating film) 140 係形成於該閘極絕緣膜 120 上，並覆蓋該閘極 124。然後，兩接觸孔 142、144 係藉由微影蝕刻製程而形成於該閘極絕緣層 120 及該第一層間絕緣膜 140 中，並裸露出部分之該源極區域 132 及該汲極區域 136。

一第二金屬薄膜 150 係形成於該第一層間絕緣膜 140 上且填滿該兩接觸孔 142、144，然後藉由微影蝕刻製程而圖案化該第二金屬薄膜 150，以形成一源極 152 及一汲極 154 於



五、發明說明 (9)

該兩接觸孔內，進而形成本發明之薄膜電晶體 100，如第 2a 圖所示。

根據本發明之薄膜電晶體 100，其特殊狀通道層 114 具有大晶粒尺寸之多晶矽層的通道層甚至單晶矽，因此具有較高的電子遷移率 (mobility)。

另外，參考第 9 圖，其顯示根據本發明之一實施例之薄膜電晶體基板 200。根據前文所述，一第二層間絕緣膜 160 係形成於複數個本發明之薄膜電晶體 100 的該第一層間絕緣膜 140 上且覆蓋該源極 152 及該汲極 154。然後，一接觸孔 162 係藉由微影蝕刻製程而形成於該第二層間絕緣膜 160 中。一透明導電薄膜 164 係形成於該第二層間絕緣膜 160 上且沈積於該接觸孔 162，然後藉由微影蝕刻製程而圖案化該透明導電薄膜 164 以形成一畫素電極 166，並分別電性連接於對應之該薄膜電晶體 100，如此以形成本發明之薄膜電晶體基板 200。

雖然本發明已以前述實施例揭示，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第 1a圖為先前技術之薄膜電晶體之多晶矽層之剖面示意圖。

第 1b圖為先前技術之薄膜電晶體之多晶矽層之平面示意圖。

第 2a圖為根據本發明之一實施例之薄膜電晶體之剖面示意圖。

第 2b圖為根據本發明之一實施例之薄膜電晶體之平面示意圖。

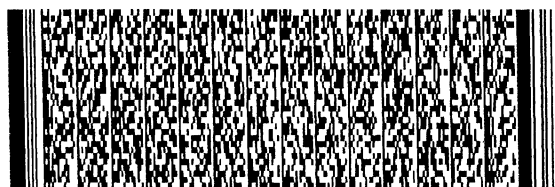
第 3圖、4a至 4f、5a至 5d為根據本發明之一實施例之薄膜電晶體之通道層製造方法之剖面及平面示意圖。

第 6、7及 8圖為根據本發明之一實施例之薄膜電晶體之製造方法之剖面及平面示意圖。

第 9圖為根據本發明之一實施例之薄膜電晶體基板之剖面示意圖。

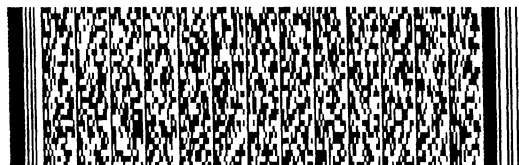
圖號說明：

10	多晶矽層	12	基板
14	通道層		
100	薄膜電晶體	110	多晶矽層
112	基板	114	特殊狀通道層
115	寬部	116	外圍多晶矽層
116'	外圍多晶矽層		
117	窄部	118	尖端處



圖式簡單說明

119	寬部	120	閘極絕緣膜
121	窄部	122	第一金屬薄膜
124	閘極	126	第一間隙
127	鋸齒狀	128	第二間隙
131	寬部	132	源極區域
133	窄部	134	中間區域
135	間隙	136	汲極區域
140	第一層間絕緣膜		
142	接觸孔	144	接觸孔
150	第二金屬薄膜	152	源極
154	汲極	160	第二層間絕緣膜
162	接觸孔	164	透明導電薄膜
166	畫素電極	200	薄膜電晶體基板



四、中文發明摘要 (發明名稱：薄膜電晶體及薄膜電晶體基板及其製造方法)

124	閘極	114	特殊狀通道層
132	源極區域	134	中間區域
136	汲極區域	140	第一層間絕緣膜
152	源極	154	汲極

六、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR, THIN FILM TRANSISTOR SUBSTRATE, AND METHODS FOR MANUFACTURING THE SAME)

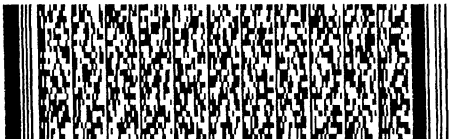
gate insulating film is formed on the substrate and the tear-shaped channel layer is covered with the gate insulating film. The gate electrode is formed on the gate insulating film. The interlayer insulating film is formed on the gate insulating film and the gate electrode is covered with the interlayer insulating film. The source electrode and the drain electrode are formed on



四、中文發明摘要 (發明名稱：薄膜電晶體及薄膜電晶體基板及其製造方法)

六、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR, THIN FILM TRANSISTOR SUBSTRATE, AND METHODS FOR MANUFACTURING THE SAME)

the interlayer insulating film, passed through the gate insulating film and the interlayer insulating film, and electrically connected to the tear-shaped channel layer.



六、申請專利範圍

1、一種薄膜電晶體，配置於一基板上，包含：

一特殊狀通道層，形成於該基板上，並具有一寬部及至少一窄部；

至少一外圍多晶矽層，形成於該基板上，包圍該特殊狀通道層；

一閘極絕緣膜，形成於該基板上，並覆蓋該特殊狀通道層；

一閘極 (gate electrode)，形成於該閘極絕緣層上；

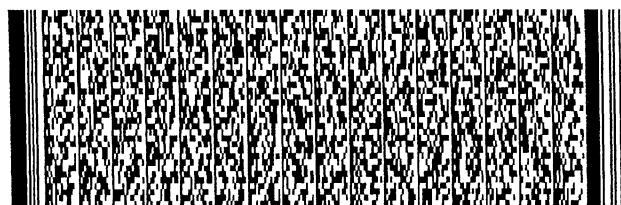
一層間絕緣膜 (interlayer insulating film)，形成於該閘極絕緣膜上且覆蓋該閘極；以及

一源極 (source electrode) 及一汲極 (drain electrode)，形成於該層間絕緣膜上，貫穿該閘極絕緣層及該層間絕緣膜，並電性連接於該特殊狀通道層。

2、依申請專利範圍第 1 項之薄膜電晶體，其中該外圍多晶矽層與該特殊狀通道層之間界定一間隙。

3、依申請專利範圍第 1 項之薄膜電晶體，其中該特殊狀通道層係為多晶矽 (poly-silicon) 或單晶矽 (single-silicon)。

4 依申請專利範圍第 1 項之薄膜電晶體，其中該特殊狀通道層之形狀係為淚滴形狀。



六、申請專利範圍

5、依申請專利範圍第1項之薄膜電晶體，其中該特殊狀通道層之形狀係為三角形狀。

6、依申請專利範圍第1項之薄膜電晶體，其中該特殊狀通道層之形狀係為扇形狀。

7、依申請專利範圍第1項之薄膜電晶體，其中該特殊狀通道層之形狀係為梯形狀。

8、依申請專利範圍第1項之薄膜電晶體，其中該特殊狀通道層之形狀係為皇冠形狀。

9、依申請專利範圍第1項之薄膜電晶體，其中該外圍多晶矽層具有一寬部及一窄部分別對應於該特殊狀通道層之該寬部及該窄部。

10、依申請專利範圍第9項之薄膜電晶體，其中該外圍多晶矽層之該寬部及該窄部分別與該特殊狀通道層之該寬部及該窄部之間界定一第一及第二間隙，且該第一間隙係小於該第二間隙。

11、依申請專利範圍第1項之薄膜電晶體，其中該特殊狀通道層具有一源極區域、中間區域及一汲極區域，且該源極區域及該汲極區域分別電性連接於該源極及該汲極。



六、申請專利範圍

12、依申請專利範圍第1項之薄膜電晶體，其中該特殊狀通道層之該窄部具有鋸齒狀。

13、一種薄膜電晶體之製造方法，包含下列步驟：

形成一通道層於一基板上；

圖案化該通道層，以形成一特殊狀通道層及至少一外圍多晶矽層，其中該特殊狀通道層具有一寬部及一窄部，且該外圍多晶矽層係包圍該特殊狀通道層，並具有一寬部及一窄部分別對應於該特殊狀通道層之該寬部及該窄部；

退火該特殊狀通道層及該外圍多晶矽層；

形成一閘極絕緣膜於該基板上，並覆蓋該特殊狀通道層及該外圍多晶矽層；

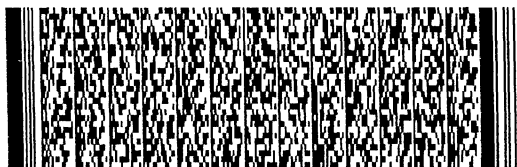
形成一閘極於該閘極絕緣層上；

植入p離子及n離子中之一者於該特殊狀通道層中，以形成一源極區域、一中間區域與一汲極區域；

形成一層間絕緣膜於該閘極絕緣膜上，並覆蓋該閘極；形成兩接觸孔，其貫穿該閘極絕緣層及該層間絕緣膜，並裸露該源極區域及該汲極區域；以及

形成一源極及一汲極於該層間絕緣膜上，並填滿該兩接觸孔內。

14、依申請專利範圍第13項之薄膜電晶體之製造方法，其中該通道層係藉由電漿化學氣相沉積製程沉積於該基板



六、申請專利範圍
上。

15、依申請專利範圍第13項之薄膜電晶體之製造方法，其中該特殊狀通道層及該外圍多晶矽層係藉由微影蝕刻製程而形成。

16、依申請專利範圍第13項之薄膜電晶體之製造方法，其中該特殊狀通道層係為多晶矽 (poly-silicon) 或單晶矽 (single-silicon)。

17、依申請專利範圍第13項之薄膜電晶體之製造方法，其中該特殊狀通道層之該窄部具有一尖端處，且該特殊狀通道層之長晶方向將由該尖端處往尖端處之相對另一邊成長。

18、一種薄膜電晶體基板，包含：

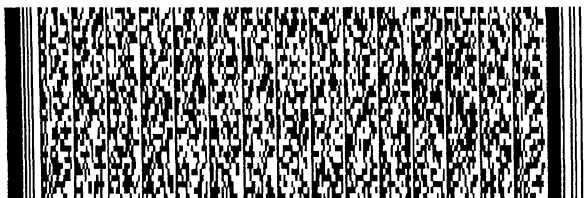
一基板；

一特殊狀通道層，形成於該基板上，並具有一寬部及至少一窄部；

至少一外圍多晶矽層，形成於該基板上，包圍該特殊狀通道層；

一閘極絕緣膜，係形成於該基板上，並覆蓋該特殊狀通道層；

一閘極 (gate electrode)，形成於該閘極絕緣層上；



六、申請專利範圍

一 第一層間絕緣膜 (interlayer insulating film)，形成於該閘極絕緣膜上且覆蓋該閘極；

一 源極 (source electrode) 及一汲極 (drain electrode)，形成於該層間絕緣膜上，貫穿該閘極絕緣層及該第一層間絕緣膜，並電性連接於該特殊狀通道層；

一 第二層間絕緣膜，形成於該閘極絕緣層上且覆蓋該源極及該汲極；

一 接觸孔，形成於該第二層間絕緣膜中；以及

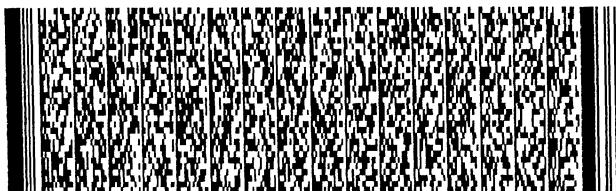
一 畫素電極，形成於該第二層間絕緣層上且沈積於該接觸孔。

19、依申請專利範圍第 18 項之薄膜電晶體基板，其中該特殊狀通道層係為多晶矽 (poly-silicon) 或單晶矽 (single-silicon)。

20、依申請專利範圍第 18 項之薄膜電晶體基板，其中該外圍多晶矽層與該特殊狀通道層之間界定一間隙。

21、依申請專利範圍第 18 項之薄膜電晶體基板，其中該特殊狀通道層之形狀係為淚滴形狀。

22、依申請專利範圍第 18 項之薄膜電晶體基板，其中該特殊狀通道層之形狀係為三角形狀。



六、申請專利範圍

23、依申請專利範圍第18項之薄膜電晶體基板，其中該特殊狀通道層之形狀係為扇形狀。

24、依申請專利範圍第18項之薄膜電晶體基板，其中該特殊狀通道層之形狀係為梯形狀。

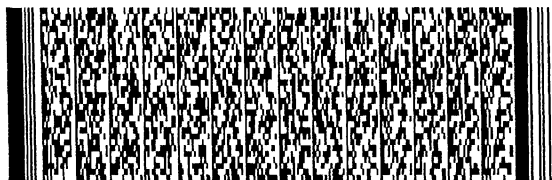
25、依申請專利範圍第18項之薄膜電晶體基板，其中該特殊狀通道層之形狀係為皇冠形狀。

26、依申請專利範圍第18項之薄膜電晶體基板，其中該外圍多晶矽層具有一寬部及一窄部分別對應於該特殊狀通道層之該寬部及該窄部。

27、依申請專利範圍第26項之薄膜電晶體基板，其中該外圍多晶矽層之該寬部及該窄部分別與該特殊狀通道層之該寬部及該窄部之間界定一第一及第二間隙，且該第一間隙係小於該第二間隙。

28、依申請專利範圍第18項之薄膜電晶體基板，其中該特殊狀通道層具有一源極區域、中間區域及一汲極區域，且該源極區域及該汲極區域分別電性連接於該源極及該汲極。

29、依申請專利範圍第18項之薄膜電晶體基板，其中該特



六、申請專利範圍

殊狀通道層之該窄部具有鋸齒狀。

30、一種薄膜電晶體基板之製造方法，包含下列步驟：

形成一通道層於一基板上；

圖案化該通道層，以形成一特殊狀通道層及至少一外圍多晶矽層，其中該特殊狀通道層具有一寬部及一窄部，且該外圍多晶矽層係包圍該特殊狀通道層，並具有一寬部及一窄部分別對應於該特殊狀通道層之該寬部及該窄部；

退火該特殊狀通道層及該外圍多晶矽層；

形成一閘極絕緣膜於該基板上，並覆蓋該特殊狀通道層及該外圍多晶矽層；

形成一閘極於該閘極絕緣層上；

植入 p 離子及 n 離子中之一者於該特殊狀通道層中，以形成一源極區域、一中間區域與一汲極區域；

形成一第一層間絕緣膜於該閘極絕緣膜上，並覆蓋該閘極；

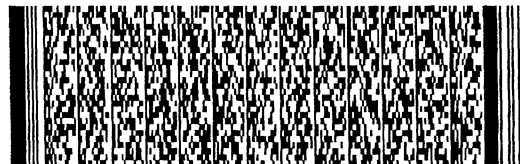
形成兩接觸孔，其貫穿該閘極絕緣層及該第一層間絕緣膜，並裸露該源極區域及該汲極區域；以及

形成一源極及一汲極於該第一層間絕緣膜上，並填滿該兩接觸孔內；

形成一第二層間絕緣膜於該第一層間絕緣膜上，並覆蓋該源極及該汲極；

形成一接觸孔於該第二層間絕緣膜中；以及

形成一畫素電極於該第二層間絕緣膜上，並沈積於該接



六、申請專利範圍
觸孔。

31、依申請專利範圍第30項之薄膜電晶體基板之製造方法，其中該通道層係藉由電漿化學氣相沉積製程沉積於該基板上。

32、依申請專利範圍第30項之薄膜電晶體基板之製造方法，其中該特殊狀通道層及該外圍多晶矽層係藉由微影蝕刻製程而形成。

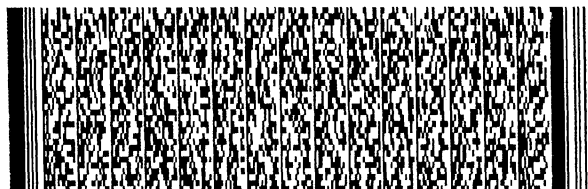
33、依申請專利範圍第30項之薄膜電晶體基板之製造方法，其中該特殊狀通道層係為多晶矽 (poly-silicon) 或單晶矽 (single-silicon)。

34、依申請專利範圍第30項之薄膜電晶體基板之製造方法，其中該特殊狀通道層之該窄部具有一尖端處，且該特殊狀通道層之長晶方向將由該尖端處往尖端處之相對另一邊成長。

35、一種薄膜電晶體，配置於一基板上，包含：

一特殊狀通道層，形成於該基板上，並具有一寬部及至少一窄部；

至少一外圍多晶矽層，形成於該基板上，包圍該特殊狀通道層；



六、申請專利範圍

一 閘極，位於該特殊狀通道層之上；以及
一 源極及一汲極，位於該閘極之上，並電性連接於該特殊狀通道層。

36、依申請專利範圍第35項之薄膜電晶體，其中該外圍多晶矽層與該特殊狀通道層之間界定一間隙。

37、依申請專利範圍第35項之薄膜電晶體，其中該特殊狀通道層係為多晶矽 (poly-silicon) 或單晶矽 (single-silicon)。

38、依申請專利範圍第35項之薄膜電晶體，其中該特殊狀通道層之形狀係為淚滴形狀。

39、依申請專利範圍第35項之薄膜電晶體，其中該特殊狀通道層之形狀係為三角形狀。

40、依申請專利範圍第35項之薄膜電晶體，其中該特殊狀通道層之形狀係為扇形狀。

41、依申請專利範圍第35項之薄膜電晶體，其中該特殊狀通道層之形狀係為梯形狀。

42、依申請專利範圍第35項之薄膜電晶體，其中該特殊狀



六、申請專利範圍

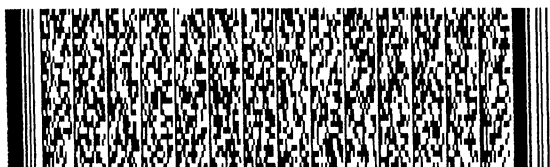
通道層之形狀係為皇冠形狀。

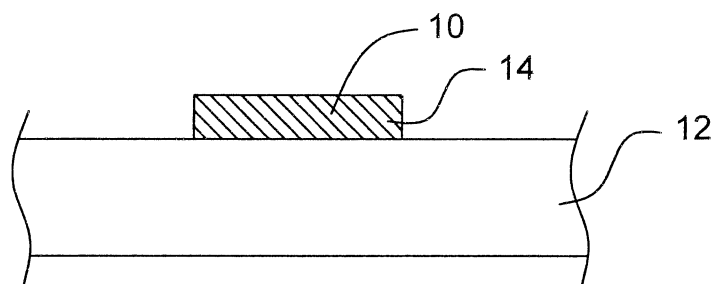
43、依申請專利範圍第35項之薄膜電晶體，其中該外圍多晶矽層具有一寬部及一窄部分別對應於該特殊狀通道層之該寬部及該窄部。

44、依申請專利範圍第43項之薄膜電晶體，其中該外圍多晶矽層之該寬部及該窄部分別與該特殊狀通道層之該寬部及該窄部之間界定一第一及第二間隙，且該第一間隙係小於該第二間隙。

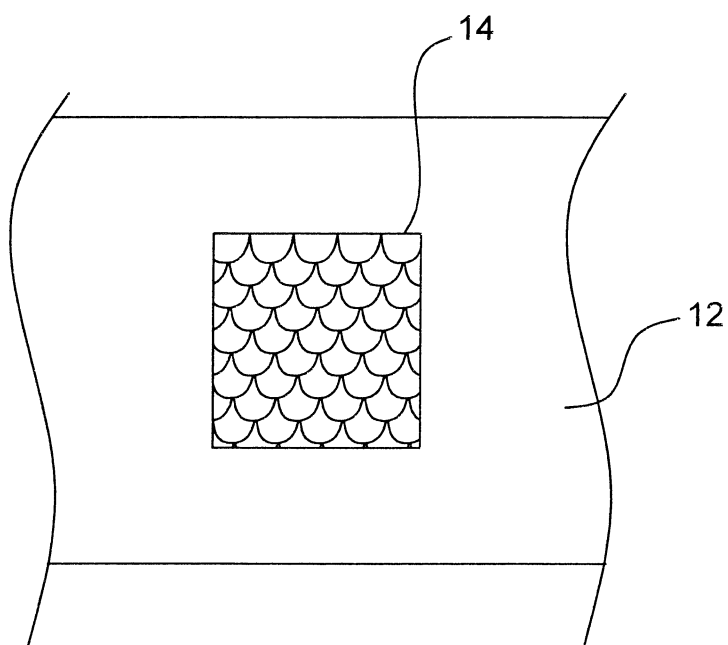
45、依申請專利範圍第35項之薄膜電晶體，其中該特殊狀通道層之該窄部具有鋸齒狀。

46、依申請專利範圍第35項之薄膜電晶體，其中該薄膜電晶體係應用於一液晶顯示裝置之薄膜電晶體基板上。

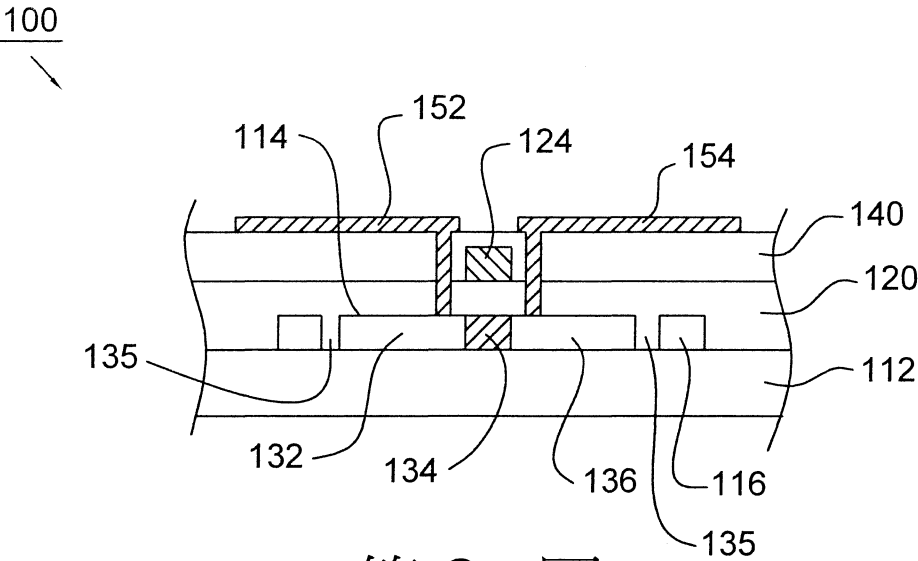




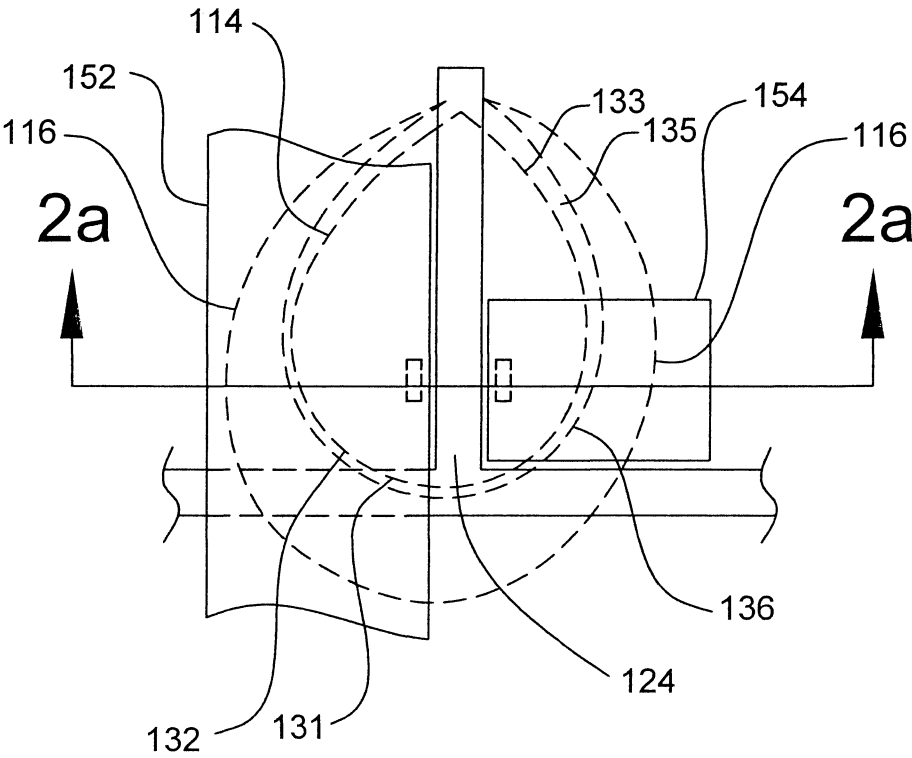
第 1a 圖 (先前技術)



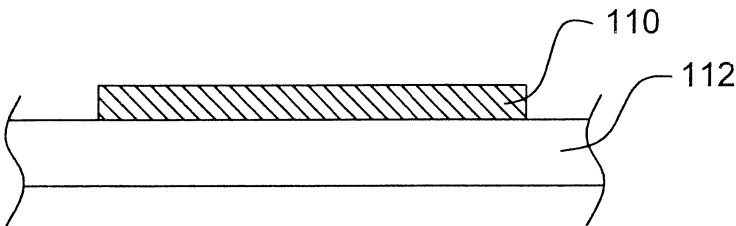
第 1b 圖 (先前技術)



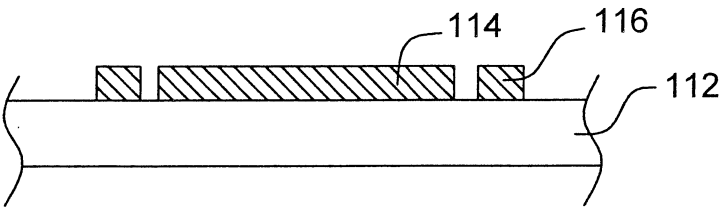
第 2a 圖



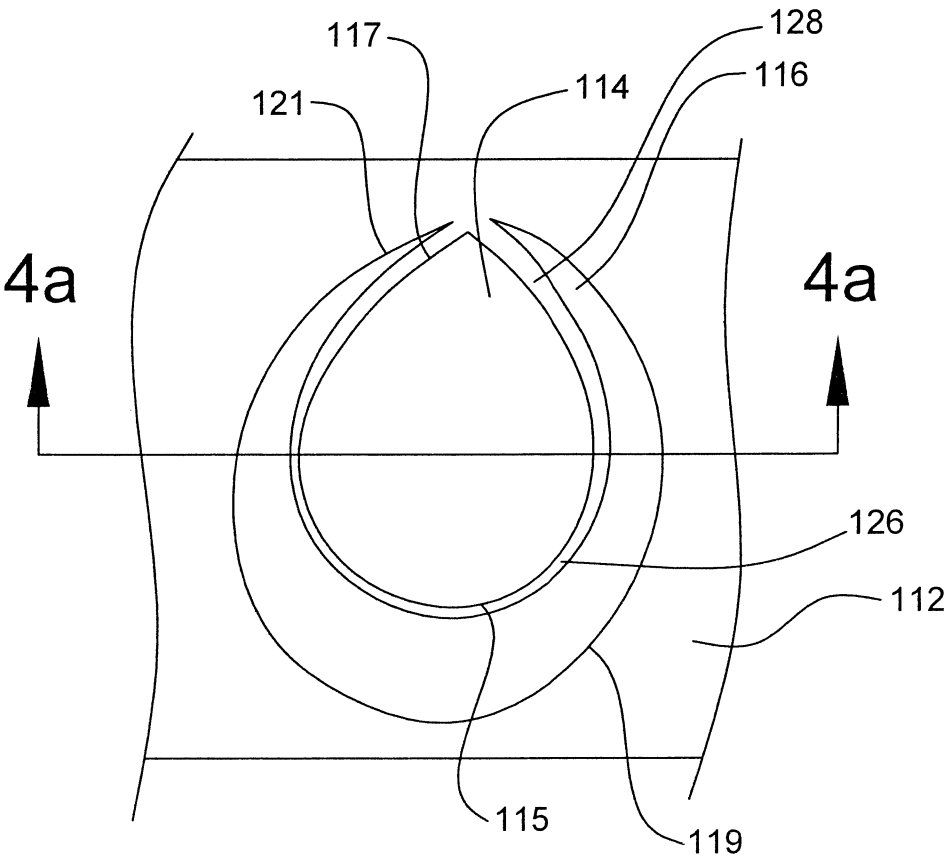
第 2b 圖



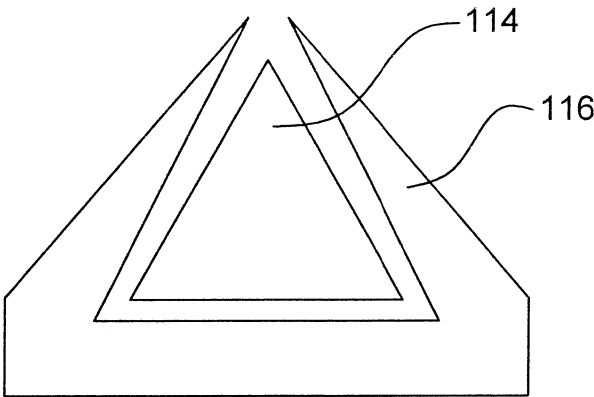
第 3 圖



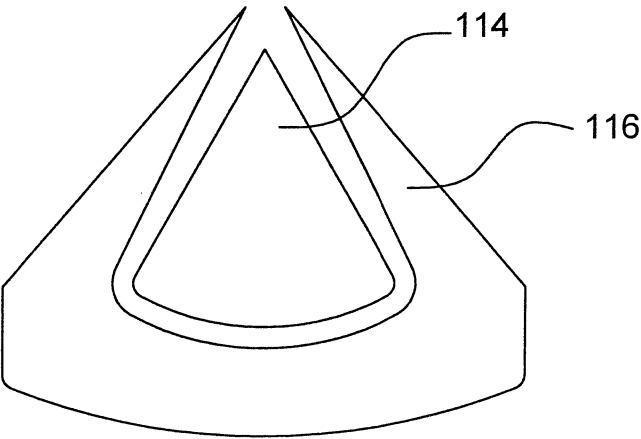
第 4a 圖



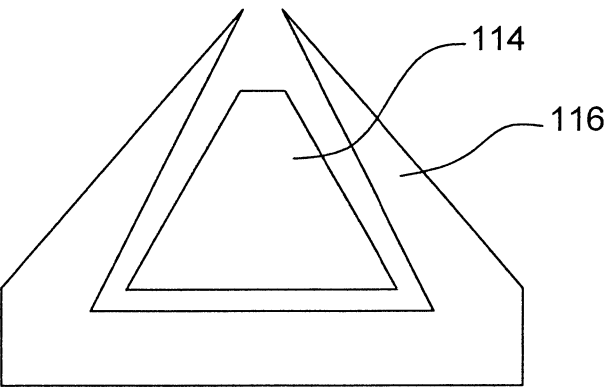
第 4b 圖



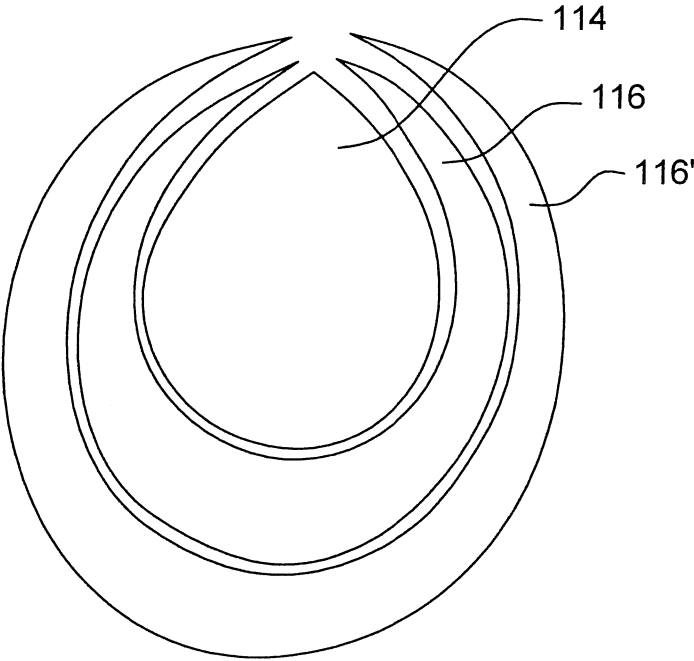
第 4c 圖



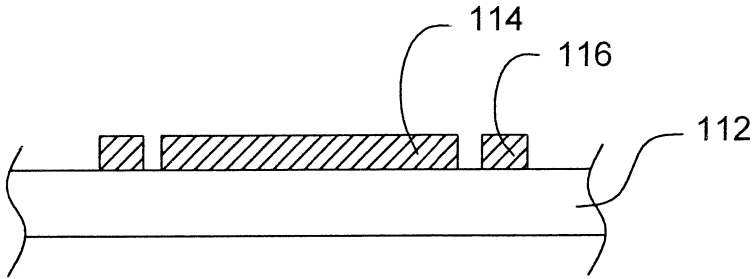
第 4d 圖



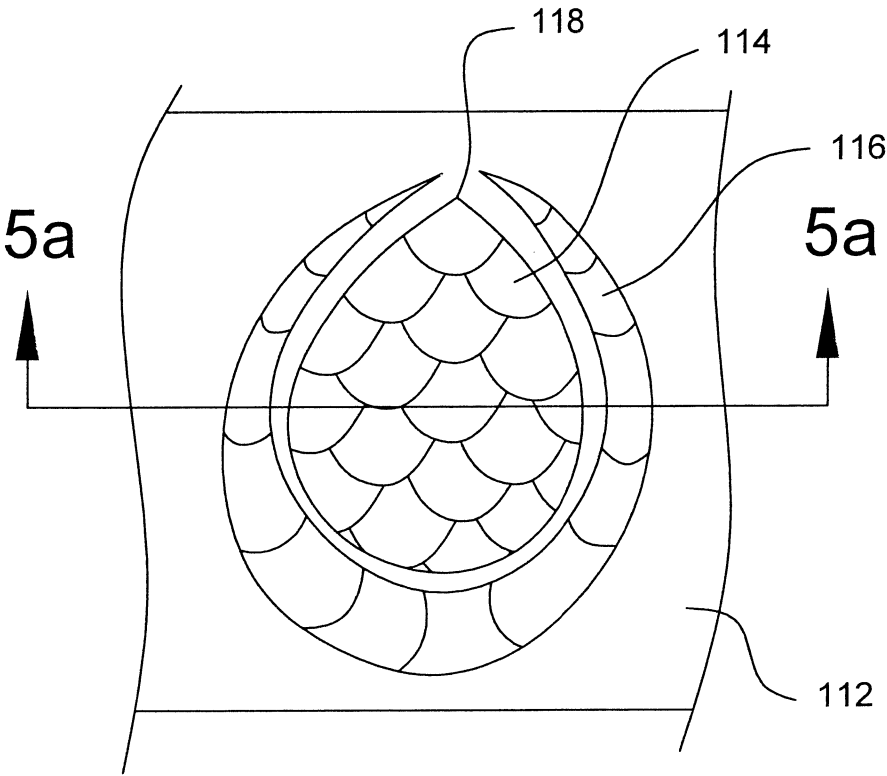
第 4e 圖



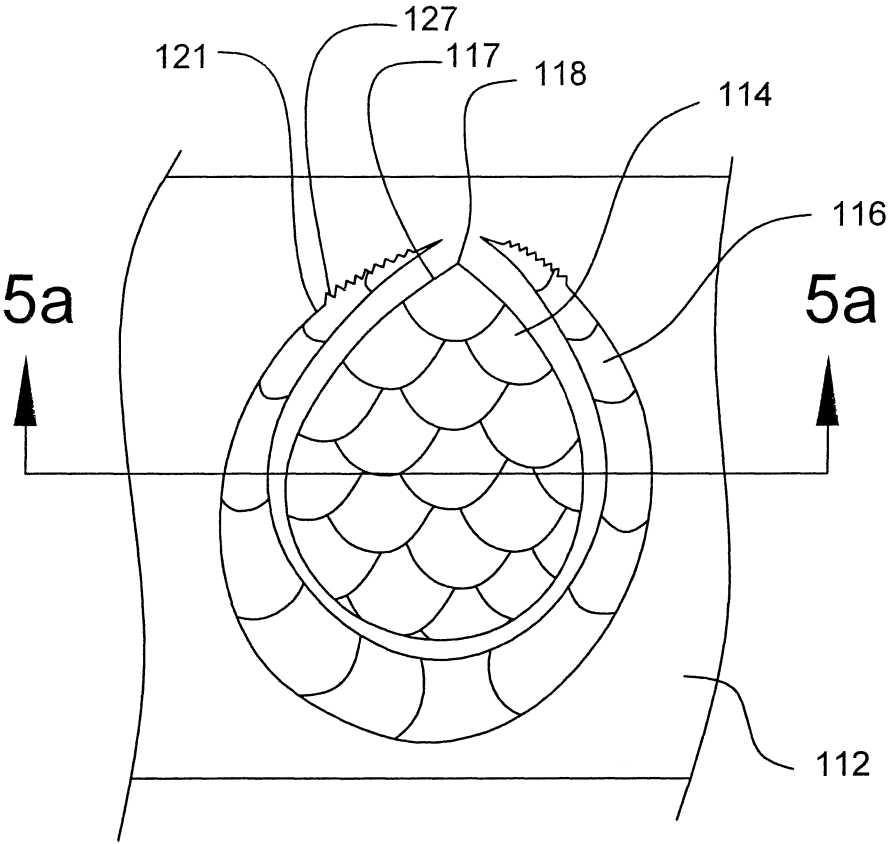
第 4f 圖



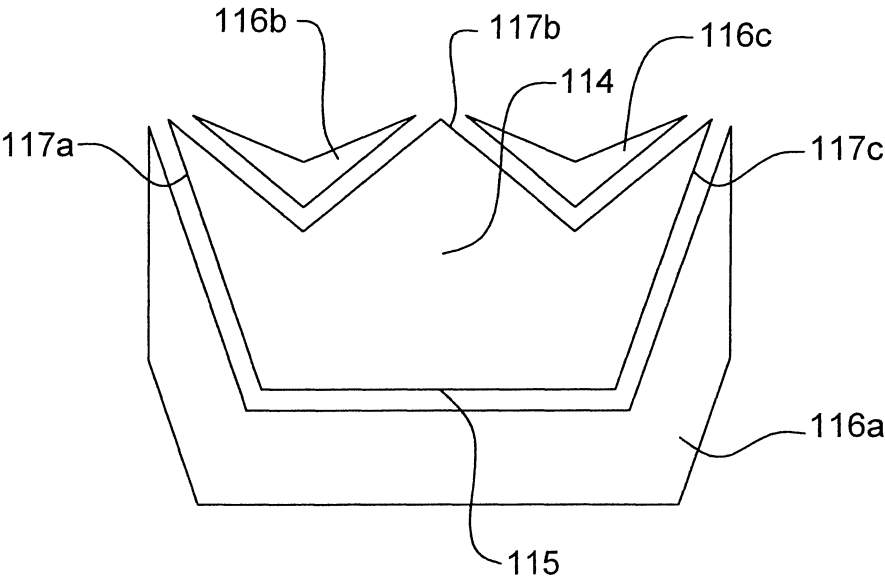
第 5a 圖



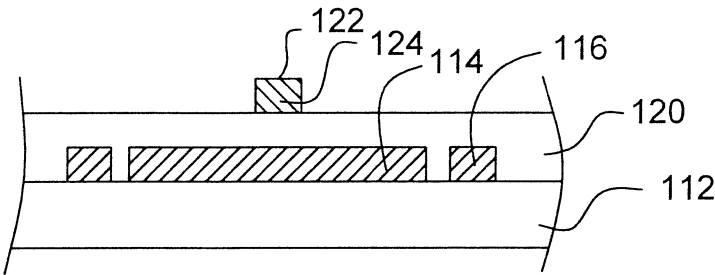
第 5b 圖



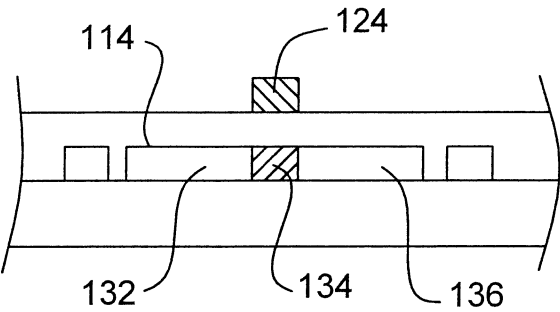
第 5c 圖



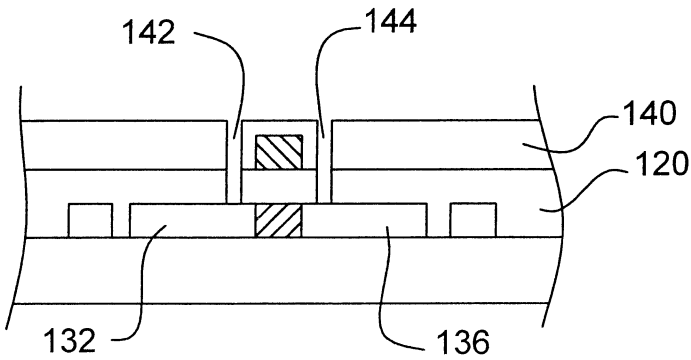
第 5d 圖



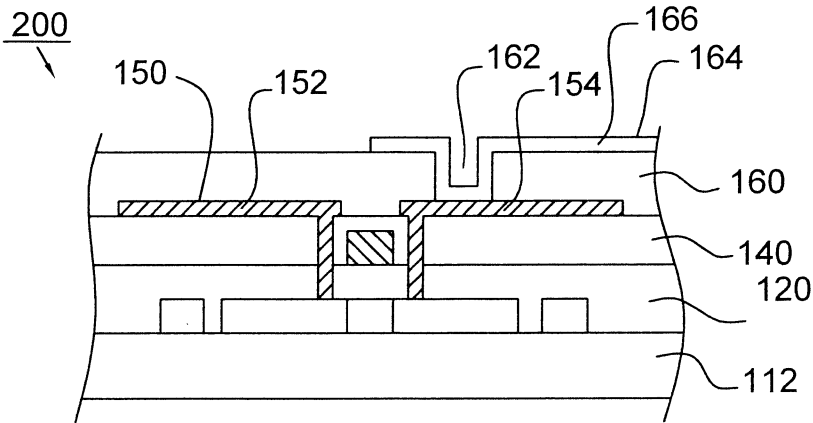
第 6 圖



第 7 圖



第 8 圖



第 9 圖

申請日期: 93.03.26

IPC分類

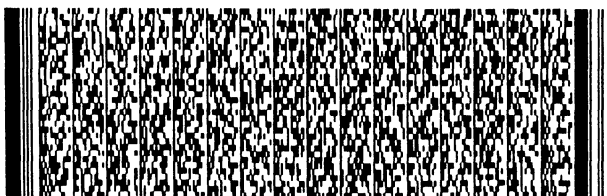
申請案號: 93108422

H01L 21/00, G02F 1/133

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	薄膜電晶體及薄膜電晶體基板及其製造方法
	英文	THIN FILM TRANSISTOR, THIN FILM TRANSISTOR SUBSTRATE, AND METHODS FOR MANUFACTURING THE SAME
二、 發明人 (共2人)	姓名 (中文)	1. 丁景隆
	姓名 (英文)	1. TING, CHIN LUNG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 744台南縣台南科學工業園區新市鄉奇業路一號
	住居所 (英文)	1. No. 1, Chi-Yeh Road, Shin-Shih Village, Tainan Science-Based Industrial Park, Tainan County, Taiwan
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 奇美電子股份有限公司
	名稱或姓名 (英文)	1. CHI MEI OPTOELECTRONICS CORP.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 744台南縣台南科學工業園區新市鄉奇業路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 1, Chi-Yeh Road, Shin-Shih Village, Tainan Science-Based Industrial Park, Tainan County, Taiwan
	代表人 (中文)	1. 廖錦祥
	代表人 (英文)	1. LIAO, CHING-SIANG



92345TW原申請案.pptd

四、中文發明摘要 (發明名稱：薄膜電晶體及薄膜電晶體基板及其製造方法)

一種薄膜電晶體包含一特殊狀通道層、一外圍多晶矽層、一閘極絕緣膜、一閘極、一層間絕緣膜、一源極及一汲極。該特殊狀通道層係形成於一基板上。該特殊狀通道層具有一寬部及一窄部，且該外圍多晶矽層包圍該特殊狀通道層。該閘極絕緣膜係形成於該基板上，並覆蓋該特殊狀通道層。該閘極係形成於該閘極絕緣層上。該層間絕緣膜係形成於該閘極絕緣膜上且覆蓋該閘極。該源極及該汲極係形成於該層間絕緣膜上，貫穿該閘極絕緣層及該層間絕緣膜，並分別電性連接於該特殊狀通道層。

五、(一)、本案代表圖為：第 ____ 2 ____ 圖

(二)、本案代表圖之元件代表符號簡單說明：

100	薄膜電晶體	112	基板
116	外圍多晶矽層	120	閘極絕緣膜

六、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR, THIN FILM TRANSISTOR SUBSTRATE, AND METHODS FOR MANUFACTURING THE SAME)

A thin film transistor includes a channel layer, an enclosing poly-silicon layer, a gate insulating film, a gate electrode and an interlayer insulating film, a source electrode and a drain electrode. The channel layers are formed on a substrate. The channel layer has a wide portion and a narrow portion, and the enclosing poly-silicon layer encloses the channel layer. The

