

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :

(A n'utiliser que pour les  
commandes de reproduction).

**2 506 045**

A1

**DEMANDE  
DE BREVET D'INVENTION**

(21)

**N° 81 09757**

(54) Procédé et dispositif de sélection de circuits intégrés à haute fiabilité.

(51) Classification internationale (Int. Cl. 3). G 08 C 15/00; G 01 R 31/26.

(22) Date de dépôt ..... 15 mai 1981.

(33) (32) (31) Priorité revendiquée :

(41) Date de la mise à la disposition du  
public de la demande ..... B.O.P.I. — « Listes » n° 46 du 19-11-1982.

(71) Déposant : Société dite : THOMSON-CSF, résidant en France.

(72) Invention de : Stéphane Charruau.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Philippe Guilguet, Thomson-CSF, SCPI,  
173, bd Haussmann, 75360 Paris Cedex 08.

## PROCEDE ET DISPOSITIF DE SELECTION DE CIRCUITS INTEGRES A HAUTE FIABILITE

La présente invention concerne un procédé de sélection de circuits intégrés à haute fiabilité et le dispositif correspondant.

De tels dispositifs permettent de sélectionner des circuits intégrés en vue d'application à haute fiabilité. La sélection est 5 opérée en fonction de contraintes sévères prédéterminées thermiques et dynamiques. Un tel ensemble est encore appelé système de déverminage climatique et dynamique (dynamic burn-in testing, selon l'appellation anglo-saxonne). Un équipement de ce genre est utilisé pour produire un vieillissement accéléré des composants 10 entraînant la panne pour ceux qui s'avèrent inaptes à supporter les contraintes imposées et conséutivement, la sélection des autres composants répondant aux normes désirées et qui permettront ensuite de réaliser des équipements présentant un taux de défaillance minime et donc une haute fiabilité.

15 Ces systèmes de sélection comportent un ensemble d'amplificateurs de puissance bi-directionnels destinés à exciter des groupes distincts de circuits intégrés de types différents mis dans une chambre climatique. L'invention se rapporte en particulier au moyen de pilotage c'est-à-dire de commande, de l'ensemble amplificateur de puissance. Les solutions actuelles sur ce point sont à base de matériel (hardware selon l'appellation anglo-saxonne) utilisant une 20 logique câblée en fonction du type de circuit intégré à sélectionner ou dans des versions plus récentes, une logique de génération des stimuli mémorisés dans une mémoire programmable PROM. Ceci 25 conduit à créer un service spécialisé d'études parallèles au service de production des circuits haute fiabilité. Ce service d'études doit faire une analyse approfondie des logigrammes et des chronogrammes d'excitation par type de circuits intégrés ; il en déduit ou bien une notice de montage - câblage de court-circuit (strapps) à 30 réaliser sur des plats (matrix board), ou bien un programme binaire à

charger dans une mémoire programmable PROM. Les circuits matriciels ou les mémoires PROM chargés doivent ensuite être emmagasinés et gérés au fur et à mesure de l'exercice de sélection des circuits intégrés..

5        Une telle structuration doit rester assez figée car toute modification de spécification de circuit à la demande de l'utilisateur, ou toute évolution de spécification de circuit standard, ou toute création de nouvelle famille technologique de circuits intégrés engendrent une charge importante de travail génératrice de retard  
10      dans l'exercice de la sélection. En outre, on peut considérer que le travail d'analyse évoqué précédemment fait double emploi avec celui qui a été fait par le service de programmation sur testeur automatique de circuits intégrés au sein du contrôle entrée de l'entreprise de l'utilisateur.

15      Un autre inconvénient résulte de la chaleur dégagée par les circuits intégrés à sélectionner, les calories fournies créant un déséquilibre thermique dans l'étuve et nécessitant des circuits de régulation relativement complexes.

20      Le but de l'invention est de remédier aux inconvénients précités en réalisant un dispositif de sélection de circuits intégrés qui procède par excitation impulsionnelle des circuits avec un facteur de forme pouvant être de quelque % et multiplexage des différentes zones de sélection.

25      Un objet de l'invention est de commander les amplificateurs selon un adressage déterminé de manière à produire successivement des séquences d'excitation qui sont dirigée respectivement vers les groupes de circuits intégrés concernés par ces séquences ; il est produit un multiplexage des adresses des différents groupes de circuits intégrés enfermés dans la chambre climatique.

30      Un autre objet de l'invention est de produire également de manière séquentielle et périodique les différentes tensions d'alimentation nécessaires aux groupes de circuits intégrés successivement excités par les signaux des amplificateurs, de manière à reproduire au niveau des circuits intégrés les effets de coupures de

secteur d'alimentation.

Suivant un autre objet de l'invention, le dispositif de sélection utilise des moyens matériels et logiciels prélevés sur des systèmes testeur automatique ; l'un de ces éléments est une unité de traitement et de programmation d'un testeur automatique de circuits intégrés utilisé pour élaborer des signaux numériques de commande des amplificateurs, un deuxième élément est une console de visualisation et de dialogue permettant de visualiser le programme d'excitation des circuits à sélectionner à partir du programme de test de ces mêmes circuits. Le montage offre la possibilité à l'utilisateur de gérer par dialogue sur la console de visualisation, l'aiguillage des séquences d'excitation ou un tableau de l'état d'occupation de travail à l'intérieur de la chambre climatique.

Les particularités de l'invention apparaîtront dans la description qui suit donnée à titre d'exemple non limitatif à l'aide des figures annexées qui représentent :

- figure 1, un diagramme d'un premier mode de réalisation d'un dispositif de sélection de circuits intégrés conforme à l'invention ;
- figure 2, un diagramme d'un deuxième mode de réalisation du dispositif de sélection ;
- figure 3, des formes d'ondes se rapportant au fonctionnement du dispositif selon la figure 2 ;
- figure 4, un schéma partiel correspondant à un mode de réalisation préférentiel d'un dispositif de sélection conforme à la présente invention ;
- figure 5, un diagramme d'un dispositif de sélection selon la figure 4, et
- figure 6, un schéma d'un exemple de réalisation d'un dispositif de sélection selon la figure 5.

Dans un dispositif de sélection de circuits intégrés à haute fiabilité, les circuits intégrés sont rassemblés par groupes distincts et placés sur des plateaux dans une étuve. Sur la figure 1 on a considéré P groupes de circuits intégrés CI1 à CIP, les circuits d'un groupe donné étant considérés avoir un même nombre de broches

et/ou pouvoir être excités par la même distribution de signaux. On peut donc considérer que le dispositif selon la figure 1 est prévu pour élaborer P groupements de signaux d'excitation destinés à exciter P types de circuits intégrés. Ces signaux d'excitation sont élaborés par des amplificateurs de puissance à partir de signaux numériques appliqués sur leurs entrées. Les signaux numériques sont produits par une unité de traitement et de programmation UTP. La réalisation selon la figure 1 reprend une configuration d'amplificateurs suivant laquelle ceux-ci sont répartis en P groupes A<sub>1</sub> à A<sub>P</sub> pour élaborer les P groupements de signaux d'excitation distincts, chaque groupe d'amplificateurs A<sub>j</sub> étant constitué par une batterie d'amplificateurs élémentaires A<sub>11</sub> à A<sub>1N</sub>, le nombre total N étant fonction du nombre de signaux dynamiques compris dans un groupe-ment. Suivant des techniques connues ce nombre peut atteindre jusqu'à sept signaux mais il va de soit que ce nombre n'est pas limité à sept et pourra être supérieur, voire égal au nombre total de broches des circuits intégrés à exciter, dans une conception des circuits d'interconnexions entre amplificateurs et circuits intégrés rendant possible cette configuration d'interface.

Conformément à l'invention les groupements de signaux d'excitation utiles ne sont pas transmis simultanément par les amplificateurs A<sub>1</sub> à A<sub>P</sub> mais l'un après l'autre et de manière périodique. Pour ce faire, les signaux numériques issus de l'unité de traitement et de programmation sont en nombre N et transmis en parallèle aux N groupes amplificateurs A<sub>1</sub> à A<sub>P</sub> au moyen d'une ligne omnibus. L'unité de traitement et de programmation ne comporte donc que N sorties reliées par cette ligne aux amplificateurs. Pour obtenir la distribution séquentielle des signaux d'excitation, le dispositif de sélection comporte en outre un circuit distributeur logique ou démultiplexeur DMX1 connecté par P sorties respectivement aux ensembles A<sub>1</sub> à A<sub>P</sub> et adressé par l'unité de traitement UTP à son entrée, l'adressage pouvant être effectué par un mot de 8 bits par exemple. Selon l'adresse transmise, un seul des ensembles A<sub>1</sub> à A<sub>P</sub> est validé par la sortie correspondante du circuit démultiplexeur

DMX1 et seul le groupe d'amplificateur Aj corres pondant transmettra un groupement de signaux d'excitation à l'ensemble des circuits intégrés associés CIj. Le détail de la validation ou de l'inhibition des amplificateurs est représenté à titre d'exemple sur l'ensemble A1. Il 5 peut consister en des portes ET P11 à PIN interposées respectivement sur la connexion en amont des amplificateurs élémentaires A11 à A1N, ces portes à deux entrées recevant par la deuxième entrée le signal de validation SVj correspondant.

Suivant une réalisation pratique, la fonction démultiplexage 10 est assurée par un circuit DMX1 groupant un microprocesseur, des interfaces adaptateurs de périphérique et une mémoire vive de masse, en sorte de se substituer à l'UTP durant l'exercice continu de déverminage des composants électroniques. Le processeur à haute capacité de mémoire prend ainsi en charge pendant la sélection de 15 circuits intégrés l'élaboration des séquences de simili préprogrammées par l'UTP avant le processus de sélection des circuits intégrés. Cette libération de l'UTP lui permet d'effectuer dans de meilleures conditions les autres fonctions opérationnelles dont elle est chargée, à savoir, fonctions de programmation, de sécurité des étuves, de visualisation, de surveillance, de pilotage de machines à 20 commande numérique associées au dispositifs de sélection, etc... La liaison UTP au microprocesseur s'effectue via un circuit interface normalisé.

Les courbes des figures 3a à 3c montrent le fonctionnement 25 séquentiel et successif dans le temps . La courbe 3a représente un signal issu d'une voie de l'ensemble A1, la courbe 3b se rapporte à un signal de l'ensemble amplificateur suivant A2, et la courbe 3c correspond à un signal délivré par le dernier ensemble amplificateur AP. La durée TS correspond à celle de validation, ce qui fait que le 30 cycle total occupe une durée au moins égale P x TS. Le cycle peut être ensuite répété à la période TR correspondant au moins à cette valeur. Dans le concept de la figure 1 les tensions alimentations sont délivrées par des circuits AL qui fournissent les valeurs respectives +5 V, +12 V, +15 V, +5,2 V, -1,4 V, etc ... nécessaires aux différents

types de circuits intégrés. Par souci de simplification les circuits amplificateurs élémentaires et circuits portes inclus dans chacun des ensembles  $A_j$  pourra être alimenté par la même valeur de tension d'alimentation continue que celle appliquée aux circuits intégrés associés à cet ensemble amplificateur. En outre on peut considérer, mais ce n'est pas absolument nécessaire d'insérer un circuit interrupteur  $C_{11}$  sur la voie d'alimentation des circuits de l'ensemble correspondant  $A_1$  et qui est commandé par le signal de validation  $SV_1$ .

La figure 2 représente une version plus avantageuse que celle de la figure 1 suivant laquelle le principe de la répartition séquentielle des signaux est étendu également au niveau des signaux d'alimentation. Dans cette version les moyens d'alimentation sont constitués par au moins une alimentation programmable IEEE adressée par huit fils à partir de l'unité de traitement UTP et délivrant par une sortie la tension continue  $VC$  correspondant à l'adressage. La sortie d'alimentation  $VC$  est transmise au groupe de circuits intégrés  $C_{ij}$  destiné à recevoir cette tension au moment considéré, grâce à un circuit distributeur ou matrice de commutation  $MC_1$  correspondant à un circuit démultiplexeur de signaux de puissance. Le circuit  $MC_1$  est également adressé par l'unité UTP, il comporte  $P$  sorties connectées respectivement au  $P$  groupes de circuits intégrés  $C_{11}$  à  $C_{1P}$ . En fait ces connexions s'effectuent par les circuits d'interface constitués par les plateaux support de circuits intégrés. Les sorties d'alimentation peuvent être également comme dans le cas de la figure 1 être raccordées aux ensembles amplificateurs  $A_1$  à  $A_P$  correspondant. Une solution préférée consiste à alimenter les amplificateurs en sortie d'une alimentation séparée fixe  $ALF$  qui délivre une tension d'alimentation de valeur supérieure à celle maximale fournie par l'alimentation programmable  $ALP$ .

Les figures 3d à 3f représentent les signaux d'alimentation respectifs des groupes de circuits intégrés  $C_{11}$ ,  $C_{12}$  et  $C_{1P}$ . La durée  $TA$  du créneau formant le signal d'alimentation est répétée périodiquement à la période  $TR$ . Cette durée  $TA$  est choisie légèrement

supérieure et chevauchant la durée TS d'élaboration des signaux dynamiques correspondants.

La figure 4 représente une réalisation préférée d'un dispositif de sélection de circuits intégrés conforme à l'invention. Le procédé utilisé reste le même que dans le cas de la figure 1 ou de la figure 2 mais l'organisation structurelle est énormément simplifiée par le fait que l'on utilise qu'une seule batterie d'amplificateurs élémentaires en nombre N, la distribution s'effectuant cette fois du côté sortie des amplificateurs grâce à une matrice de commutation MC2 pour envoyer les signaux respectivement et successivement vers les différents groupes de circuits intégrés de type différent. Dans cette version la commande de validation est reportée également en aval des N amplificateurs A1 à AN par des porte ET qui sont alimentées séparément par leur deuxième entrée par les N sorties respectives d'un circuit démultiplexeur DMX2 comportant N sortie. La voie AK validée à un instant donné est ensuite connectée vers le regroupement de circuits intégrés CIj correspondant grâce à la matrice de commutation ou circuit distributeur MC2 lequel est adressé par l'unité de traitement UTP. La matrice de commutation MC2 peut être obtenue avantageusement au moyen de diodes selon une réalisation simple et économique. On voit que cette nouvelle version permet de diviser par P le nombre d'amplificateurs, or le nombre P peut atteindre 24 et une valeur possible pour N est 28 ; on se rend compte que cette solution permet d'économiser 23 fois 28 soit 644 amplificateurs. Il est entendu que dans cette version préférentielle il est avantageux de commuter également les alimentations en procédant selon le circuit de la figure 2.

Un ensemble de sélection de ce type est représenté sur la figure 5 où sont représentées en outre associées à l'unité de traitement et de programmation UTP une mémoire de masse M1 et une console de visualisation CVD.

L'unité de traitement UTP, la mémoire M1 et la console CVD constituent des éléments pouvant faire partie d'un ensemble de testeur automatique de circuits intégrés et disponible sur catalogue.

La mémoire de masse M1 peut être constituée à base de floppy disques, l'unité de traitement et de programmation peut être à base d'un microprocesseur. On peut en outre utiliser encore plus loin les possibilités du testeur automatique en empruntant dans le software la programmation relative aux tests fonctionnels pour constituer dans le dispositif de sélection objet de l'invention la programmation relative aux signaux dynamiques.

La figure 6 se rapporte à un mode de réalisation d'un dispositif de sélection selon les figures 4 et 5. L'unité de traitement et de programmation comporte des éléments mémoire de masse M1 à floppy disque ou autre, console de visualisation et de dialogue CVD, et unité de traitement UTP de type utilisé dans un appareil testeur automatique de circuits intégrés. Pour l'application envisagée à la sélection de circuits intégrés, l'unité de traitement UTP est connectée aux amplificateurs et autres circuits par l'intermédiaire de moyens d'adaptation comportant, à travers un circuit ITF d'interface IEEE, un circuit séquenceur SQ d'acquisition et de traitement des signaux d'alimentation et des signaux dynamiques appelés "stimuli". La ligne omnibus allant de l'unité UTP au séquenceur SQ transporte des données et adresses allant vers et venant de l'unité UTP. Le séquenceur SQ est associé à une mémoire de programme de travail MS dont le rôle est de définir les instructions dans leur ordre logique d'exécution permettant à l'UTP de faire fonctionner les amplificateurs pour le déverminage des circuits intégrés en place dans les étuves. Les signaux dynamiques ou stimuli sont envoyés aux amplificateurs A1 à A26 à travers un circuit démultiplexeur DMX3 pour aller alimenter ensuite 26 broches des circuits d'un type donné. Ces circuits intégrés sont répartis par zones, on considère 24 types différents possibles a priori et les zones sont numérotées de Z1 à Z24, étant entendu qu'il sera produit autant de groupements de stimuli sur les sorties B1 à B26 de l'ensemble de traitement et de programmation. Les deux bornes restantes nos 27 et 28 des circuits seront affectées respectivement d'une tension d'alimentation VC et du potentiel masse de référence. Le séquenceur SQ adresse l'alimen-

tation programmable ALP qui délivre la tension continue VC ; cette tension est transmise à travers la matrice de commutation MC1 formée à partir de transistors MOS, c'est-à-dire à effet de champ, T1 à T24 pour alimenter la borne 27 des zones respectives Z1 à Z24.

5 La validation des alimentations est obtenue par le circuit DMX2 constitué par un décodeur de validation ayant 24 sorties transmises respectivement à travers également un transistor à effet de champ T25 à T48. Un autre transistor T49 est inclus sur une voie de sécurité générale issue du séquenceur assurant l'inhibition alimentation et stimuli. Les transistors T25 à T 49 sont alimentés directement par la tension d'alimentation VC. Les amplificateurs A1 à A26 sont à très large bande passante (100MHz) et comportent également un transistor de sortie du même type que précédemment. Tous ces transistors sont montés en commutateur analogique. Les éléments restant sont constitués par un ensemble de diodes formant la matrice MC2. Le fonctionnement est le suivant : on supposera par exemple que le circuit de décodage alimente le transistor T25 lequel débloque la diode DA1 qui à son tour débloque la batterie de diodes DC1 à DC26 permettant de laisser passer les signaux de la zone Z1 correspondante à travers les diodes DD1 à DD26. Une deuxième alimentation continue pourra être prévue pour la sélection de circuits plus complexes exigeant deux alimentations séparées différentes. Les différentes zones Z1 à Z24 sont, par essence même, chargées de circuits intégrés de même type dont les broches B1 à B26 plus l'alimentation VC et la masse, de même numéro sont cablées en parallèle sur les éléments ou plateaux supports à travers éventuellement des cartes filles. Les dénominations B1 à B26 sont propres au système, une table d'équivalence codée dans la mémoire du système existe pour la correspondance entre les broches du système en sortie de l'unité de traitement (sorties du circuit DMX3) et les broches des circuits intégrés en aval. L'aiguillage physique des stimuli par le processeur central UTA tient donc compte de cette table écrite au moment de l'élaboration du programme de test de chaque circuit intégré. Les particularités de cette réalisation sont

liées au multiplexage des séquences de stimuli par zone, à la commutation des stimuli par une matrice à diode, à la commutation des alimentations par une matrice à transistor à effet de champ, et à la possibilité d'exercer une fonction de verrouillage en cas 5 d'incident détecté par l'ensemble de traitement au niveau des chambres climatiques.

Le procédé et le dispositif de sélection conformes à l'invention présentent ainsi de multiples avantages. La base de temps, ou horloge, de l'unité de traitement attaque le circuit démultiplexeur 10 DMX1 ou DMX2, et on peut considérer que le signal 1 en sortie attaque successivement les étages amplificateurs A1 à AN pour les valider. Pour l'état O du signal de validation la voie d'amplification est coupée et se comporte comme une haute impédance vis-à-vis des circuits intégrés correspondants connectés à cette voie. La fré- 15 quence des signaux d'excitation transmis pendant la durée TS sur chaque voie 1 à P peut être considérée très élevée vis-à-vis de la pratique courante, par exemple 1 MHz au lieu de 50 à 60 Hz. En outre, le fait de pratiquer à une cadence très élevée les coupures d'alimentation dans le concept des figures 2 ou 5 permet de 20 reproduire de manière très fréquente les états de mise sous tension, ou coupure d'alimentation, ou arrêt de tension, sur les circuits à sélectionner. Il en résulte une procédure de sélection améliorée et qui peut être pratiquée pendant un temps plus réduit pour aboutir à 25 des résultats comparables sinon meilleurs que ceux de la pratique conventionnelle où les signaux dynamiques et ceux d'alimentation étaient transmis de manière continue. L'alimentation dite programmable IEEE est réalisable avec une alimentation RHODE et SCHWARZ type NGPU 70 V/20 A/350 W qui peut délivrer sept valeurs d'alimentation distinctes. Dans le cas où ce nombre serait 30 insuffisant d'autres alimentations, ou une autre alimentation programmable, peuvent être prévues pour compléter les valeurs d'alimentations nécessaires à l'ensemble de sélection.

REVENDICATIONS

1. Procédé de sélection de circuits intégrés à haute fiabilité par traitement thermique et dynamique, le traitement dynamique comportant l'élaboration de au plus P groupements distincts de signaux d'excitation destinés respectivement à P types distincts de circuits intégrés lesquels sont rassemblés par groupes de même type, caractérisé en ce que les groupements de signaux sont produits périodiquement et successivement, c'est-à-dire un groupement après l'autre, au cours de chaque période, chaque groupement se trouvant appliqué séquentiellement aux circuits intégrés de type correspondant.  
5
- 10  
2. Procédé selon la revendication 1, caractérisé en ce que les différentes tensions d'alimentation continues nécessaires aux différents types de circuits intégrés à sélectionner sont également produites périodiquement et successivement, à la même cadence que les signaux d'excitation, en sorte d'alimenter les circuits intégrés d'un type donné avec la tension prévue pour ce type et ce, pendant une durée sensiblement égale et chevauchant celle d'application des signaux d'excitation transmis à ces circuits intégrés.  
15
- 15  
20  
3. Procédé selon la revendication 1 ou 2, caractérisé en ce que les signaux d'excitation sont formés d'impulsions à haute fréquence.
- 20  
25  
30  
4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que les signaux d'excitation sont constitués par les signaux de test fonctionnel utilisé lors des procédures de test automatique prévues pour les circuits intégrés.
- 25  
30  
5. Dispositif de sélection de circuits intégrés à haute fiabilité par traitement thermique et dynamique, procédant selon l'une quelconque des revendications 1 à 4 et comportant une pluralité d'amplificateurs de puissance pour produire les groupements successifs de signaux d'excitation nécessaires à la sélection des différents types de circuits intégrés prévus, et un dispositif générateur de signaux numériques de commande alimentant respectivement

l'entrée des amplificateurs, caractérisé en ce qu'il comporte un circuit démultiplexeur (DMX 1) connecté par une pluralité de sorties auxdits amplificateurs pour commander leur fonctionnement périodique et produire les groupements successifs des signaux d'excitation, le dispositif générateur étant constitué par une unité de traitement programmable (UTP) qui assure l'adressage du circuit démultiplexeur.

6. Dispositif selon la revendication 5, et dans lequel les amplificateurs sont constitués par P groupements (A1 à AP) de N amplificateurs (A11 à A1N) pour former des groupements ayant chacun au plus N signaux d'excitation, caractérisé en ce que l'unité de traitement (UTP) alimente l'entrée des amplificateurs par N sorties raccordées au moyen d'une ligne omnibus en parallèle respectivement sur les entrées des P groupements.

7. Dispositif selon la revendication 5 ou 6, procédant selon la revendication 2, ou selon l'un des ensembles de revendications 2 et 3, 2 et 4, et dans lequel des moyens d'alimentation sont prévus pour alimenter les différents types de circuits intégrés à sélectionner ainsi que les circuits amplificateurs générateurs des signaux d'excitation, caractérisé en ce que ces moyens d'alimentation sont formés par au moins une alimentation (ALP) programmable IEEE adressée à partir de l'unité de traitement et dont la sortie est connectée à un circuit de distribution (MC1) adressé par l'unité de traitement et qui est connecté par ses sorties respectivement aux différents groupes de circuits (C11 à CIP) à alimenter.

8. Dispositif selon la revendication 7, caractérisé en ce que la sortie de l'alimentation programmable (ALP) est connectée directement au circuit amplificateur, les sorties du circuit de distribution (MC1) étant connectées aux divers groupements de circuits intégrés.

9. Dispositif selon la revendication 5 ou l'un des ensembles de revendication 5 et 7, 5 et 8, caractérisé en ce que les amplificateurs sont en nombre N (A1 à AN), N étant un nombre maximal de signaux d'excitation d'un groupement, et l'unité de traitement (UTP) alimentant respectivement les N amplificateurs par N sorties, le circuit

démultiplexeur (DMX 2) commandant séquentiellement le fonctionnement des amplificateurs pour produire successivement les groupements de signaux d'excitation nécessaires, un deuxième circuit de distribution (MC2) permettant de connecter les N sorties amplificatrices vers le groupement de circuits intégrés (CIj) auquel ces signaux sont destinés.

10 10. Dispositif selon l'une quelconque des revendications 5 à 8, caractérisé en ce que les moyens de commande des amplificateurs comportent une porte ET (P1k) sur chaque entrée reliée par une entrée à l'unité de traitement, par sa deuxième entrée au circuit démultiplexeur (DMX 1) et par sa sortie à un circuit amplificateur (A1k).

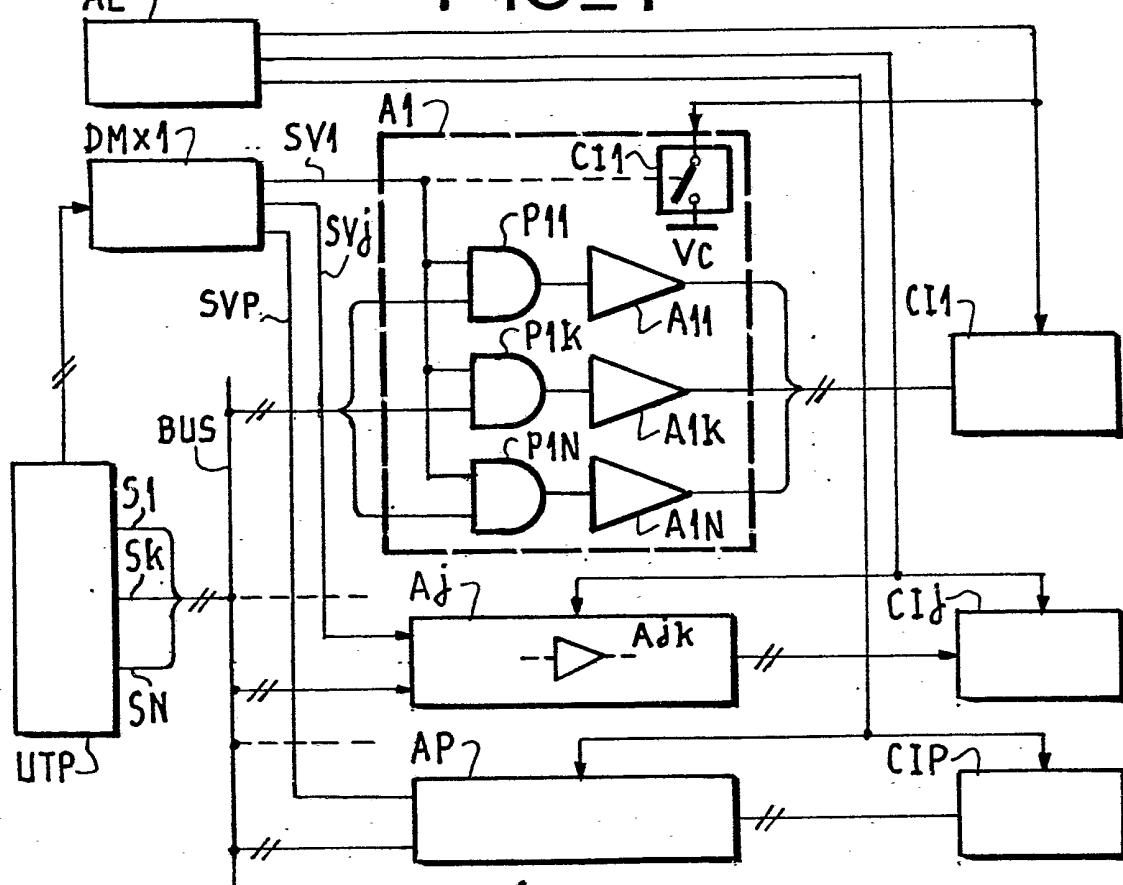
15 11. Dispositif selon la revendication 9, caractérisé en ce que les moyens, de commande des amplificateurs comportent une porte ET (Pk) connectée par une entrée à la sortie de l'amplificateur (Ak), par une deuxième entrée au circuit démultiplexeur (DMX 2) et par sa sortie au deuxième circuit de distribution (MC2).

20 12. Dispositif selon l'une quelconque des revendications 1 à 11, caractérisé en ce que l'unité de traitement (UTP) est associée avec une mémoire de masse (M1) et avec une console de visualisation (CVD) et de dialogue, les données mises en mémoire comportant un programme de test électrique fonctionnel des circuits intégrés à sélectionner utilisé pour produire les signaux numériques de commande des amplificateurs.

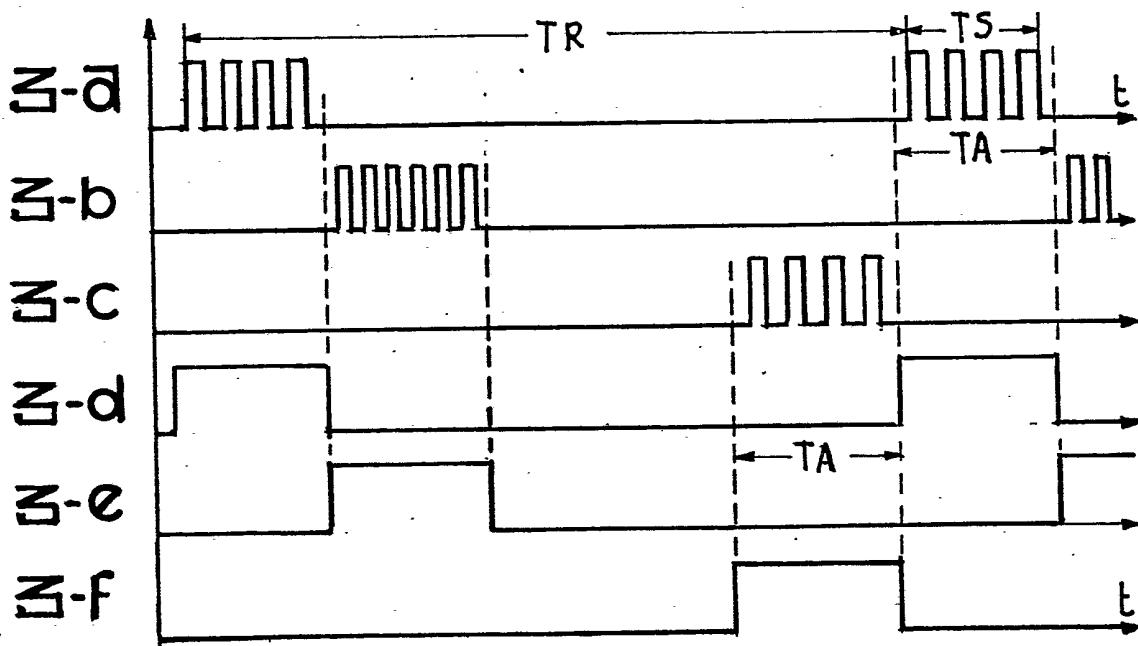
25 13. Dispositif selon la revendication 9 ou 11, ou selon l'ensemble des revendications 9 et 12, ou 11 et 12, caractérisé en ce que le circuit de distribution des alimentations (MC1) est réalisé au moyen de transistors à effet de champ (T1 à T24) et le deuxième circuit de distribution (MC2) comporte une matrice de diodes (DA1 à DA24, DB1 à DB24, DC1 à DC26, DD1 à DD26, ..., DE1 à DE26, DF1 à DF26).

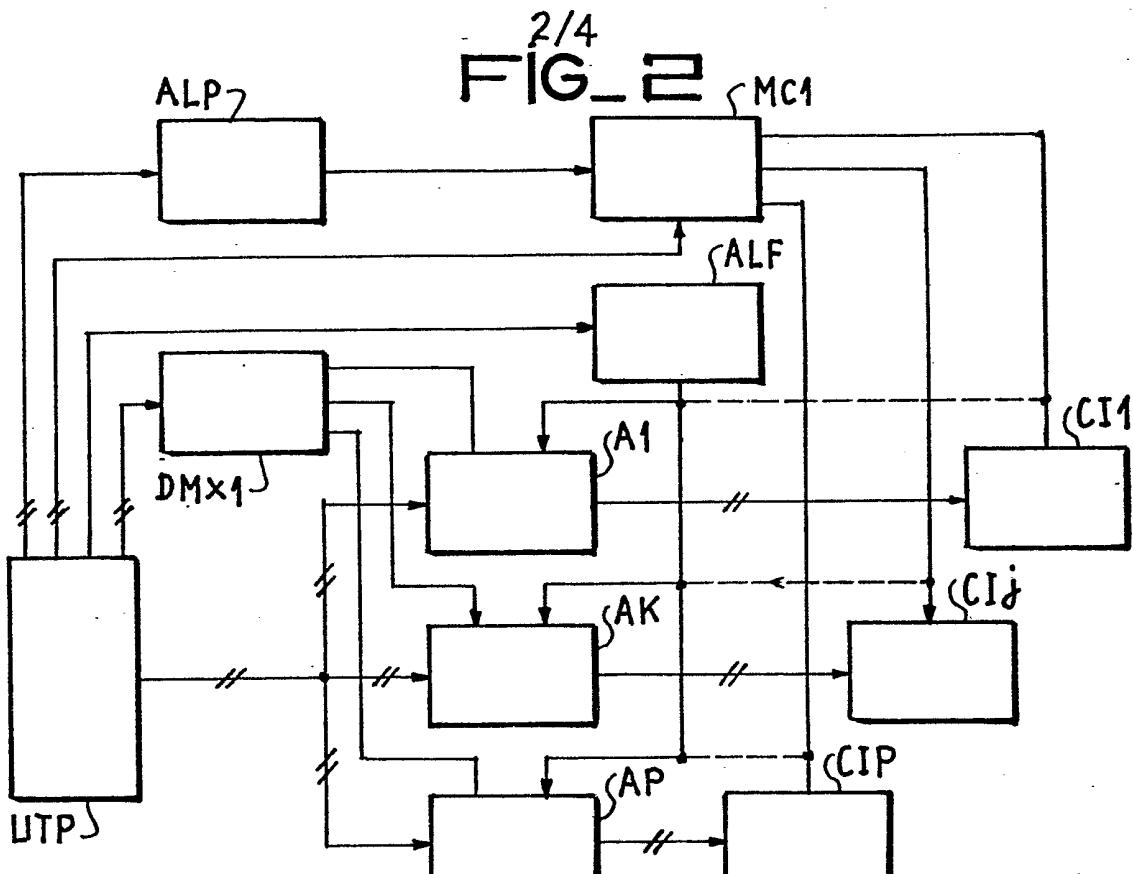
30 14. Dispositif selon l'une quelconque des revendications 1 à 13, caractérisé en ce que l'unité de traitement (UTP) est connectée aux amplificateurs par l'intermédiaire d'un processus à haute capacité de

mémoire (MS), prenant en charge, pendant le déverminage des circuits intégrés, la génération des séquences (SQ) de stimuli préprogrammées par l'UTP avant le processus de déverminage des circuits intégrés.

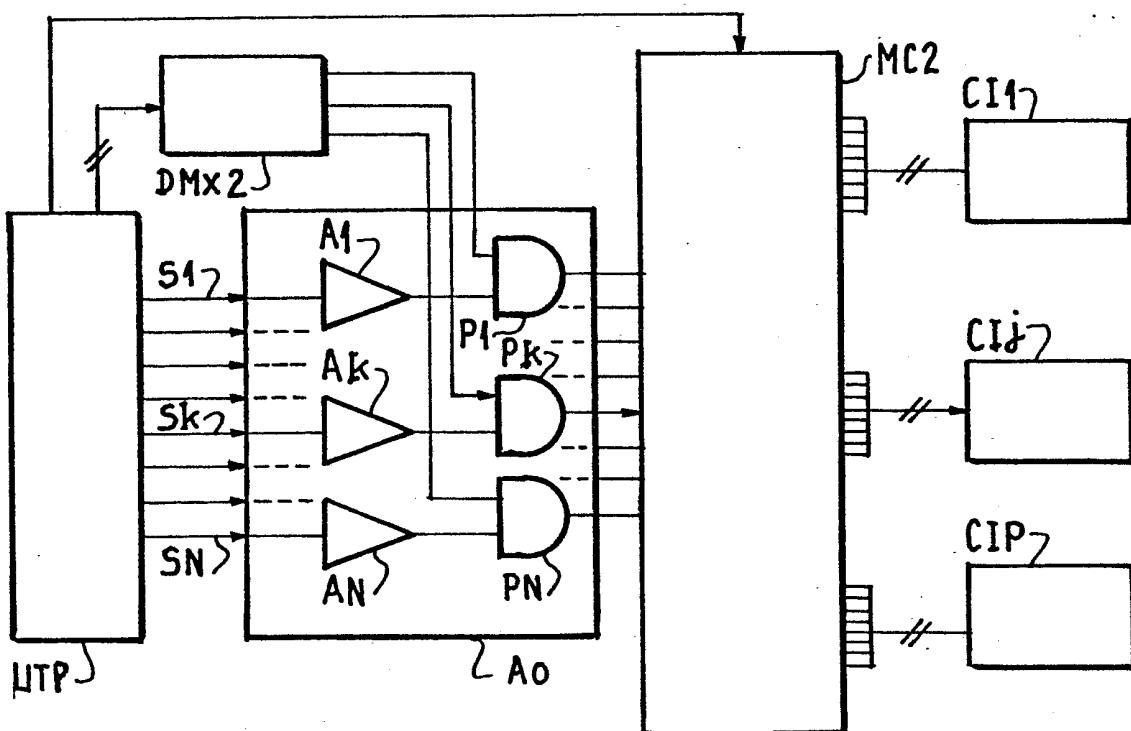
1/4  
FIG\_1

FIG\_3



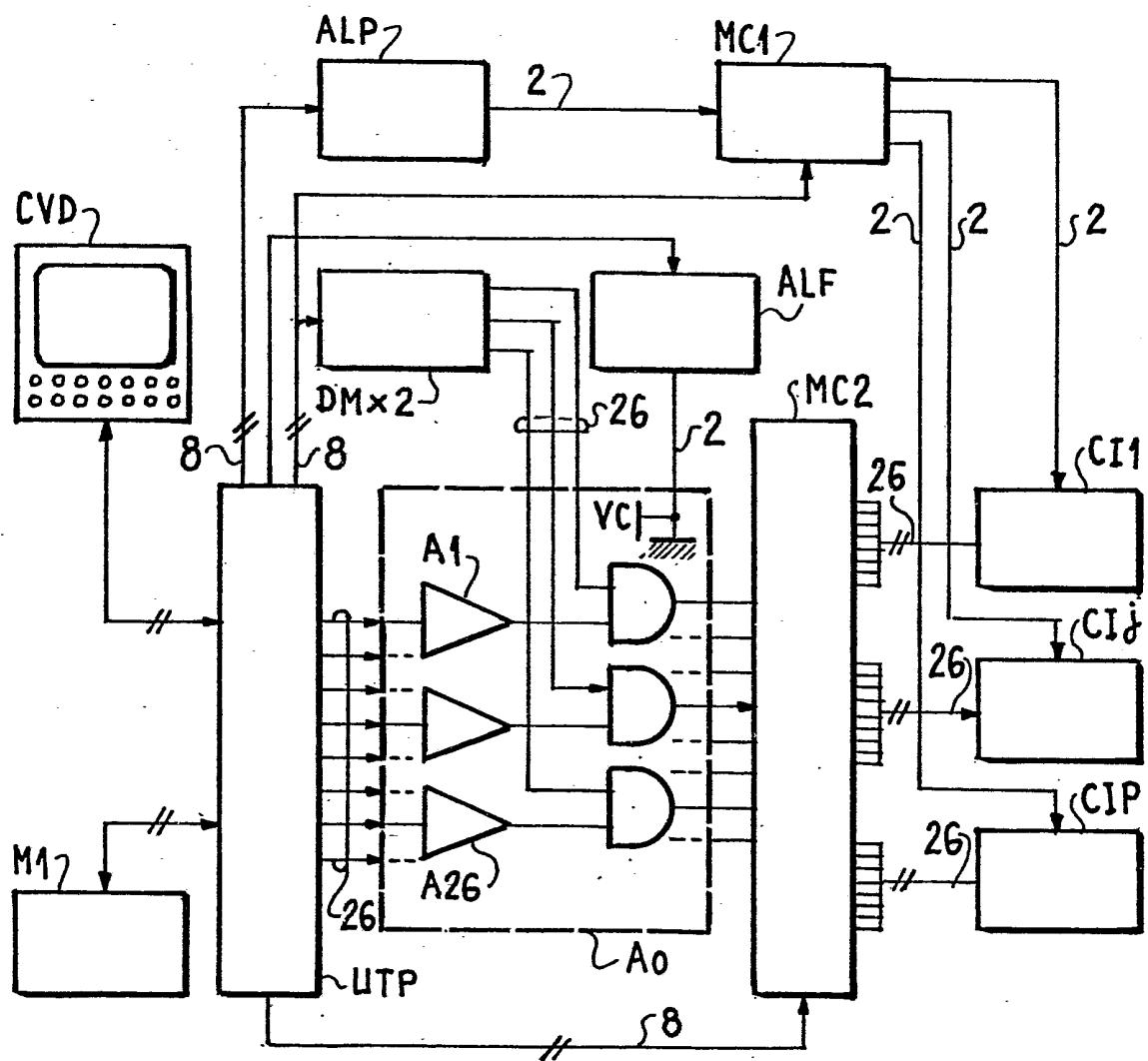


FIG\_4



3/4

## **FIG\_5**



FIG\_6

