



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0118866
(43) 공개일자 2010년11월08일

(51) Int. Cl.

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)

(21) 출원번호 10-2009-0037790

(22) 출원일자 2009년04월29일

심사청구일자 2009년04월29일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122 금강아파트
103-1301

(74) 대리인

전종일

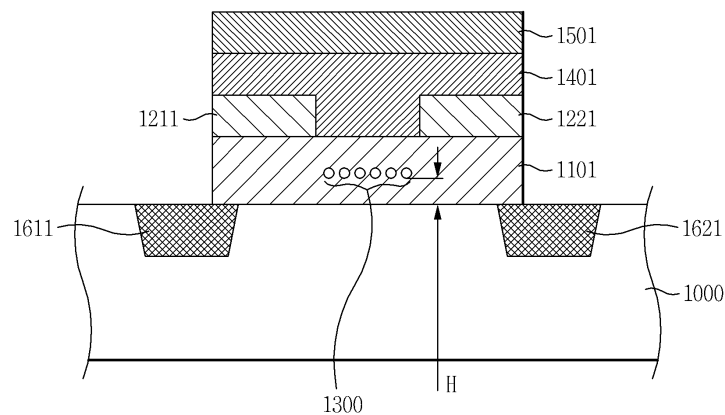
전체 청구항 수 : 총 8 항

(54) 멀티 평선 비휘발성 메모리 소자 및 그의 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자는 반도체 기판, 반도체 기판 상에 형성된 터널 옥사이드, 터널 옥사이드의 상면에 서로 분리되어 형성된 제 1 전하 포획 영역들, 터널 옥사이드 내에, 제 1 전하 포획 영역들과 오버랩되지 않도록 형성된 제 2 전하 포획 영역, 제 1 전하 포획 영역들과 제 1 전하 포획 영역들 사이에 노출된 터널 옥사이드 상에 형성된 블록킹 옥사이드 및 블록킹 옥사이드 상에 형성된 콘트롤 게이트를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 기관;

상기 반도체 기관 상에 형성된 터널 옥사이드;

상기 터널 옥사이드의 상면에 서로 분리되어 형성된 제 1 전하 포획 영역들;

상기 터널 옥사이드 내에, 상기 제 1 전하 포획 영역들과 오버랩되지 않도록 형성된 제 2 전하 포획 영역;

상기 제 1 전하 포획 영역들과 제 1 전하 포획 영역들 사이에 노출된 상기 터널 옥사이드 상에 형성된 블로킹 옥사이드; 및

상기 블로킹 옥사이드 상에 형성된 콘트롤 게이트를 포함하는 멀티 평선 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 제 2 전하 포획 영역은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 메모리 소자.

청구항 3

제 1 항에 있어서,

상기 제 2 전하 포획 영역은 실리콘질화막 또는 비정질 폴리 실리콘으로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 제 2 전하 포획 영역은 상기 터널 옥사이드 내에서 상기 반도체 기관으로부터 1 nm ~ 4 nm 높이로 이격되어 형성된 것을 특징으로 하는 멀티 평선 비휘발성 메모리 소자.

청구항 5

반도체 기관 상에 제 1 옥사이드층을 형성하는 단계;

상기 제 1 옥사이드층의 상면에 서로 분리하여 제 1 전하 포획층들을 형성하는 단계;

상기 제 1 옥사이드층 내에, 상기 제 1 전하 포획층들과 오버랩되지 않도록 제 2 전하 포획 영역을 형성하는 단계;

상기 제 1 전하 포획층들과 제 1 전하 포획층들 사이에 노출된 상기 제 1 옥사이드층 상에 제 2 옥사이드층을 형성하는 단계;

상기 제 2 옥사이드층 상에 콘트롤 게이트층을 형성하는 단계; 및

상기 제 1 옥사이드층, 상기 제 1 전하 포획층, 상기 제 2 옥사이드층, 상기 콘트롤 게이트층을 각각 식각하여 터널링 옥사이드, 제 1 전하 포획 영역들, 블로킹 옥사이드, 콘트롤 게이트를 형성하는 단계를 포함하는 멀티 평선 비휘발성 메모리 소자의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 2 전하 포획 영역을 형성하는 단계에서, 상기 제 2 전하 포획 영역은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되는 것을 특징으로 하는 멀티 평선 비휘발성 메모리 소자의 제조 방법.

청구항 7

제 5 항에 있어서,

상기 제 2 전하 포획 영역을 형성하는 단계에서, 상기 제 2 전하 포획 영역은 실리콘질화막 또는 비정질 폴리 실리콘으로 형성되는 것을 특징으로 하는 멀티 평선 비휘발성 메모리 소자의 제조 방법.

청구항 8

제 5 항에 있어서,

상기 제 2 전하 포획 영역을 형성하는 단계에서, 상기 제 2 전하 포획 영역은 상기 제 1 옥사이드층 내에서 상기 반도체 기판으로부터 1 nm ~ 4 nm 높이로 이격되어 형성되는 것을 특징으로 하는 멀티 평선 비휘발성 메모리 소자의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 멀티 평선 비휘발성 메모리 소자 및 그의 제조 방법에 관한 것으로서, 보다 상세하게는 다양한 구동 전압으로 전하를 포획하거나 소거시킬 수 있는 전하 포획 영역을 형성함으로써, 다양한 구동 전압으로 데이터를 기입하거나 소거할 수 있는 멀티 평선 비휘발성 메모리 소자 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 비휘발성 메모리 소자는 전원 전압이 공급되지 않더라도 저장되어 있는 데이터를 손상시키지 않고 보존할 수 있다. 따라서, 비휘발성 메모리 소자는 디지털 스틸 카메라, 휴대폰, PDA(Personal Digital Assistant), PMP(Portable Multimedia Player) 등의 정보 통신 장치에 널리 이용되고 있다.

[0003] 이러한 비휘발성 메모리 소자는 정보 통신 장치가 저전력화되고, 다기능화됨에 따라서, 낮은 구동 전압, 높은 신뢰성, 대용량화 및 고집적화가 요구되고 있다.

[0004] 그런데, 종래의 비휘발성 메모리 소자는 구동 전압이 높아서, 저전력화가 힘들고, 다기능화를 구현하는데 어려움이 있었다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서 본 발명은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 이루고자 하는 기술적 과제는, 다양한 구동 전압으로 전하를 포획하거나 소거시킬 수 있는 전하 포획 영역을 형성함으로써, 다양한 구동 전압으로 데이터를 기입하거나 소거할 수 있는 멀티 평선 비휘발성 메모리 소자를 제공하는 것이다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 상술한 멀티 평선 비휘발성 메모리 소자의 제조 방법을 제공하는 것이다.

[0007] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0008] 상기와 같은 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자는 반도체 기관, 상기 반도체 기관 상에 형성된 터널 옥사이드, 상기 터널 옥사이드의 상면에 서로 분리되어 형성된 제 1 전하 포획 영역들, 상기 터널 옥사이드 내에, 상기 제 1 전하 포획 영역들과 오버랩되지 않도록 형성된 제 2 전하 포획 영역, 상기 제 1 전하 포획 영역들과 제 1 전하 포획 영역들 사이에 노출된 상기 터널 옥사이드 상에 형성된 블로킹 옥사이드 및 상기 블로킹 옥사이드 상에 형성된 콘트롤 게이트를 포함한다.
- [0009] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자는 상기 제 2 전하 포획 영역이 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성된 것이 바람직하다.
- [0010] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자는 상기 제 2 전하 포획 영역은 실리콘질화막 또는 비정질 폴리 실리콘으로 형성된 것이 바람직하다.
- [0011] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자는 상기 제 2 전하 포획 영역은 상기 터널 옥사이드 내에서 상기 반도체 기관으로부터 1 nm ~ 4 nm 높이로 이격되어 형성된 것이 바람직하다.
- [0012] 상기와 같은 다른 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자의 제조 방법은 반도체 기관 상에 제 1 옥사이드층을 형성하는 단계, 상기 제 1 옥사이드층의 상면에 서로 분리하여 제 1 전하 포획층들을 형성하는 단계, 상기 제 1 옥사이드층 내에, 상기 제 1 전하 포획층들과 오버랩되지 않도록 제 2 전하 포획 영역을 형성하는 단계, 상기 제 1 전하 포획층들과 제 1 전하 포획층들 사이에 노출된 상기 제 1 옥사이드층 상에 제 2 옥사이드층을 형성하는 단계, 상기 제 2 옥사이드층 상에 콘트롤 게이트층을 형성하는 단계 및 상기 제 1 옥사이드층, 상기 제 1 전하 포획층, 상기 제 2 옥사이드층, 상기 콘트롤 게이트층을 각각 식각하여 터널링 옥사이드, 제 1 전하 포획 영역들, 블로킹 옥사이드, 콘트롤 게이트를 형성하는 단계를 포함한다.
- [0013] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자의 제조 방법은 상기 제 2 전하 포획 영역을 형성하는 단계에서, 상기 제 2 전하 포획 영역은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되는 것이 바람직하다.
- [0014] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자의 제조 방법은 상기 제 2 전하 포획 영역을 형성하는 단계에서, 상기 제 2 전하 포획 영역은 실리콘질화막 또는 비정질 폴리 실리콘으로 형성되는 것이 바람직하다.
- [0015] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자의 제조 방법은 상기 제 2 전하 포획 영역을 형성하는 단계에서, 상기 제 2 전하 포획 영역은 상기 제 1 옥사이드층 내에서 상기 반도체 기관으로부터 1 nm ~ 4 nm 높이로 이격되어 형성되는 것이 바람직하다.

효과

- [0016] 본 발명의 실시예들에 따른 멀티 평선 비휘발성 메모리 소자는 다양한 구동 전압으로 전하를 포획하거나 소거시킬 수 있는 전하 포획 영역을 형성함으로써, 다양한 구동 전압으로 데이터를 기입하거나 소거할 수 있다.
- [0017] 본 발명의 실시예들에 따른 멀티 평선 비휘발성 메모리 소자의 제조 방법은 상술한 멀티 평선 비휘발성 메모리 소자를 용이하게 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0018] 이하 첨부된 도면을 참조로 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다. 기타 실시예들의 구체적인

사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 장점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0019] 도 1은 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자의 단면도이다.
- [0020] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자는 도 1에 도시된 것처럼, 반도체 기판(1000), 터널 옥사이드(1101), 제 1 전하 포획 영역들(1211, 1221), 제 2 전하 포획 영역(1300), 블로킹 옥사이드(1401) 및 콘트롤 게이트(1501)를 포함한다.
- [0021] 이러한 터널 옥사이드(1101)는 반도체 기판(1000) 상에 형성되며, 제 1 전하 포획 영역들(1211, 1221)은 터널 옥사이드(1101)의 상면에 서로 분리되어 형성된다.
- [0022] 또한, 제 2 전하 포획 영역(1300)은 터널 옥사이드(1101) 내에, 제 1 전하 포획 영역들(1211, 1221)과 오버랩되지 않도록 형성된다. 여기에서, 제 2 전하 포획 영역(1300)은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.
- [0023] 한편, 제 2 전하 포획 영역(1300)은 상기 터널 옥사이드(1101) 내에서 상기 반도체 기판(1000)으로부터 1 nm ~ 4 nm 높이(H)로 이격되어 형성될 수 있다.
- [0024] 또한, 블로킹 옥사이드(1401)는 제 1 전하 포획 영역들(1211, 1221) 과 제 1 전하 포획 영역들(1211, 1221) 사이에 노출된 터널 옥사이드(1101) 상에 형성되며, 콘트롤 게이트(1501)는 블로킹 옥사이드(1401) 상에 형성된다.
- [0025] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자는 터널 옥사이드(1101) 내에 제 1 전하 포획 영역들(1211, 1221)과 오버랩되지 않도록 제 2 전하 포획 영역(1300)이 형성됨으로써, 제 1 전하 포획 영역들(1211, 1221)에 인가되는 구동 전압보다는 낮은 구동 전압으로 제 2 전하 포획 영역(1300)에 데이터를 기입하거나 소거할 수 있다.
- [0026] 도 2a 내지 도 2e를 참조하여, 본 발명의 일 실시예에 따른 멀티 평선비휘발성 메모리 소자의 제조 방법에 대해서 설명한다.
- [0027] 먼저, 도 2a에 도시된 것처럼, 반도체 기판(1000) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정 등으로 SiO₂의 제 1 옥사이드층(1100)을 2 nm ~ 15 nm 두께로 형성한다.
- [0028] 다음으로, 도 2b에 도시된 것처럼, 제 1 옥사이드층(1100)의 상면에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정 등으로 SiN 막을 2 nm ~ 10 nm 형성한 후에, 식각 공정으로 SiN막을 서로 분리하여 제 1 전하 포획층들(1210, 1220)을 형성한다.
- [0029] 다음으로, 도 2c에 도시된 것처럼, 제 1 옥사이드층(1100) 내에, 이온 주입(ion implantation) 공정 등으로 제 1 전하 포획층들(1210, 1220)과 오버랩되지 않도록 제 2 전하 포획 영역(1300)을 형성한다.
- [0030] 여기에서, 제 2 전하 포획 영역(1300)은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘 질화막(SiN) 또는 비정질 폴리 실리콘으로 형성될 수 있다.
- [0031] 한편, 제 2 전하 포획 영역(1300)은 상기 제 1 옥사이드층(1100) 내에서 상기 반도체 기판(1000)으로부터 1 nm ~ 4 nm 높이(H)로 이격되어 형성될 수 있다.
- [0032] 다음으로, 제 1 전하 포획층들(1210, 1220)과 제 1 전하 포획 영역들(1210, 1220) 사이에 노출된 제 1 옥사이드층(1100) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정 등으로 SiO₂의 제 2 옥사이드층(1400)를 제 1 전하 포획층으로부터 3 nm ~ 10 nm 두께로 형성하고, 제 2 옥사이드층(1400) 상에 화학 기상 증착 공정 등으로 비정질 폴리 실리콘의 콘트롤 게이트층(1500)을 형성한다.
- [0033] 다음으로, 제 1 옥사이드층(1100), 제 1 전하 포획층들(1210, 1220), 제 2 옥사이드층(1400), 콘트롤 게이트층(1500)을 각각 식각하여 터널 옥사이드(1101), 제 1 전하 포획 영역들(1211, 1221), 블로킹 옥사이드(1401), 콘트롤 게이트(1501)를 형성하고, 불순물을 이온 주입 공정으로 주입하여 소오스(1611)와 드레인(1621)을 형성한다.

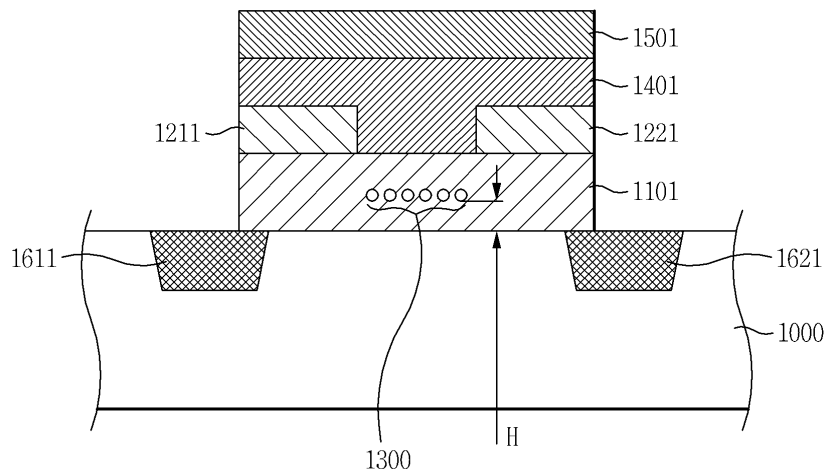
- [0034] 이상, 본 발명을 본 발명의 원리를 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 그와 같이 도시되고 설명된 그대로의 구성 및 작용으로 한정되는 것이 아니다.
- [0035] 오히려, 첨부된 청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다.
- [0036] 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

도면의 간단한 설명

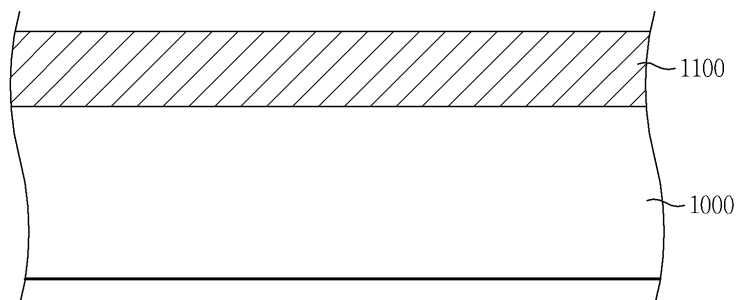
- [0037] 도 1은 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 메모리 소자의 단면도.
- [0038] 도 2a 내지 도 2e는 도 1의 멀티 평선 비휘발성 메모리 소자의 제조 공정 단면도들.

도면

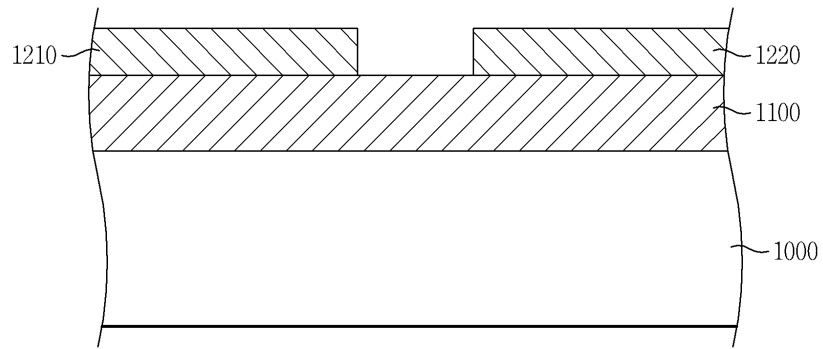
도면1



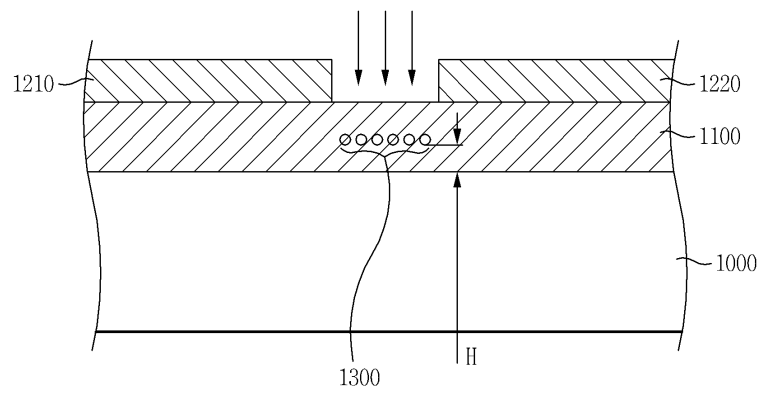
도면2a



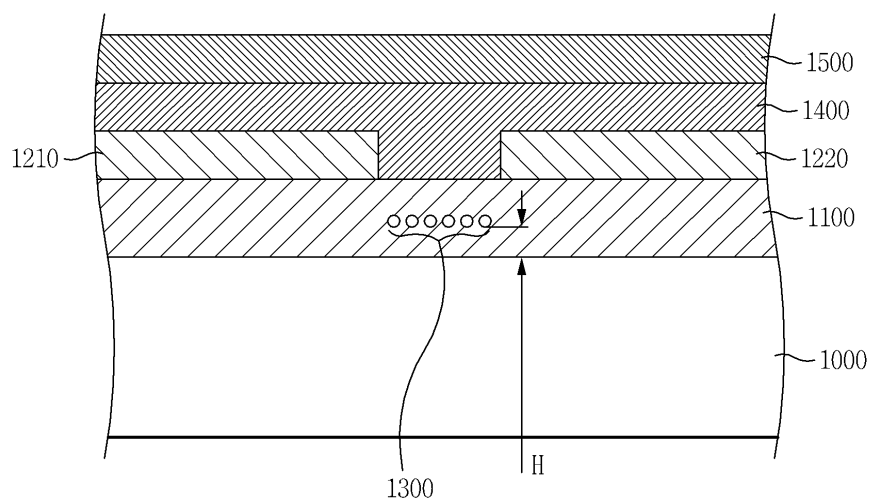
도면2b



도면2c



도면2d



도면2e

