

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-192594  
(P2009-192594A)

(43) 公開日 平成21年8月27日(2009.8.27)

|                            |                |             |
|----------------------------|----------------|-------------|
| (51) Int. Cl.              | F I            | テーマコード (参考) |
| <b>G09G 3/28 (2006.01)</b> | G09G 3/28 H    | 5C080       |
| <b>G09G 3/20 (2006.01)</b> | G09G 3/28 E    | 5C580       |
|                            | G09G 3/20 641E |             |
|                            | G09G 3/20 612U |             |
|                            | G09G 3/20 622D |             |

審査請求 未請求 請求項の数 7 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2008-30280 (P2008-30280)  
(22) 出願日 平成20年2月12日 (2008.2.12)

(71) 出願人 00005821  
パナソニック株式会社  
大阪府門真市大字門真1006番地  
(74) 代理人 100097445  
弁理士 岩橋 文雄  
(74) 代理人 100109667  
弁理士 内藤 浩樹  
(74) 代理人 100109151  
弁理士 永野 大介  
(72) 発明者 岡田 拓  
大阪府門真市大字門真1006番地 松下  
電器産業株式会社内  
(72) 発明者 吉濱 豊  
大阪府門真市大字門真1006番地 松下  
電器産業株式会社内  
最終頁に続く

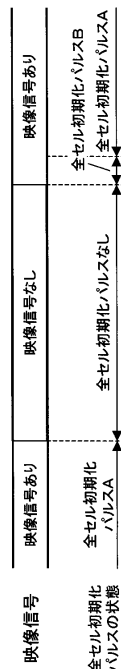
(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【要約】

【課題】プラズマディスプレイ装置において、長期間黒を表示した場合においても、映像信号入力時に誤放電を発生させず表示品質の悪化を防ぐことを目的とする。

【解決手段】プラズマディスプレイ装置であって、1フィールドのうち全てのサブフィールドにおける点灯率が特定の閾値以下となる無映像期間は、全セル初期化パルスの印加を停止するとともに、1フィールドのうち少なくとも1つのサブフィールドにおける前記点灯率が前記閾値を超える映像期間は、電圧が緩やかに上昇する期間の平均の電圧変化率が異なる2種類以上の全セル初期化パルスを印加するように構成し、かつ前記平均の電圧変化率が大きい全セル初期化パルスを印加する期間に先立って、平均の電圧変化率が小さい全セル初期化パルスを印加する期間を配置するように構成した。

【選択図】 図4



**【特許請求の範囲】****【請求項 1】**

複数の表示電極を配置した前面基板と前記表示電極に交差するようにデータ電極を配置した背面基板とを間に放電空間が形成されるように対向配置して複数の放電セルを形成したプラズマディスプレイパネルを有し、電圧が緩やかに上昇する期間を有しかつ全ての放電セルで初期化放電を発生させる全セル初期化パルス印加期間と、発光させる放電セルを選択するアドレス期間と、このアドレス期間で選択した放電セルで維持放電を行う維持期間とを設けて発光表示を行うプラズマディスプレイ装置であって、1フィールドのうち全てのサブフィールドにおける点灯率が特定の閾値以下となる無映像期間は、全セル初期化パルス印加を停止するとともに、1フィールドのうち少なくとも1つのサブフィールドにおける前記点灯率が前記閾値を超える映像期間は、電圧が緩やかに上昇する期間の平均の電圧変化率が異なる2種類以上の全セル初期化パルス印加するように構成し、かつ前記平均の電圧変化率が大きい全セル初期化パルス印加期間に先立って、平均の電圧変化率が小さい全セル初期化パルス印加期間を配置するように構成したことを特徴とするプラズマディスプレイ装置。

10

**【請求項 2】**

1フィールドのうち全てのサブフィールドにおける点灯率が特定の閾値以下となる無映像期間の長さを検出する無映像期間検出手段を設け、映像期間の直前の無映像期間の長さが特定の時間を超えたときに、映像期間において、平均の電圧変化率が大きい全セル初期化パルス印加期間に先立って、平均の電圧変化率が小さい全セル初期化パルス印加期間を配置するように構成したことを特徴とする請求項1記載のプラズマディスプレイ装置。

20

**【請求項 3】**

特定の閾値以下となる無映像期間の長さの時間は15秒～3分であることを特徴とする請求項6記載のプラズマディスプレイ装置。

**【請求項 4】**

平均の電圧変化率が小さい全セル初期化パルスの電圧は、平均の電圧変化率が大きい全セル初期化パルスの電圧よりも高くしたことを特徴とする請求項1または2記載のプラズマディスプレイ装置。

**【請求項 5】**

映像期間のうち、最初のフィールドにおいて平均の電圧変化率が小さい全セル初期化パルス印加し、2番目以降のフィールドにおいて平均の電圧変化率が大きい全セル初期化パルス印加するように構成したことを特徴とする請求項1または2記載のプラズマディスプレイ装置。

30

**【請求項 6】**

平均の電圧変化率が小さい全セル初期化パルスの電圧変化率は $0.6\text{ V} / \mu\text{sec}$ 以下であることを特徴とする請求項1または2記載のプラズマディスプレイ装置。

**【請求項 7】**

特定の閾値は0であることを特徴とする請求項1または2記載のプラズマディスプレイ装置。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、プラズマディスプレイパネル（以下、パネルという）を表示デバイスとして用いたプラズマディスプレイ装置に関するものである。

**【背景技術】****【0002】**

このプラズマディスプレイ装置に用いられるパネルは、大別して、駆動的にはAC型とDC型があり、放電形式では面放電型と対向放電型の2種類があるが、高精細化、大画面化および製造の簡便性から、現状では、プラズマディスプレイ装置の主流は、3電極構造

50

の面放電型のものである。

【0003】

この面放電型のプラズマディスプレイパネル構造は、少なくとも前面側が透明な一对の基板を基板間に放電空間が形成されるように対向配置するとともに、前記放電空間を複数に仕切るための隔壁を基板に配置し、かつ前記隔壁により仕切られた放電空間で放電が発生するように基板に電極群を配置するとともに放電により発光する赤色、緑色、青色に発光する蛍光体を設けて複数の放電セルを構成したもので、放電により発生する波長の短い真空紫外光によって蛍光体を励起し、赤色、緑色、青色の放電セルからそれぞれ赤色、緑色、青色の可視光を発することによりカラー表示を行っている。

【0004】

このようなプラズマディスプレイ装置は、液晶パネルに比べて高速の表示が可能であり、視野角が広いこと、大型化が容易であること、自発光型であるため表示品質が高いことなどの理由から、フラットパネルディスプレイの中で最近特に注目を集めており、多くの人が集まる場所での表示装置や家庭で大画面の映像を楽しむための表示装置として各種の用途に使用されている。

【0005】

このようなプラズマディスプレイ装置においては、パネルの駆動方法として、アドレス放電を生じやすい状態に壁電荷を調整する初期化期間と、入力映像信号に応じてアドレス放電を行うアドレス期間と、アドレス放電が生じた放電セルで維持放電を生じさせることによって表示発光を行う維持期間を含むサブフィールドという単位を1フィールド内で複数回繰り返すことによってプラズマディスプレイ装置の階調表示を行う方法が一般的に用いられる。

【0006】

このうち、初期化期間には、初期化パルスを印加して直前の状態に関係なく初期化放電を生じさせる全セル初期化期間と、直前に維持放電が生じたセルのみ初期化放電を生じさせる選択初期化期間の2種類があり、全セルに毎回必ず放電を生じさせて黒表示の輝度を上昇させる全セル初期化パルスを先頭のサブフィールドのみに設けることによって、1フィールドにおける初期化放電の回数を低減し、コントラストの向上を図る方法が用いられる(特許文献1参照)。

【特許文献1】特開2006-195328号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、プラズマディスプレイ装置において、全ての放電セルが発光しない全画面黒表示の映像信号が入力された場合、全ての放電セルにおいてアドレス放電を生じさせる必要がないため、全セル初期化放電が必要なくなる。よって、全画面黒表示において全セル初期化パルスの印加を停止すれば黒輝度がほぼ0となって、高いコントラストが実現できる。

【0008】

しかし、このような駆動方法を用いた場合、全画面に黒を表示する期間に長く滞在した後再び映像信号が入力されると、最初のフィールドにおける全セル初期化パルスで誤放電が発生して表示品質が悪化するという課題があった。

【0009】

本発明はこのような現状に鑑みなされたもので、長期間黒を表示した場合においても、映像信号入力時に誤放電を発生させず表示品質の悪化を防ぐことを目的とする。

【課題を解決するための手段】

【0010】

この課題を解決するために本発明は、複数の表示電極を配置した前面基板と前記表示電極に交差するようにデータ電極を配置した背面基板とを間に放電空間が形成されるように対向配置して複数の放電セルを形成したプラズマディスプレイパネルを有し、電圧が緩や

10

20

30

40

50

かに上昇する期間を有しかつ全ての放電セルで初期化放電を発生させる全セル初期化パルスを印加する初期化期間と、発光させる放電セルを選択するアドレス期間と、このアドレス期間で選択した放電セルで維持放電を行う維持期間とを設けて発光表示を行うプラズマディスプレイ装置であって、1フィールドのうち全てのサブフィールドにおける点灯率が特定の閾値以下となる無映像期間は、全セル初期化パルスの印加を停止するとともに、1フィールドのうち少なくとも1つのサブフィールドにおける前記点灯率が前記閾値を超える映像期間は、電圧が緩やかに上昇する期間の平均の電圧変化率が異なる2種類以上の全セル初期化パルスを印加するように構成し、かつ前記平均の電圧変化率が大きい全セル初期化パルスを印加する期間に先立って、平均の電圧変化率が小さい全セル初期化パルスを印加する期間を配置するように構成したことを特徴とする。

10

【発明の効果】

【0011】

本発明によれば、映像期間の開始時に電圧が緩やかに上昇する期間の平均の電圧変化率が小さい全セル初期化パルスを印加することによって、全セル初期化パルス印加時に発生する誤放電を防ぐことができるため、表示品質が悪化することなく高いコントラストを実現できるプラズマディスプレイ装置を得ることができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態によるプラズマディスプレイ装置について、図1～図10を用いて説明するが、本発明の実施の態様はこれに限定されるものではない。

20

【0013】

まず、プラズマディスプレイ装置におけるパネルの構造について図1を用いて説明する。図1に示すように、パネルは、ガラス製の前面基板1と背面基板2とを、その間に放電空間を形成するように対向配置することにより構成されている。前面基板1上には表示電極を構成する走査電極3と維持電極4とが互いに平行に対をなして複数形成されている。そして、走査電極3および維持電極4を覆うように誘電体層5が形成され、誘電体層5上には保護層6が形成されている。

【0014】

また、背面基板2上には絶縁体層7で覆われた複数のデータ電極8が設けられ、その絶縁体層7上には井桁状の隔壁9が設けられている。また、絶縁体層7の表面および隔壁9の側面に蛍光体層10が設けられている。そして、走査電極3および維持電極4とデータ電極8とが交差するように前面基板1と背面基板2とが対向配置されており、その間に形成される放電空間には、放電ガスとして、例えばネオンとキセノンの混合ガスが封入されている。なお、パネルの構造は上述したものに限られるわけではなく、例えばストライプ状の隔壁を備えたものであってもよい。

30

【0015】

図2はこのパネルの電極配列図である。行方向にn本の走査電極SC1～SCn（図1の走査電極3）およびn本の維持電極SU1～SUn（図1の維持電極4）が配列され、列方向にm本のデータ電極D1～Dm（図1のデータ電極8）が配列されている。そして、1対の走査電極SCiおよび維持電極SUi（ $i = 1 \sim n$ ）と1つのデータ電極Dj（ $j = 1 \sim m$ ）とが交差した部分に放電セルが形成され、放電セルは放電空間内に $m \times n$ 個形成されている。

40

【0016】

図3は本発明の実施の形態によるプラズマディスプレイ装置の回路ブロック図である。本発明の実施の形態によるプラズマディスプレイ装置は、パネル11、映像信号処理回路12、データ電極駆動回路13、走査電極駆動回路14、維持電極駆動回路15、タイミング発生回路16、点灯率検出回路17および電源回路（図示せず）を備えている。

【0017】

映像信号処理回路12は、映像信号をサブフィールド毎の映像データに変換する。データ電極駆動回路13はサブフィールドごとの映像データを各データ電極D1～Dmに対応

50

する信号に変換し、各データ電極  $D_1 \sim D_m$  を駆動する。タイミング発生回路 16 は水平同期信号  $H$  および垂直同期信号  $V$  をもとにして各種のタイミング信号を発生し、各駆動回路ブロックに供給している。点灯率検出回路 17 はサブフィールド毎の映像データより各サブフィールドが全ての放電セルのうち表示発光を行う放電セルの割合を演算し、サブフィールドごとの点灯率としてタイミング発生回路 16 に供給する。走査電極駆動回路 14 はタイミング信号にもとづいて走査電極  $SC_1 \sim SC_n$  に駆動電圧波形を供給し、維持電極駆動回路 15 はタイミング信号にもとづいて維持電極  $SU_1 \sim SU_n$  に駆動電圧波形を供給する。

#### 【0018】

本発明のプラズマディスプレイ装置においては、1フィールドを複数のサブフィールドに分割し、各サブフィールドに発光させる放電セルを選択するアドレス期間と、このアドレス期間で選択した放電セルで維持放電を行う維持期間とを設けて発光表示を行うとともに、各サブフィールドにおける維持期間に印加する維持パルスの数の重み付けを制御することにより階調制御を行っている。また、パネルの放電セルの電荷を調整するために、適宜、全ての放電セルで初期化放電を発生させる全セル初期化パルスを印加する初期化期間を設けている。

10

#### 【0019】

図4に、本実施の形態における映像信号による全セル初期化パルスの印加方法を示している。なお、全セル初期化パルスとは、直前の状態によらず全ての放電セルにおいて書き込み放電を安定して行うための初期化放電を生じさせるための電圧パルスであり、詳細な駆動電圧波形は後述する。また、映像信号の有無は、点灯率検出回路によって検出された各サブフィールドの点灯率によって判定される。すなわち、1フィールドにおいて1つ以上のサブフィールドの点灯率が0ではない場合は映像信号があると判定し、全てのサブフィールドの点灯率が0である場合は映像信号がなくなったと判定する。

20

#### 【0020】

図4に示すように、映像信号の有無によって、全セル初期化パルスの印加方法を切り替えるように構成するとともに、映像信号がある場合は、さらに全セル初期化パルスAを印加する状態および全セル初期化パルスBを印加する状態の2つの状態を設けている。すなわち、映像信号がある場合は、最初の1フィールドでは全セル初期化パルスAを印加する状態を配置し、そして、2フィールド目以降に全セル初期化パルスBを印加する状態を配置する。一方、映像信号がない場合は全セル初期化パルスなしの状態としている。なお、本実施の形態においては、映像信号の有無を判定するためのサブフィールドの点灯率の閾値を0と設定しているが、閾値を0以外の低い値に設定してもよい。

30

#### 【0021】

次に、それぞれの状態における駆動電圧波形とその動作について図5～図7を用いて説明する。

#### 【0022】

図5は、上述の全セル初期化パルスAを印加する全セル初期化期間において、パネルの各電極に印加される駆動電圧波形のうち、 $i$ 行目の表示ラインを構成する走査電極および維持電極に印加する駆動電圧波形および $j$ 列目のデータ電極に印加する駆動電圧波形を示している。

40

#### 【0023】

全セル初期化期間の駆動電圧波形においては、1フィールドを複数のサブフィールドに分割し、それぞれのサブフィールドは初期化期間、書き込み期間、維持期間を有している。

#### 【0024】

第1サブフィールドの初期化期間では、データ電極  $D_j$  および維持電極  $SU_i$  を0 ( $V$ ) に保持し、走査電極  $SC_i$  に対して放電開始電圧以下となる電圧 ( $V_a - V_{sc}$ ) から放電開始電圧を超える電圧  $V_{r1}$  に向かって上りランプ期間  $T_{r1}$  の間だけ緩やかに上昇するランプ電圧を印加する。すると、全ての放電セルにおいて1回目の微弱な初期化放電を起し、走査電極  $SC_i$  上に負の壁電圧が蓄えられるとともに維持電極  $SU_i$  上および

50

データ電極  $D_j$  上に正の壁電圧が蓄えられる。ここで、電極上の壁電圧とは電極を覆う誘電体層や蛍光体層上等に蓄積した壁電荷により生じる電圧を指す。この第1サブフィールドの初期化パルスは、全ての放電セルに初期化放電を発生させるため、全セル初期化パルスと呼ばれる。

【0025】

その後、維持電極  $S_{U_i}$  を正の電圧  $V_e$  に保ち、走査電極  $S_{C_i}$  に電圧  $V_s$  から電圧  $V_{sc2}$  に向かって緩やかに下降するランプ電圧を印加する。すると、すべての放電セルにおいて2回目の微弱な初期化放電を起こし、走査電極  $S_{C_i}$  上と維持電極  $S_{U_i}$  上との間の壁電圧が弱められ、データ電極  $D_j$  上の壁電圧も書込み動作に適した値に調整される。

【0026】

続く書込み期間では、走査電極  $S_{C_i}$  を一旦  $V_a$  に保持する。次に、その表示ラインの書き込みを行うタイミングで負の走査パルス電圧  $V_{sc}$  を印加するとともに、データ電極  $D_j$  に正の書込みパルス電圧  $V_d$  を印加する。このときデータ電極  $D_j$  と走査電極  $S_{C_i}$  との交差部の電圧は、外部印加電圧 ( $V_d - V_{sc}$ ) にデータ電極  $D_j$  上の壁電圧と走査電極  $S_{C_i}$  上の壁電圧とが加算されたものとなり、放電開始電圧を超える。そして、データ電極  $D_j$  と走査電極  $S_{C_i}$  との間および維持電極  $S_{U_i}$  と走査電極  $S_{C_i}$  との間に書込み放電が起こり、この放電セルの走査電極  $S_{C_i}$  上に正の壁電圧が蓄積され、維持電極  $S_{U_i}$  上に負の壁電圧が蓄積され、データ電極  $D_j$  上にも負の壁電圧が蓄積される。

【0027】

このようにして、 $i$  行目の  $j$  列目に表示すべき放電セルで書込み放電を起こして各電極上に壁電圧を蓄積する書込み動作が行われる。一方、書込みパルス電圧  $V_d$  が印加されない場合は、データ電極  $D_j$  と走査電極  $S_{C_i}$  との交差部の電圧は放電開始電圧を超えないので、書込み放電は発生しない。以上の書込み動作を  $n$  行目の放電セルに至るまで順次行った後に、書込み期間が終了する。

【0028】

続く維持期間では、走査電極  $S_{C_i}$  には第1の電圧として正の維持パルス電圧  $V_s$  を、維持電極  $S_{U_i}$  には第2の電圧として接地電位、すなわち  $0(V)$  をそれぞれ印加する。このとき書込み放電を起こした放電セルにおいては、走査電極  $S_{C_i}$  上と維持電極  $S_{U_i}$  上との間の電圧は維持パルス電圧  $V_s$  に走査電極  $S_{C_i}$  上の壁電圧と維持電極  $S_{U_i}$  上の壁電圧とが加算されたものとなり、放電開始電圧を超える。そして、走査電極  $S_{C_i}$  と維持電極  $S_{U_i}$  との間に維持放電が起こり、このとき発生した紫外線により蛍光体層が発光する。そして走査電極  $S_{C_i}$  上に負の壁電圧が蓄積され、維持電極  $S_{U_i}$  上に正の壁電圧が蓄積される。このときデータ電極  $D_j$  上にも正の壁電圧が蓄積される。

【0029】

書込み期間において書込み放電が起きなかった放電セルでは、維持放電は発生せず、初期化期間の終了時における壁電圧が保持される。続いて、走査電極  $S_{C_i}$  には第2の電圧である  $0(V)$  を、維持電極  $S_{U_i}$  には第1の電圧である維持パルス電圧  $V_s$  をそれぞれ印加する。すると、維持放電を起こした放電セルでは、維持電極  $S_{U_i}$  上と走査電極  $S_{C_i}$  上との間の電圧が放電開始電圧を超えるので、再び維持電極  $S_{U_i}$  と走査電極  $S_{C_i}$  との間に維持放電が起こり、維持電極  $S_{U_i}$  上に負の壁電圧が蓄積され走査電極  $S_{C_i}$  上に正の壁電圧が蓄積される。

【0030】

以降同様に、走査電極  $S_{C_i}$  と維持電極  $S_{U_i}$  とに交互に輝度重みに応じた数の維持パルスを印加することにより、書込み期間において書込み放電を起こした放電セルで維持放電が継続して行われる。こうして維持期間における維持動作が終了する。

【0031】

続くサブフィールドにおける初期化期間、書込み期間、維持期間の動作も第1サブフィールドにおける動作とほぼ同様な動作で、第1サブフィールドと異なるのは、第2サブフィールドの初期化パルス  $Pr_2$  の電圧が  $V_s$  であるため、全ての放電セルで初期化放電を起こすのではなく、直前のサブフィールドである第1サブフィールドで維持放電が発生し

10

20

30

40

50

たときのみ、初期化放電を起こすという点である。

【0032】

図6は、上述の全セル初期化パルスの印加を停止する状態において、パネルの各電極に印加される駆動電圧波形のうち、 $i$ 行目の表示ラインを構成する走査電極および維持電極に印加する駆動電圧波形および $j$ 列目のデータ電極に印加する駆動電圧波形を示している。

【0033】

全セル初期化パルスを印加しない期間の駆動電圧波形においては、1フィールドを複数のサブフィールドに分割し、第1サブフィールドは書込み期間、維持期間を有し、第2サブフィールド以降は初期化期間、書込み期間、維持期間を有している。

10

【0034】

図5に示す全セル初期化期間における駆動電圧波形との違いは、第1サブフィールドの初期化期間がなくなることだけであり、全セル初期化パルスを印加しないフィールドでは、全セル初期化パルスによる初期化放電が発生せず、さらに映像信号がない場合にのみ出現するため、書き込み放電および維持放電も発生しない。よって、放電による発光が生じていない状態となる。

【0035】

図7は、上述の全セル初期化パルスBを印加する全セル初期化期間において、パネルの各電極に印加される駆動電圧波形のうち、 $i$ 行目の表示ラインを構成する走査電極および維持電極に印加する駆動電圧波形および $j$ 列目のデータ電極に印加する駆動電圧波形を示している。

20

【0036】

全セル初期化パルスBを印加する状態における駆動電圧波形は、第1サブフィールドの初期化期間以外は全セル初期化パルスAを印加する状態における駆動電圧波形と同じである。

【0037】

全セル初期化パルスBを印加する状態における第1サブフィールドの初期化期間では、データ電極 $D_j$ および維持電極 $S_{U_i}$ を0(V)に保持し、走査電極 $S_{C_i}$ に対して放電開始電圧以下となる電圧( $V_a - V_{sc}$ )から放電開始電圧を超える電圧 $V_{r1}$ に向かって $T_{r2} > T_{r1}$ となるような上りランプ期間 $T_{r2}$ の間だけ緩やかに上昇するランプ電圧を印加する。このようにすることで、全セル初期化パルスの上りランプ期間 $T_{r2}$ における電圧の変化率が、全セル初期化パルスAを印加する場合に比べて小さく設定されることとなる。

30

【0038】

無映像期間がある期間以上続き、全セル初期化パルスが印加されずに全く初期化放電が発生しない期間が長期間続くと、放電セル内には放電による空間電荷(プライミング粒子)がほとんどなくなってしまい、放電セルに印加される電圧が放電開始電圧を超えてから実際に放電が発生するまでの時間が長くなる。この状態で全セル初期化パルスを印加し、放電開始電圧より高い電圧までランプ電圧のように緩やかに電圧を上昇させると、放電開始電圧を超えてから放電が発生するまでの時間が通常より長くなって、放電が発生する瞬間の電圧が高くなる。このため、上昇するランプ電圧の印加中に発生する放電が強くなって強放電となり、走査電極 $S_{C_i}$ および維持電極 $S_{U_i}$ 間に多量の異常な壁電圧が蓄えられる。この異常壁電圧によって下降するランプ電圧を印加している間においても強放電が発生して、あたかも書き込み放電が行われたのと同じような壁電圧が走査電極 $S_{C_i}$ および維持電極 $S_{U_i}$ 上に蓄えられ、書き込みパルスを印加していなくても維持期間に誤放電が発生してしまう。この誤放電は強い異常発光となってプラズマディスプレイの表示品質を悪化させる。

40

【0039】

本発明の実施の形態によれば、全セル初期化パルスを印加しない期間から全セル初期化パルスを印加する期間に切り替わる際に、全セル初期化パルスを印加する期間の最初のフ

50

フィールドは全セル初期化パルスBを印加する状態、すなわち平均の電圧変化率が小さいランプ電圧の全セル初期化パルスを印加するため、上述のように上昇するランプ電圧を印加する際の強放電の発生が抑制され、続く維持期間における誤放電が発生しなくなるため、表示品質の悪化を防ぐことができる。このとき、全セル初期化パルスBを印加する状態における全セル初期化パルスのランプ電圧の電圧変化率を $0.6\text{ V} / \mu\text{sec}$ 以下に設定することで、前述の強放電を抑制するのに十分な効果が得られる。

#### 【0040】

また本発明の実施の形態によれば、平均の電圧変化率が小さい全セル初期化パルスBを印加する状態の後の2番目移行のフィールドは、平均の電圧変化率が大きい全セル初期化パルスAを印加する状態とすることで、全セル初期化パルスの上りランプ期間を( $T_{r2} - T_{r1}$ )の時間だけ短く設定することが可能となり、短縮した時間を維持パルス数の増加に充てることで、プラズマディスプレイの輝度を向上させることができ、表示性能の向上が実現できる。

10

#### 【0041】

上述したように、本発明の実施の形態においては、無映像期間から映像期間に切り替わる際に、電圧が緩やかに上昇する期間の平均の電圧変化率が異なる2種類以上の全セル初期化パルスを印加するように構成し、かつ前記平均の電圧変化率が大きい全セル初期化パルスを印加する期間に先立って、平均の電圧変化率が小さい全セル初期化パルスを印加する期間を配置するように構成したことにより、誤放電の発生を抑えることが可能となり、表示品位を損なうことなく高コントラストを実現できるプラズマディスプレイ装置を提供することができる。

20

#### 【0042】

図8は、本発明の他の実施の形態による駆動波形を示している。この図8に示す実施の形態においては、全セル初期化パルスBを印加する状態における駆動電圧波形のうち、第1サブフィールドの初期化期間のみを上記実施の形態と異なる構成としたもので、それ以外は上記の実施の形態と同様な駆動電圧波形としたものである。なお、図8においては、全セル初期化パルスBを印加する状態において、パネルの各電極に印加される駆動電圧波形のうち、 $i$ 行目の表示ラインを構成する走査電極および維持電極に印加する駆動電圧波形および $j$ 列目のデータ電極に印加する駆動電圧波形を示している。

30

#### 【0043】

図8に示すように、本実施の形態においては、全セル初期化パルスBを印加する第1サブフィールドの初期化期間では、データ電極 $D_j$ および維持電極 $S_{U_i}$ を $0\text{ (V)}$ に保持し、走査電極 $S_{C_i}$ に対して放電開始電圧以下となる電圧( $V_a - V_{sc}$ )から放電開始電圧を超える電圧 $V_{r2}$ に向かって $T_{r3} > T_{r2}$ となるような上りランプ期間 $T_{r3}$ の間だけ緩やかに上昇するランプ電圧を印加する。ここで、 $V_{r2}$ は $V_{r1}$ よりも高くなるように設定する。このようにすることで、全セル初期化パルスの上りランプ期間 $T_{r2}$ における電圧の変化率が、全セル初期化パルスAを印加する場合に比べて小さく設定できるとともに、全セル初期化パルスのピーク電圧を高くすることができる。

#### 【0044】

すなわち、無映像期間がある期間以上続き、全セル初期化パルスが印加されずに全く初期化放電が発生しない期間が長期間続くと、前述したとおり、放電セル内には放電による空間電荷(プライミング粒子)がほとんどなくなってしまい、放電セルに印加される電圧が放電開始電圧を超えてから実際に放電が発生するまでの時間が長くなるが、同時に放電開始電圧も上昇する。この放電開始電圧の上昇が大きくなると、初期化放電が発生しない放電セルが生じ、正常な壁電圧を蓄えることができなくなるため、書き込み放電が不十分になって維持放電による表示発光が弱くなってやはり表示品質が悪化する。

40

#### 【0045】

本実施の形態によれば、全セル初期化パルスを印加しない期間の後の最初のフィールドを、図8に示すような全セル初期化パルスBを印加する状態、すなわち全セル初期化パルスのランプ電圧の電圧変化率を小さくするとともに、平均の電圧変化率が小さい全セル初

50

期化パルスの電圧は、平均の電圧変化率が大きい全セル初期化パルスの電圧よりも高くすることにより、上述のような上昇するランプ電圧印加中の強放電が発生しにくくなり、さらに初期化放電が生じない放電セルをなくすることが可能となって、表示品質の悪化を防ぐことができる。このとき、全セル初期化パルス B を印加する状態における全セル初期化パルスのランプ電圧の電圧変化率を  $0.6 \text{ V} / \mu \text{ s e c}$  以下に設定することで、前述の強放電を抑制するのに十分な効果が得られる。

【0046】

また、本実施の形態によれば、全セル初期化パルスを印加して初期化放電が発生した後は、全セル初期化パルス A を印加する状態とする、すなわち映像期間のうち、最初のフィールドにおいて平均の電圧変化率が小さい全セル初期化パルスを印加し、2 番目以降のフィールドにおいて平均の電圧変化率が大きい全セル初期化パルスを印加するように構成したことにより、全セル初期化パルスの上りランプ期間を  $(T_{r3} - T_{r1})$  の時間だけ短く設定することが可能となり、短縮した時間を維持パルス数の増加等に充てることで、プラズマディスプレイの輝度向上等による表示性能の向上が実現できる。

10

【0047】

図 9 は、本発明の他の実施の形態において、全セル初期化パルスの印加方法を示すものである。

【0048】

図 9 に示すように、本実施の形態においては、映像信号がない状態から映像信号がある状態に切り替わる際に、直前の無映像期間の長さを参照し、無映像期間が 15 秒よりも長い場合だけ、上記実施の形態で説明したように、映像信号がある映像期間において最初のフィールドで全セル初期化パルス B を印加する初期化期間を設け、その後のフィールドで全セル初期化パルス A を印加する初期化期間を設けるものである。一方、無映像期間が 15 秒よりも短い場合は、図 9 に示すように、映像信号がある状態に切り替わった直後でも全セル初期化パルス A を印加する初期化期間とする。

20

【0049】

このように構成することで、無映像期間が短い場合には映像信号がある状態における最初のフィールドと 2 番目のフィールドとの間の輝度差による表示品質の悪化を少なくすることができ、より表示品質の高いプラズマディスプレイ装置を提供することができる。

【0050】

なお、無映像期間の長さによる切り替え閾値を 15 秒に設定したが、これは通常の映像において、全画面黒表示の映像が続く期間がほぼ 15 秒以内であることと、無映像期間が 3 分以上続かないと、全セル初期化パルス印加時の誤放電が発生しないことから設定した値であり、15 秒～3 分の間であれば、どの時間に設定しても本発明の効果は得られる。

30

【0051】

図 10 は、図 9 に示す実施の形態を実施するための回路ブロック図である。図 3 に示す回路ブロックと異なる点は、1 フィールドのうち全てのサブフィールドにおける点灯率が特定の閾値以下となる無映像期間の長さを検出する無映像期間検出手段としての無映像期間検出回路 18 を備えている点である。

【0052】

図 10 において、無映像期間検出回路 18 は、点灯率検出回路 17 から受け取った各サブフィールドの点灯率から、1 フィールドのうち全てのサブフィールドにおける点灯率が特定の閾値以下となる無映像期間の長さを演算し、それに基づき、タイミング発生回路 16 の動作を制御するものである。すなわち、1 フィールドのうち全てのサブフィールドにおける点灯率が特定の閾値以下となる無映像期間の長さを検出し、映像期間の直前の無映像期間の長さが特定の時間 (15 秒～3 分) を超えたときに、映像期間において、平均の電圧変化率が大きい全セル初期化パルス A を印加する期間に先立って、平均の電圧変化率が小さい全セル初期化パルス B を印加する期間を配置するように制御するものである。なお、全セル初期化パルス A を印加するフィールド、及び全セル初期化パルス B を印加するフィールドにおける駆動電圧波形は、上記実施の形態において説明した図 5～図 8 に示す

40

50

駆動電圧波形と同様な波形を印加すれば、上記実施の形態で述べた作用効果と同様な作用効果を得ることができる。

【産業上の利用可能性】

【0053】

以上のように本発明は、高コントラストのプラズマディスプレイ装置を提供する上で有用な発明である。

【図面の簡単な説明】

【0054】

【図1】本発明の実施の形態によるプラズマディスプレイ装置に用いるパネルの要部を示す斜視図

10

【図2】同パネルの電極配列図

【図3】同プラズマディスプレイ装置の回路ブロック図

【図4】同プラズマディスプレイ装置の全セル初期化パルスの印加方法を示す説明図

【図5】同プラズマディスプレイ装置の要部の駆動電圧波形を示す波形図

【図6】同プラズマディスプレイ装置の要部の駆動電圧波形を示す波形図

【図7】同プラズマディスプレイ装置の要部の駆動電圧波形を示す波形図

【図8】本発明の他の実施の形態によるプラズマディスプレイ装置の要部の駆動電圧波形を示す波形図

【図9】本発明の他の実施の形態によるプラズマディスプレイ装置の全セル初期化パルスの印加方法を示す説明図

20

【図10】同プラズマディスプレイ装置の回路ブロック図

【符号の説明】

【0055】

1 前面基板

2 背面基板

3 走査電極

4 維持電極

8 データ電極

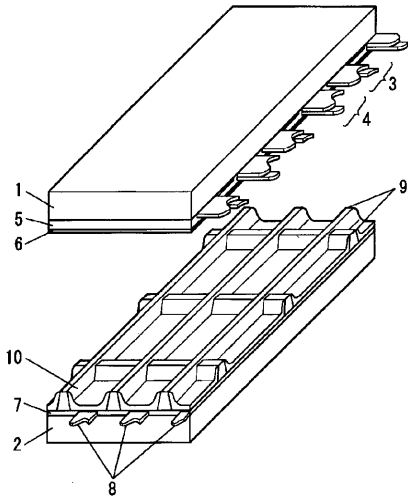
11 パネル

17 点灯率検出回路

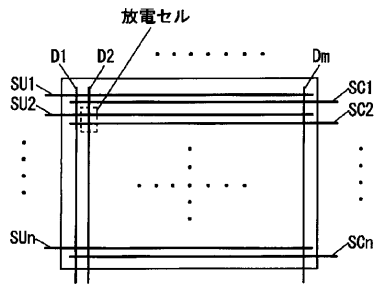
18 無映像期間検出回路

30

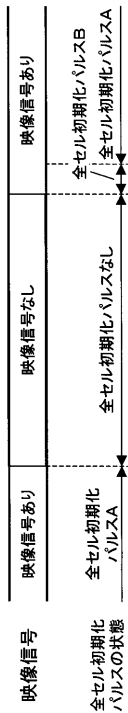
【図1】



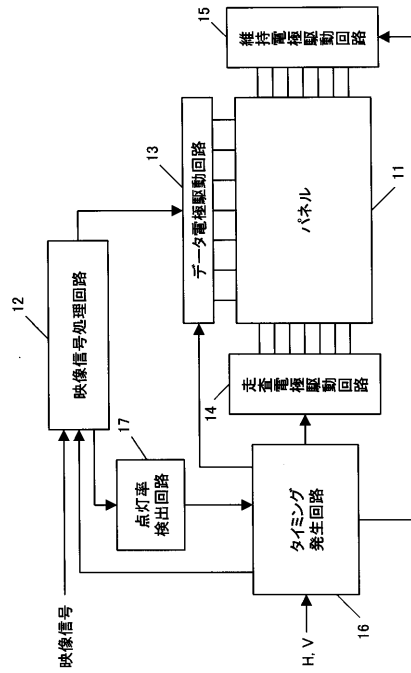
【図2】



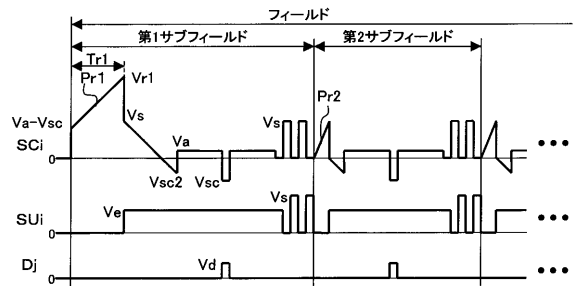
【図4】



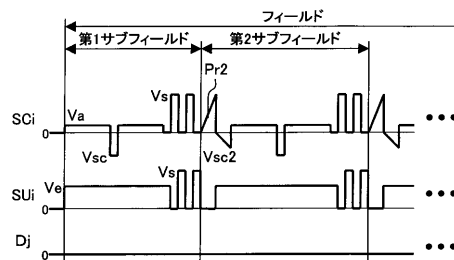
【図3】



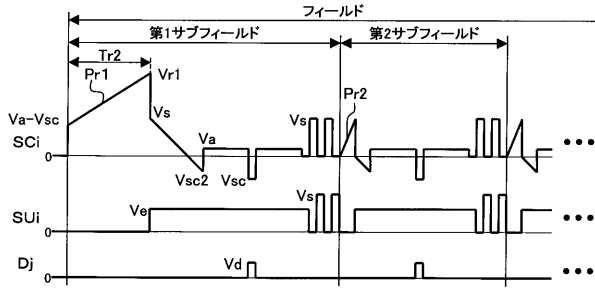
【図5】



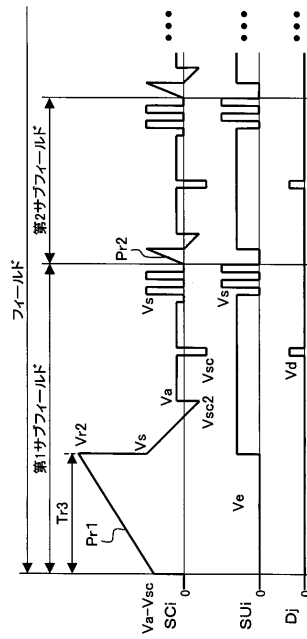
【図6】



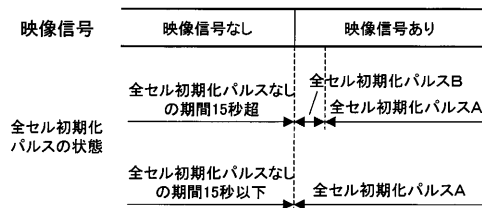
【 図 7 】



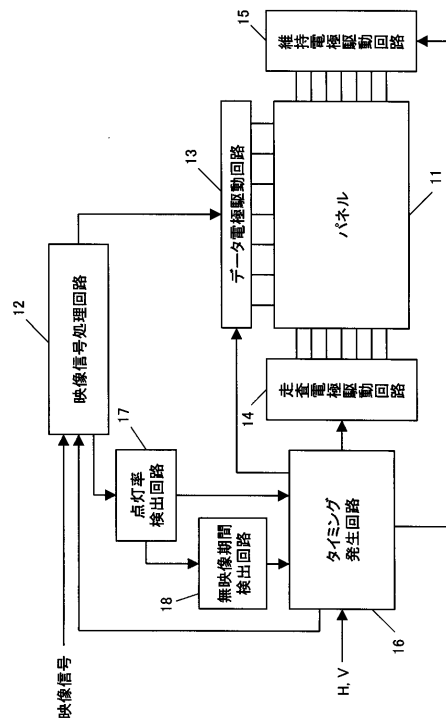
【 図 8 】



【 図 9 】



【 図 10 】



## フロントページの続き

| (51)Int.Cl. | F I   | テーマコード(参考) |
|-------------|---|------------|
|             | G 0 9 G 3/20  | 6 2 2 C    |
|             | G 0 9 G 3/20  | 6 4 2 E    |
|             | G 0 9 G 3/20  | 6 7 0 E    |
| F ターム(参考)   | 5C080 AA05 BB05 CC03 DD03 DD09 EE28 EE29 FF12 HH02 HH04 |            |
|             | HH06 HH07 JJ02 JJ04 JJ06                                |            |
|             | 5C580 AA03 BA01 BA06 BA08 BA09 BA13 BA14 BA19 BB05 CA04 |            |
|             | CB08 EA06   |            |