

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/28

(11) 공개번호 특1998-077761
(43) 공개일자 1998년11월 16일

(21) 출원번호	특1997-015002
(22) 출원일자	1997년04월22일
(71) 출원인	삼성전자 주식회사 윤종용
	경기도 수원시 팔달구 매탄동 416번지
(72) 발명자	이철규
	서울특별시 서초구 양재동 307-5번지 301호
(74) 대리인	이영필, 권석흥, 노민식

심사청구 : 있음

(54) 보이드 프리 반도체장치의 제조방법

요약

본 발명은 보이드 프리(void free) 반도체장치의 제조방법에 관해 개시한다. 본 발명에 의한 보이드 프리 반도체장치의 제조방법에서는 층간절연막에 콘택홀이나 비어홀을 형성한 후 감광막 패턴을 제거한 후 층간절연막의 하부막질에 대해 식각선택비가 우수한 식각조건하에서 입사각에 따라 식각율이 변하는(입사각이 90° 미만에서 최대의 식각율을 갖는)플라즈마 이온을 사용하여 상기 결과물의 전면을 에치 백한다. 이 결과 상기 콘택홀 또는 비어홀의 내면과 이들 홀이 포함된 층간절연막의 평평한 부분사이에 존재하는 뾰족한 모서리 부분은 라운딩되어 매끄러운 층간절연막의 평평한 부분과 콘택홀 또는 비어홀의 내면과 연속되는 곡면이 된다.

따라서 후속 콘택홀이나 비어홀을 채우는 필링공정에서 콘택홀 또는 비어홀에 보이드가 형성됨이 없이 공정을 쉽게 진행할 수 있다.

대표도

도23

명세서

도면의 간단한 설명

도 1 및 도 2는 종래 기술에 의한 반도체장치의 콘택홀 형성방법을 단계별로 나타낸 도면들이다.

도 3은 도 1 및 도 2에 도시된 종래 기술에 의한 반도체장치의 콘택홀 형성방법에 의해 형성된 콘택홀을 포함하는 층간절연막의 주사 전자현미경(SEM)사진이다.

도 4 및 도 5는 다른 종래 기술에 의한 반도체장치의 콘택홀 형성방법을 단계별로 나타낸 도면들이다.

도 6은 도 4 및 도 5에 도시된 다른 종래 기술에 의한 반도체장치의 콘택홀 형성방법에 의해 형성된 콘택홀을 포함하는 층간절연막의 주사 전자현미경(SEM)사진이다.

도 7 및 도 8은 또 다른 종래기술에 의한 반도체장치의 제조방법을 단계별로 나타낸 도면들이다.

도 9 및 도 10은 또 다른 종래 기술에 의한 반도체장치의 제조방법을 단계별로 나타낸 도면들이다.

도 11 내지 도 13은 본 발명의 제1 실시예에 의한 보이드 프리 반도체장치의 제조방법을 단계별로 나타낸 도면들이다.

도 14 내지 도 16은 본 발명의 제2 실시예에 의한 보이드 프리 반도체장치의 제조방법을 단계별로 나타낸 도면들이다.

도 17 내지 도 19는 본 발명의 제3 실시예에 의한 보이드 프리 반도체장치의 제조방법을 단계별로 나타낸 도면들이다.

도 20 내지 도 22는 본 발명의 제4 실시예에 의한 보이드 프리 반도체장치의 제조방법을 단계별로 나타낸 도면들이다.

도 23은 본 발명의 제1 내지 제4 실시예에 의한 보이드 프리 반도체장치의 제조방법중 어느 한 방법의 에치 백 구현예에 의해 형성된 콘택홀을 포함하는 층간절연막의 주사 전자 현미경(SEM)사진이다.

도 24는 식각대상물질의 이온 입사각에 따른 식각율을 나타낸 그래프이다.

* 도면의 주요부분에 대한 부호설명

40, 48:반도체기판

42, 52:충간절연막

46, 56:플라즈마 이온

50:도전층

A, A1:콘택홀 또는 비어홀의 뾰족한 부분

A', A1':플라즈마 이온에 의해 식각된 콘택홀 또는 비어홀의 뾰족한 부분

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 보이드 프리(void free) 반도체장치의 제조방법에 관한 것으로서 특히, 콘택홀(또는 비어홀)의 뾰족한 모서리 부분을 라운딩(rounding)하는 방법에 관한 것이다.

반도체장치의 제조기술 뿐만 아니라 이에 사용되는 관련장치의 발전이 급속히 이루어짐에 따라 반도체장치의 집적도가 급속히 높아져서 반도체장치를 이루는 각종 반도체소자의 단위 웨이퍼 면적당 밀도도 높아지고 있다. 이에 따라 반도체장치를 제조하는 데 있어서, 디자인 룰(design rule)은 수 미크론(μm) 정도로 낮아지고 있고, 부분적으로는 소숫점 이하로 낮아지고 있다. 이러한 상황에서 기존에는 결코 문제가 되지 않았던 부분이 지금은 문제가 되고 있다. 예컨대, 반도체장치의 집적도가 그다지 높지 않았을 때는 웨이퍼(상)에 형성되는 패턴들의 폭이 넓고 패턴간의 간격도 넓었기 때문에 단차나 패턴들의 형태가 그다지 문제가 되지 않았다. 하지만 집적도가 높아지고 있는 상황에서는 패턴들이 형성될 수 있는 영역이 작아지기 때문에 패턴들의 두께가 동일하더라도 그 단차는 훨씬 더 높게 나타난다. 더욱이 패턴들의 형태는 후속공정의 안정성과도 연계되어 있어 무엇보다 중요하다.

그 한 예를 기판과 도전층, 도전층과 도전층간의 전기적 통로로 사용되는 콘택홀이나 비어홀에서 찾아볼 수 있는데, 콘택홀이나 비어홀의 경우 반도체장치의 집적도가 높아질 경우 홀의 직경은 작게 형성되므로 홀이 형성되는 물질층의 두께는 동일하더라도 그 종횡비(Aspect Ratio)는 기존에 비해 더욱 커지게 마련이다. 특히, 이러한 홀을 형성하는데는 대부분 건식식각이 사용되므로 홀의 내면과 홀이 형성되어 있는 물질층의 평평한 부분은 홀 입구에서 서로 수직으로 만난다. 따라서 홀의 입구 모서리에는 뾰족하게 각진 부분이 형성된다.

이와 같은 콘택홀이나 비어홀의 형성을 관련된 종래 기술에 의한 반도체장치의 제조방법의 설명을 통해서 보다 상세하게 설명하고 그 문제점들은 간단히 언급한다. 이를 위해 첨부된 도면을 참조한다.

도 1 및 도 2는 종래 기술에 의한 반도체장치의 제조방법중 건식식각을 이용하여 콘택홀을 형성하는 방법을 단계별로 나타낸 도면들이고,

도 3은 도 1 및 도 2에 도시된 종래 기술에 의한 반도체장치의 제조방법에 의해 형성된 콘택홀을 포함하는 충간절연막의 주사 전자현미경(SEM)사진이다.

그리고 도 4 및 도 5는 종래 기술에 의한 반도체장치의 제조방법중 습식 및 건식식각방식을 이용하여 콘택홀을 형성하는 방법을 단계별로 나타낸 도면들이고,

도 6은 도 4 및 도 5에 도시된 다른 종래 기술에 의한 반도체장치의 제조방법에 의해 형성된 콘택홀을 포함하는 충간절연막의 주사 전자현미경(SEM)사진이다.

또한, 도 7 및 도 8은 종래기술에 의한 반도체장치의 제조방법중 건식식각을 이용하여 비어홀을 형성하는 방법을 단계별로 나타낸 도면들이고,

도 9 및 도 10은 종래 기술에 의한 반도체장치의 제조방법중 습식 및 건식식각을 이용하여 비어홀을 형성하는 방법을 단계별로 나타낸 도면들이다.

먼저, 도 1을 참조하면, 도 1은 충간절연막 상에 콘택홀을 형성할 영역을 한정하는 감광막 패턴을 형성하는 단계를 나타낸 도면인데, 구체적으로 반도체기판(10) 상에 충간절연막(12)이 형성되고 충간 절연막(12) 상에는 감광막(미도시)이 도포된다. 계속해서 도포된 감광막을 패터닝하면, 충간절연막(12)의 소정의 영역이 노출되는 형태의 감광막 패턴(14)이 형성된다. 감광막 패턴(14)에 의해 노출되는 충간절연막의 소정의 영역은 후속 공정에서 콘택홀이 형성되는 영역이다.

도 2는 콘택홀(13)을 형성하는 단계를 나타낸 도면인데, 구체적으로 설명하면, 감광막 패턴(도 1의 14)을 식각마스크로 사용하여 반도체기판(10)의 계면이 노출될 때 까지 충간절연막(도 1의 12)의 전면이 이방성 식각된 후 감광막 패턴(도 1의 14)이 제거된다. 이 결과 충간절연막(도 1의 12)의 감광막 패턴(도 1의 14)에 의해 노출된 영역에는 콘택홀(13)이 형성된다. 콘택홀(13)이 형성된 충간절연막(12a)을 보면, 콘택홀(13)의 내면과 충간절연막(12a)이 평평한 부분사이에는 후속 콘택홀의 필링공정에서 공정의 특성을 개선시키기 위해서는 제거되어야 할 뾰족한 모서리 부분이 형성된다. 이러한 콘택홀(13)의 실물 SEM사진을 도시한 것이 도 3이다. 도 3을 참조하면, 종래 기술에 의한 반도체장치의 제조방법중 건식식각을 이용하여 형성된 콘택홀(13)의 경우 충간절연막(12a)과 콘택홀(13)의 경계부분에는 도 2에 도시된 바와 같은 뾰족한 모서리 부분이 형성되는 것을 알 수 있다.

다음에는 습식식각과 건식식각을 병행하여 콘택홀을 형성하는 종래 기술에 의한 반도체장치의 제조방법을 설명한다.

먼저, 도 4를 참조하면, 도 4는 콘택홀형성영역을 한정하는 감광막 패턴(14)의 아래에 언더 컷을 형성하는 단계를 나타낸 도면인데, 구체적으로 도 1의 결과물을 이방성식각하기 전에 먼저 소정의 시간동안 습

식각하여 층간절연막(도 1의 12) 노출된 부분을 중심으로 감광막 패턴(14)의 층간절연막(도 1의 12)의 노출부분과 경계를 이루는 부분의 아래에 언더 컷을 형성한다. 이어서 세정 및 건조공정을 실시한 후 감광막 패턴(14)을 플로우시켜 언더 컷이 형성되어 있는 층간절연막(12b)의 언더 컷부분의 가장자리 일부영역에 언더 컷의 형성으로 인해 들려있는 일부 감광막 패턴을 도포되게 한다. 이후 감광막 패턴(14)을 식각마스크로 사용하여 언더 컷된 층간절연막(12b)의 전면을 이방성식각한 후 감광막 패턴(14)을 제거한다. 이 결과, 도 5에 도시된 바와 같이 층간절연막(도 4의 12b)에는 언더 컷과 연계되는 콘택홀(13a)이 형성된다. 그런데, 언더 컷이 형성된 부분을 중심으로 층간절연막(12c)의 평평한 부분 및 콘택홀(13a)의 내면과 언더 컷이 형성된 부분이 만나는 부분에는 뾰족한 모서리 부분이 존재한다. 이와 같은 모서리 부분에 의해 후속 콘택홀(13a)을 채우는 공정에서는 콘택홀(13a)내에 보이드(void)가 형성되는 등 필링 특성이 저하된다.

도 6에는 도 5에 도시된 바와 같은 언더 컷과 연계되어 있는 콘택홀의 실물 SEM사진이 도시되어 있는 데, 이를 보더라도 콘택홀(13a)의 내면과 층간절연막(12c)의 평평한 부분사이에는 뾰족한 모서리 부분이 형성되는 것을 알 수 있다.

이어서 도 7 내지 도 8을 참조하여 건식식각을 이용하여 비어홀을 형성하는 종래 기술에 의한 반도체장치의 제조방법을 설명한다.

먼저, 도 7을 참조하면, 도 7은 비어홀 형성영역을 한정하는 단계를 나타낸 도면으로서, 구체적으로는 반도체기판(16) 상에 도전층(18)을 형성하고 도전층(18) 상에는 층간절연막(20)을 형성한다. 계속해서 층간절연막(20)의 전면에는 감광막(미도시)을 도포한 다음 패턴닝하여 후속공정에서 비어홀이 형성될 영역에 해당하는 층간절연막의 소정의 영역을 노출시키는 감광막 패턴(22)을 형성한다. 이어서 이와 같은 감광막 패턴(22)을 식각마스크로 사용하여 층간절연막(20)의 전면을 도전층(18)의 계면이 노출될 때 까지 이방성식각하면, 도 8에 도시된 바와 같이 층간절연막(20)의 노출된 부분에는 비어홀이 형성된다. 후속공정에서 이러한 비어홀이 형성되어 있는 층간절연막(20a)의 전면에 비어홀을 채우는 도전성 물질층이 형성되는 경우 비어홀의 입구가 좁고 비어홀의 내면과 층간절연막(20a)의 평평한 면 사이에 존재하는 뾰족한 부분이 있음으로 인해 비어홀의 안쪽을 다 채우지 못하고 비어홀의 입구가 도전성 물질층으로 막혀서 보이드(void)가 내재된 비어홀이 형성됨으로써 결국, 비어홀의 저항이 증가되어 이를 통한 전기적 신호의 전달이 느려지게 되어 반도체장치의 동작이 지연되는 결과를 초래한다.

이어서 도 9 및 도 10을 참조하여 습식과 건식식각을 병행하여 비어홀을 형성하는 종래 기술에 의한 반도체장치의 제조방법을 설명한다.

먼저, 도 7에 도시한 바와 같이 반도체기판(16) 상에 도전층(18), 층간절연막(20), 감광막 패턴(22)을 형성한 후 이 결과물을 소정의 시간동안 습식식각한다. 이 결과 도 9에 도시된 바와 같이 감광막 패턴(22)에 의해 노출된 부분을 중심으로 감광막 패턴(22)의 일부 아래에 언더 컷이 형성된 층간절연막(20b)이 형성된다. 이후 소정의 세정 및 건조공정을 실시한다. 이어서 감광막 패턴(22)을 플로우시켜 감광막 패턴(22)의 언더 컷이 존재하는 영역의 들려 있는 부분을 바로 아래의 층간절연막의 언더 컷 부분의 일부에 도포되도록 하여 처음 비어홀을 형성하기 위해 노출된 영역은 그대로 유지한다. 이어서 층간절연막(20b)의 전면을 도전층(18)의 계면이 노출될 때 까지 이방성식각하고 플로우된 감광막 패턴(미도시)을 제거하면, 도 10에 도시된 바와 같은 층간절연막(20b)의 언더 컷이 형성된 부분의 중앙에는 소정의 직경을 갖는 비어홀이 형성된다. 도 10에 도시된 비어홀은 입구가 언더 컷과 연계되어 있다.

도 10에 도시된 바와 같은 비어홀의 내면과 층간절연막의 평평한 면 사이에 존재하는 뾰족한 모서리 부분은 도 8에 도시된 바와 같이 건식식각만으로 형성된 비어홀내면과 층간절연막의 평평한 면 사이에 존재하는 뾰족한 모서리 부분에 비해 그 뾰족함이 심하지는 않으나 여전히 뾰족한 부분은 존재하므로 후속 비어홀을 채우는 필링공정에서 비어홀에 보이드가 형성될 수 있으며 상기한 바와 같은 문제가 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 이루고자하는 기술적 과제는 이러한 종래 기술이 갖는 문제점을 해결하기 위해 콘택홀이나 비어홀을 형성한 후에 각 홀의 뾰족한 모서리 부분을 매끄럽게 형성할 수 있는 보이드 프리 반도체장치의 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명의 제1 실시예에 의한 보이드 프리 반도체장치의 제조방법은 (a) 반도체기판 상에 층간절연막을 형성하는 단계; (b) 상기 층간절연막에 콘택홀을 형성하는 단계; 및 (c) 상기 콘택홀 입구의 모서리 부분을 라운딩하는 단계를 포함하는 것을 특징으로 한다.

상기 기술적 과제를 달성하기 위하여, 본 발명의 제2 실시예에 의한 보이드 프리 반도체장치의 제조방법은 (a) 반도체기판 상에 층간절연막을 형성하는 단계; (b) 상기 층간절연막 상에 층간절연막의 소정의 영역을 노출시키는 감광막 패턴을 형성하는 단계; (c) 상기 감광막 패턴의 아래에 언더 컷을 형성하는 단계; (d) 상기 층간절연막에 상기 언더 컷과 연계된 콘택홀을 형성하는 단계; (e) 상기 감광막 패턴을 제거하는 단계; 및 (f) 상기 층간절연막의 평평한 면과 상기 콘택홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 제2 실시예에 따르면, 상기 언더 컷은 상기 (b) 단계이후의 결과물을 소정의 시간동안 습식식각하여 형성한다.

본 발명의 제1 및 제2 실시예에 따르면, 상기 콘택홀을 포함하고 있는 층간절연막의 전면을 상기 층간절연막과 접촉되어 있는 하부막질에 대해 식각선택비가 우수한 식각조건으로 에치 백하여 상기 층간절연막의 평평한 면과 상기 콘택홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩한다.

본 발명의 제1 및 제2 실시예에 따르면, 상기 에치 백은 스퍼터링 방식을 이용하여 실시한다.

그리고 상기 에치 백은 상기 스퍼터링 방식으로 형성되는 플라스마 이온을 사용하여 실시한다.

상기 플라스마 이온 소오스로서 알곤(Ar)가스와 트리플루오로 메탄(CHF₃)가스를 사용한다.

상기 기술적 과제를 달성하기 위하여, 본 발명의 제3 실시예에 의한 보이드 프리 반도체장치의 제조방법은 (a) 반도체기판 상에 도전층을 형성하는 단계; (b) 상기 도전층 상에 층간절연막을 형성하는 단계; (c) 상기 층간절연막의 소정의 영역에 비어홀을 형성하는 단계; 및 (d) 상기 층간절연막의 평평한 부분과 상기 비어홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩하는 단계를 포함하는 것을 특징으로 한다.

상기 기술적 과제를 달성하기 위하여, 본 발명의 제4 실시예에 의한 보이드 프리 반도체장치의 제조방법은 (a) 반도체기판 상에 도전층을 형성하는 단계; (b) 상기 도전층 상에 층간절연막을 형성하는 단계; (c) 상기 층간절연막 상에 층간절연막의 소정의 영역을 노출시키는 감광막 패턴을 형성하는 단계; (d) 상기 감광막 패턴의 아래에 언더 컷을 형성하는 단계; (e) 상기 층간절연막에 상기 언더 컷과 연계된 비어홀을 형성하는 단계; (f) 상기 감광막 패턴을 제거하는 단계; 및 (g) 상기 층간절연막의 평평한 면과 상기 비어홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 제3 및 제4 실시예에 따르면, 상기 비어홀을 포함하고 있는 층간절연막의 전면을 상기 도전층에 대해 식각선택비가 우수한 식각조건으로 에치 백하여 상기 층간절연막의 평평한 부분과 상기 비어홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩한다.

본 발명의 제3 및 제4 실시예에 따르면, 상기 에치 백은 플라스마의 이온 스퍼터링 효과를 이용하여 실시한다.

이때, 상기 플라스마 소오스로서 알곤(Ar)가스와 트리플루오로 메탄(CHF₃)가스를 사용한다.

본 발명의 제4 실시예에 따르면, 상기 언더 컷은 상기 (c) 단계이후의 결과물을 소정의 시간동안 습식식각하여 형성한다.

본 발명에 의하면, 콘택홀 또는 비어홀을 포함하고 있는 층간절연막에 있어서 층간절연막의 평평한 부분과 콘택홀 또는 비어홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩하여 콘택홀이나 비어홀의 필링 특성을 개선시킬 수 있다.

이하, 본 발명의 제1 내지 제4 실시예에 의한 보이드 프리 반도체장치의 제조방법을 첨부된 도면을 참조하여 상세하게 설명한다.

도 11 내지 도 13은 본 발명의 제1 실시예에 의한 보이드 프리 반도체장치의 제조방법을 단계별로 나타낸 도면들이고,

도 14 내지 도 16은 본 발명의 제2 실시예에 의한 보이드 프리 반도체장치의 제조방법을 단계별로 나타낸 도면들이며,

도 17 내지 도 19는 본 발명의 제3 실시예에 의한 보이드 프리 반도체장치의 제조방법을 단계별로 나타낸 도면들이다.

그리고 도 20 내지 도 22는 본 발명의 제4 실시예에 의한 보이드 프리 반도체장치의 제조방법을 단계별로 나타낸 도면들이고,

도 23은 본 발명의 제1 내지 제4 실시예에 의한 보이드 프리 반도체장치의 제조방법에 의해 형성되는 콘택홀을 포함하는 절연층의 주사 전자 현미경(SEM)사진이며,

도 24는 식각대상물질의 이온 입사각에 따른 식각율을 나타낸 그래프이다.

먼저, 도 11 내지 도 13 및 도 24를 참조하여 본 발명의 제1 실시예에 의한 보이드 프리 반도체장치의 제조방법을 설명한다.

도 11을 참조하면, 도 11은 콘택홀을 형성하고자 하는 영역을 한정하는 단계를 나타낸 도면으로서, 구체적으로는 반도체기판(40) 상에 층간절연막(42)을 형성한다. 이어서 상기 층간절연막(42)의 전면에 감광막(도시하지 않음)을 도포한 다음 패턴화하여 상기 층간절연막(42)이 소정의 영역은 노출시키는 형태의 감광막 패턴(44)을 형성한다. 상기 층간절연막(42)의 상기 감광막 패턴(44)에 의한 노출된 영역이 콘택홀이 형성될 영역이다.

도 12는 콘택홀(41)이 형성된 층간절연막(42a)의 전면을 에치 백하는 단계를 나타낸 도면으로서, 구체적으로 상기 감광막 패턴(도 11의 44)을 식각마스크로 사용하여 상기 반도체기판(40)의 계면이 노출될 때까지 상기 층간절연막(42)의 전면을 이방성식각한다. 이러한 이방성식각에 의해 상기 층간절연막(42)의 노출된 부분이 제거되어 콘택홀(41)이 형성된다. 이후 상기 감광막 패턴(도 11의 44)을 제거하고 상기 콘택홀(41)이 포함된 상기 층간절연막(42a)의 전면을 플라스마 이온(46)을 이용하여 에치 백한다. 상기 이온(46)은 플라스마(Plasma)에 의해 형성된다. 상기 에치 백은 상기 콘택홀(41)을 포함하고 있는 상기 층간절연막(42a)과 접촉되어 있는 하부막질 즉, 상기 반도체기판(40)에 대해 식각선택비가 우수한 식각조건 하에서 실시한다.

상기 플라스마 이온(46) 소오스로는 알곤(Ar)가스와 트리플루오로 메탄(CHF₃)가스를 사용한다. 상기 플라스마 이온(46)은 플라스마 가마(plasma sheath)속에서 가속되어 상기 콘택홀(41)을 포함하는 층간절연막(42a) 전면에 입사되는 것으로 층간절연막(42a)에 입사되는 입사각에 따라 식각율에 있어서 차이가 난다.

상기 플라스마 이온(46)의 입사각에 따른 식각율 차이를 구체적으로 설명하기 위해 도 24를 참조하면, 도 24의 가로 축은 상기 플라스마 이온이 상기 층간절연막(42a)의 전면에 입사되는 입사각의 변화를 나타내고, 세로 축은 상기 입사 각의 변화에 따른 다수의 식각대상물질의 식각율의 변화를 나타낸다. 도 24에

서는 상기 식각대상물질막으로서 3종류의 물질막 즉, 금막, 포토레지스트막 및 알루미늄막을 도시하고 있는 데, 참조부호 ◇, × 및 ○는 각각 금막, 포토레지스트막 및 알루미늄막의 이온 입사각에 따른 식각율 변화를 나타낸 그래프들이다. 이 그래프들을 참조하면, 상기 식각대상 물질막에 입사하는 이온의 입사각이 90° 보다 작을 때 상기 식각대상물질막의 식각율이 최대가 됨을 알 수 있다. 곧, 상기 식각대상물질막이 상기 플라즈마 이온에 대해 수직하게 놓여 있을 때 보다는 어느 한쪽으로 기울어지게 놓여 있을 때 상기 이온의 식각율이 높다는 것을 알 수 있다.

도 24에 포함된 이러한 사실은 상기 콘택홀(41)을 포함하고 있는 층간절연막(42a)의 에치 백도 그대로 적용될 수 있는 것으로 상기 층간절연막(42a)의 전면에 입사되는 상기 플라즈마 이온(46) 측면에서 볼 때, 상기 층간절연막(42a)의 평평한부분에 대해서는 입사각이 90° 가 된다. 하지만, 상기 층간절연막(42a)의 평평한 부분과 상기 콘택홀(41)의 내벽사이에 존재하는 모서리와 같은 뾰족한 부분에 대해서는 일반적으로 입사각이 90° 보다 작다. 따라서 상기 플라즈마 이온(46)이 상기 층간절연막(42a)의 전면에 입사된다고 하더라도 상기 층간절연막(42a)의 전 영역이 균일한 식각율로 식각되는 것이 아니라 상기 층간절연막(42a)의 평평한 부분보다는 상기 층간절연막(42a)의 평평한 부분과 상기 콘택홀(41)의 내벽사이에 존재하는 모서리와 같은 뾰족한 부분에서 식각이 빨리 진행된다.

이 결과 도 13에 도시한 바와 같이 상기 층간절연막(42a)의 평평한 부분과 상기 콘택홀(41)의 내벽사이에서 뾰족한 부분이 제거되어 스무스(smooth)한 입구를 갖는 필링특성이 우수한 콘택홀(41a)이 형성된다.

다음에는 도 14 내지 도 16을 참조하여 본 발명의 제2 실시예에 의한 보이드 프리 반도체장치의 제조방법을 설명한다. 본 발명의 제2 실시예에 의한 보이드 프리 반도체장치의 제조방법은 습식식각과 건식식각을 병행 사용하여 형성한 콘택홀의 필링특성을 개선하는 방법이다.

도 14를 참조하면, 도 14는 감광막 패턴(44)의 아래에 언더 컷(undercut)을 형성하는 단계를 나타낸 도면으로서, 구체적으로는 제1 실시예에 의한 보이드 프리 반도체장치의 제조방법에서 처럼 반도체기판(40)과 층간절연막 및 감광막 패턴(44)을 순차적으로 형성한다. 이어서 상기 결과물을 소정시간동안 습식식각하면, 상기 층간절연막의 상기 감광막 패턴(44)에 의해 노출된 부분을 중심으로 상기 감광막 패턴(44)의 아래에는 언더 컷이 형성된다.

도 15는 콘택홀(43)이 형성된 층간절연막(42d)의 전면을 에치 백하는 단계를 나타낸 도면으로서 구체적으로 설명하면, 상기 언더 컷을 형성한 후 세정 및 건조공정을 거쳐서 상기 감광막 패턴(44)을 플로우시켜 감광막 패턴(44)의 상기 언더 컷의 형성에 의해 둘러싸는 부분이 층간절연막(도 14의 42c)과 접촉되도록 한다. 이후 상기 플로우 된 감광막 패턴(도시하지 않음)을 식각마스크로 사용하여 상기 층간절연막(도 14의 42c)의 전면을 상기 반도체기판(40)의 계면이 노출될 때 까지 이방성식각한다. 이 결과 상기 층간절연막(도 14의 42c)의 노출된 부분이 완전히 제거되어 그 입구가 상기 언더 컷과 연계되는 콘택홀(43)이 형성된다. 이후 상기 플로우 된 감광막 패턴을 제거한다. 플로우 된 감광막 패턴이 제거된 상기 결과물을 보면 상기 콘택홀(43)이 형성된 층간절연막(42d)의 평평한 부분과 상기 콘택홀(43)의 내벽 사이에는 상기 언더 컷과 콘택홀(43)이 만나는 부분과 상기 언더 컷과 층간절연막(42d)의 평평한 부분이 만나는 부분에 뾰족한 부분(A1)이 존재한다. 이와 같은 뾰족한 부분(A1)을 제거하기 위해 상기 콘택홀(43)이 형성되어 있는 층간절연막(42d)의 전면을 에치 백한다. 이러한 목적의 에치 백은 제1 실시예에서 상술한 바와 같은 조건하에서 진행한다. 상기 에치 백 특성에 의해 상기 층간절연막(42d)의 전면에서 상기 뾰족한 부분(A1)은 라운딩되어 인접표면과 연속성을 유지하는 매끄러운 부분(A1')으로 바뀌어져서 도 16에 도시한 바와 같이 입구에 뾰족한 부분이 존재하지 않는 필링 특성이 우수한 콘택홀(43a)을 포함하는 층간절연막(42e)이 형성된다.

다음에는 도 17 내지 도 19를 참조하여 본 발명의 제3 실시예에 의한 보이드 프리 반도체장치의 제조방법을 설명한다. 제3 실시예는 비어홀 입구에 존재하는 뾰족한 부분을 제거하여 필링특성을 개선하는 방법에 관한 것이다.

도 17을 참조하면, 도 17은 비어홀을 형성할 영역을 한정하는 단계를 나타낸 도면인데, 구체적으로 반도체기판(48) 상에 도전층(50)을 형성한다. 이어서 상기 도전층(50) 상에 층간절연막(52)을 형성한다.

상기 도전층(50)은 반도체장치의 제조방법에서 형성되는 통상의 도전층으로서 도핑된 폴리실리콘층으로 형성할 수 있다. 그리고 상기 도전층(50)은 아래로는 기판과 접촉되고 위로는 커패시터의 하부전극과 접촉되는 패드도전층으로 사용될 수 있다. 계속해서 상기 층간절연막(52)의 전면에 감광막(도시하지 않음)을 도포한 다음 패턴닝하여 상기 층간절연막(52)의 소정의 영역을 노출시키는 감광막 패턴(54)을 형성한다. 이후 상기 감광막 패턴(54)을 식각마스크로 사용하여 상기 층간절연막(52)의 전면을 상기 도전층(50)의 계면이 노출될 때 까지 이방성식각한다. 이방성식각에 의해 상기 층간절연막(52)에는 도 18에 도시한 바와 같이 상기 감광막 패턴(54)으로 한정된 넓이 정도의 도전층(50) 계면을 노출시키는 비어홀(53)이 형성된다. 이후 상기 감광막 패턴(54)을 제거한다. 상기 비어홀(53)의 내면과 상기 비어홀(53)을 포함하는 층간절연막(52a)의 평평한 부분사이에는 뾰족한 모서리 부분(A)이 존재하는 데 이러한 부분(A)은 종래 기술에서 언급한 바와 같이 후속 비어홀 필링공정에서 비어홀에 보이드가 형성될 가능성을 매우 높게한다. 따라서 상기 뾰족한 모서리 부분(A)을 제거하기 위해 상기 비어홀(53)을 포함하는 층간절연막(52a) 전면을 에치 백하는 데, 에치 백은 제1 실시예에 의한 보이드 프리 반도체장치의 제조방법에서 설명한 바와 동일한 조건하에서 동일하게 진행한다.

도 19는 상기 에치 백을 실시한 후의 결과물을 나타낸 도면으로서, 상기 에치 백에 의해 상기 층간절연막(도 18의 52a)의 상기 뾰족한 모서리 부분(도 18의 A)은 라운딩되어 상기 층간절연막(52b)의 평평한 부분 및 상기 콘택홀(도 18의 53)의 내면과 스무스하고 연속적인 면(A')을 이룬다. 결과적으로 후속 필링특성을 개선시킬 수 있는 형태의 비어홀(53a)을 포함하는 층간절연막(52b)이 형성된다.

이어서 본 발명의 제4 실시예에 의한 보이드 프리 반도체장치의 제조방법을 도 20 내지 도 22를 참조하여 설명한다. 본 발명의 제4 실시예에서는 제2 실시예와 유사하게 습식과 건식식각방식을 병행하여 층간절연막에 뾰족한 부분이 존재하지 않는 비어홀을 형성하는 방법에 관한 것이다.

도 20을 참조하면, 도 20은 감광막 패턴(54)의 아래에 언더 컷을 형성하는 단계를 나타낸 도면으로서, 구

체적으로 제3 실시예에 의한 보이드 프리 반도체장치의 제조방법에서 처럼 반도체기판(40) 상에 도전층(50)을 형성하고 도전층(50) 상에는 층간절연막(도시하지 않음)을 형성하며 층간절연막의 전면에는 감광막(도시하지 않음)을 도포한 후 패터닝하여 상기 층간절연막의 소정의 영역을 노출시키는 형태의 감광막 패턴(54)을 형성한다. 상기 층간절연막의 상기 감광막 패턴(54)에 의해 한정되는 영역은 후속공정에서 비어홀이 형성될 영역이다. 상기 감광막 패턴(54)이 형성된 결과물을 소정의 시간동안 습식식각하면, 상기 층간절연막은 노출된 영역을 중심으로 등방적으로 식각되어 상기 감광막 패턴(54)의 아래에는 언더 컷이 형성된다. 이어서 세정 및 건조공정을 실시한 후 상기 언더 컷이 형성되어 있는 층간절연막(52c)에 비어홀을 형성하기 위해 상기 감광막 패턴(54)을 플로우시켜 감광막 패턴(54)의 둘러있는 부분이 바로 아래의 층간절연막(52c)의 언더 컷된 부분의 가장자리부분에 도포되도록 한다. 따라서 상기 층간절연막(52c)의 언더 컷이 형성된 부분의 중심부분은 여전히 노출된 상태이다.

상기 플로우된 감광막 패턴(도시하지 않음)을 식각마스크로 사용하여 상기 언더 컷이 형성되어 있는 층간절연막(52c)의 전면을 상기 도전층(50)의 계면이 노출될 때 까지 이방성식각한 다음 상기 플로우된 감광막 패턴을 제거한다. 상기 이방성식각결과, 상기 층간절연막(52c)에는 도 21에 도시한 바와 같이 상기 언더 컷이 형성된 부분과 연계되는 비어홀(55)이 형성된다.

도 21을 참조하면, 상기 비어홀(55)이 형성된 층간절연막(52d)의 평평한 부분과 상기 비어홀(55)의 내면 사이에는 뾰족한 부분(A1)이 존재한다. 즉, 상기 언더 컷이 형성된 부분과 상기 비어홀(55)이 만나는 부분 및 상기 층간절연막(52d)의 평평한 부분과 상기 언더 컷이 만나는 부분에 뾰족한 부분(A1)이 형성된다. 이와 같은 뾰족한 부분은 상기한 바와 같은 이유로 제거하는 것이 바람직하다.

따라서 상기 층간절연막(52d)의 전면을 상기 제1 내지 제3 실시예에서 실시한 바와 동일한 조건, 동일한 방식으로 플라스마 이온(56)을 사용하여 에치 백한다. 이러한 에치 백 결과 도 22에서 볼 수 있는 바와 같이 상기 뾰족한 부분(A1)이 존재하던 부분(A')은 라운딩되어 언더 컷이나 비어홀(55a)과 층간절연막(52e)의 명확한 경계부분이 없어진다. 곧, 비어홀(55a)의 내면에서 상기 층간절연막(52e)의 평평한 부분 사이에는 매끄러운 연속적인 곡면을 이룬다. 이후 상기 비어홀(55a) 필링공정에서는 상기 비어홀(55a)의 입구에 뾰족한 모서리 부분이 존재하지 않으므로 비어홀(55a)에 보이드가 형성됨이 없이 공정을 쉽게 진행할 수 있다.

상기 제1 내지 제4 실시예에 의한 보이드 프리 반도체장치의 제조방법에서 언급한 에치 백의 한 구현예로써 상기 에치 백의 전력을 400와트(watt)로 하고 80가우스(gauss)의 자장과 40밀리 토르(mTorr)의 압력이 유지되는 챔버내에 상기 플라스마 이온소오스로서 각각 50sccm의 알곤(Ar)가스와 트리플루오로 메탄(CHF_3)가스를 유입시켜 에치 백 공정을 진행하였다. 이때, 에치 백되는 웨이퍼에는 6인치 웨이퍼를 사용하였다. 이와 같은 에치 백 결과 형성된 콘택홀(또는 비어홀)의 SEM사진을 도 23에 도시하였다. 도 23을 종래 기술에 의한 반도체장치의 제조방법으로 형성되는 콘택홀의 SEM사진을 도시한 도 3 및 도 6과 비교해 볼 때, 도 23에 도시한 콘택홀(55a, 53a)의 내면과 상기 콘택홀(55a, 53a)이 형성되어 있는 층간절연막(42, 52)의 평평한 부분 사이에는 도 3 및 도 6에는 존재하는 뾰족한 모서리 부분이 존재하지 않고 매끄러운 연속되는 곡면이 존재한다.

발명의 효과

이상, 본 발명의 실시예에 의한 보이드 프리 반도체장치의 제조방법에서는 층간절연막에 콘택홀이나 비어홀을 형성한 후 감광막 패턴을 제거한 후 층간절연막의 하부막질에 대해 식각선택비가 우수한 식각조건하에서 입사각에 따라 식각율이 변하는(입사각이 90° 미만에서 최대의 식각율을 갖는)플라스마 내의 이온을 사용하여 상기 결과물의 전면을 에치 백한다. 이 결과 상기 콘택홀 또는 비어홀의 내면과 이들 홀이 포함된 층간절연막의 평평한 부분사이에 존재하는 뾰족한 모서리 부분은 라운딩되어 매끄러운 층간절연막의 평평한 부분과 콘택홀 또는 비어홀의 내면과 연속되는 곡면이 된다.

따라서 후속 콘택홀이나 비어홀을 채우는 필링공정에서 콘택홀 또는 비어홀에 보이드가 형성됨이 없이 공정을 쉽게 진행할 수 있다.

본 발명은 상기 실시예에 한정되지 않으며 많은 변형이 본 발명의 기술적 사상내에서 당분야에서의 통상의 지식을 가진자에 의하여 실시가능함은 명백하다.

(57) 청구의 범위

청구항 1

- (a) 반도체기판 상에 층간절연막을 형성하는 단계;
- (b) 상기 층간절연막에 콘택홀을 형성하는 단계; 및
- (c) 상기 콘택홀 입구의 모서리 부분을 라운딩하는 단계를 포함하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 2

제1항에 있어서, 상기 콘택홀을 포함하고 있는 층간절연막의 전면을 상기 층간절연막과 접촉되어 있는 하부막질에 대해 식각선택비가 우수한 식각조건으로 에치 백하여 상기 콘택홀 입구의 모서리 부분이 라운딩되는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 3

제2항에 있어서, 상기 에치 백이 스퍼터링 방식을 이용하여 실시되는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 4

제3항에 있어서, 상기 에치 백이 스퍼터링 방식으로 형성되는 플라즈마 이온을 사용하여 실시되는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 5

제4항에 있어서, 상기 플라즈마 이온 소오스로서 아르곤(Ar)가스와 트리플루오로 메탄(CHF₃)가스를 사용하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 6

- (a) 반도체기판 상에 층간절연막을 형성하는 단계;
- (b) 상기 층간절연막 상에 층간절연막의 소정의 영역을 노출시키는 감광막 패턴을 형성하는 단계;
- (c) 상기 감광막 패턴의 아래에 언더 컷을 형성하는 단계;
- (d) 상기 층간절연막에 상기 언더 컷과 연계된 콘택홀을 형성하는 단계;
- (e) 상기 감광막 패턴을 제거하는 단계; 및
- (f) 상기 층간절연막의 평평한 면과 상기 콘택홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩하는 단계를 포함하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 7

제6항에 있어서, 상기 언더 컷은 상기 (b) 단계이후의 결과물을 소정의 시간동안 습식식각하여 형성하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 8

제6항에 있어서, 상기 콘택홀을 포함하고 있는 층간절연막의 전면을 상기 층간절연막과 접촉되어 있는 하부막질에 대해 식각선택비가 우수한 식각조건으로 에치 백하여 상기 층간절연막의 평평한 면과 상기 콘택홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 9

제8항에 있어서, 상기 에치 백은 스퍼터링 방식을 이용하여 실시하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 10

제9항에 있어서, 상기 에치 백이 스퍼터링 방식으로 형성되는 플라즈마 이온을 사용하여 실시하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 11

제10항에 있어서, 상기 플라즈마 이온 소오스로서 아르곤(Ar)가스와 트리플루오로 메탄(CHF₃)가스를 사용하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 12

- (a) 반도체기판 상에 도전층을 형성하는 단계;
- (b) 상기 도전층 상에 층간절연막을 형성하는 단계;
- (c) 상기 층간절연막의 소정의 영역에 비어홀을 형성하는 단계; 및
- (d) 상기 층간절연막의 평평한 부분과 상기 비어홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩하는 단계를 포함하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 13

제12항에 있어서, 상기 비어홀을 포함하고 있는 층간절연막의 전면을 상기 도전층에 대해 식각선택비가 우수한 식각조건으로 에치 백하여 상기 층간절연막의 평평한 부분과 상기 비어홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 14

제13항에 있어서, 상기 에치 백은 스퍼터링 방식을 이용하여 실시하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 15

제14항에 있어서, 상기 에치 백이 스퍼터링 방식으로 형성되는 플라즈마 이온을 사용하여 실시하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 16

제15항에 있어서, 상기 플라즈마 이온 소오스로서 아르곤(Ar)가스와 트리플루오로 메탄(CHF₃)가스를 사용하

는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 17

- (a) 반도체기판 상에 도전층을 형성하는 단계;
- (b) 상기 도전층 상에 층간절연막을 형성하는 단계;
- (c) 상기 층간절연막 상에 층간절연막의 소정의 영역을 노출시키는 감광막 패턴을 형성하는 단계;
- (d) 상기 감광막 패턴의 아래에 언더 컷을 형성하는 단계;
- (e) 상기 층간절연막에 상기 언더 컷과 연계된 비어홀을 형성하는 단계;
- (f) 상기 감광막 패턴을 제거하는 단계; 및
- (g) 상기 층간절연막의 평평한 면과 상기 비어홀의 내면 사이에 존재하는 뾰족한 부분을 라운딩하는 단계를 포함하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 18

제17항에 있어서, 상기 언더 컷이 상기 (c) 단계이후의 결과물을 소정의 시간동안 습식식각하여 형성되는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 19

제17항에 있어서, 상기 비어홀을 포함하고 있는 층간절연막의 전면을 상기 층간절연막과 접촉되어 있는 하부막질에 대해 식각선택비가 우수한 식각조건으로 에치 백하여 상기 층간절연막의 평평한 면과 상기 비어홀의 내면 사이에 존재하는 뾰족한 부분이 라운딩되는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 20

제19항에 있어서, 상기 에치 백은 플라즈마 이온을 사용하여 실시하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 21

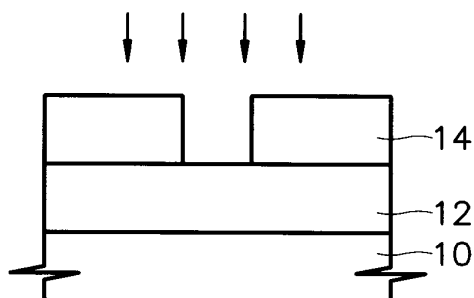
제20항에 있어서, 상기 에치 백은 스퍼터링 방식으로 형성되는 플라즈마 이온을 이용하여 실시하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

청구항 22

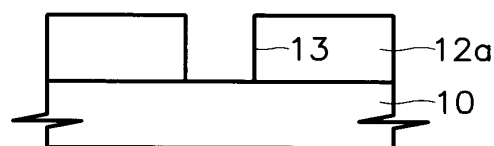
제20항 또는 제21항에 있어서, 상기 플라즈마 이온 소오스로서 아르곤(Ar)가스와 트리플루오로 메탄(CHF_3)가스를 사용하는 것을 특징으로 하는 보이드 프리 반도체장치의 제조방법.

도면

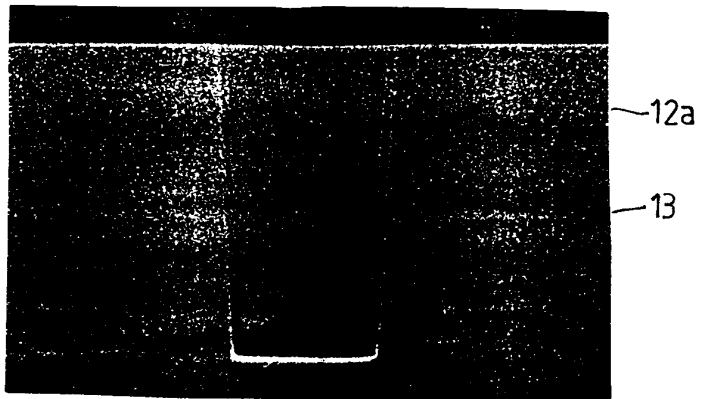
도면1



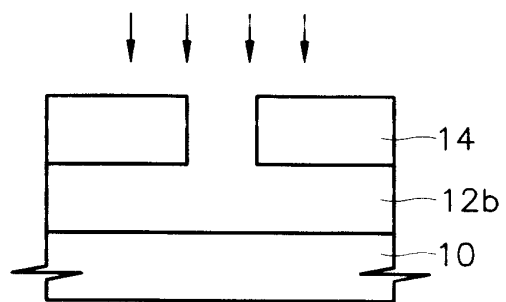
도면2



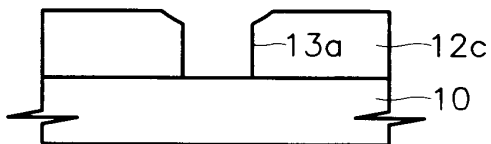
도면3



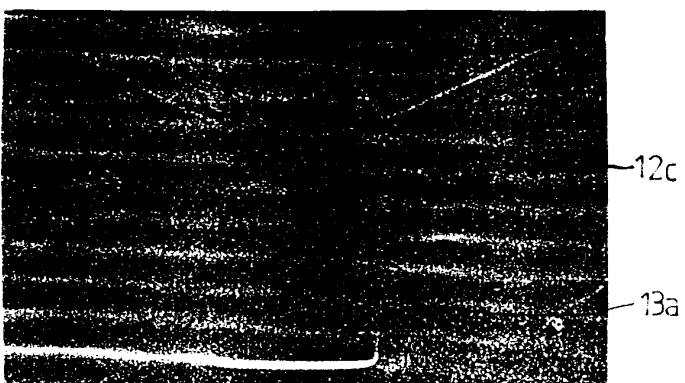
도면4



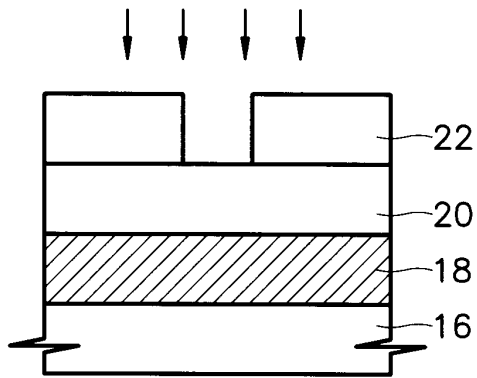
도면5



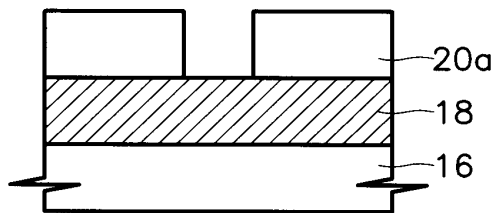
도면6



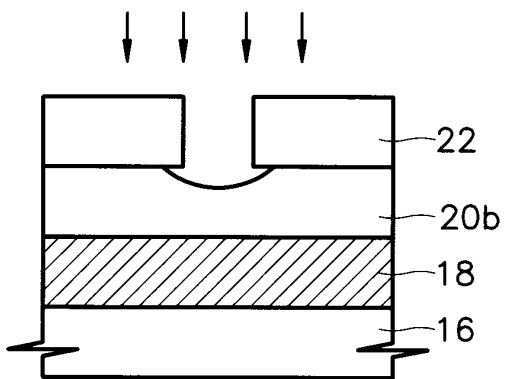
도면7



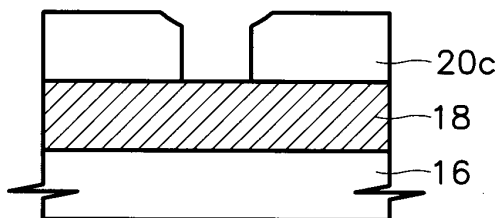
도면8



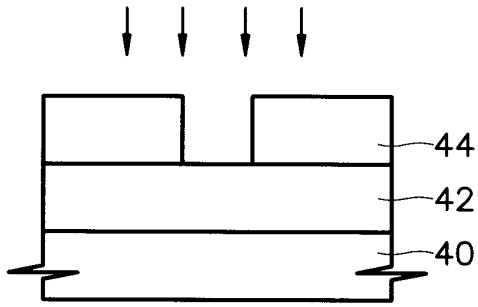
도면9



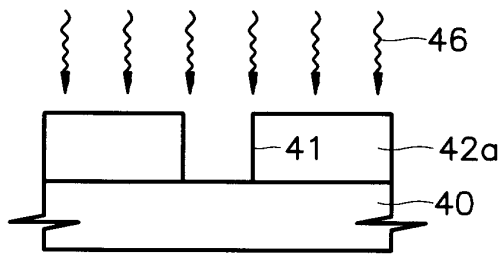
도면10



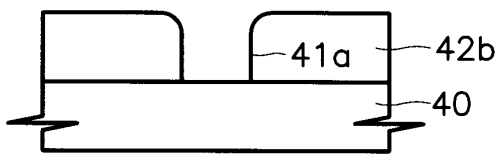
도면11



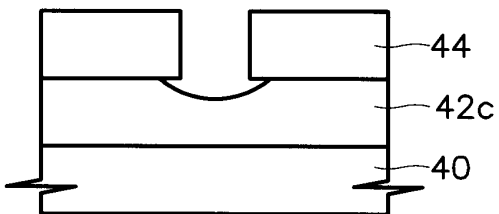
도면12



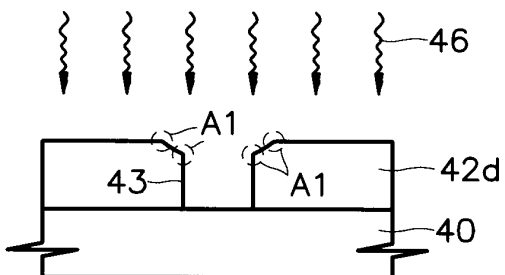
도면13



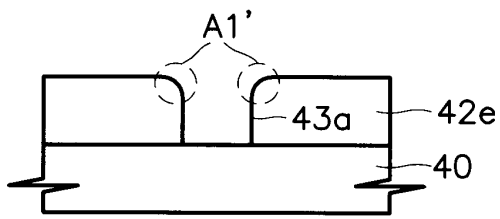
도면14



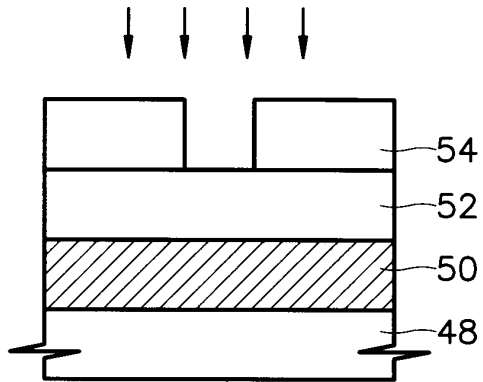
도면15



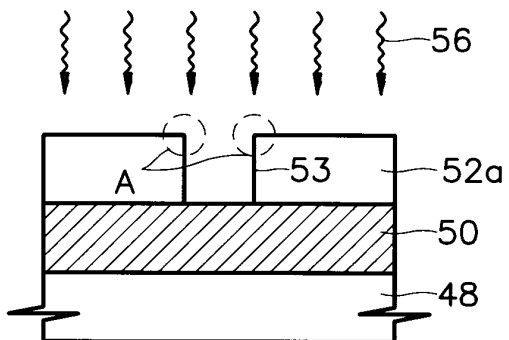
도면 16



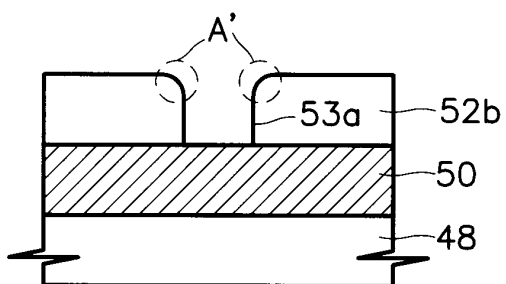
도면 17



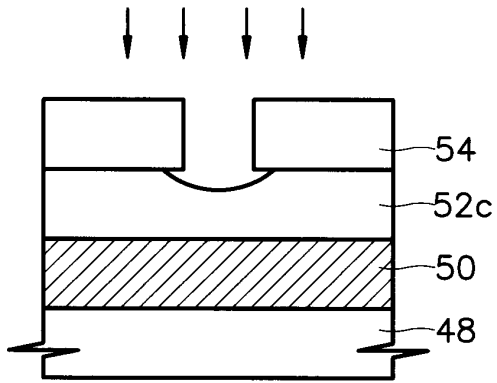
도면 18



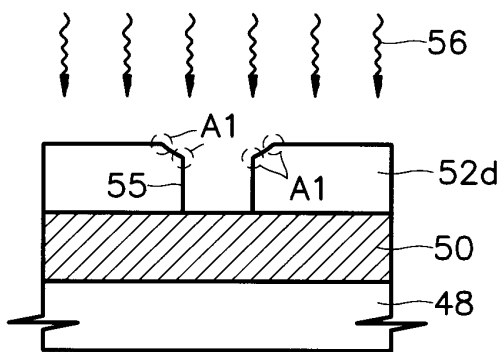
도면 19



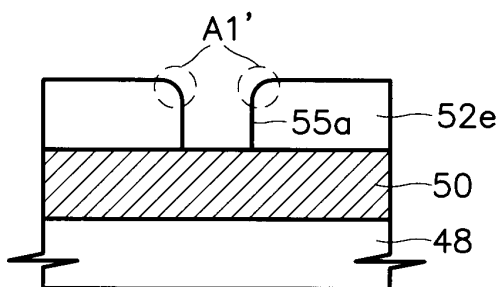
도면20



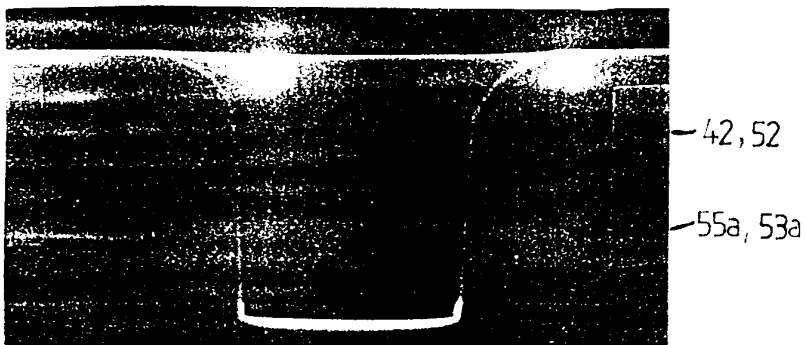
도면21



도면22



도면23



도면24

