

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 23 日 (23.11.2017)



(10) 国际公布号
WO 2017/197992 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2017/079288
- (22) 国际申请日: 2017 年 4 月 1 日 (01.04.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610330824.4 2016年5月18日 (18.05.2016) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川
- 省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。
- (72) 发明人: 谭文 (TAN, Wen); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。陈佳 (CHEN, Jia); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

(54) Title: MEMORY-IN-PIXEL UNIT, DATA-IN-PIXEL STORAGE METHOD, AND PIXEL ARRAY

(54) 发明名称: 像素内存单元、像素内数据存储方法以及像素阵列

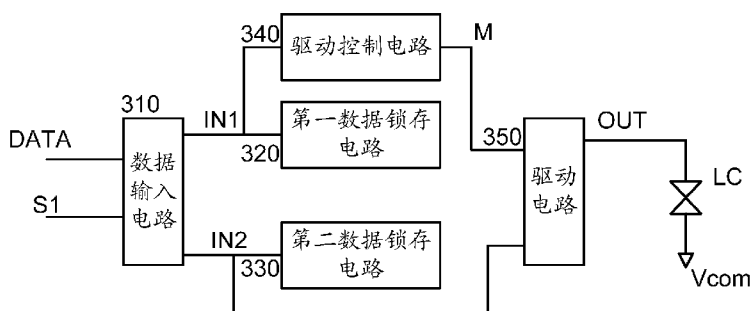


图 3A

310 DATA INPUT CIRCUIT
320 FIRST DATA LATCHING CIRCUIT
330 SECOND DATA LATCHING CIRCUIT

340 DRIVE CONTROL CIRCUIT
350 DRIVE CIRCUIT

(57) Abstract: A memory-in-pixel unit, data-in-pixel storage method, and pixel array. The memory-in-pixel unit comprises: a data input circuit, configured to read, at a first control signal of a first control signal end, a data voltage (Vdata) on a data line (DATA) into a first data latching end (IN1) and a second data latching end (IN2) when the first control signal of the first control signal end is in the active level thereof; a first data latching circuit (320) configured to maintain the level of the first data latching end (IN1); a second data latching circuit (330) configured to maintain the level of the second data latching end (IN2); a drive control circuit (340) configured to make the level of a drive node (M) opposite to the level of the first data latching end (IN1); and a drive circuit (350) configured to output, at the drive node (M), a third power supply voltage of a third power supply voltage end to an output end (OUT) when the drive node (M) is in the active level thereof and to output, at a second data latching end (IN2), a fourth power supply voltage of a fourth power supply voltage end to the output end (OUT) when the second data latching end (IN2) is in the active level thereof.

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种像素内存储单元及数据存储方法、以及像素阵列。所述像素内存储单元包括: 数据输入电路, 其被配置为在第一控制信号端的第一控制信号处于其有效电平时将数据线 (DATA) 上的数据电压 (Vdata) 读取到第一数据锁存端 (IN1) 和第二数据锁存端 (IN2) 上; 第一数据锁存电路 (320), 其被配置为保持所述第一数据锁存端 (IN1) 的电平; 第二数据锁存电路 (330), 其被配置为保持所述第二数据锁存端 (IN2) 的电平; 驱动控制电路 (340), 其被配置为使驱动节点 (M) 的电平与所述第一数据锁存端 (IN1) 的电平相反; 以及驱动电路 (350), 其被配置为在所述驱动节点 (M) 处于其有效电平时将第三电源电压端的第三电源电压输出至输出端 (OUT) 并且在所述第二数据锁存端 (IN2) 处于其有效电平时将第四电源电压端的第四电源电压输出至所述输出端 (OUT)。

像素内存储单元、像素内数据存储方法以及像素阵列

技术领域

本发明涉及像素内数据电压的存储，并且更具体地涉及一种像素内存储
5 单元、像素内数据存储方法以及像素阵列。

背景技术

目前，随着智能穿戴、移动应用等技术的发展，对超低功耗液晶 LCD 显示技术的发展提出了更高要求。像素内存储单元（Memory in Pixel，MIP）显示技术作为一种新型低功耗 LCD 显示技术，由于具有无需改变 LCD 工艺、
10 无需新型材料开发、结构简单、成本低等特点，具有广阔的发展前景。

然而，目前的 MIP 显示技术基本为 CMOS LTPS 工艺，MIP 显示技术中的像素内存储单元均由 CMOS 电路构成，这种工艺复杂且良率较低，大大增加了 MIP 显示技术产品成本，并且限制了 MIP 显示技术的工艺兼容和应用范
15 围。

因此，需要一种基于简单工艺的像素内存储单元及数据存储方法。

发明内容

根据本发明一方面，提供了一种像素内存储单元，包括：数据输入电路，
20 连接到数据线（DATA）、第一控制信号端（S1）、第一数据锁存端（IN1）以及第二数据锁存端（IN2），并且被配置为在第一控制信号端的第一控制信号处于其有效电平时将所述数据线上的数据电压（Vdata）读取到所述第一数据锁存端（IN1）和所述第二数据锁存端（IN2）上；第一数据锁存电路，连接到所述第一数据锁存端（IN1），并且被配置为保持所述第一数据锁存端（IN1）
25 的电平；第二数据锁存电路，连接到所述第二数据锁存端（IN2），并且被配置为保持所述第二数据锁存端（IN2）的电平；驱动控制电路，连接到所述第一数据锁存端（IN1）以及驱动节点（M），并且被配置为使所述驱动节点（M）的电平与所述第一数据锁存端（IN1）的电平相反；以及驱动电路，连接到驱动节点（M）、所述第二数据锁存端（IN2）以及输出端（OUT），并且被配置
30 为在所述驱动节点（M）处于其有效电平时将第三电源电压端的第三电源电

压输出至所述输出端 (OUT) 并且在所述第二数据锁存端 (IN2) 处于其有效电平时将第四电源电压端的第四电源电压输出至所述输出端 (OUT)。

根据本发明实施例, 所述第一数据锁存电路还连接到所述驱动节点 (M) 和第二控制信号端 (S2), 并且被配置为在所述第二控制信号端 (S2) 处于其有效电平时使所述第一数据锁存端 (IN1) 的电平与所述驱动节点 (M) 的电平相反; 以及所述第二数据锁存电路还连接到所述输出端 (OUT) 以及所述第二控制信号端 (S2), 并且还被配置为在所述第二控制信号端 (S2) 处于其有效电平时使所述第二数据锁存端 (IN2) 的电平与所述输出端 (OUT) 的电平相反。

10 根据本发明实施例, 所述第一数据锁存电路包括: 第一保持晶体管 (T10), 其栅极连接所述第二控制信号端 (S2)、第一极连接所述第一数据锁存端 (IN1)、以及第二极连接第一节点 (N); 第一节点的第一控制晶体管 (T8), 其栅极和第一极连接第一电源电压端, 第二极连接所述第一节点 (N); 以及第一节点的第二控制晶体管 (T9), 其栅极连接所述驱动节点 (M)、第一极连接所述第一节点 (N) 以及第二极连接第二电源电压端。

根据本发明实施例, 所述第二数据锁存电路包括: 第二保持晶体管 (T5), 其栅极连接所述第二控制信号端 (S2)、第一极连接所述第二数据锁存端 (IN2)、以及第二极连接第二节点 (Q); 第二节点的第一控制晶体管 (T3), 其栅极和第一极连接第三电源电压端, 第二极连接所述第二节点 (Q); 以及
20 第二节点的第二控制晶体管 (T4), 其栅极连接所述输出端 (OUT)、第一极连接所述第二节点 (Q) 以及第二极连接第四电源电压端。

根据本发明实施例, 所述第二数据锁存电路还连接到所述第一节点 (N), 并且所述第二数据锁存电路包括: 第二保持晶体管 (T5), 其栅极连接所述第二控制信号端 (S2)、第一极连接所述第二数据锁存端 (IN2)、以及第二极连接第二节点 (Q); 第二节点的第一控制晶体管 (T3), 其栅极连接所述第一节点 (N)、第一极连接第三电源电压端, 第二极连接所述第二节点 (Q); 以及
25 第二节点的第二控制晶体管 (T4), 其栅极连接所述输出端 (OUT)、第一极连接所述第二节点 (Q) 以及第二极连接第四电源电压端。

根据本发明实施例, 所述数据输入电路包括: 第一输入晶体管 (T11),
30 其栅极连接所述第一控制信号端 (S1)、第一极连接所述数据线 (DATA)、以

及第二极连接所述第一数据锁存端 (IN1); 以及第二输入晶体管 (T12), 其栅极连接所述第一控制信号端 (S1)、第一极连接所述数据线 (DATA)、以及第二极连接所述第二数据锁存端 (IN2)。

根据本发明实施例, 所述驱动控制电路包括: 第一驱动控制晶体管 (T6),
5 其栅极和第一极连接第一电源电压端、以及第二极连接所述驱动节点 (M);
以及第二驱动控制晶体管 (T7), 其栅极连接所述第一数据锁存端 (IN1)、第一极连接所述驱动节点 (M)、以及第二极连接第二电源电压端。

根据本发明实施例, 所述驱动电路包括: 第一驱动晶体管 (T1), 其栅极连接所述驱动节点 (M)、第一极连接第三电源电压端、以及第二极连接所述
10 输出端 (OUT); 以及第二驱动晶体管 (T2), 其栅极连接所述第二数据锁存端 (IN2)、第一极连接所述输出端 (OUT)、以及第二极连接第四电源电压端。

根据本发明实施例, 每个晶体管均为 NMOS 晶体管, 所述驱动节点 (M) 的有效电平为高电平, 所述第一电源电压端为第一高电源电压端 (VDD), 所述
15 第二电源电压端为第一低电源电压端 (VSS), 所述第三电源电压端为第二高电源电压端 (VDH), 所述第四电源电压端为第二低电源电压端 (VDL)。

根据本发明实施例, 每个晶体管均为 PMOS 晶体管, 所述驱动节点 (M) 的有效电平为低电平, 所述第一电源电压端为第一低电源电压端 (VSS), 所述
20 第二电源电压端为第一高电源电压端 (VDD), 所述第三电源电压端为第二低电源电压端 (VDL), 所述第四电源电压端为第二高电源电压端 (VDH)。

根据本发明另一方面, 提供了一种像素内数据存储方法, 包括: 在第一时段, 所述第一控制信号端 (S1) 的第一控制信号处于其有效电平, 所述第二控制信号端 (S2) 的第二控制信号处于其无效电平, 所述数据输入电路将所述数据线 (DATA) 上的数据电压 (Vdata) 读取到所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 上, 所述驱动节点 (M) 的电平与所述第一数据锁存端 (IN1) 的电平相反, 并且所述驱动电路的输出端 (OUT) 的电平与所述数据电压的电平相反; 在第二时段, 所述第二控制信号端 (S2) 的第二控制信号处于其有效电平, 所述第一控制信号端 (S1) 的第一控制信号处于其无效电平, 所述数据输入电路将所述数据线 (DATA) 与所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 隔离, 所述第一数据锁存电路保持
30

所述第一数据锁存端 (IN1) 的电平, 并且所述第二数据锁存电路保持所述第二数据锁存端 (IN2) 的电平, 从而使得所述驱动电路的输出端 (OUT) 的电平保持不变。

5 根据本发明实施例, 在所述第一时段, 所述数据电压为高电平, 所述第一控制信号为有效电平, 所述第二控制信号为无效电平, 所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 为高电平, 所述驱动节点 (M) 为低电平, 所述驱动电路的输出端 (OUT) 为低电平; 在所述第二时段, 所述第一控制信号为无效电平, 所述第二控制信号为有效电平, 所述第一数据锁存电路保持所述第一数据锁存端 (IN1) 为高电平, 所述第二数据锁存电路保持
10 所述第二数据锁存端 (IN2) 为高电平, 所述驱动电路的输出端 (OUT) 保持为低电平。

根据本发明实施例, 在所述第一时段, 所述数据电压为低电平, 所述第一控制信号为有效电平, 所述第二控制信号为无效电平, 所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 为低电平, 所述驱动节点 (M) 为
15 高电平, 所述驱动电路的输出端 (OUT) 为高电平; 在所述第二时段, 所述第一控制信号为无效电平, 所述第二控制信号为有效电平, 所述第一数据锁存电路保持所述第一数据锁存端 (IN1) 为低电平, 所述第二数据锁存电路保持所述第二数据锁存端 (IN2) 为低电平, 所述驱动电路的输出端 (OUT) 保持为高电平。

20 根据本发明实施例, 在所述第一时段, 所述第一控制信号为有效电平, 所述第二控制信号为无效电平, 所述数据电压为高电平, 所述第一输入晶体管 (T11) 和所述第二输入晶体管 (T12) 导通使得所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 为高电平, 所述第一驱动控制晶体管 (T6) 和所述第二驱动控制晶体管 (T7) 导通使得所述驱动节点 (M) 为低电平, 所述
25 所述第一驱动晶体管 (T1) 截止并且所述第二驱动晶体管 (T2) 导通使得所述驱动电路的输出端 (OUT) 为低电平, 所述第一保持晶体管 (T10) 和第二保持晶体管 (T5) 截止; 在所述第二时段, 所述第一控制信号为无效电平, 所述第二控制信号为有效电平, 所述第一输入晶体管 (T11) 和所述第二输入晶体管 (T12) 截止, 所述第一节点的第一控制晶体管 (T8) 导通并且所述第
30 一节点的第二控制晶体管 (T9) 截止使得所述第一节点 (N) 为高电平, 所

述第一保持晶体管 (T10) 导通使得所述第一数据锁存端 (IN1) 的电平保持为高电平, 所述第二节点的第一控制晶体管 (T3) 导通并且所述第二节点的第二控制晶体管 (T4) 截止使得所述第二节点 (Q) 为高电平, 所述第二保持晶体管 (T5) 导通使得所述第二数据锁存端 (IN2) 的电平保持为高电平, 所述第一驱动晶体管 (T1) 保持截止并且所述第二驱动晶体管 (T2) 保持导通使得所述驱动电路的输出端 (OUT) 保持为低电平。

根据本发明实施例, 在所述第一时段, 所述第一控制信号为有效电平, 所述第二控制信号为无效电平, 所述数据电压为低电平, 所述第一输入晶体管 (T11) 和所述第二输入晶体管 (T12) 导通使得所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 为低电平, 所述第一驱动控制晶体管 (T6) 导通并且所述第二驱动控制晶体管 (T7) 截止使得所述驱动节点 (M) 为高电平, 所述第一驱动晶体管 (T1) 导通并且所述第二驱动晶体管 (T2) 截止使得所述驱动电路的输出端 (OUT) 为高电平, 所述第一保持晶体管 (T10) 和第二保持晶体管 (T5) 截止; 在所述第二时段, 所述第一控制信号为无效电平, 所述第二控制信号为有效电平, 所述第一输入晶体管 (T11) 和所述第二输入晶体管 (T12) 截止, 所述第一节点的第一控制晶体管 (T8) 和所述第一节点的第二控制晶体管 (T9) 导通使得所述第一节点 (N) 为低电平, 所述第一保持晶体管 (T10) 导通使得所述第一数据锁存端 (IN1) 的电平保持为低电平, 所述第二节点的第一控制晶体管 (T3) 截止并且所述第二节点的第二控制晶体管 (T4) 导通使得所述第二节点 (Q) 为低电平, 所述第二保持晶体管 (T5) 导通使得所述第二数据锁存端 (IN2) 的电平保持为低电平, 所述第一驱动晶体管 (T1) 保持导通并且所述第二驱动晶体管 (T2) 保持截止使得所述驱动电路的输出端 (OUT) 保持为高电平。

根据本发明实施例, 在所述第一时段, 所述第一控制信号为有效电平, 所述第二控制信号为无效电平, 所述数据电压为高电平, 所述第一输入晶体管 (T11) 和所述第二输入晶体管 (T12) 导通使得所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 为高电平, 所述第一驱动控制晶体管 (T6) 导通以及所述第二驱动控制晶体管 (T7) 截止使得所述驱动节点 (M) 为低电平, 所述第一驱动晶体管 (T1) 导通并且所述第二驱动晶体管 (T2) 截止使得所述驱动电路的输出端 (OUT) 为低电平, 所述第一保持晶体管 (T10) 和

第二保持晶体管 (T5) 截止; 在所述第二时段, 所述第一控制信号为无效电平, 所述第二控制信号为有效电平, 所述第一输入晶体管 (T11) 和所述第二输入晶体管 (T12) 截止, 所述第一节点的第一控制晶体管 (T8) 导通并且所述第一节点的第二控制晶体管 (T9) 导通使得所述第一节点 (N) 为高电平, 所述第一保持晶体管 (T10) 导通使得所述第一数据锁存端 (IN1) 的电平保持为高电平, 所述第二节点的第一控制晶体管 (T3) 截止并且所述第二节点的第二控制晶体管 (T4) 导通使得所述第二节点 (Q) 为高电平, 所述第二保持晶体管 (T5) 导通使得所述第二数据锁存端 (IN1) 的电平保持为高电平, 所述第一驱动晶体管 (T1) 保持导通并且所述第二驱动晶体管 (T2) 保持截止使得所述驱动电路的输出端 (OUT) 保持为低电平。

根据本发明实施例, 在所述第一时段, 所述第一控制信号为有效电平, 所述第二控制信号为无效电平, 所述数据电压为低电平, 所述第一输入晶体管 (T11) 和所述第二输入晶体管 (T12) 导通使得所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 为低电平, 所述第一驱动控制晶体管 (T6) 和所述第二驱动控制晶体管 (T7) 导通使得所述驱动节点 (M) 为高电平, 所述第一驱动晶体管 (T1) 截止并且所述第二驱动晶体管 (T2) 导通使得所述驱动电路的输出端 (OUT) 为高电平, 所述第一保持晶体管 (T10) 和第二保持晶体管 (T5) 截止; 在所述第二时段, 所述第一控制信号为无效电平, 所述第二控制信号为有效电平, 所述第一输入晶体管 (T11) 和所述第二输入晶体管 (T12) 截止, 所述第一节点的第一控制晶体管 (T8) 导通并且所述第一节点的第二控制晶体管 (T9) 截止使得所述第一节点 (N) 为低电平, 所述第一保持晶体管 (T10) 导通使得所述第一数据锁存端 (IN1) 的电平保持为低电平, 所述第二节点的第一控制晶体管 (T3) 导通并且所述第二节点的第二控制晶体管 (T4) 截止使得所述第二节点 (Q) 为低电平, 所述第二保持晶体管 (T5) 导通使得所述第二数据锁存端 (IN2) 的电平保持为低电平, 所述第一驱动晶体管 (T1) 保持截止并且所述第二驱动晶体管 (T2) 保持导通使得所述驱动电路的输出端 (OUT) 保持为高电平。

根据本发明另一方面, 提供了一种像素阵列, 每个像素包括根据本发明实施例的像素内存储单元和液晶显示单元。

根据本发明实施例的像素内存储单元及数据存储方法, 通过利用第一数

据锁存电路保持第一数据锁存端的电平并且利用第二数据锁存电路保持第二数据锁存端的电平，根据第一数据锁存端的电平控制驱动节点的电平，驱动节点的电平和第二数据锁存端的电平相反，然后根据驱动节点的电平和第二数据锁存端的电平在输出端输出高电源电压或低电源电压，由此可以实现黑白电压的存储，并由此实现 MIP LCD 的黑白显示。此外，通过采用单一类型的 MOS 晶体管 MIP 电路，可以应用单一 MOS LTPS 工艺还制造 MIP 像素，从而提高了产品良率并降低了生产成本。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

通过结合附图对本发明实施例进行更详细的描述，本发明的上述以及其它目的、特征和优势将变得更加明显。附图用来提供对本发明实施例的进一步理解，并且构成说明书的一部分，与本发明实施例一起用于解释本发明，并不构成对本发明的限制。在附图中，相同的参考标号通常代表相同部件或步骤。

图 1 为 MIP 像素电路的示意图；

图 2 为由 CMOS 电路构成的像素内存储单元 MIP 的电路原理图；

图 3A 为根据本发明实施例的像素内存储单元 MIP 的一种示意性框图；

图 3B 为根据本发明实施例的像素内存储单元 MIP 的另一示意性框图；

图 3C 为根据本发明实施例的像素内存储单元 MIP 的又一示意性框图；

图 4 为根据本发明实施例的像素阵列的示意图；

图 5 为根据本发明实施例的像素内数据存储方法的示意性流程图；

图 6A 为根据本发明第一实施例的图 3B 所示的像素内存储单元 MIP 的电路原理图；

图 6B 为根据本发明第一实施例的图 3C 所示的像素内存储单元 MIP 的电路原理图；

图 7 为根据本发明实施例的像素内存储单元 MIP 的信号时序图；

图 8A 和图 8B 为根据本发明第一实施例的图 6B 所示的像素内存储单元

MIP 在存储黑态数据情况下的电路操作原理图；

图 9A 和图 9B 为根据本发明第一实施例的图 6B 所示的像素内存储单元 MIP 在存储白态数据情况下的电路操作原理图；

5 图 10A 为根据本发明第二实施例的图 3B 所示的像素内存储单元 MIP 的电路原理图；

图 10B 为根据本发明第二实施例的图 3C 所示的像素内存储单元 MIP 的电路原理图；

图 11A 和图 11B 为根据本发明第二实施例的图 10B 所示的像素内存储单元 MIP 在存储黑态数据情况下的电路操作原理图；以及

10 图 12A 和图 12B 为根据本发明第二实施例的图 10B 所示的像素内存储单元 MIP 在存储白态数据情况下的电路操作原理图。

具体实施方式

15 为了使得本发明实施例的目的、技术方案和优点更为明显，下面将参照附图详细描述本发明的示例实施例。显然，所描述的示例实施例仅仅是本发明的一部分实施例，而不是本发明的全部实施例，本领域技术人员在没有付出创造性劳动的情况下所得到的所有其它实施例都应落入本发明的保护范围之内。

20 这里，需要注意的是，在附图中，将相同的附图标记赋予基本上具有相同或类似结构和功能的组成部分，并且将省略关于它们的重复描述。

图 1 示出了传统的 MIP 像素电路的示意图。如图 1 所示，MIP 像素电路包括存储单元、开关晶体管 T、以及液晶显示单元 LC，所述存储单元由锁存器构成。在开关晶体管 T 导通时，将数据电压 Vdata 输入到存储单元中，在开关晶体管 T 截止时，由存储单元保持数据电压 Vdata，具体地保持施加到
25 液晶显示单元 LC 的一端（即 P 点）的电压不变。

图 2 示出了由 CMOS 电路构成的像素内存储单元 MIP 的电路原理图。

如图 2 所示，MIP 电路包括 CMOS 传输门 M1、CMOS 传输门 M2、CMOS 传输门 M3、CMOS 传输门 M4、反相器 INV1 和反相器 INV2。该 MIP 电路为 1 比特的存储单元，能够存储黑白电压，由此 MIP 像素可以实现黑白显示。

30 在输入电压 Vdata 为高电平时，在控制信号 S1 为低电平且控制信号/S1

为高电平时，CMOS 传输门 M1 导通且 CMOS 传输门 M2 截止，此时，A 点电平也为高电平并且 B 点电平为低电平，使得 CMOS 传输门 M3 导通且 CMOS 传输门 M4 截止，使得将电源电压 VDH 输出到输出端 C 点。然后，在控制信号 S1 变为高电平且控制信号/S1 变为低电平时，CMOS 传输门 M1 截止且 CMOS 传输门 M2 导通，由反相器 INV1、反相器 INV2 和 CMOS 传输门 M2 构成保持电路，A 点电平保持为高电平，并且保持将电源电压 VDH 输出到输出端 C 点。

另一方面，在输入电压 Vdata 为低电平时，在控制信号 S1 为低电平且控制信号/S1 为高电平时，CMOS 传输门 M1 导通且 CMOS 传输门 M2 截止，此时，A 点电平也为低电平并且 B 点电平为高电平，使得 CMOS 传输门 M3 截止且 CMOS 传输门 M4 导通，使得将电源电压 VDL 输出到输出端 C 点。然后，在控制信号 S1 变为高电平且控制信号/S1 变为低电平时，CMOS 传输门 M1 截止且 CMOS 传输门 M2 导通，由反相器 INV1、反相器 INV2 和 CMOS 传输门 M2 构成保持电路，A 点电平保持为低电平，并且保持将电源电压 VDL 输出到输出端 C 点。

对于常白模式的液晶显示器而言，在输入电压 Vdata 为高电平时，MIP 像素显示黑态，而在输入电压 Vdata 为低电平时，MIP 像素显示白态。

图 2 所示的像素内存储单元 MIP 由 CMOS 电路构成，其基于 CMOS LTPS 工艺，工艺较复杂，良率较低。

图 3A 为根据本发明实施例的像素内存储单元 MIP 的一种示意性框图。如图 3A 所示，所述像素内存储单元包括：数据输入电路 310、第一数据锁存电路 320、第二数据锁存电路 330、驱动控制电路 340 以及驱动电路 350。

所述数据输入电路 310 连接到数据线 DATA、第一控制信号端 S1、第一数据锁存端 IN1 以及第二数据锁存端 IN2，并且被配置为在第一控制信号端 S1 的第一控制信号处于其有效电平时将所述数据线 DATA 上的数据电压 Vdata 读取到所述第一数据锁存端 IN1 和所述第二数据锁存端 IN2 上。

所述第一数据锁存电路 320 连接到所述第一数据锁存端 IN1，并且被配置为保持所述第一数据锁存端 IN1 的电平。

所述第二数据锁存电路 330 连接到所述第二数据锁存端 IN2，并且被配置为保持所述第二数据锁存端 IN2 的电平。

所述驱动控制电路 340 连接到所述第一数据锁存端 IN1 以及驱动节点 M, 并且被配置为使所述驱动节点 M 的电平与所述第一数据锁存端 IN1 的电平相反。

5 所述驱动电路 350 连接到驱动节点 M、所述第二数据锁存端 IN2 以及输出端 OUT, 并且被配置为在所述驱动节点 M 处于其有效电平时将第三电源电压端的第三电源电压输出至所述输出端 OUT 并且在所述第二数据锁存端 IN2 处于其有效电平时将第四电源电压端的第四电源电压输出至所述输出端 OUT。

图 3B 为根据本发明实施例的像素内存储单元 MIP 的另一种示意性框图。
10 在图 3A 所示的像素内存储单元 MIP 的基础上, 所述第一数据锁存电路 320 还连接到所述驱动节点 M 和第二控制信号端 S2, 并且被配置为在所述第二控制信号端 S2 处于其有效电平时使所述第一数据锁存端 IN1 的电平与所述驱动节点 M 的电平相反。此外, 所述第二数据锁存电路 330 还连接到所述输出端 OUT 以及所述第二控制信号端 S2, 并且还被配置为在所述第二控制信号端
15 S2 处于其有效电平时使所述第二数据锁存端 IN2 的电平与所述输出端 OUT 的电平相反。

图 3C 为根据本发明实施例的像素内存储单元 MIP 的又一示意性框图。
在图 3B 所示的像素内存储单元的基础上, 所述第一数据锁存电路 320 还连接到第一节点 N, 并且被配置为使所述第一节点 N 的电平与所述驱动节点 M 的
20 电平相反。此外, 所述第二数据锁存电路 330 还连接到所述第一节点 N, 并且还被配置为在所述第二控制信号端 S2 处于其有效电平时在所述第一节点 N 的控制下使所述第二数据锁存端 IN2 的电平与所述输出端 OUT 的电平相反。

图 4 为根据本发明实施例的像素阵列的示意图, 每个像素包括根据本发明实施例的像素内存储单元 MIP 和液晶显示单元 LC。

25 图 5 为根据本发明实施例的像素内数据存储方法的示意性流程图。

在数据写入时段, 所述第一控制信号端 S1 的第一控制信号处于其有效电平, 所述第二控制信号端 S2 的第二控制信号处于其无效电平, 所述数据输入电路 310 将所述数据线 DATA 上的数据电压 Vdata 读取到所述第一数据锁存端 IN1 和所述第二数据锁存端 IN2 上, 所述驱动控制电路 340 使所述驱动节
30 点 M 的电平与所述第一数据锁存端 IN1 的电平相反, 并且所述驱动电路 350

的输出端 OUT 的电平与所述数据电压 Vdata 的电平相反。

在数据保持时段,所述第二控制信号端 S2 的第二控制信号处于其有效电平,所述第一控制信号端 S1 的第一控制信号处于其无效电平,所述数据输入电路 310 将所述数据线 DATA 与所述第一数据锁存端 IN1 和所述第二数据锁存端 IN2 隔离,所述第一数据锁存电路 310 保持所述第一数据锁存端 IN1 的电平,并且所述第二数据锁存电路 320 保持所述第二数据锁存端 IN2 的电平,从而使得所述驱动电路 350 的输出端 OUT 的电平保持不变。

根据本发明实施例,对于常白模式的液晶显示器,输入数据可以分为黑态数据和白态数据,例如,黑态数据为高电平,白态数据为低电平。

在黑态数据写入时段,所述数据电压 Vdata 为高电平,所述第一控制信号为有效电平,所述第二控制信号为无效电平,所述第一数据锁存端 IN1 和所述第二数据锁存端 IN2 为高电平,所述驱动节点 M 为低电平,所述驱动电路的输出端 OUT 为低电平;在黑态数据保持时段,所述第一控制信号为无效电平,所述第二控制信号为有效电平,所述第一数据锁存电路保持所述第一数据锁存端 IN1 为高电平,所述第二数据锁存电路保持所述第二数据锁存端 IN2 为高电平,所述驱动电路的输出端 OUT 保持为低电平。

在白态数据写入时段,所述数据电压 Vdata 为低电平,所述第一控制信号为有效电平,所述第二控制信号为无效电平,所述第一数据锁存端 IN1 和所述第二数据锁存端 IN2 为低电平,所述驱动节点 M 为高电平,所述驱动电路的输出端 OUT 为高电平;在白态数据保持时段,所述第一控制信号为无效电平,所述第二控制信号为有效电平,所述第一数据锁存电路保持所述第一数据锁存端 IN1 为低电平,所述第二数据锁存电路保持所述第二数据锁存端 IN2 为低电平,所述驱动电路的输出端 OUT 保持为高电平。

根据本发明实施例的像素内存储单元 MIP 由单一类型的 MOS 晶体管构成,例如仅由 NMOS 晶体管构成、或者仅由 PMOS 晶体管构成。

根据本发明第一实施例,像素内存储单元 MIP 由 NMOS 晶体管构成,根据本发明第二实施例,像素内存储单元 MIP 由 PMOS 晶体管构成。

图 6A 为根据本发明第一实施例的图 3B 所示的像素内存储单元 MIP 的电路原理图。在本发明第一实施例中,第一控制信号和第二控制信号的有效电平为高电平,并且驱动节点 M 的有效电平也为高电平。

如图 6A 所示, 所述数据输入电路包括第一输入晶体管 T11 和第二输入晶体管 T12。

所述第一输入晶体管 T11 的栅极连接所述第一控制信号端 S1, 第一极连接所述数据线 DATA, 第二极连接所述第一数据锁存端 IN1。第二输入晶体管 T12 的栅极连接所述第一控制信号端 S1, 第一极连接所述数据线 DATA, 第二极连接所述第二数据锁存端 IN2。

如图 6A 所示, 所述第一数据锁存电路 220 包括第一保持晶体管 T10、第一节点 N 的第一控制晶体管 T8、以及第一节点的第二控制晶体管 T9。

所述第一保持晶体管 T10 的栅极连接所述第二控制信号端 S2, 第一极连接所述所述第一数据锁存端 IN1, 以及第二极连接所述第一节点 N。

所述第一节点 N 的第一控制晶体管 T8 的栅极和第一极连接第一电源电压端, 第二极连接所述第一节点 N。所述第一节点 N 的第二控制晶体管 T9 的栅极连接所述驱动节点 M, 第一极连接所述第一节点 N, 以及第二极连接第二电源电压端。

如图 6A 所示, 所述第二数据锁存电路 330 包括第二保持晶体管 T5、第二节点 Q 的第一控制晶体管 T3、以及第二节点 Q 的第二控制晶体管 T4。

所述第二保持晶体管 T5 的栅极连接所述第二控制信号端 S2, 第一极连接所述所述第二数据锁存端 IN2, 以及第二极连接所述第二节点 Q。

所述第二节点 Q 的第一控制晶体管 T3 的栅极和第一极连接第三电源电压端, 第二极连接所述第二节点 Q。

所述第二节点 Q 的第二控制晶体管 T4 的栅极连接所述输出端 OUT, 第一极连接所述第二节点 Q, 以及第二极连接第四电源电压端。

如图 6A 所示, 所述驱动控制电路 340 包括第一驱动控制晶体管 T6 和第二驱动控制晶体管 T7。

所述第一驱动控制晶体管 T6 的栅极和第一极连接第一电源电压端, 以及第二极连接所述驱动节点 M。

所述第二驱动控制晶体管 T7 的栅极连接所述第一数据锁存端 IN1, 第一极连接所述驱动节点 M, 以及第二极连接第二电源电压端。

如图 6A 所示, 所述驱动电路 350 包括第一驱动晶体管 T1 和第二驱动晶体管 T2。

所述第一驱动晶体管 T1 的栅极连接所述驱动节点 M，第一极连接第三电源电压端，以及第二极连接所述输出端 OUT。

所述第二驱动晶体管 T2 的栅极连接所述第二数据锁存端 IN2，第一极连接所述输出端 OUT，以及第二极连接第四电源电压端。

- 5 根据本发明第一实施例，每个晶体管均为 NMOS 晶体管，所述驱动节点 M 的有效电平为高电平，所述第一电源电压端为第一高电源电压端 VDD，所述第二电源电压端为第一低电源电压端 VSS，所述第三电源电压端为第二高电源电压端 VDH，所述第四电源电压端为第二低电源电压端 VDL。所述第一高电源电压端 VDD 提供的第一电源电压与所述第二高电源电压端 VDH 提供的第三电源电压可以相同或不同，所述第一低电源电压端 VSS 提供的第二电源电压和所述第二低电源电压端 VDL 提供的第四电源电压可以相同或不同。

图 6B 为根据本发明第一实施例的图 3C 所示的像素内存储单元 MIP 的电路原理图。

- 15 图 6B 所示的电路原理图与图 6A 所示的电路原理图的区别仅在于：所述第二数据锁存电路 330 中所述第二节点 Q 的第一控制晶体管 T3 的连接方式。在此省略图 6B 中与图 6A 中相同电路部分的描述。

- 如图 6B 所示，所述第二数据锁存电路还连接到所述第一节点 (N)。具体地，所述第二节点 Q 的第一控制晶体管 T3 的栅极连接所述第一节点 N，
20 第一极连接第三电源电压端，第二极连接所述第二节点 Q。

- 图 7 为根据本发明实施例的像素内存储单元 MIP 的信号时序图，图 8A 和图 8B 为根据本发明第一实施例的图 6B 所示的像素内存储单元 MIP 在存储黑态数据情况下的电路操作原理图，图 9A 和图 9B 为根据本发明第一实施例的图 6B 所示的像素内存储单元 MIP 在存储白态数据情况下的电路操作原理
25 图。

将结合图 6B、图 7、图 8A - 图 8B 以及图 9A - 图 9B 来具体地描述结合图 5 所示的像素内数据存储方法。

- 如图 8A 所示，在黑态数据写入时段 TT1，所述第一控制信号 S1 为有效电平（高电平），所述第二控制信号 S2 为无效电平（低电平），所述数据电压
30 Vdata 为高电平，所述第一输入晶体管 T11 和所述第二输入晶体管 T12 导通

使得所述第一数据锁存端 IN1 和所述第二数据锁存端 IN2 为高电平, 所述第一驱动控制晶体管 T6 和所述第二驱动控制晶体管 T7 导通使得所述驱动节点 M 为低电平, 所述第一驱动晶体管 T1 截止并且所述第二驱动晶体管 T2 导通使得所述驱动电路的输出端 OUT 为低电平, 所述第一保持晶体管 T10 和第二保持晶体管 T5 截止, 所述第一节点 N 的第二控制晶体管 T9 截止, 所述第二节点 Q 的第二控制晶体管 T4 截止。

如图 8B 所示, 在黑态数据保持时段 TT2, 所述第一控制信号为无效电平 (低电平), 所述第二控制信号为有效电平 (高电平), 所述第一输入晶体管 T11 和所述第二输入晶体管 T12 截止, 所述第一节点 N 的第一控制晶体管 T8 导通并且所述第一节点 N 的第二控制晶体管 T9 截止使得所述第一节点 N 为高电平, 所述第一保持晶体管 T10 导通使得所述第一数据锁存端 IN1 的电平保持为高电平, 所述第二节点 Q 的第一控制晶体管 T3 导通并且所述第二节点 Q 的第二控制晶体管 T4 截止使得所述第二节点 Q 为高电平, 所述第二保持晶体管 T5 导通使得所述第二数据锁存端 IN2 的电平保持为高电平, 所述第一驱动晶体管 T1 保持截止并且所述第二驱动晶体管 T2 保持导通使得所述驱动电路的输出端 OUT 保持为低电平。

根据本发明第一实施例, 通过适当地设置所述第一驱动控制晶体管 T6 和所述第二驱动控制晶体管 T7 的沟道宽度和长度, 可以使得在所述第一驱动控制晶体管 T6 和所述第二驱动控制晶体管 T7 均导通时所述第一驱动控制晶体管 T6 的通态阻抗远大于所述第二驱动控制晶体管 T7 的通态阻抗, 从而使得所述驱动节点 M 的电平与所述第二电源电压端 VSS 的电平相同。

如图 9A 所示, 在白态数据写入时段 TT3, 所述第一控制信号为有效电平 (高电平), 所述第二控制信号为无效电平 (低电平), 所述数据电压 Vdata 为低电平, 所述第一输入晶体管 T11 和所述第二输入晶体管 T12 导通使得所述第一数据锁存端 IN1 和所述第二数据锁存端 IN2 为低电平, 所述第一驱动控制晶体管 T6 导通并且所述第二驱动控制晶体管 T7 截止使得所述驱动节点 M 为高电平, 所述第一驱动晶体管 T1 导通并且所述第二驱动晶体管 T2 截止使得所述驱动电路的输出端 OUT 为高电平, 所述第一保持晶体管 T10 和第二保持晶体管 T5 截止, 所述第一节点 N 的第二控制晶体管 T9 导通, 所述第二节点 Q 的第二控制晶体管 T4 导通。

如图 9B 所示, 在白态数据保持时段 TT4, 所述第一控制信号为无效电平 (低电平), 所述第二控制信号为有效电平 (高电平), 所述第一输入晶体管 T11 和所述第二输入晶体管 T12 截止, 所述第一节点 N 的第一控制晶体管 T8 和所述第一节点 N 的第二控制晶体管 T9 导通使得所述第一节点 N 为低电平, 所述第一保持晶体管 T10 导通使得所述第一数据锁存端 IN1 的电平保持为低电平, 所述第二节点 Q 的第一控制晶体管 T3 截止并且所述第二节点 Q 的第二控制晶体管 T4 导通使得所述第二节点 Q 为低电平, 所述第二保持晶体管 T5 导通使得所述第二数据锁存端 IN1 的电平保持为低电平, 所述第一驱动晶体管 T1 保持导通并且所述第二驱动晶体管 T2 保持截止使得所述驱动电路的输出端 OUT 保持为高电平。

根据本发明第一实施例, 通过适当地设置所述第一节点 N 的第一控制晶体管 T8 和所述第一节点 N 的第二控制晶体管 T9 的沟道宽度和长度, 可以使得在所述第一节点 N 的第一控制晶体管 T8 和所述第一节点 N 的第二控制晶体管 T9 均导通时所述第一节点 N 的第一控制晶体管 T8 的通态阻抗远大于所述第一节点 N 的第二控制晶体管 T9 的通态阻抗, 从而使得所述第一节点 N 的电平与所述第二电源电压端 VSS 的电平相同。

根据本发明第一实施例, 关于图 6A 所示的电路, 在白态数据写入和保持时段, 所述第二节点 Q 的第一控制晶体管 T3 和所述第二节点 Q 的第二控制晶体管 T4 均导通。通过适当地设置所述第二节点 Q 的第一控制晶体管 T3 和所述第二节点 Q 的第二控制晶体管 T4 的沟道宽度和长度, 可以使得在所述第二节点 Q 的第一控制晶体管 T3 和所述第二节点 Q 的第二控制晶体管 T4 均导通时所述第二节点 Q 的第一控制晶体管 T3 的通态阻抗远大于所述第二节点 Q 的第二控制晶体管 T4 的通态阻抗, 从而使得所述第二节点 Q 的电平与所述第四电源电压端 VDL 的电平相同。

根据本发明第一实施例, 应了解, 所述黑态数据写入时段和所述黑态数据保持时段是连续的两个时段 (即: 第一时段和第二时段), 并且构成了完整的黑态数据写入和保持操作; 所述白态数据写入时段和所述白态数据保持时段是连续的两个时段 (即: 第一时段和第二时段), 并且构成了完整的白态数据写入和保持操作。尽管图 7 中将白态数据写入和保持时段示出在黑态数据写入和保持时段之后, 应了解本发明不限于此, 可以连续地存在若干个黑态

数据写入和保持时段，可以连续地存在若干个白态数据写入和保持时段，并且白态数据写入和保持时段也可以出现在黑态数据写入和保持时段之前。

根据本发明第一实施例，黑态数据的数据电压为 V_{dd} ，白态数据的数据电压为 V_{ss} ，第一电源电压端 V_{DD} 的第一电源电压为 V_{dd} ，第二电源电压端 V_{SS} 的第二电源电压为 V_{ss} 。

由于晶体管阈值电压和沟道电阻分压等影响，驱动节点 M 的实际工作高电压和工作低电压不等于 V_{dd} 和 V_{ss} 而分别等于 V_{Mcc} 和 V_{Mee} 。这里， $V_{Mcc} = V_{dd} - V_{th6}$ ， $V_{Mee} = (R_7 / (R_6 + R_7)) \times (V_{dd} - V_{ss}) + V_{ss}$ ， R_7 表示晶体管 T_7 的导通电阻， R_6 表示晶体管 T_6 的导通电阻， V_{th6} 为晶体管 T_6 的阈值电压。

类似地，第一节点 N 的实际工作高电压和工作低电压不等于 V_{dd} 和 V_{ss} 而分别等于 V_{Ncc} 和 V_{Nee} 。这里， $V_{Ncc} = V_{dd} - V_{th8}$ ， $V_{Nee} = (R_9 / (R_8 + R_9)) \times (V_{dd} - V_{ss}) + V_{ss}$ ， R_9 表示晶体管 T_9 的导通电阻， R_8 表示晶体管 T_8 的导通电阻， V_{th8} 为晶体管 T_8 的阈值电压。

另一方面，第三电源电压端 V_{DH} 的第三电源电压为 V_{dh} ，第四电源电压端 V_{DL} 的第四电源电压为 V_{dl} 。

为简化描述，可以假设根据本发明第一实施例的像素内存储单元 MIP 中的晶体管 T_8 和晶体管 T_6 的尺寸完全相同，晶体管 T_9 和晶体管 T_7 的尺寸完全相同，因此， $R_9 = R_7$ ， $R_8 = R_6$ ， $V_{th6} = V_{th8}$ ，在此情况下，将 V_{Mcc} 和 V_{Ncc} 统称为 V_{cc} ，将 V_{Mee} 和 V_{Nee} 通称为 V_{ee} 。

对于白态数据写入和显示阶段，在驱动节点 M 的实际工作高电压 V_{cc} 与第三电源电压 V_{dh} 满足以下关系时，即在 $V_{cc} - V_{dh} > V_{th1}$ 时，晶体管 T_1 处于饱和导通状态， V_{th1} 为晶体管 T_1 的阈值电压。通过使得 $V_{dh} < V_{dd} - 2V_{th1}$ ，可以保证根据本发明第一实施例的晶体管 T_1 在白态数据写入和显示阶段处于饱和导通状态，从而使得输出端 OUT 输出第三电源电压 V_{dh} 。

对于白态数据写入和显示阶段，在第一节点 N 的实际工作低电压 V_{ee} 与第二节点 Q 处的低电压 V_{dl} 满足以下关系时，即在 $V_{ee} - V_{dl} < V_{th3}$ 时，晶体管 T_3 才处于截止状态， V_{th3} 为晶体管 T_3 的阈值电压。也就是说，需要满足 $(R_7 / (R_6 + R_7)) \times (V_{dd} - V_{ss}) + V_{ss} - V_{dl} < V_{th3}$ 。通过使 $V_{dl} > (R_7 \times V_{dd} + R_6 \times V_{ss}) / (R_6 + R_7) - V_{th3}$ ，可以保证根据本发明第一实施例的晶体管 T_3 在白态数据写入和显示阶段处于截止状态，从而使得第二节点 Q 输出第四电源电压

V_{dl}，进而使得第二数据锁存电路能够锁存第二数据锁存端 IN2 的电压。

图 10A 为根据本发明第二实施例的图 3B 所示的像素内存储单元 MIP 的电路原理图。在本发明第二实施例中，第一控制信号和第二控制信号的有效电平为低电平，并且驱动节点 M 的有效电平也为低电平。

5 如图 10A 所示，所述数据输入电路 310 包括第一输入晶体管 T11 和第二输入晶体管 T12。

所述第一输入晶体管 T11 的栅极连接所述第一控制信号端 S1，第一极连接所述数据线 DATA，第二极连接所述第一数据锁存端 IN1。第二输入晶体管 T12 的栅极连接所述第一控制信号端 S1，第一极连接所述数据线 DATA，第
10 二极连接所述第二数据锁存端 IN2。

如图 10A 所示，所述第一数据锁存电路 320 包括第一保持晶体管 T10、第一节点 N 的第一控制晶体管 T8、以及第一节点 N 的第二控制晶体管 T9。

所述第一保持晶体管 T10 的栅极连接所述第二控制信号端 S2，第一极连接所述第一数据锁存端 IN1，以及第二极连接所述第一节点 N。

15 所述第一节点 N 的第一控制晶体管 T8 的栅极和第一极连接第一电源电压端，第二极连接所述第一节点 N。所述第一节点 N 的第二控制晶体管 T9 的栅极连接所述驱动节点 M，第一极连接所述第一节点 N，以及第二极连接第二电源电压端。

如图 10A 所示，所述第二数据锁存电路 330 包括第二保持晶体管 T5、
20 第二节点 Q 的第一控制晶体管 T3、以及第二节点 Q 的第二控制晶体管 T4。

所述第二保持晶体管 T5 的栅极连接所述第二控制信号端 S2，第一极连接所述第二数据锁存端 IN2，以及第二极连接所述第二节点 Q。

所述第二节点 Q 的第一控制晶体管 T3 的栅极和第一极连接第三电源电压端，第二极连接所述第二节点 Q。

25 所述第二节点 Q 的第二控制晶体管 T4 的栅极连接所述输出端 OUT，一极连接所述第二节点 Q，以及第二极连接第四电源电压端。

如图 10A 所示，所述驱动控制电路 340 包括第一驱动控制晶体管 T6 和第二驱动控制晶体管 T7。

所述第一驱动控制晶体管 T6 的栅极和第一极连接第一电源电压端，以
30 及第二极连接所述驱动节点 M。

所述第二驱动控制晶体管 T7 的栅极连接所述第一数据锁存端 IN1, 第一极连接所述驱动节点 M, 以及第二极连接第二电源电压端。

如图 10A 所示, 所述驱动电路包括第一驱动晶体管 T1 和第二驱动晶体管 T2。

5 所述第一驱动晶体管 T1 的栅极连接所述驱动节点 M, 第一极连接第三电源电压端, 以及第二极连接所述输出端 OUT。

所述第二驱动晶体管 T2 的栅极连接所述第二数据锁存端 IN2, 第一极连接所述输出端 OUT, 以及第二极连接第四电源电压端。

根据本发明第二实施例, 每个晶体管均为 PMOS 晶体管, 所述驱动节点 M 的有效电平为低电平, 所述第一电源电压端为第一低电源电压端 VSS, 所述第二电源电压端为第一高电源电压端 VDD, 所述第三电源电压端为第二低电源电压端 VDL, 所述第四电源电压端为第二高电源电压端 VDH。所述第一低电源电压端 VSS 提供的第一电源电压与所述第二低电源电压端 VDL 提供的第三电源电压可以相同或不同, 所述第一高电源电压端 VDD 提供的第二电源电压和所述第二高电源电压端 VDH 提供的第四电源电压可以相同或不同。

图 10B 为根据本发明第二实施例的图 3C 所示的像素内存储单元 MIP 的电路原理图。

图 10B 所示的电路原理图与图 10A 所示的电路原理图的区别仅在于: 所述第二数据锁存电路 330 中所述第二节点 Q 的第一控制晶体管 T3 的连接方式。在此省略图 10B 中与图 10A 中相同电路部分的描述。

如图 10B 所示, 所述第二数据锁存电路还连接到所述第一节点 N。具体地, 所述第二节点 Q 的第一控制晶体管 T3 的栅极连接所述第一节点 N, 第一极连接第三电源电压端, 第二极连接所述第二节点 Q。

25 下面, 参考图 10B、图 11A - 图 11B 以及图 12A - 图 12B 来描述根据本发明第二实施例的像素内存储单元的数据存储操作。

如图 11A 所示, 在黑态数据写入时段, 所述第一控制信号为有效电平(低电平), 所述第二控制信号为无效电平(高电平), 所述数据电压为高电平, 所述第一输入晶体管 T11 和所述第二输入晶体管 T12 导通使得所述第一数据锁存端 IN1 和所述第二数据锁存端 IN2 为高电平, 所述第一驱动控制晶体管

T6 导通以及所述第二驱动控制晶体管 T7 截止使得所述驱动节点 M 为低电平, 所述第一节点 N 的第一控制晶体管 T8 和第二控制晶体管 T9 导致使得第一节点 N 为高电平, 所述第一驱动晶体管 T1 导通并且所述第二驱动晶体管 T2 截止使得所述驱动电路的输出端 OUT 为低电平, 所述第一保持晶体管 T10 和第二保持晶体管 T5 截止。

如图 11B 所示, 在黑态数据保持时段, 所述第一控制信号为无效电平(高电平), 所述第二控制信号为有效电平(低电平), 所述第一输入晶体管 T11 和所述第二输入晶体管 T12 截止, 所述第一节点 N 的第一控制晶体管 T8 导通并且所述第一节点 N 的第二控制晶体管 T9 导通使得所述第一节点 N 为高电平, 所述第一保持晶体管 T10 导通使得所述第一数据锁存端 IN1 的电平保持为高电平, 所述第二节点 Q 的第一控制晶体管 T3 截止并且所述第二节点 Q 的第二控制晶体管 T4 导通使得所述第二节点 Q 为高电平, 所述第二保持晶体管 T5 导通使得所述第二数据锁存端 IN2 的电平保持为高电平, 所述第一驱动晶体管 T1 保持导通并且所述第二驱动晶体管 T2 保持截止使得所述驱动电路的输出端 OUT 保持为低电平。

根据本发明第二实施例, 通过适当地设置所述第一节点 N 的第一控制晶体管 T8 和所述第一节点 N 的第二控制晶体管 T9 的沟道宽度和长度, 可以使得在所述第一节点 N 的第一控制晶体管 T8 和所述第一节点 N 的第二控制晶体管 T9 导通时所述第一节点 N 的第一控制晶体管 T8 的通态阻抗远大于所述第一节点 N 的第二控制晶体管 T9 的通态阻抗, 从而使得所述驱动节点 M 的电平与所述第二电源电压端 VDD 的电平相同。

如图 12A 所示, 在白态数据写入时段, 所述第一控制信号为有效电平(低电平), 所述第二控制信号为无效电平(高电平), 所述数据电压为低电平, 所述第一输入晶体管 T11 和所述第二输入晶体管 T12 导通使得所述第一数据锁存端 IN1 和所述第二数据锁存端 IN2 为低电平, 所述第一驱动控制晶体管 T6 和所述第二驱动控制晶体管 T7 导通使得所述驱动节点 M 为高电平, 所述第一节点 N 的第二控制晶体管 T9 截止, 所述第一驱动晶体管 T1 截止并且所述第二驱动晶体管 T2 导通使得所述驱动电路的输出端 OUT 为高电平, 所述第二节点 Q 的第二控制晶体管 T4 截止, 所述第一保持晶体管 T10 和第二保持晶体管 T5 截止。

如图 12B 所示,在白态数据保持时段,所述第一控制信号为无效电平(高电平),所述第二控制信号为有效电平(低电平),所述第一输入晶体管 T11 和所述第二输入晶体管 T12 截止,所述第一节点的第一控制晶体管 T8 导通并且所述第一节点的第二控制晶体管 T9 截止使得所述第一节点 N 为低电平,所述
5 所述第一保持晶体管 T10 导通使得所述第一数据锁存端 IN1 的电平保持为低电平,所述第二节点的第一控制晶体管 T3 导通并且所述第二节点的第二控制晶体管 T4 截止使得所述第二节点 Q 为低电平,所述第二保持晶体管 T5 导通使得所述第二数据锁存端 IN2 的电平保持为低电平,所述第一驱动晶体管 T1 保持截止并且所述第二驱动晶体管 T2 保持导通使得所述驱动电路的输出端
10 OUT 保持为高电平。

根据本发明第二实施例,通过适当地设置所述第一驱动控制晶体管 T6 和所述第二驱动控制晶体管 T7 的沟道宽度和长度,可以使得在所述第一驱动控制晶体管 T6 和所述第二驱动控制晶体管 T7 均导通时所述第一驱动控制晶体管 T6 的通态阻抗远大于所述第二驱动控制晶体管 T7 的通态阻抗,从而使
15 得所述驱动节点 M 的电平与所述第二电源电压端 VDD 的电平相同。

根据本发明第二实施例,关于图 10A 所示的电路,在黑态数据写入和保持时段,所述第二节点 Q 的第一控制晶体管 T3 和所述第二节点 Q 的第二控制晶体管 T4 均导通。通过适当地设置所述第二节点 Q 的第一控制晶体管 T3 和所述第二节点 Q 的第二控制晶体管 T4 的沟道宽度和长度,可以使得在所述
20 所述第二节点 Q 的第一控制晶体管 T3 和所述第二节点 Q 的第二控制晶体管 T4 均导通时所述第二节点 Q 的第一控制晶体管 T3 的通态阻抗远大于所述第二节点 Q 的第二控制晶体管 T4 的通态阻抗,从而使得所述第二节点 Q 的电平与所述第四电源电压端 VDH 的电平相同。

根据本发明第二实施例,黑态数据的数据电压为 Vdd,白态数据的数据电压为 Vss,第二电源电压端 VDD 的第二电源电压为 Vdd,第一电源电压端 VSS 的第一电源电压为 Vss。
25

由于晶体管阈值电压和沟道电阻分压等影响,驱动节点 M 的实际工作高电压和工作低电压不等于 Vdd 和 Vss 而分别等于 VMcc 和 VMee。这里, $VMcc = (R6 / (R6 + R7)) \times (Vdd - Vss) + Vss$, $VMee = Vss + Vth6$, R7 表示晶体管 T7 的导通电阻, R6 表示晶体管 T6 的导通电阻, Vth6 为晶体管 T6 的阈值电压,
30

$V_{th6} > 0$ 。

类似地，第一节点 N 的实际工作高电压和工作低电压不等于 V_{dd} 和 V_{ss} 而分别等于 V_{Ncc} 和 V_{Nee} 。这里， $V_{Ncc} = (R_8 / (R_8 + R_9)) \times (V_{dd} - V_{ss}) + V_{ss}$ ， $V_{Mee} = V_{ss} + V_{th8}$ ， R_9 表示晶体管 T9 的导通电阻， R_8 表示晶体管 T8 的导通电阻， V_{th8} 为晶体管 T8 的阈值电压， $V_{th8} > 0$ 。

另一方面，第三电源电压端 VDL 的第三电源电压为 V_{dl} ，第四电源电压端 VDH 的第四电源电压为 V_{dh} 。

为简化描述，可以假设根据本发明第二实施例的像素内存储单元 MIP 中的晶体管 T8 和晶体管 T6 的尺寸完全相同，晶体管 T9 和晶体管 T7 的尺寸完全相同，因此， $R_9 = R_7$ ， $R_8 = R_6$ ， $V_{th6} = V_{th8}$ ，在此情况下，将 V_{Mcc} 和 V_{Ncc} 统称为 V_{cc} ，将 V_{Mee} 和 V_{Nee} 通称为 V_{ee} 。

对于黑态数据写入和显示阶段，在驱动节点 M 的实际工作低电压 V_{ee} 与第三电源电压 V_{dl} 满足以下关系时，即在 $V_{ee} - V_{dl} < -V_{th1}$ 时，晶体管 T1 处于饱和导通状态， V_{th1} 为晶体管 T1 的阈值电压。假设晶体管 T1 的阈值电压与晶体管 T6 的阈值电压相同，通过使得 $V_{dl} > V_{ss} + 2V_{th1}$ ，可以保证根据本发明第二实施例的晶体管 T1 在黑态数据写入和显示阶段处于饱和导通状态，从而使得输出端 OUT 输出第三电源电压 V_{dl} 。

对于黑态数据写入和显示阶段，在第一节点 N 的实际工作高电压 V_{cc} 与第二节点 Q 处的高电压 V_{dh} 满足以下关系时，即在 $V_{cc} - V_{dh} > -V_{th3}$ 时，晶体管 T3 才处于截止状态， V_{th3} 为晶体管 T3 的阈值电压。也就是说，需要满足 $(R_8 / (R_8 + R_9)) \times (V_{dd} - V_{ss}) + V_{ss} - V_{dh} > -V_{th3}$ 。通过使 $V_{dh} < (R_8 \times V_{dd} + R_9 \times V_{ss}) / (R_8 + R_9) + V_{th3}$ ，可以保证根据本发明第二实施例的晶体管 T3 在黑态数据写入和显示阶段处于截止状态，从而使得第二节点 Q 输出第四电源电压 V_{dh} ，进而使得第二数据锁存电路能够锁存第二数据锁存端 IN2 的电压。

此外，根据本发明实施例，还提供了一种像素阵列，每个像素包括根据本发明第一实施例的像素内存储单元和液晶显示单元。

此外，根据本发明实施例，还提供了一种像素阵列，每个像素包括根据本发明第二实施例的像素内存储单元和液晶显示单元。

根据本发明实施例的像素内存储单元及数据存储方法、以及像素阵列，

通过采用单一类型的 MOS 晶体管构成像素内存储单元,可以利用 MOS LTPS 工艺来生产像素内存储单元,该工艺相对简单,产品良率也高,由此有效地降低了 MIP 像素的生产成本。

5 在上面详细描述了本发明的各个实施例。然而,本领域技术人员应该理解,在不脱离本发明的原理和精神的情况下,可对这些实施例进行各种修改,组合或子组合,并且这样的修改应落入本发明的范围内。

本申请要求 2016 年 5 月 18 日提交的申请号为 201610330824.4 且发明名称为“像素内存储单元、像素内数据存储方法以及像素阵列”的中国优先申请的优先权,通过引用将其全部内容并入于此。

权 利 要 求 书

1.一种像素内存储单元, 包括:

5 数据输入电路, 连接到数据线 (DATA)、第一控制信号端 (S1)、第一数据锁存端 (IN1) 以及第二数据锁存端 (IN2), 并且被配置为在第一控制信号端的第一控制信号处于其有效电平时将所述数据线上的数据电压 (Vdata) 读取到所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 上;

第一数据锁存电路, 连接到所述第一数据锁存端 (IN1), 并且被配置为保持所述第一数据锁存端 (IN1) 的电平;

10 第二数据锁存电路, 连接到所述第二数据锁存端 (IN2), 并且被配置为保持所述第二数据锁存端 (IN2) 的电平;

驱动控制电路, 连接到所述第一数据锁存端 (IN1) 以及驱动节点 (M), 并且被配置为使所述驱动节点 (M) 的电平与所述第一数据锁存端 (IN1) 的电平相反; 以及

15 驱动电路, 连接到驱动节点 (M)、所述第二数据锁存端 (IN2) 以及输出端 (OUT), 并且被配置为在所述驱动节点 (M) 处于其有效电平时将第三电源电压端的第三电源电压输出至所述输出端 (OUT) 并且在所述第二数据锁存端 (IN2) 处于其有效电平时将第四电源电压端的第四电源电压输出至所述输出端 (OUT)。

20 2.如权利要求 1 所述的像素内存储单元, 其中,

所述第一数据锁存电路还连接到所述驱动节点 (M) 和第二控制信号端 (S2), 并且被配置为在所述第二控制信号端 (S2) 处于其有效电平时使所述第一数据锁存端 (IN1) 的电平与所述驱动节点 (M) 的电平相反; 以及

25 所述第二数据锁存电路还连接到所述输出端 (OUT) 以及所述第二控制信号端 (S2), 并且还被配置为在所述第二控制信号端 (S2) 处于其有效电平时使所述第二数据锁存端 (IN2) 的电平与所述输出端 (OUT) 的电平相反。

3.如权利要求 2 所述的像素内存储单元, 其中, 所述第一数据锁存电路包括:

30 第一保持晶体管 (T10), 其栅极连接所述第二控制信号端 (S2)、第一极连接所述第一数据锁存端 (IN1)、以及第二极连接第一节点 (N);

第一节点的第一控制晶体管 (T8), 其栅极和第一极连接第一电源电压端, 第二极连接所述第一节点 (N); 以及

第一节点的第二控制晶体管 (T9), 其栅极连接所述驱动节点 (M)、第一极连接所述第一节点 (N) 以及第二极连接第二电源电压端。

5 4.如权利要求 3 所述的像素内存储单元, 其中, 所述第二数据锁存电路包括:

第二保持晶体管 (T5), 其栅极连接所述第二控制信号端 (S2)、第一极连接所述第二数据锁存端 (IN2)、以及第二极连接第二节点 (Q);

10 第二节点的第一控制晶体管 (T3), 其栅极和第一极连接第三电源电压端, 第二极连接所述第二节点 (Q);

第二节点的第二控制晶体管 (T4), 其栅极连接所述输出端 (OUT)、第一极连接所述第二节点 (Q) 以及第二极连接第四电源电压端。

5.如权利要求 3 所述的像素内存储单元, 其中, 所述第二数据锁存电路还连接到所述第一节点 (N), 并且所述第二数据锁存电路包括:

15 第二保持晶体管 (T5), 其栅极连接所述第二控制信号端 (S2)、第一极连接所述第二数据锁存端 (IN2)、以及第二极连接第二节点 (Q);

第二节点的第一控制晶体管 (T3), 其栅极连接所述第一节点 (N)、第一极连接第三电源电压端, 第二极连接所述第二节点 (Q);

20 第二节点的第二控制晶体管 (T4), 其栅极连接所述输出端 (OUT)、第一极连接所述第二节点 (Q) 以及第二极连接第四电源电压端。

6.如权利要求 4 或 5 所述的像素内存储单元, 其中, 所述数据输入电路包括:

25 第一输入晶体管 (T11), 其栅极连接所述第一控制信号端 (S1)、第一极连接所述数据线 (DATA)、以及第二极连接所述第一数据锁存端 (IN1); 以及

第二输入晶体管 (T12), 其栅极连接所述第一控制信号端 (S1)、第一极连接所述数据线 (DATA)、以及第二极连接所述第二数据锁存端 (IN2)。

7.如权利要求 6 所述的像素内存储单元, 其中, 所述驱动控制电路包括:

30 第一驱动控制晶体管 (T6), 其栅极和第一极连接第一电源电压端、以及第二极连接所述驱动节点 (M); 以及

第二驱动控制晶体管 (T7), 其栅极连接所述第一数据锁存端 (IN1)、第一极连接所述驱动节点 (M)、以及第二极连接第二电源电压端。

8.如权利要求 7 所述的像素内存储单元, 其中, 所述驱动电路包括:

5 第一驱动晶体管 (T1), 其栅极连接所述驱动节点 (M)、第一极连接第三电源电压端、以及第二极连接所述输出端 (OUT); 以及

第二驱动晶体管 (T2), 其栅极连接所述第二数据锁存端 (IN2)、第一极连接所述输出端 (OUT)、以及第二极连接第四电源电压端。

9.如权利要求 8 所述的像素内存储单元, 其中, 每个晶体管均为 NMOS 晶体管, 所述驱动节点 (M) 的有效电平为高电平, 所述第一电源电压端为
10 第一高电源电压端 (VDD), 所述第二电源电压端为第一低电源电压端 (VSS), 所述第三电源电压端为第二高电源电压端 (VDH), 所述第四电源电压端为第二低电源电压端 (VDL)。

10.如权利要求 8 所述的像素内存储单元, 其中, 每个晶体管均为 PMOS 晶体管, 所述驱动节点 (M) 的有效电平为低电平, 所述第一电源电压端为
15 第一低电源电压端 (VSS), 所述第二电源电压端为第一高电源电压端 (VDD), 所述第三电源电压端为第二低电源电压端 (VDL), 所述第四电源电压端为第二高电源电压端 (VDH)。

11.一种像素内数据存储方法, 所述像素包括如权利要求 1-10 任一项所述的像素内存储单元和液晶显示单元, 所述数据存储方法包括:

20 在第一时段, 所述第一控制信号端 (S1) 的第一控制信号处于其有效电平, 所述第二控制信号端 (S2) 的第二控制信号处于其无效电平, 所述数据输入电路将所述数据线 (DATA) 上的数据电压 (Vdata) 读取到所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 上, 所述驱动节点 (M) 的电平与所述第一数据锁存端 (IN1) 的电平相反, 并且所述驱动电路的输出端
25 (OUT) 的电平与所述数据电压的电平相反;

在第二时段, 所述第二控制信号端 (S2) 的第二控制信号处于其有效电平, 所述第一控制信号端 (S1) 的第一控制信号处于其无效电平, 所述数据输入电路将所述数据线 (DATA) 与所述第一数据锁存端 (IN1) 和所述第二数据锁存端 (IN2) 隔离, 所述第一数据锁存电路保持所述第一数据锁存端
30 (IN1) 的电平, 并且所述第二数据锁存电路保持所述第二数据锁存端 (IN2)

的电平，从而使得所述驱动电路的输出端（OUT）的电平保持不变。

12.一种像素阵列，每个像素包括如权利要求 1 - 10 任一项所述的像素内存储单元和液晶显示单元。

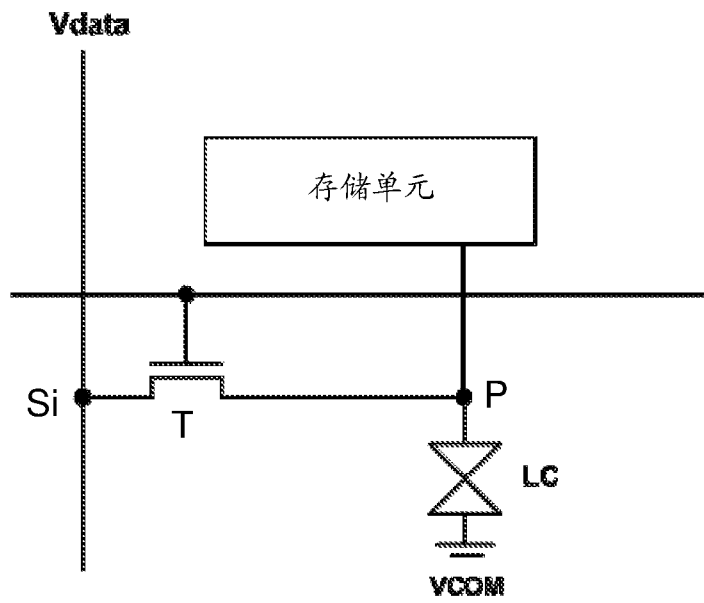


图1

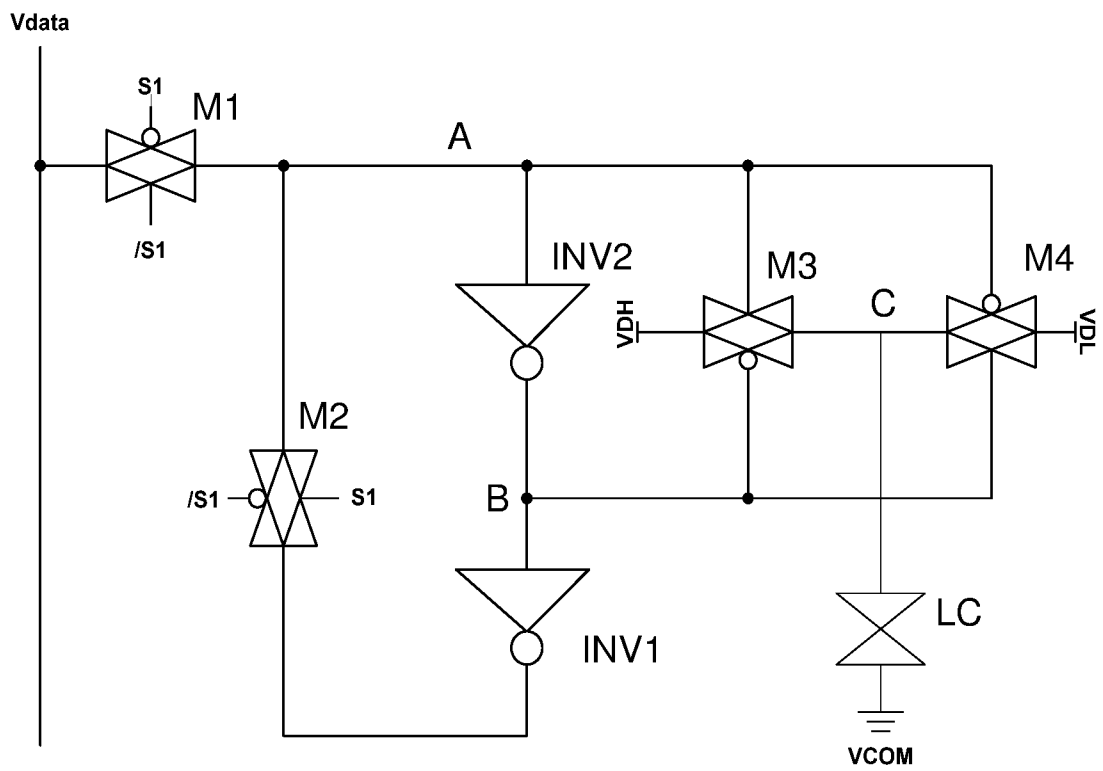


图2

2/10

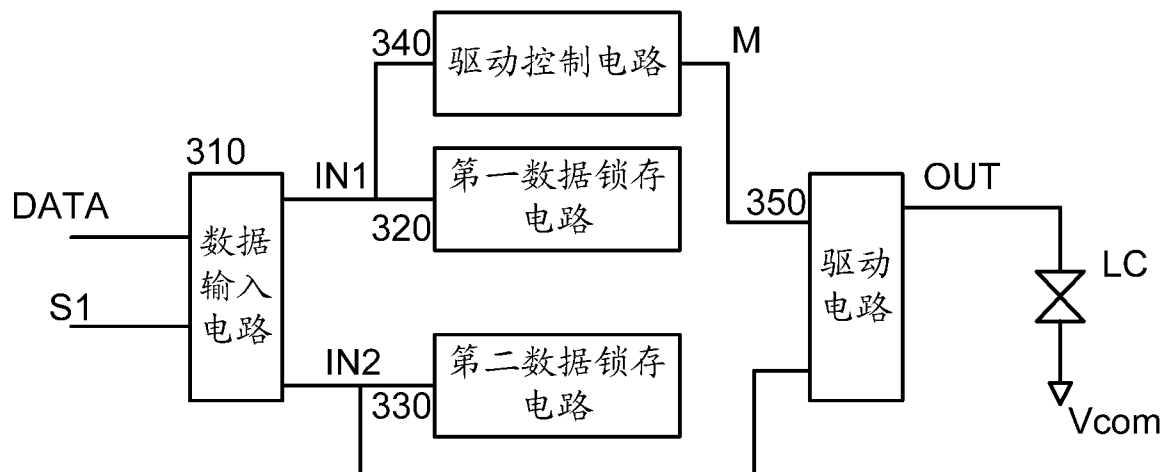


图3A

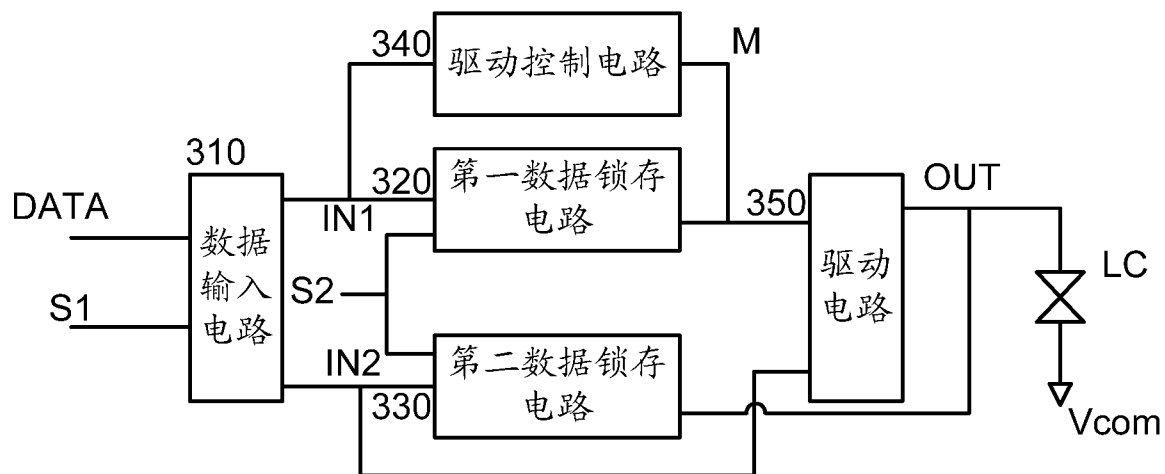


图3B

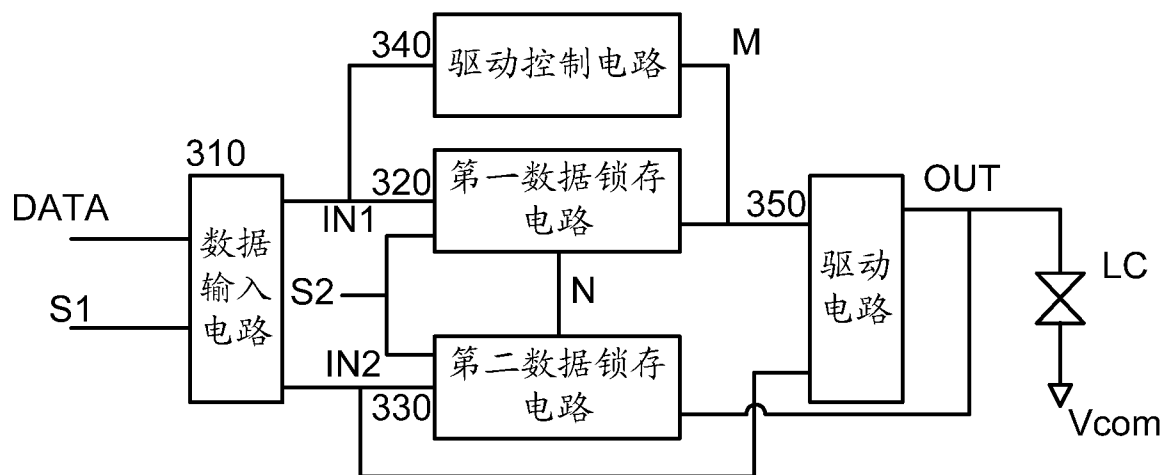


图3C



图4

S510

在第一时段，数据输入电路将数据线上的数据电压读取到第一数据锁存端和第二数据锁存端上，所述驱动节点的电平与所述第一数据锁存端的电平相反，并且所述驱动电路的输出端的电平与所述数据电压的电平相反

S520

在第二时段，数据输入电路将所述数据线与所述第一数据锁存端和所述第二数据锁存端隔离，所述第一数据锁存电路保持所述第一数据锁存端的电平，并且所述第二数据锁存电路保持所述第二数据锁存端的电平，从而使得所述驱动电路的输出端的电平保持不变

图5

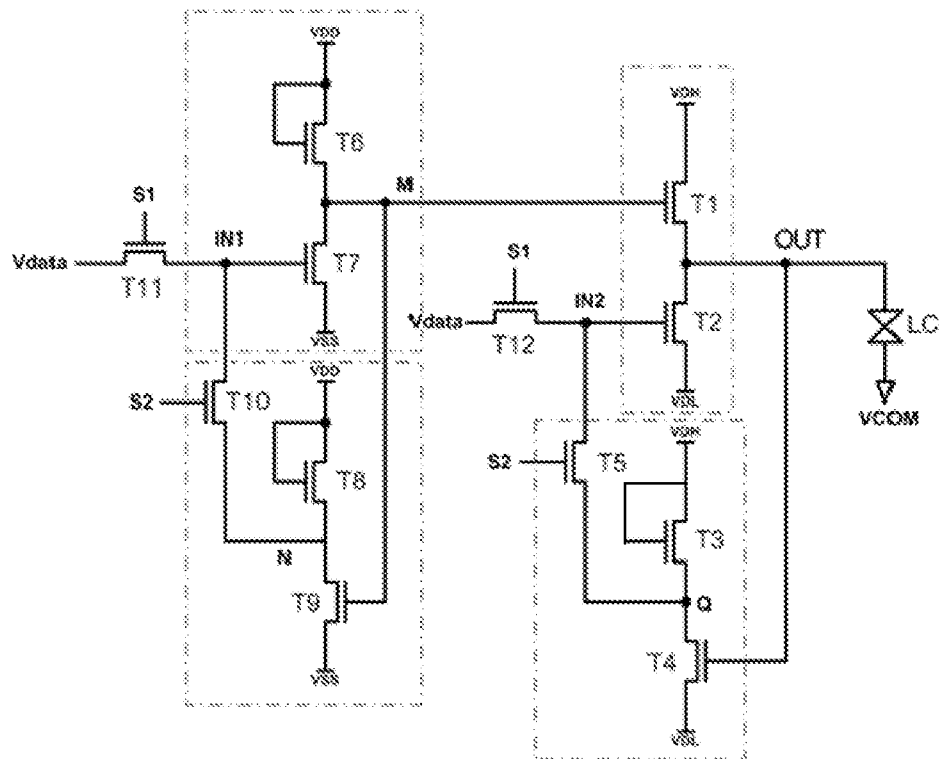


图6A

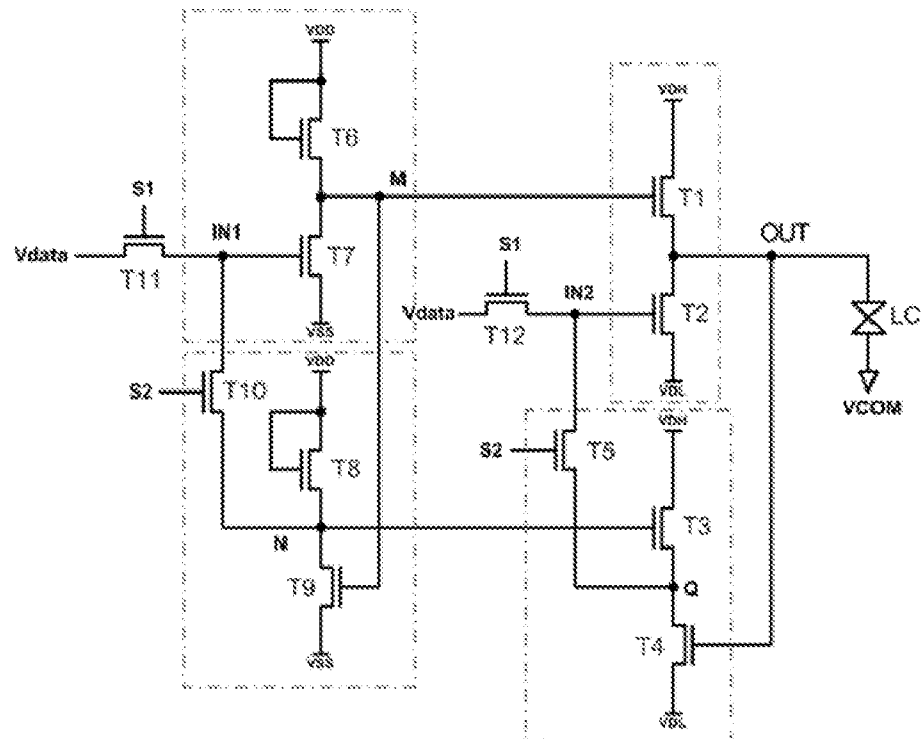


图6B

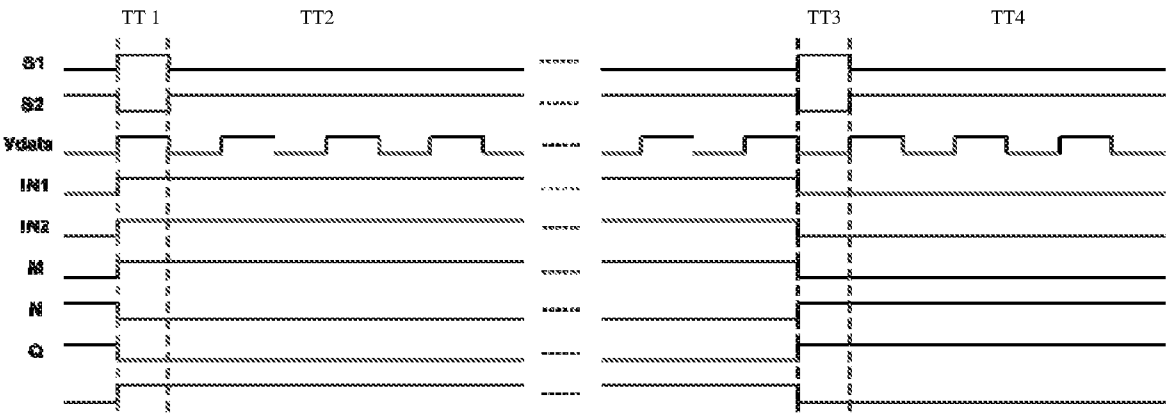


图7

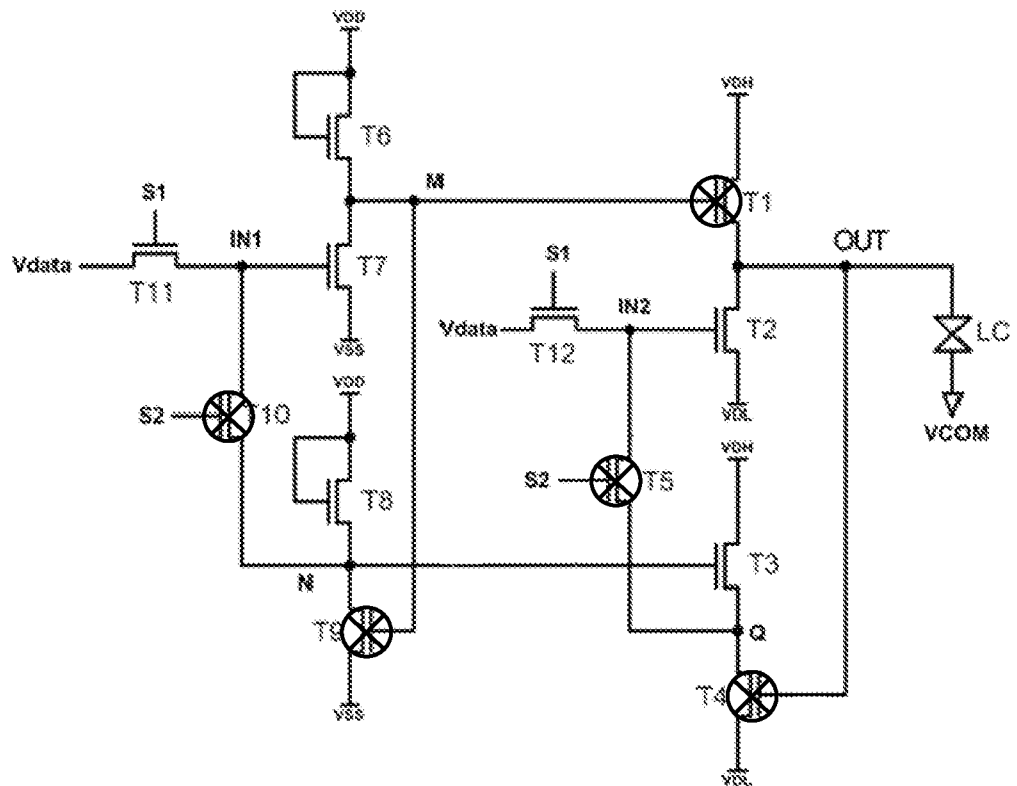
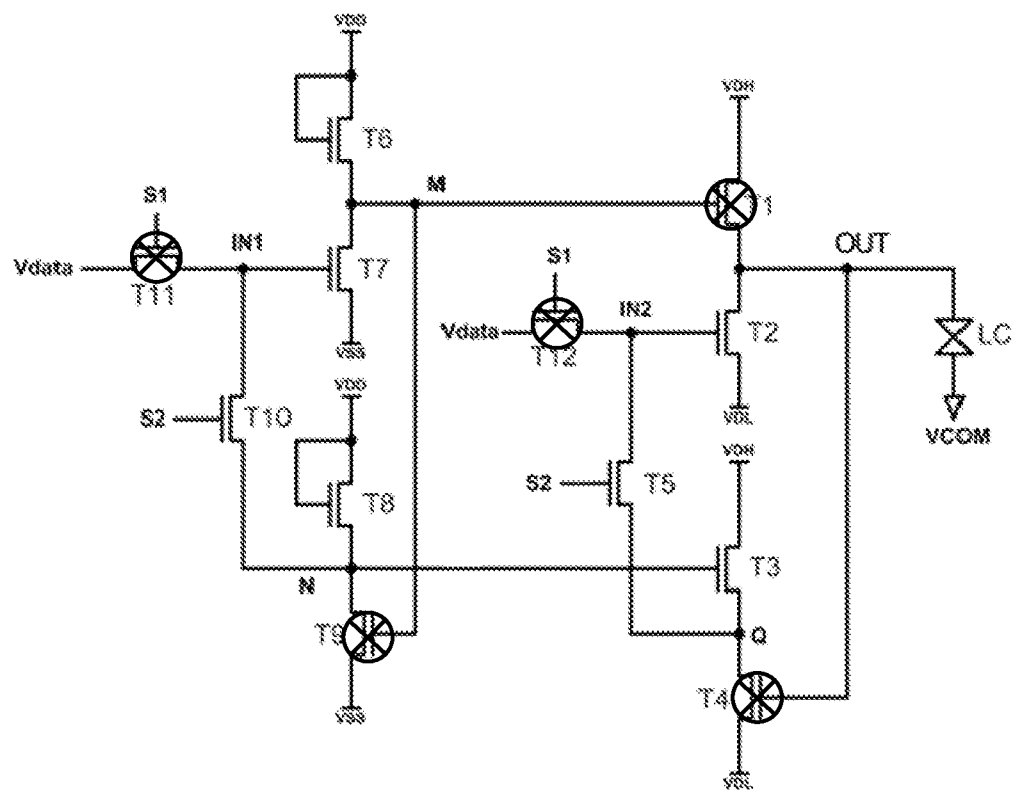


图 8A



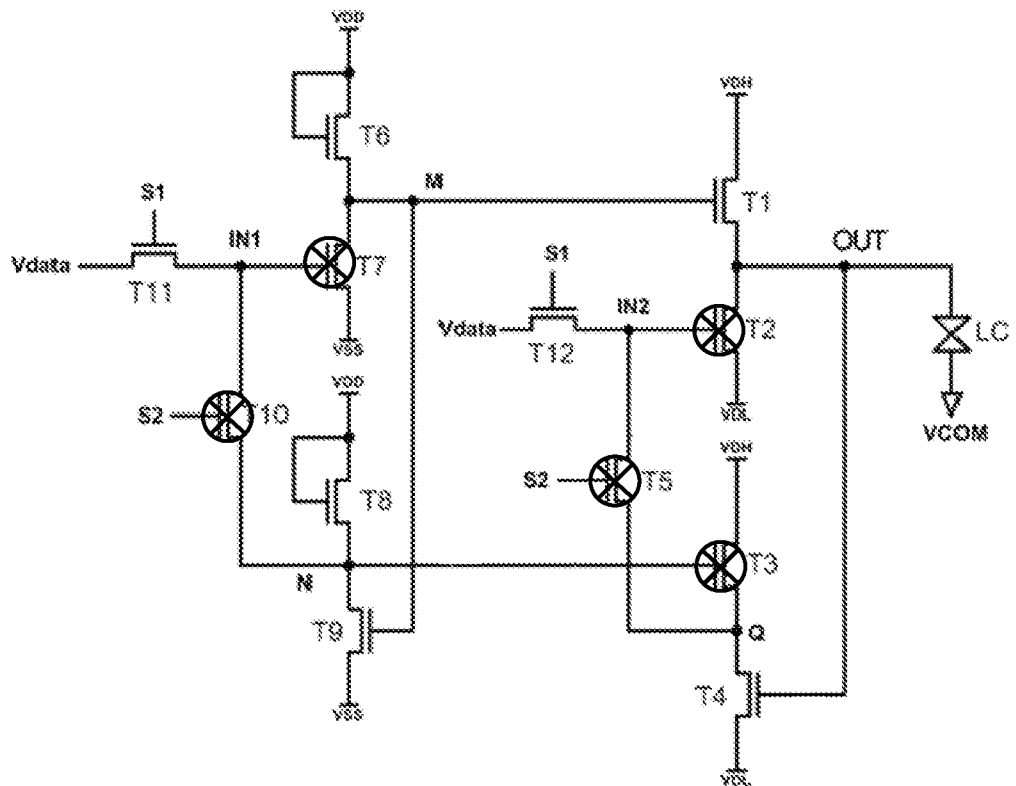


图9A

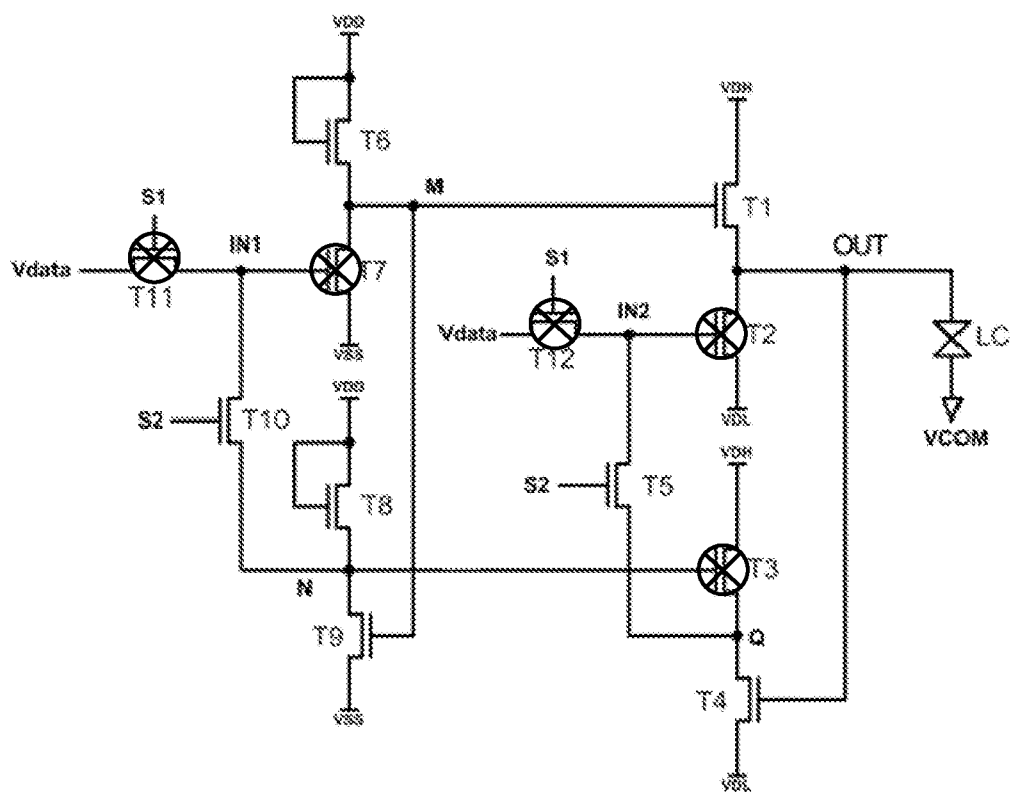


图9B

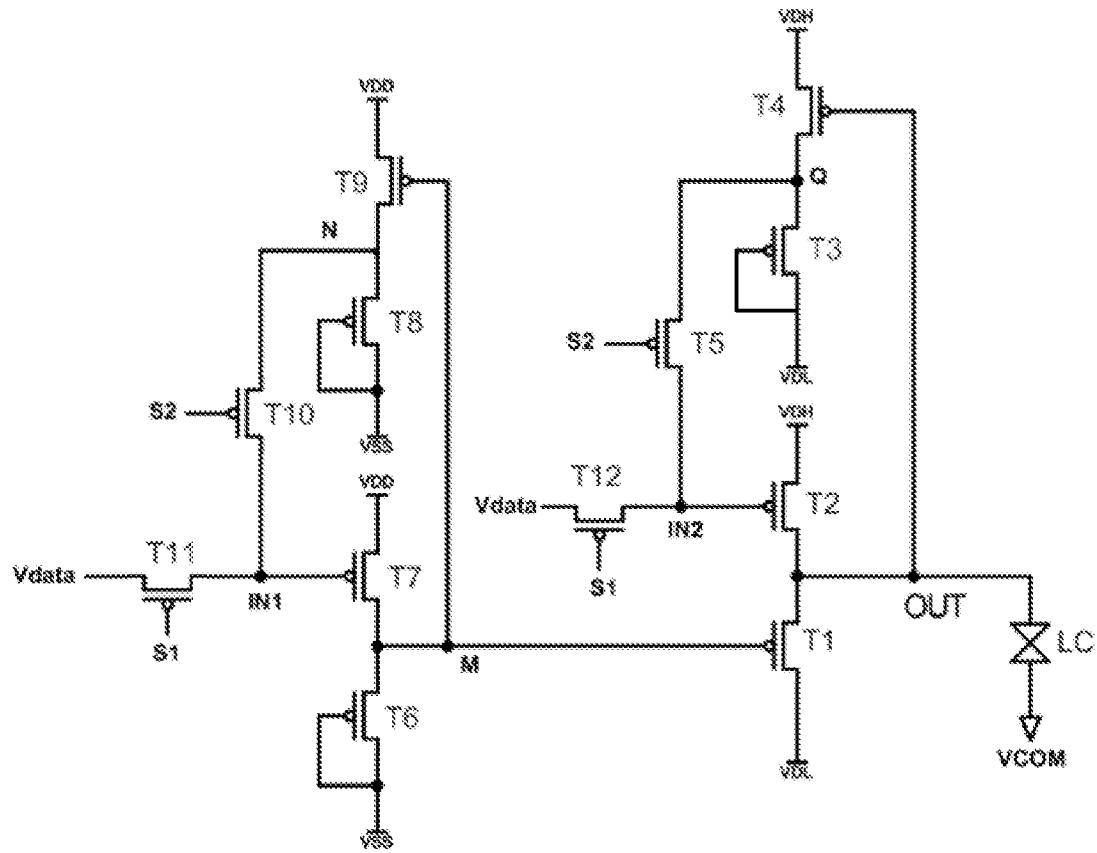


图10A

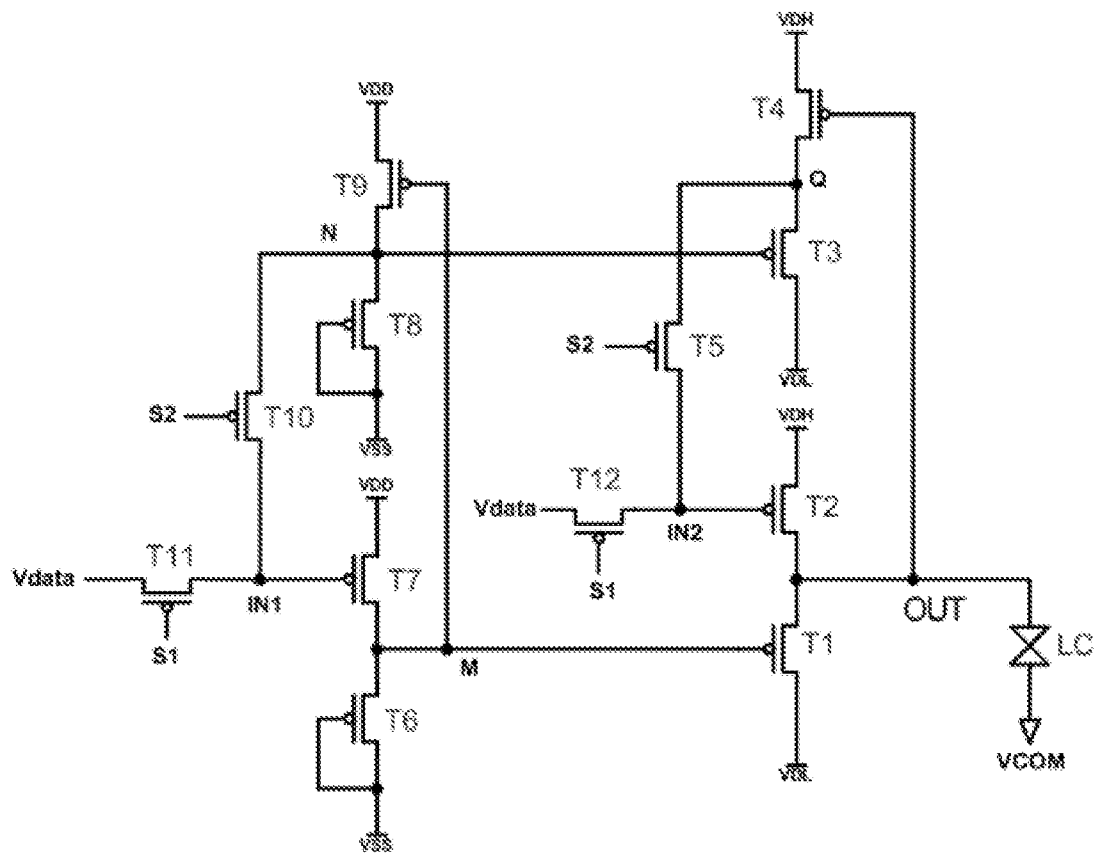


图10B

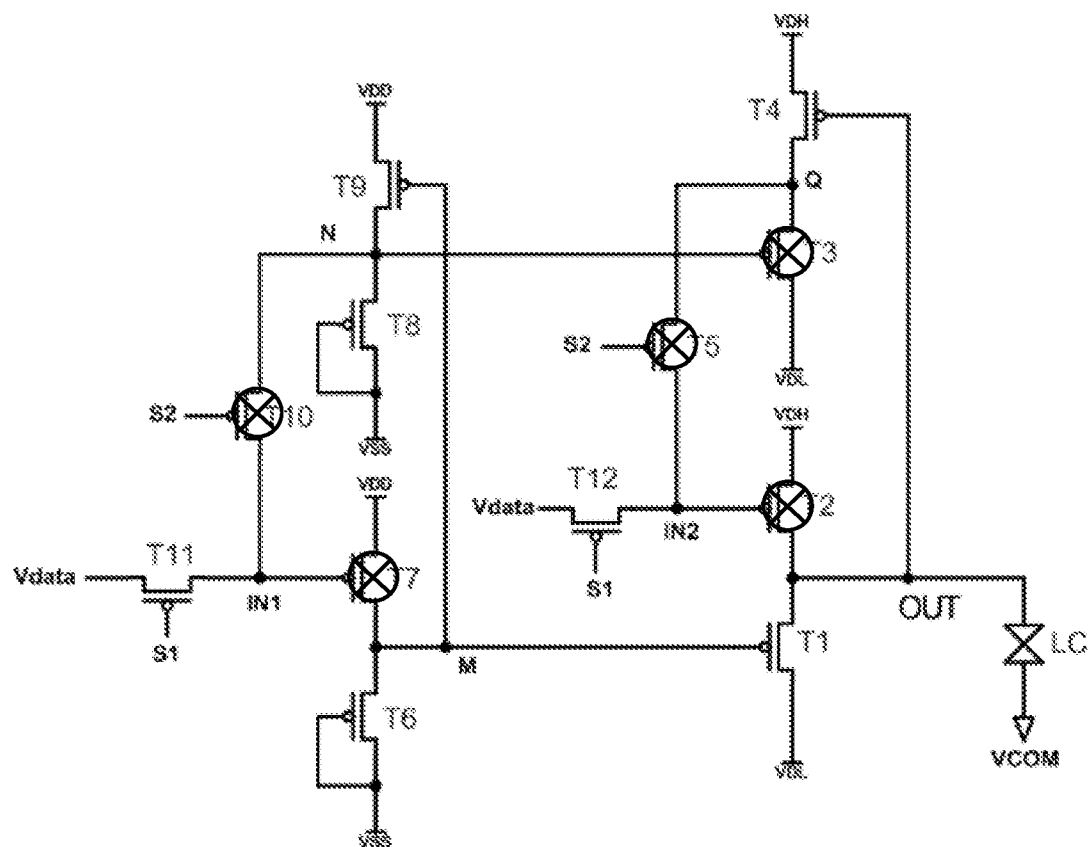


图 11A

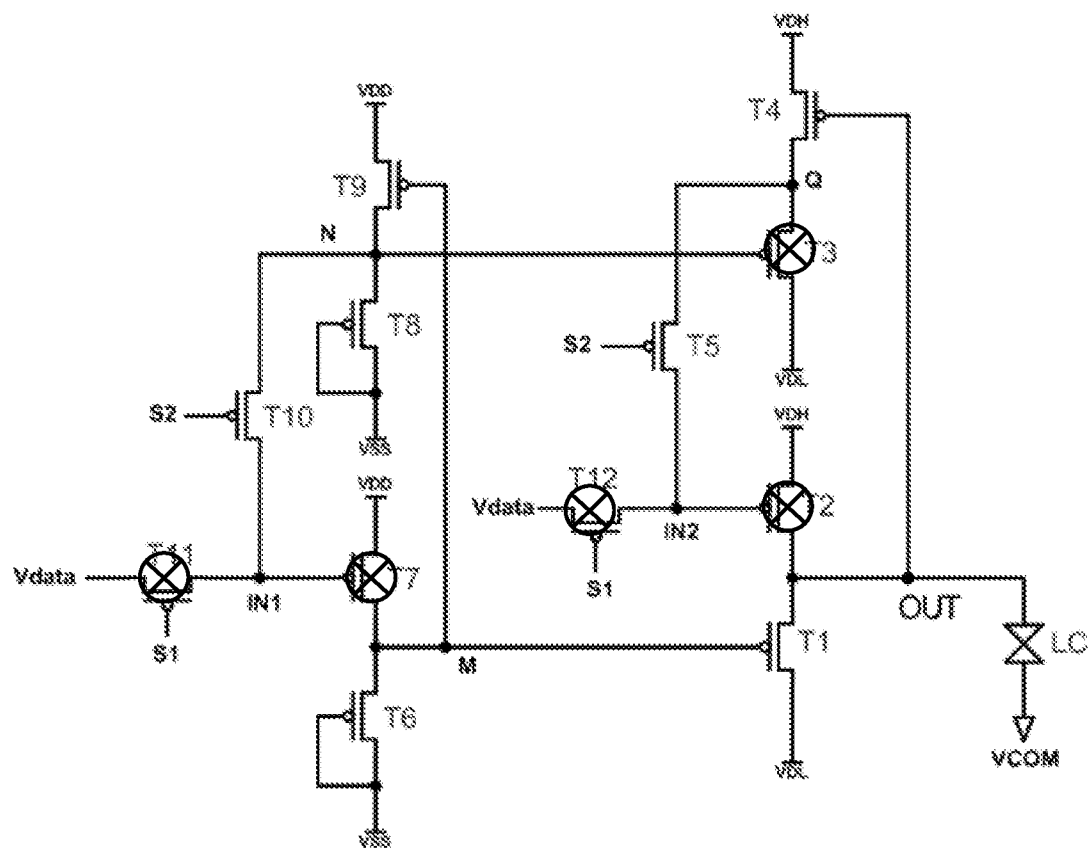


图 11B

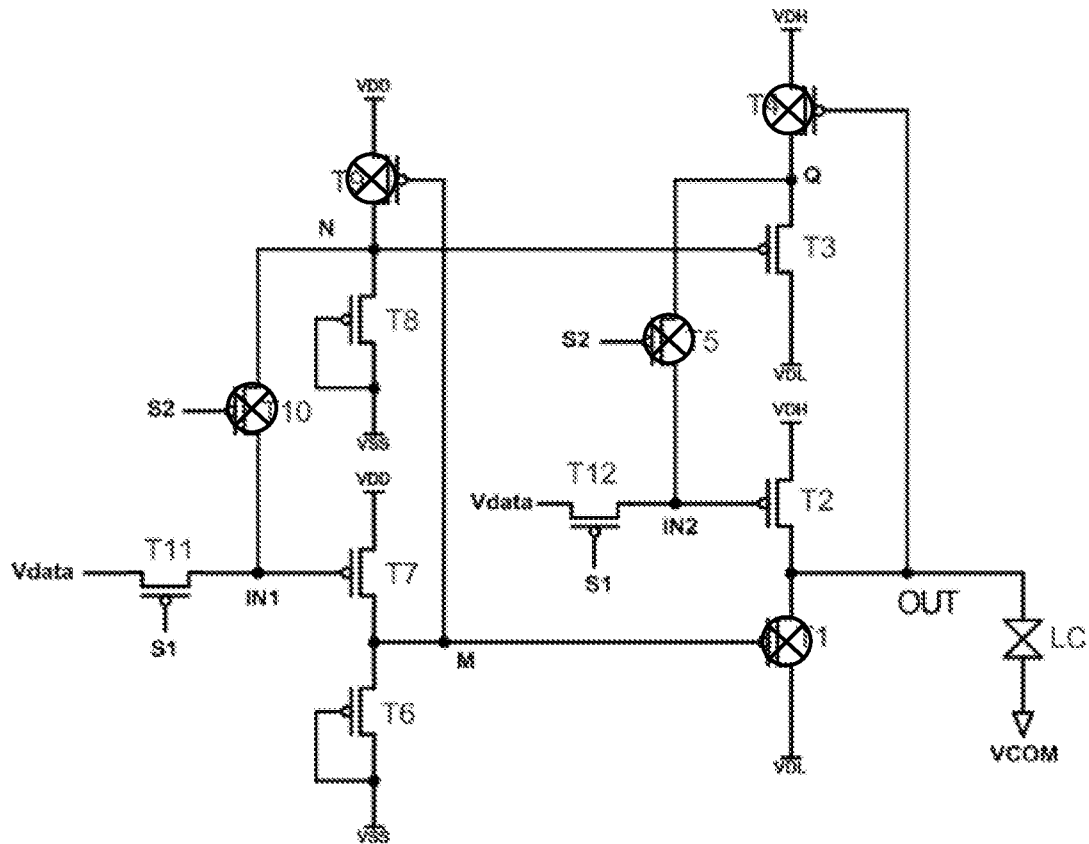


图 12A

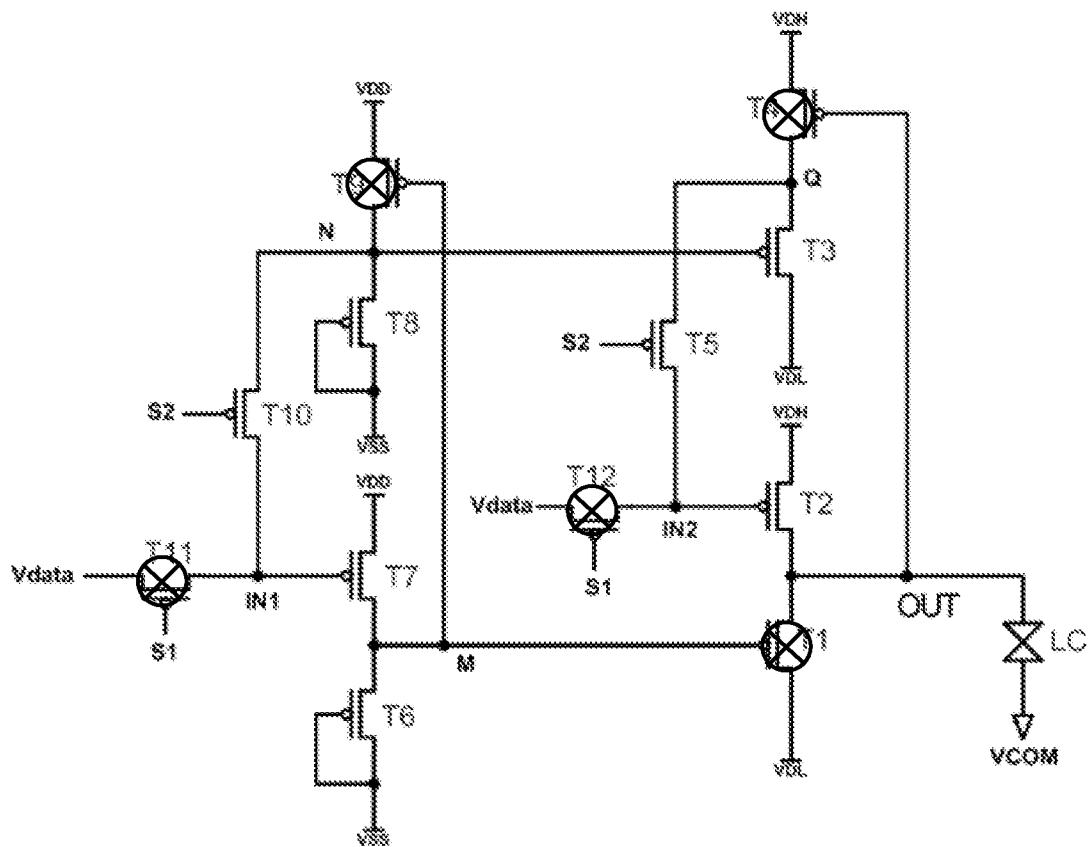


图 12B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/079288

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, CNPAT, CNKI, IEEE, GOOGLE: second, MIP, memory, pixel, storage, latch, drive, connect

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106297686 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 04 January 2017 (04.01.2017), claims 1-12 and description, paragraph [0140]	1-12
A	CN 101441384 A (SEIKO EPSON CORPORATION), 27 May 2009 (27.05.2009), abstract, description, pages 7-32, and figures 1-3	1-12
A	CN 101996576 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 30 March 2011 (30.03.2011), the whole document	1-12
A	US 6310813 B1 (SAMSUNG ELECTRONICS CO., LTD.), 30 October 2001 (30.10.2001), the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 May 2017 (16.05.2017)	Date of mailing of the international search report 28 June 2017 (28.06.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer GAO, Minfang Telephone No.: (86-10) 82246811

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/079288

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106297686 A	04 January 2017	None	
CN 101441384 A	27 May 2009	JP 2009145859 A	02 July 2009
		US 2009128585 A1	21 May 2009
		KR 20090051706 A	22 May 2009
CN 101996576 A	30 March 2011	JP 2011039514 A	24 February 2011
		TW 201106325 A	16 February 2011
		US 2012019436 A1	26 January 2012
US 6310813 B1	30 October 2001	JP 2000067575 A	03 March 2000
		KR 20000014289 A	06 March 2000
		TW 432386 B	01 May 2001

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) EPDOC, WPI, CNPAT, CNKI, IEEE, GOOGLE: 像素, 象素, 存储, MIP, 锁存, 第二, 驱动, 连接, MIP, memory, pixel, storage, latch, drive, connect		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106297686 A (京东方科技集团股份有限公司 等) 2017年 1月 4日 (2017 - 01 - 04) 权利要求1-12以及说明书第[0140]段	1-12
A	CN 101441384 A (精工爱普生株式会社) 2009年 5月 27日 (2009 - 05 - 27) 摘要, 说明书7-32页, 图1-3	1-12
A	CN 101996576 A (群康科技深圳有限公司 等) 2011年 3月 30日 (2011 - 03 - 30) 全文	1-12
A	US 6310813 B1 (SAMSUNG ELECTRONICS CO., LTD.) 2001年 10月 30日 (2001 - 10 - 30) 全文	1-12
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2017年 5月 16日		国际检索报告邮寄日期 2017年 6月 28日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 高民芳 电话号码 (86-10) 82246811

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/079288

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106297686	A	2017年 1月 4日	无			
CN	101441384	A	2009年 5月 27日	JP	2009145859	A	2009年 7月 2日
				US	2009128585	A1	2009年 5月 21日
				KR	20090051706	A	2009年 5月 22日
CN	101996576	A	2011年 3月 30日	JP	2011039514	A	2011年 2月 24日
				TW	201106325	A	2011年 2月 16日
				US	2012019436	A1	2012年 1月 26日
US	6310813	B1	2001年 10月 30日	JP	2000067575	A	2000年 3月 3日
				KR	20000014289	A	2000年 3月 6日
				TW	432386	B	2001年 5月 1日