

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020 년 4 월 30 일 (30.04.2020) **WIPO | PCT**



(10) 국제공개번호
WO 2020/085583 A1

- (51) 국제특허분류:
G06F 13/20 (2006.01) *G06F 13/16* (2006.01)
- (21) 국제출원번호: PCT/KR2019/001204
- (22) 국제출원일: 2019 년 1 월 29 일 (29.01.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2018-0127171 2018 년 10 월 24 일 (24.10.2018) KR
- (71) 출원인: 전자부품연구원 (**KOREA ELECTRONICS TECHNOLOGY INSTITUTE**) [KR/KR]; 13509 경기도 성남시 분당구 새나리로 25, Gyeonggi-do (KR).
- (72) 발명자: 김병수 (**KIM, Byung Soo**); 17073 경기도 용인시 기흥구 금화로11번길 10, 304동 703호, Gyeonggi-do (KR). 김동순 (**KIM, Dong Sun**); 13554 경기도 성남시

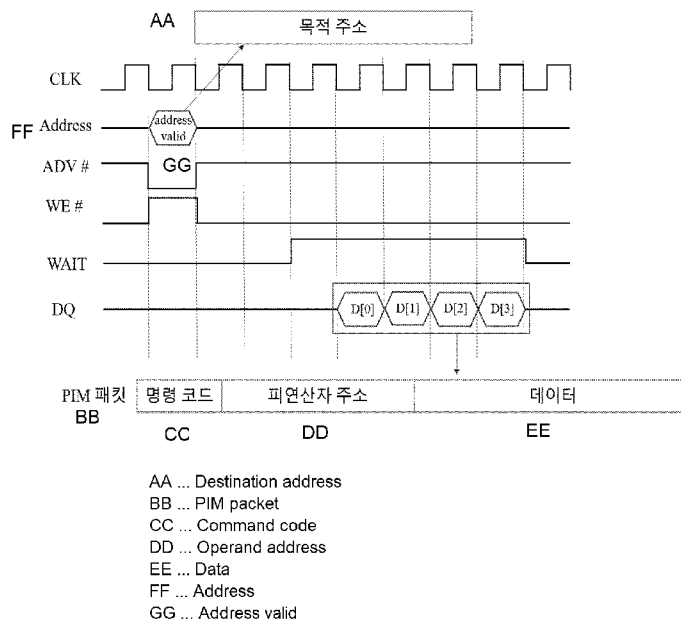
분당구 정자일로 248, 606동 3203호, Gyeonggi-do (KR). 김영규 (**KIM, Young Kyu**); 13364 경기도 성남시 중원구 광명로16번길 6, 407호, Gyeonggi-do (KR). 장영중 (**JANG, Young Jong**); 16826 경기도 용인시 수지구 신수로783번길 12-1, 806호, Gyeonggi-do (KR).

(74) 대리인: 남충우 (**NAM, Choong Woo**); 06296 서울시 강남구 논현로34길 26, 4층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: PROCESSING IN MEMORY DEVICE USING COMMERCIAL MEMORY BUS

(54) 발명의 명칭: 상용 메모리 버스를 이용하는 프로세싱 인 메모리 장치



(57) Abstract: Provided are a method for operating a processing in memory (PIM) using a conventional commercial memory bus without modification, and a PIM device to which the method is applied. A PIM device according to an embodiment of the present invention comprises: a memory for storing data; a memory control device for reading and writing data at a corresponding address of the memory; an input/output device for receiving an address, data, and a command; and a computing device for executing a command regarding the data, wherein the input/output device may receive a destination address through an address signal, and may receive a packet, through a DQ signal, including a command to be executed by the computing device, an operand address, and data. Accordingly, it possible to implement a PIM without modifying hardware and software of an existing computer system, and in particular, it is possible



WO 2020/085583 A1

SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역
내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,
LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유
럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

to use the PIM on all commercially available motherboards using a PSRAM.

(57) 요약서: 기존의 상용 메모리 버스를 변형 없이 이용하여 PIM을 운용 할 수 있는 방법 및 이 방법이 적용된 PIM 장치가 제
공된다. 본 발명의 실시예에 따른 PIM(*processing in memory*) 장치는 데이터가 저장되는 메모리; 메모리의 해당 주소에서 데이
터를 read 하고 write 하는 메모리 제어장치; 주소, 데이터 및 명령을 수신하는 입출력 장치; 데이터에 대해 명령을 수행하는 연
산 장치;를 포함하고, 입출력 장치는, address 신호를 통해, 목적 주소를 수신하고, DQ 신호를 통해, 연산 장치가 수행할 명령,
피연산자 주소 및 데이터가 수록된 패킷을 수신할 수 있다. 이에 의해, 기존 컴퓨터 시스템의 하드웨어 및 소프트웨어의 수정
없이도, PIM을 구현할 수 있으며, 특히 PSRAM을 사용하는 모든 상용 마더보드(*motherboard*)에서 PIM을 사용할 수 있게 된다.

명세서

발명의 명칭: 상용 메모리 버스를 이용하는 프로세싱 인 메모리 장치

기술분야

- [1] 본 발명은 전통적인 컴퓨터 시스템과 호환 가능한 PIM(processing in memory; 프로세싱 인 메모리) 장치에 관한 것으로, 더욱 상세하게는 상용화된 메모리 버스를 이용한 PIM의 프로토콜, 패킷 구조, 운용 방법, 그리고 PIM 장치의 하드웨어 구조에 관한 것이다.

배경기술

- [2] PIM에 대한 연구와 개발이 지속적으로 이루어짐에도 불구하고 PIM이 쉽게 상용화되지 못하는 이유는 기존 컴퓨터 시스템과의 호환성 문제를 가장 큰 원인으로 꼽을 수 있다. 기존 시스템과의 호환성 문제는 크게 하드웨어와 소프트웨어 측면으로 구분할 수 있으며 이를 극복하기 위해서는 하드웨어와 소프트웨어의 복합적인 접근 방법이 불가피한데, 이러한 접근 방법은 기존 시장을 설득하고 협력을 구해야만 실현 가능하다.
- [3] PIM과 기존 시스템과의 하드웨어적 호환성 문제는 기존 컴퓨터 시스템의 수직적 메모리 계층 구조(memory hierarchy)에서 야기된다. 오늘날 컴퓨터 시스템은 소형 임베디드(embedded) 시스템의 AP(application processor) 조차도 여러 계층의 캐시(cache)를 사용할 정도로 메모리 병목현상을 캐시에 의존하여 해결하기 때문에 앞으로도 프로세서가 캐시를 포기하는 일은 기대하기 힘들다. 하지만 캐시는 반복 접근하는 메모리 주소에 대해 이전에 접근했던 데이터를 참조하여 제공하는 방식인데, PIM은 동일한 주소에 접근하더라도 수행하는 operation에 따라서 쓰거나 읽는 데이터가 달라질 수 있다. 그러므로 PIM과 캐시를 함께 사용할 경우 자칫하면 cache consistency 문제, cache coherence 문제가 각각 혹은 동시에 발생하는 상황에 처해진다.
- [4] PIM을 사용하기에는 기존 메모리 버스 역시 걸림돌이 된다. 오늘날 대부분 시스템이 사용하는 메인메모리 버스는 JEDEC 표준을 따르고 있다. 이러한 표준 메모리 버스는 read와 write의 응답시간이 일정한 fixed-latency 방식인데, 이에 반해 PIM은 read/write 동작 외에도 연산 명령을 처리하기 때문에 variable-latency 방식의 메모리 버스가 필요하다. 또한 기존 메모리 채널의 read/write, address, data 뿐만 아니라 PIM operation을 위한 정보를 훼손 없이 PIM에 전달할 수 있는 채널 역시 하드웨어적으로 마련되어야 한다.
- [5] PIM과 기존 시스템과의 소프트웨어적 호환성 문제는 운영체제의 메모리 관리에서 비롯된다. 오늘날 대부분의 운영체제는 가상 메모리를 사용하며 가상 메모리를 위한 virtual address는 프로세서의 MMU(memory management unit)를 통해 physical address로 사상(mapping) 되어 실제 물리 메모리에

접근된다(MMU를 가지고 있지 않은 프로세서를 사용하는 일부 시스템에서는 OS에서 MMU 기능을 수행함). 하지만, PIM의 연산 기능을 사용하기 위해서는 연산에 필요한 피연산자(operand)의 physical address를 명확하게 지시해야 하는데 소프트웨어에서 사용하는 virtual address는 non-contiguous하게 할당되는 페이지(page) 단위로 관리되기 때문에 이를 통해 모든 physical address를 정확하게 예측하는 것은 매우 어렵다.

- [6] 지금까지 설명한 문제점들을 극복하기 위한 가장 좋은 방법은 PIM만을 위한 인터페이스를 개발하고 PIM을 사용하고자 하는 프로세서와 마더보드(motherboard), 주변 장치, 운영체제 등이 PIM을 사용할 수 있게 기술적 지원을 하는 것이다. 하지만 이러한 일은 앞서 언급했듯이 기존 시장을 설득하고 협력을 구해야 한다. HMC(hybrid memory cube)의 경우는 여러 제조사들과 연구그룹에 의해 기술적으로는 상용화 수준에 이르렀지만 인터페이스의 특수성으로 기존 시스템과 호환이 되지 않으며 이로 인해 HMC의 보편화에 대한 전망은 쉽게 내리기 어렵다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은, 기존의 상용 메모리 버스를 변형 없이 이용하여 PIM을 운용 할 수 있는 방법 및 이 방법이 적용된 PIM 장치를 제공함에 있다.

과제 해결 수단

- [8] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른, PIM(processing in memory) 장치는 데이터가 저장되는 메모리; 메모리의 해당 주소에서 데이터를 read 하고 write 하는 메모리 제어장치; 주소, 데이터 및 명령을 수신하는 입출력 장치; 데이터에 대해 명령을 수행하는 연산 장치;를 포함하고, 입출력 장치는, address 신호를 통해, 목적 주소를 수신하고, DQ 신호를 통해, 연산 장치가 수행할 명령, 피연산자 주소 및 데이터가 수록된 패킷을 수신할 수 있다.
- [9] 패킷의 길이는, 메모리 크기, 명령의 개수 및 데이터 워드의 크기에 의해 결정되는 것일 수 있다.
- [10] 패킷은, 메모리의 write burst 프로토콜을 통해 데이터 write 동작과 동일하게 입출력 장치에 전달되는 것일 수 있다.
- [11] 입출력 장치는, 수신한 패킷을 연산 장치가 처리 할 수 있는 제어 정보로 변경하여 연산 장치에 전달하는 것일 수 있다.
- [12] 메모리 제어장치는, 연산 장치의 연산 결과를 메모리의 목적 주소에 저장하고, 저장된 연산 결과는, 읽기 프로토콜을 통해 시스템이 접근할 수 있는 것일 수 있다.
- [13] 입출력 장치는, 연산 장치가 이전에 받은 명령을 처리중인 경우, 특정 신호를 무효한 상태로 두어, 다음 패킷을 처리할 준비가 되지 않았음을 알리는 것일 수

있다.

- [14] 입출력 장치는, 연산 장치가 이전에 받은 명령을 처리중인 경우, 수신되는 Address 신호와 WE 신호를 보존하여 대기시키는 것일 수 있다.
- [15] 입출력 장치는, 대기 중인 다음 패킷이 있음을 알리기 위한 처리 대기 신호를 활성화시키는 것일 수 있다.
- [16] 입출력 장치는, 대기 중인 다음 패킷을 수신하거나 특정 신호를 유효한 상태로 변경하면, 처리 대기 신호를 비활성화시키는 것일 수 있다.
- [17] 한편, 본 발명의 다른 실시예에 따른, PIM(processing in memory) 방법은 입출력 장치가, address 신호를 통해, 목적 주소를 수신하는 단계; 입출력 장치가, DQ 신호를 통해, 연산 장치가 수행할 명령, 피연산자 주소 및 데이터가 수록된 패킷을 수신하는 단계; 연산 장치가, 명령을 수행하는 단계; 메모리 제어장치가, 명령 수행 결과를 메모리에 저장하는 단계;를 포함한다.
- [18] 한편, 본 발명의 또다른 실시예에 따른, 컴퓨팅 시스템은 PIM(processing in memory) 장치; 및 PIM 장치에 데이터를 저장하는 시스템;를 포함하고, PIM 장치는, 데이터가 저장되는 메모리; 메모리의 해당 주소에서 데이터를 read 하고 write 하는 메모리 제어장치; 주소, 데이터 및 명령을 수신하는 입출력 장치; 데이터에 대해 명령을 수행하는 연산 장치;를 포함하고, 입출력 장치는, address 신호를 통해, 목적 주소를 수신하고, DQ 신호를 통해, 연산 장치가 수행할 명령이 수록된 패킷을 수신할 수 있다.
- [19] 한편, 본 발명의 또다른 실시예에 따른, PIM(processing in memory) 방법은 시스템이, address 신호를 통해, PIM(processing in memory) 장치의 입출력 장치에 목적 주소를 전송하는 단계; 시스템이, DQ 신호를 통해, PIM 장치의 입출력 장치에, PIM 장치의 연산 장치가 수행할 명령, 피연산자 주소 및 데이터가 수록된 패킷을 전송하는 단계; PIM 장치의 연산 장치가, 명령을 수행하는 단계; PIM 장치의 메모리 제어장치가, 명령 수행 결과를 메모리에 저장하는 단계;를 포함한다.

발명의 효과

- [20] 이상 설명한 바와 같이, 본 발명의 실시예들에 따르면, 기존 컴퓨터 시스템의 하드웨어 및 소프트웨어의 수정 없이도, PIM을 구현할 수 있으며, 특히 PSRAM을 사용하는 모든 상용 마더보드(motherboard)에서 PIM을 사용할 수 있게 된다.

도면의 간단한 설명

- [21] 도 1은 PSRAM 4-word burst read operation,
- [22] 도 2는 PSRAM 4-word burst write operation,
- [23] 도 3은 PIM 장치의 하드웨어 구조에 대한 블록다이어그램,
- [24] 도 4는 PIM 패킷 구조,
- [25] 도 5는 PIM 패킷 전송 방법,

- [26] 도 6은 처리 대기 중인 패킷의 목적 주소와 읽기/쓰기 명령어 보존을 위한 논리 회로,
- [27] 도 7은 처리 대기 신호를 생성을 위한 논리 회로,
- [28] 도 8은 PIM과 CPU가 처리한 영상처리 결과를 비교한 표이다.

발명의 실시를 위한 최선의 형태

- [29] 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.
- [30] 본 발명의 실시예에서는, 상용 메모리 버스를 이용하는 PIM 장치를 제시한다. 구체적으로, 전통적인 컴퓨터 시스템과 호환 가능하도록 상용화된 메모리 버스를 이용한 PIM의 프로토콜, 패킷 구조, 운용 방법, 그리고 PIM 장치의 하드웨어 구조를 제안한다.
- [31] 이를 위해, 본 발명의 실시예에서는, 기존의 상용 메모리인 PSRAM(pseudostatic random-access memory)의 프로토콜을 변형 없이 이용하여 PIM 인터페이스를 구현하고, PSRAM 버스를 그대로 이용할 수 있는 PIM 패킷(packet) 구조를 제안하며, PSRAM 버스를 이용하는 PIM 장치의 하드웨어 구조를 제시한다.
- [32] 본 발명의 실시예에서는 JEDEC PSRAM(pseudostatic SRAM) 버스를 이용하는 PIM(processing in memory) 장치와 패킷 구조, 운용 방법을 제시한다. 본 발명의 실시예에 대한 이해를 돕기 위해, PSRAM과 PSRAM 버스의 특징을 우선 설명한다.
- [33] PSRAM은 refresh 회로와 address-decoder를 내장하고 있는 DRAM으로서 DRAM의 높은 집적도와 SRAM의 접근 용이성을 합친 메모리이다.
- [34] PSRAM은 read 혹은 write 동작 중 내부에서 refresh와 충돌이 발생할 수 있으며, 이러한 경우를 위해서 PSRAM 버스는 다른 DRAM 기반 메모리 버스가 고정 응답 지연(fixed latency) 버스 프로토콜을 사용하는 것과 달리 가변 응답 지연 방식(variable latency)의 버스 프로토콜을 사용한다.
- [35] 가변 응답 지연 방식에 따른 read와 write의 정확한 타이밍을 제공하기 위하여 PSRAM 메모리 버스는 WAIT 신호를 사용하고 있으며, PSRAM 컨트롤러는 WAIT 신호의 상태에 따라 읽기 데이터를 읽거나 쓰기 데이터를 입력할 수 있다.
- [36] 그 외에, burst length는 선택가능하며 WAIT 신호가 assert 된 후 DQ 신호가 유효한 데이터를 출력하기까지 지연시간도 선택가능하다. PSRAM 버스의 프로토콜은 도 1 및 2와 같다.
- [37] 도 1과 2에서, ADV # 신호는 address가 유효한 구간을 알리며, CE #은 chip select 신호로 사용되고 WE #은 write enable 신호로 사용된다. DQ는 데이터 신호인데 양방향 버스(bi-directional bus) 이므로 OE # 신호를 통해 현재 DQ의 입·출력 방향을 결정한다.
- [38] WAIT신호는 PSRAM이 시스템으로 보내는 신호로써, 읽기 모드에서는 PSRAM이 요청받은 주소의 데이터를 출력하기 전에 WAIT 신호를 assert하여 DQ에서 출력되는 데이터가 유효함을 알린다. 쓰기 모드에서는 쓰기 데이터를

- 수신 할 준비가 되었을 때 PSRAM이 WAIT 신호를 assert하며 memory controller는 약속된 burst length와 타이밍에 맞게 쓰기 데이터를 전송한다.
- [39] 본 발명의 실시예에 따른 PIM은 메모리의 기본적인 기능 측면에서는 PSRAM과 동일하다. DRAM을 core-memory로 사용하고 있고 address-decoder와 refresh 회로를 내장하고 있다. 여기에 추가로 몇 가지 연산기능을 제공한다. PIM 장치의 하드웨어 구조는 도 3과 같다.
- [40] 본 발명의 일 실시예에 따른 PIM 장치는, 도 3에 도시된 바와 같이, 입출력 장치(110), 연산 장치(120), 메모리 제어장치(130) 및 DRAM(140)을 포함하여 구성된다.
- [41] DRAM(140)은 PIM의 내부 메모리로 사용되며 address decoding, refresh 등의 주요 DRAM 동작은 메모리 제어장치(130)에 의해 제어된다.
- [42] 연산 장치(120)는 PIM의 입출력 장치(110)에서 받은 명령 코드를 수행하는데 메모리의 기본적인 동작과 연산 기능 등을 수행한다.
- [43] 입출력 장치(110)는 PSRAM 버스 프로토콜에 의해 PIM 접근 패킷(packet)을 분해하여 연산 장치(120)가 처리할 수 있게 전달하고 그 결과를 응답해 준다.
- [44] 본 발명의 실시예에서 제안하는 PIM은 상용 메모리 버스를 사용하기 때문에 몇 가지의 제어신호와 주소, 데이터 등의 신호만을 사용한다. 따라서 PIM에게 연산에 대한 명령을 전달하기 위해서는 기존 메모리 버스를 다른 방식으로 운용해야만 한다.
- [45] 본 발명의 실시예에서 제안하는 PIM 패킷의 구조는 도 4와 같고, 이러한 PIM 패킷을 PSRAM 버스를 이용하여 전송하는 방법은 도 5와 같다.
- [46] PIM은 기본적인 메모리 기능과 연산 기능을 수행하며, 이러한 기능은 패킷의 명령 코드를 통해 특정 기능을 사용할 수 있다. 도 4에서, 목적 주소는 쓰기 및 읽기 명령, 그리고 연산 명령의 결과를 적용할 주소로 사용된다. 명령 코드는 PIM 장치가 수행해야 할 명령을 나타낸다.
- [47] PIM이 수행하는 연산 명령은 크게 R-type과 I-type으로 구분되는데, R-type의 명령을 수행할 시에는 피연산자 주소를 통해 연산에 필요한 데이터를 불러오며(recall), I-type 명령어는 패킷에 포함된 데이터 필드의 값을 피연산자로 사용한다.
- [48] 명령 코드의 모든 기능은 목적 주소를 반드시 필요로 하며, 그 외의 연산 기능을 수행하기 위해서는 명령어의 종류에 따라 피연산자 주소와 데이터가 요구된다.
- [49] 목적 주소는 모든 PIM 접근에 필요하므로 도 5와 같이 PSRAM 버스의 address 신호를 목적 주소로 그대로 사용한다. PIM 장치에 패킷을 전달하기 위해서는 DQ 신호를 사용하기 때문에, PIM의 읽기 명령을 제외한 모든 패킷은 PSRAM 버스의 쓰기 프로토콜을 사용한다.
- [50] PIM 패킷의 길이는 PIM 내부의 접근 가능한 메모리 크기, 명령어의 개수, 그리고 시스템의 데이터 워드(word) 크기에 의해 결정된다. 가령 64 MB 크기의 PIM, 64 개의 연산, 32-bit 워드를 가진 시스템이라면 PIM 패킷의 길이는 64

비트가 된다.

- [51] 이러한 패킷은 PSRAM write burst 프로토콜을 통해 데이터 쓰기 동작과 동일하게 PIM에 전달된다. PIM 장치는 수신한 패킷을 도 3의 입출력 장치(110)에서 분석하여 연산 장치(120)가 처리 할 수 있는 제어 정보로 변경하여 전달한다.
- [52] 모든 연산 명령은 PSRAM 버스의 쓰기 프로토콜에 의해 전달되기 때문에 연산 결과 역시 목적 주소에 적용되며, 이 값은 별도의 읽기 명령을 통해서 접근할 수 있다.
- [53] 따라서 본 발명의 실시예에서 제안하는 PIM 읽기 명령은 PIM 패킷을 사용하지 않고 PSRAM 버스의 읽기 프로토콜을 그대로 사용한다. PIM 패킷을 처리하는 시간은 처리하는 명령어의 종류에 따라 달라지며, 특히 패킷 처리 중에 DRAM(140)의 reflash 동작과 중첩될 경우 처리 시간은 더욱 길어진다.
- [54] PSRAM 버스 프로토콜은 현재 PIM의 패킷 처리 과정에 대한 정보를 전혀 알 수 없기 때문에, 시스템이 PIM에게 연속적인 명령을 전달할 경우 일부 명령어가 제대로 수행되지 않을 수 있다.
- [55] 본 발명의 실시예에서는 이러한 문제를 해결하고 명령어 전송의 신뢰성을 보장하기 위해 PSRAM 버스의 WAIT 신호를 이용한다. PIM은 이전에 받은 명령을 처리중일 때 WAIT 신호를 무효한 상태로 두고 다음 패킷을 처리할 준비가 되지 않았음을 알린다. 시스템이 읽기 요청을 할지라도 PIM은 WAIT 신호를 통해 시스템을 대기시킨다.
- [56] 다만 목적 주소로 사용되는 Address 신호와 WE # 신호는 WAIT 신호와 상관없이 시스템에서 PIM으로 보내지므로 대기 중인 Address 신호와 WE # 신호는 보존해야 한다. 대기 중인 Address 신호와 WE # 신호를 보존하는 것은 도 3의 입출력 장치(110)에서 처리되며, 이를 위한 논리 회로는 도 6과 같다. 도 6은 처리 대기 중인 패킷의 목적 주소와 읽기/쓰기 명령어 보존을 위한 논리 회로이다.
- [57] 뿐만 아니라 PIM이 하나의 패킷을 처리한 후에는 이미 대기 중인 다음 패킷이 있는지 여부를 알려야 한다. 이를 위해 입출력 장치(110)는 내부적으로 처리 대기 신호(pending flag)를 만들어 사용하며 처리 대기 신호를 만드는 논리 회로는 도 7과 같다. 도 7은 처리 대기 신호를 생성을 위한 논리 회로이다.
- [58] 처리 대기 신호는 대기 중인 목적 주소와 읽기 및 쓰기 명령어가 있으면 active-high 상태를 유지하고, PIM이 대기 중인 패킷의 나머지를 수신하거나 읽기 요청의 응답을 위해 WAIT 신호를 유효한 상태로 만들면 처리 대기 신호를 active-low로 만들어 처리 대기 중인 패킷이 없음을 알린다.
- [59] 본 발명의 실시예를 통해 개발한 PIM을 통해 512x512 크기의 24-bit 컬러사진을 median-filter 처리를 한 후 CPU가 처리한 결과와 비교를 해보았다. PIM이 사용되는 시스템은 external memory bus를 지원하는 임베디드 시스템을 사용하였는데, external memory bus가 PSRAM 버스를 지원한다. 사용하는

시스템의 프로세서는 ARM coretex-A9 기반의 AP를 사용하였으며 OS는 32-bit Linux 4.1.15를 사용하였다. External memory bus 역시 리눅스에서 가상 메모리로 관리 되는데, 시스템이 허용하는 최대 페이지 크기를 이용하여 PIM 주소 영역 전체를 한 번에 사상하고 주소의 offset 값을 통해 PIM의 물리 주소를 정확하게 예측하고 접근하였다.

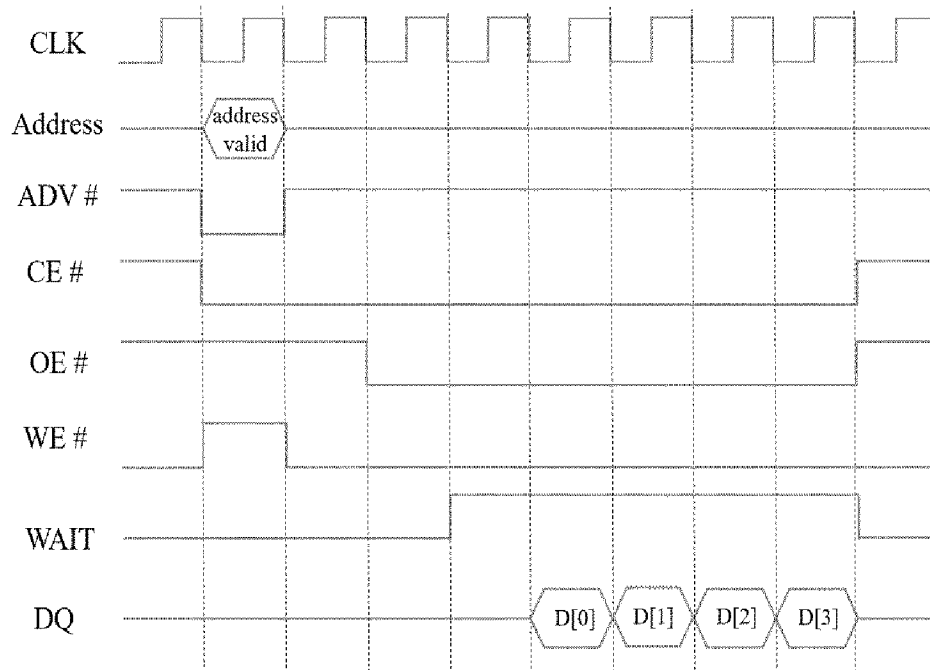
- [60] 처리 결과는 도 8과 같다. 도 8의 결과와 같이 동일한 알고리즘을 수행하였을 때 연산 결과는 CPU와 PIM이 동일하지만 처리 시간은 PIM을 이용하는 방식이 CPU의 처리 시간보다 20배 이상 향상된 것을 알 수 있다.
- [61] 지금까지, 상용 메모리 버스를 이용하는 프로세싱 인 메모리 장치에 대해 바람직한 실시예를 들어 상세히 설명하였다.
- [62] 본 발명의 실시예에서는, 기존 상용 메모리 버스를 이용할 수 있는 PIM 장치, PIM 패킷 구조 및 PIM 운용 방법을 제시하여, PIM을 사용하기 위해 기존 컴퓨터 시스템의 하드웨어 및 소프트웨어의 수정을 요구하지 않고, PSRAM을 사용하는 모든 상용 마더보드(motherboard)에서 PIM을 사용할 수 있도록 하였다.
- [63] 한편, 본 명세서에서, address와 DQ 버스는 개념적인 이해를 위해 두 버스를 구분하여 표현하였다. 하지만 실제 DQ 버스의 운용은 (PSRAM 표준에 근거하여) 별도의 DQ 버스를 두지 않고, 양방향 버스(bi-directional bus)로 설정된 address 버스를 DQ와 호환하여 사용가능하며, 이때 주소와 데이터는 시차에 의한 MUX를 통해 구분함에 유념하여야 한다.
- [64] 또한, 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특징의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

청구범위

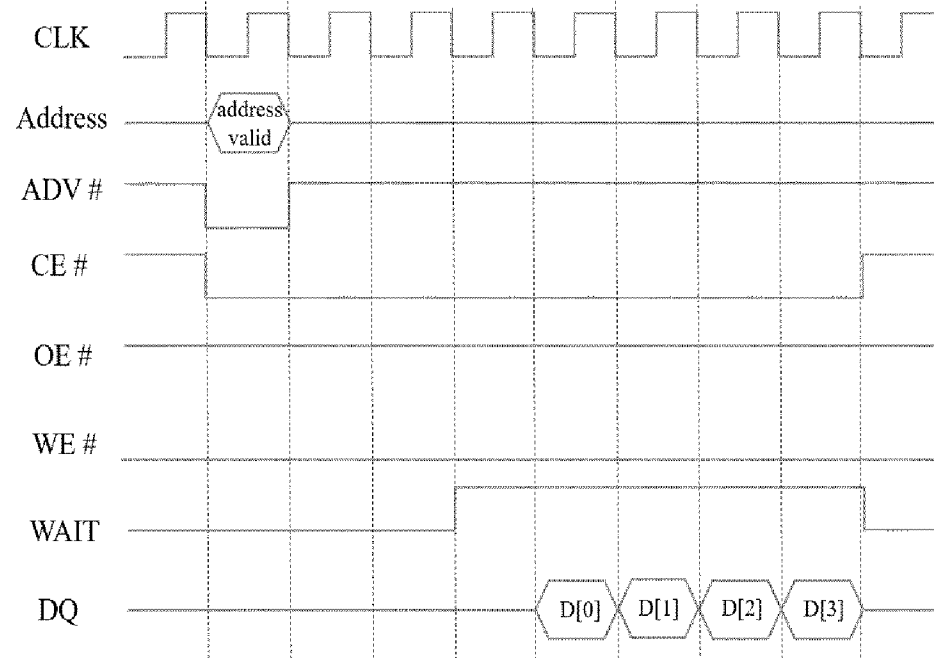
- [청구항 1] 데이터가 저장되는 메모리;
메모리의 해당 주소에서 데이터를 read 하고 write 하는 메모리 제어장치;
주소, 데이터 및 명령을 수신하는 입출력 장치;
데이터에 대해 명령을 수행하는 연산 장치;를 포함하고,
입출력 장치는,
address 신호를 통해, 목적 주소를 수신하고,
DQ 신호를 통해, 연산 장치가 수행할 명령, 피연산자 주소 및 데이터가
수록된 패킷을 수신하는 것을 특징으로 하는 PIM(processing in memory)
장치.
- [청구항 2] 청구항 1에 있어서,
패킷의 길이는,
메모리 크기, 명령의 개수 및 데이터 워드의 크기에 의해 결정되는 것을
특징으로 하는 PIM(processing in memory) 장치.
- [청구항 3] 청구항 1에 있어서,
패킷은,
메모리의 write burst 프로토콜을 통해 데이터 write 동작과 동일하게
입출력 장치에 전달되는 것을 특징으로 하는 PIM(processing in memory)
장치.
- [청구항 4] 청구항 3에 있어서,
입출력 장치는,
수신한 패킷을 연산 장치가 처리 할 수 있는 제어 정보로 변경하여 연산
장치에 전달하는 것을 특징으로 하는 PIM(processing in memory) 장치.
- [청구항 5] 청구항 4에 있어서,
메모리 제어장치는,
연산 장치의 연산 결과를 메모리의 목적 주소에 저장하고,
저장된 연산 결과는,
읽기 프로토콜을 통해 시스템이 접근할 수 있는 것을 특징으로 하는
PIM(processing in memory) 장치.
- [청구항 6] 청구항 1에 있어서,
입출력 장치는,
연산 장치가 이전에 받은 명령을 처리중인 경우, 특정 신호를 무효한
상태로 두어, 다음 패킷을 처리할 준비가 되지 않았음을 알리는 것을
특징으로 하는 PIM(processing in memory) 장치.
- [청구항 7] 청구항 1에 있어서,
입출력 장치는,
연산 장치가 이전에 받은 명령을 처리중인 경우, 수신되는 Address 신호와

- WE 신호를 보존하여 대기시키는 것을 특징으로 하는 PIM(processing in memory) 장치.
- [청구항 8] 청구항 7에 있어서,
입출력 장치는,
대기 중인 다음 패킷이 있음을 알리기 위한 처리 대기 신호를
활성화시키는 것을 특징으로 하는 PIM(processing in memory) 장치.
- [청구항 9] 청구항 8에 있어서,
입출력 장치는,
대기 중인 다음 패킷을 수신하거나 특정 신호를 유효한 상태로 변경하면,
처리 대기 신호를 비활성화시키는 것을 특징으로 하는 PIM(processing in memory) 장치.
- [청구항 10] 입출력 장치가, address 신호를 통해, 목적 주소를 수신하는 단계;
입출력 장치가, DQ 신호를 통해, 연산 장치가 수행할 명령, 피연산자 주소
및 데이터가 수록된 패킷을 수신하는 단계;
연산 장치가, 명령을 수행하는 단계;
메모리 제어장치가, 명령 수행 결과를 메모리에 저장하는 단계;를
포함하는 것을 특징으로 하는 PIM(processing in memory) 방법.
- [청구항 11] PIM(processing in memory) 장치; 및
PIM 장치에 데이터를 저장하는 시스템;를 포함하고,
PIM 장치는,
데이터가 저장되는 메모리;
메모리의 해당 주소에서 데이터를 read 하고 write 하는 메모리 제어장치;
주소, 데이터 및 명령을 수신하는 입출력 장치;
데이터에 대해 명령을 수행하는 연산 장치;를 포함하고,
입출력 장치는,
address 신호를 통해, 목적 주소를 수신하고,
DQ 신호를 통해, 연산 장치가 수행할 명령이 수록된 패킷을 수신하는
것을 특징으로 하는 컴퓨팅 시스템.
- [청구항 12] 시스템이, address 신호를 통해, PIM(processing in memory) 장치의 입출력
장치에 목적 주소를 전송하는 단계;
시스템이, DQ 신호를 통해, PIM 장치의 입출력 장치에, PIM 장치의 연산
장치가 수행할 명령, 피연산자 주소 및 데이터가 수록된 패킷을 전송하는
단계;
PIM 장치의 연산 장치가, 명령을 수행하는 단계;
PIM 장치의 메모리 제어장치가, 명령 수행 결과를 메모리에 저장하는
단계;를 포함하는 것을 특징으로 하는 PIM(processing in memory) 방법.

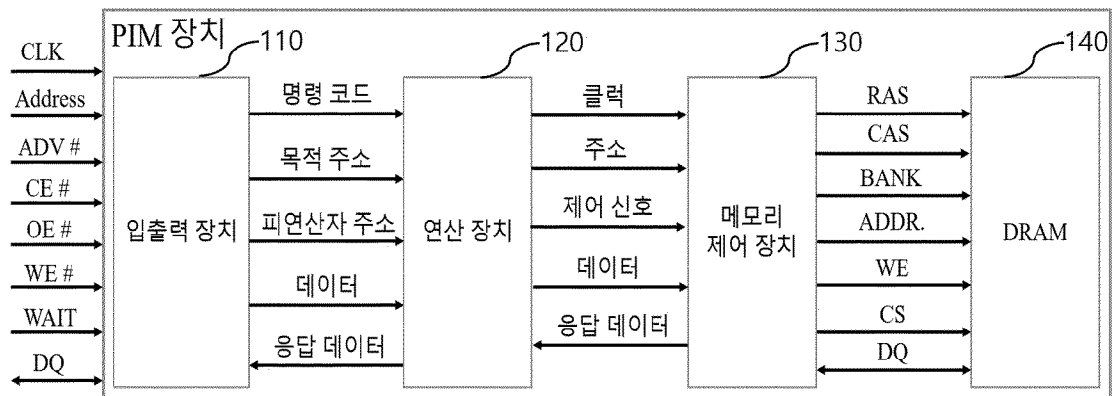
[도1]



[도2]



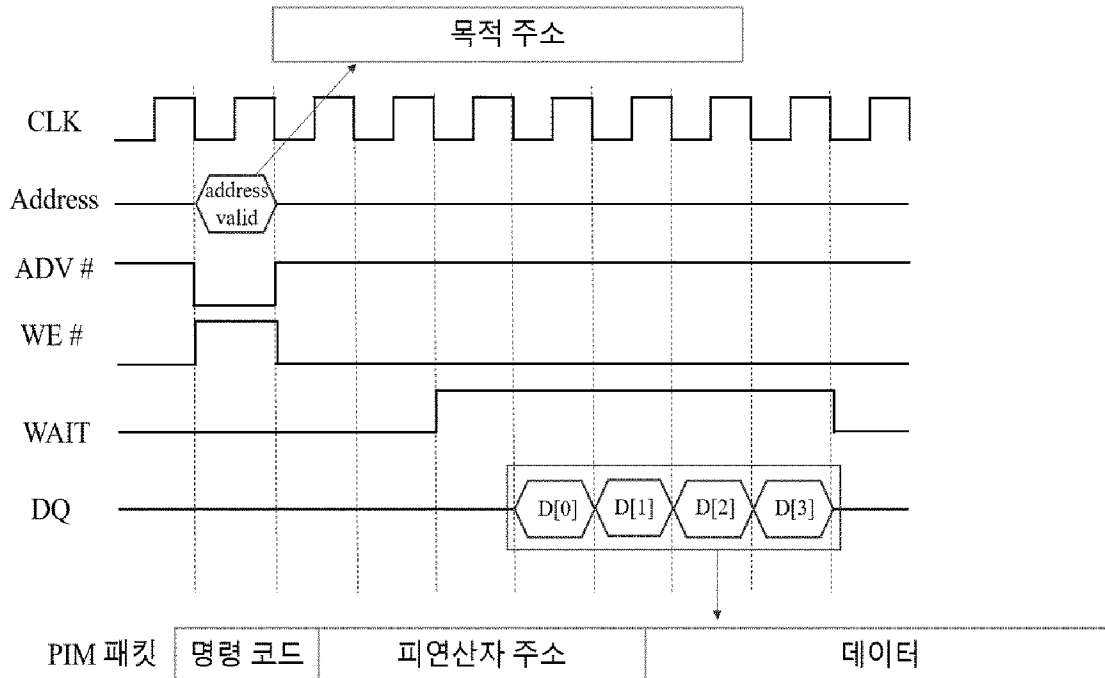
[도3]



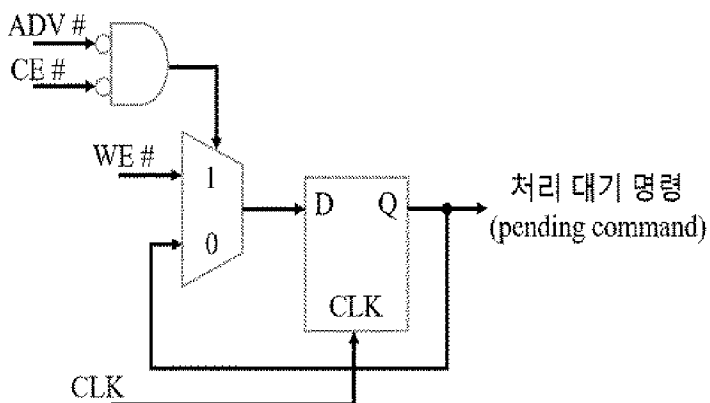
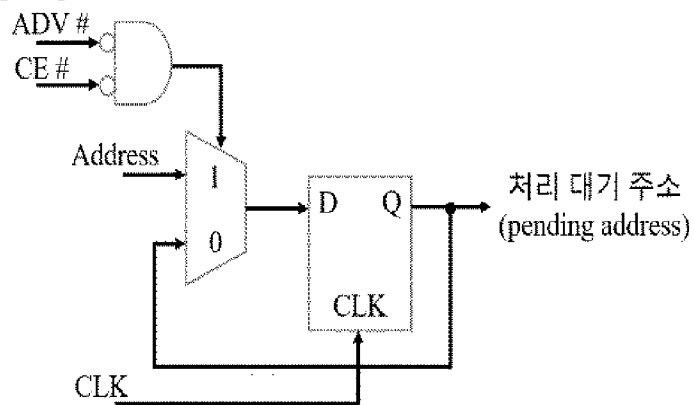
[도4]



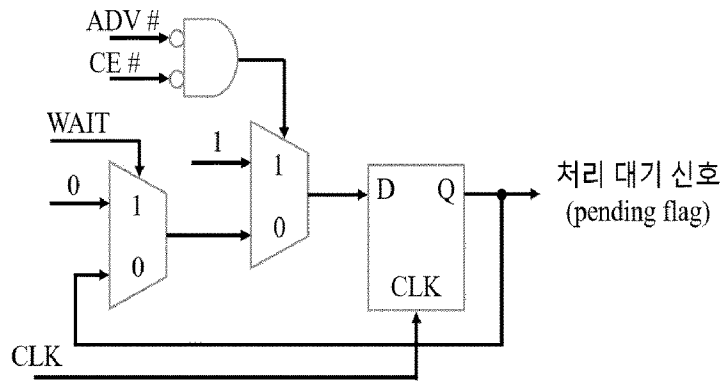
[도5]



[도6]



[도7]



[도8]

	CPU	PIM
Processing Time	9.411740363(sec)	0.401069666(sec)
Memory access count	520,209	258,064

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/001204

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/20(2006.01)i, G06F 13/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 13/20; G06F 12/02; G06F 12/0811; G06F 13/16; G06F 9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: processing in memory (PIM), commercial memory bus, DQ signal, input-output unit, computing device, write burst, processing standby signal, clock

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2018-0042111 A (SAMSUNG ELECTRONICS CO., LTD. et al.) 25 April 2018 See paragraphs [0003], [0014], [0021], [0027]-[0029], [0041]-[0042], [0059], [0092]; and figures 1a-1b, 4.	1-12
Y	KR 10-1867219 B1 (INDUSTRY-ACADEMIC COOPERATION FOUNDATION, YONSEI UNIVERSITY) 12 June 2018 See paragraphs [0093]-[0111], [0142]-[0146], [0169]-[0171], [0183]-[0184]; and figures 1-4b.	1-12
A	KR 10-1858597 B1 (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 17 May 2018 See paragraphs [0067]-[0077]; and figures 2-3.	1-12
A	KR 10-2017-0045098 A (SAMSUNG ELECTRONICS CO., LTD.) 26 April 2017 See paragraphs [0027]-[0031]; and claim 1.	1-12
A	KR 10-2018-0015565 A (SAMSUNG ELECTRONICS CO., LTD.) 13 February 2018 See paragraph [0030]; and claim 1.	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 JULY 2019 (04.07.2019)

Date of mailing of the international search report

05 JULY 2019 (05.07.2019)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/001204

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2018-0042111 A	25/04/2018	CN 107958679 A US 2018-0107406 A1	24/04/2018 19/04/2018
KR 10-1867219 B1	12/06/2018	None	
KR 10-1858597 B1	17/05/2018	None	
KR 10-2017-0045098 A	26/04/2017	CN 108369507 A US 2018-0336035 A1 WO 2017-065379 A1	03/08/2018 22/11/2018 20/04/2017
KR 10-2018-0015565 A	13/02/2018	CN 107688436 A JP 2018-022487 A TW 201805811 A US 10162554 B2 US 2018-0039443 A1	13/02/2018 08/02/2018 16/02/2018 25/12/2018 08/02/2018

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G06F 13/20(2006.01)i, G06F 13/16(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G06F 13/20; G06F 12/02; G06F 12/0811; G06F 13/16; G06F 9/30

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: Processing in memory (PIM), 상용 메모리 버스, DQ 신호, 입출력 장치, 연산 장치, write burst, 처리 대기 신호, 클럭

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2018-0042111 A (삼성전자주식회사 등) 2018.04.25 단락 [0003], [0014], [0021], [0027]-[0029], [0041]-[0042], [0059], [0092]; 및 도면 1a-1b, 4 참조.	1-12
Y	KR 10-1867219 B1 (연세대학교 산학협력단) 2018.06.12 단락 [0093]-[0111], [0142]-[0146], [0169]-[0171], [0183]-[0184]; 및 도면 1-4b 참조.	1-12
A	KR 10-1858597 B1 (한양대학교 산학협력단) 2018.05.17 단락 [0067]-[0077]; 및 도면 2-3 참조.	1-12
A	KR 10-2017-0045098 A (삼성전자주식회사) 2017.04.26 단락 [0027]-[0031]; 및 청구항 1 참조.	1-12
A	KR 10-2018-0015565 A (삼성전자주식회사) 2018.02.13 단락 [0030]; 및 청구항 1 참조.	1-12

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2019년 07월 04일 (04.07.2019)

국제조사보고서 발송일

2019년 07월 05일 (05.07.2019)

ISA/KR의 명칭 및 우편주소



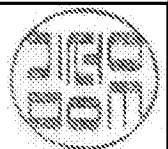
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김성우

전화번호 +82-42-481-3348



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2018-0042111 A	2018/04/25	CN 107958679 A US 2018-0107406 A1	2018/04/24 2018/04/19
KR 10-1867219 B1	2018/06/12	없음	
KR 10-1858597 B1	2018/05/17	없음	
KR 10-2017-0045098 A	2017/04/26	CN 108369507 A US 2018-0336035 A1 WO 2017-065379 A1	2018/08/03 2018/11/22 2017/04/20
KR 10-2018-0015565 A	2018/02/13	CN 107688436 A JP 2018-022487 A TW 201805811 A US 10162554 B2 US 2018-0039443 A1	2018/02/13 2018/02/08 2018/02/16 2018/12/25 2018/02/08