

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H01L 27/11	(11) 공개번호 특 1994-0010352	(43) 공개일자 1994년 05월 26일
(21) 출원번호	특 1993-0002646	
(22) 출원일자	1993년 02월 25일	
(30) 우선권주장	966,643 1992년 10월 26일 미국(US)	
(71) 출원인	모토로라 인코포레이티드 빈센트 비. 인그라시아	
(72) 발명자	미합중국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303 카를로스 에이. 메이주어 미합중국, 텍사스 78739, 오스틴, 메드필드코트 10910 존 테일러 피치 미합중국, 텍사스 78759, 오스틴, 졸리빌 로드 #623 11160 제임스 디. 하이든 미합중국, 텍사스 78737, 오스틴, 리오 브라보 레인 6802 카이드 이. 위택 미합중국, 텍사스 78704, 오스틴, 맨체카 로드 #214 3204	
(74) 대리인	이병호, 최달용	
심사청구 : 없음		

(54) 반도체기억장치

요약

본 발명의 반도체기억장치는 기층(12)을 구비하여 형성된다. 기층(2)내에는 확산부 (14)가 형성된다. 제1수직트랜지스터중첩(122)이 형성된다. 제2수직트랜지스터 중첩(124)이 형성된다. 제1수직트랜지스터 중첩(122)은 트랜지스터(100)와 그 위에 트랜지스터(104)를 구비한다. 제2수직트랜지스터중첩(124)은 트랜지스터(102)와 그 위의 트랜지스터(106)를 구비한다. 두개의 트랜지스터(100, 104)는 시리즈로 연결되며 또다른 두개의 트랜지스터(102, 106)도 시리즈로 연결된다. 양호한 형태에서 두개의 트랜지스터(100, 102)는 반도체기억장치용 래치트랜지스터로서 전기 접속되며 또다른 두개의 트랜지스터(104, 105)는 패스트트랜지스터로서 접속된다. 두개의 수직중첩(126, 128)은 반도체 기억장치용의 전기적 상호접속부(118, 120)와 레지스티브장치(134, 138)를 형성한다.

대표도

도 1

명세서

[발명의 명칭]

반도체기억장치

[도면의 간단한 설명]

제1도 내지 제4도는 반도체기억장치에 이용되는 트랜지스터와 본 발명에 따른 형성방법을 도시하는 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기억장치에 있어서, 표면을 갖는 기층(12)과, 기층(12)의 표면을 적어도 부분적으로 뒤덮으며 제1전극(28)과 제1전극(28)의 위에 있는 제2전극(32)과 제1 및 제2전극(28, 32)의 사이에 있는 채널구역(30) 및 채널구역(30)에 인접한 적어도 하나 이상의 게이트전극(120)을 구비하는 제1트랜지스터(100)와, 제1트랜지스터(100)를 뒤덮으며 제1전극(50)과 제1전극(50)의 위에 있는 제2전극(54)과 제1 및

제2전극(50,54)의 사이에 있는 제2전극(54)과 제1 및 제2전극(50,54)의 사이에 있는 채널구역(52) 및 채널구역(52)에 인접한 적어도 하나 이상의 게이트 전극(40)을 구비하는 제2트랜지스터(104) 및, 제1 및 제2트랜지스터(100,104)를 상기 반도체 기억장치의 제1 및 제2노드의 사이에 시리즈로 연결하기 위해 제1 트랜지스터(100)와 제2트랜지스터(104) 모두에 커플링된 전기적 상호접속부(118,120,131,14)를 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 2

제1항에 있어서, 기층의 표면을 적어도 부분적으로 뒤덮으며 제1전극과 제1전극의 위에 있는 제2전극과 제1 및 제2전극의 사이에 있는 채널구역 및 채널구역에 인접한 적어도 하나 이상의 게이트전극(118)을 구비하는 제3트랜지스터(102)와, 제3트랜지스터(102)를 뒤덮으며 제1전극과 제1전극의 위에 있는 제2전극과 제1 및 제2전극의 사이에 있는 채널구역 및 채널구역에 인접한 적어도 하나 이상의 게이트전극(40)을 구비하는 제4트랜지스터(106) 및, 제3 및 제4트랜지스터(102,106)를 제1트랜지스터(106)나 또는 제2 트랜지스터(104) 중의 하나에 커플링하는 전기적 상호접속재료(131,120,118 또는 14)를 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 3

제1항에 있어서, 기층(12)이 기층내에서 제1트랜지스터의 아래에 놓이는 확산구역 (14)을 부가적으로 포함하는 것을 예칭으로 하는 반도체기억장치.

청구항 4

제3항에 있어서, 확산구역(14)이 확산구역에 인접한 실리사이드구역을 부가적으로 포함하는 것을 특징으로 하는 반도체기억장치.

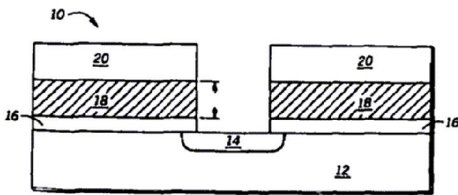
청구항 5

제1항에 있어서, 제1트랜지스터(100)가 도전성 상호접속부(118,136)를 거쳐 레지스티브장치(135)에 커플링된 것을 특징으로 하는 반도체기억장치.

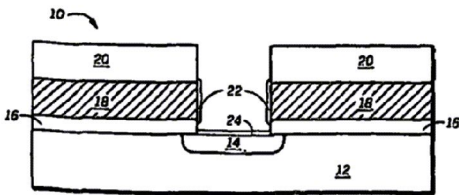
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

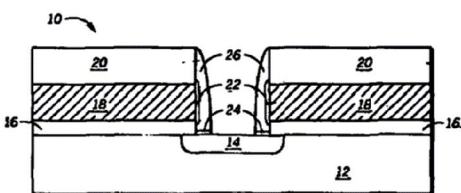
도면1



도면2



도면3



도면4

