

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5296360号
(P5296360)

(45) 発行日 平成25年9月25日 (2013. 9. 25)

(24) 登録日 平成25年6月21日 (2013. 6. 21)

(51) Int. Cl.

F I

H O 1 L 27/10 (2006. 01)

H O 1 L 29/786 (2006. 01)

H O 1 L 21/822 (2006. 01)

H O 1 L 27/04 (2006. 01)

H O 1 L 21/28 (2006. 01)

H O 1 L 27/10 4 3 1

H O 1 L 29/78 6 1 3 B

H O 1 L 29/78 6 1 6 V

H O 1 L 29/78 6 1 7 M

H O 1 L 29/78 6 1 3 Z

請求項の数 11 (全 32 頁) 最終頁に続く

(21) 出願番号 特願2007-260681 (P2007-260681)
(22) 出願日 平成19年10月4日 (2007. 10. 4)
(65) 公開番号 特開2008-112988 (P2008-112988A)
(43) 公開日 平成20年5月15日 (2008. 5. 15)
審査請求日 平成22年9月29日 (2010. 9. 29)
(31) 優先権主張番号 特願2006-273394 (P2006-273394)
(32) 優先日 平成18年10月4日 (2006. 10. 4)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷 3 9 8 番地
(72) 発明者 徳永 肇
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内
審査官 加藤 俊哉

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に複数の薄膜トランジスタを含む駆動回路、及び複数のメモリ素子を有し、

前記メモリ素子は、

シリコンと反応してシリサイドを形成することができる第 1 の電極と、

前記第 1 の電極上にシリコン膜と、

前記シリコン膜上にシリコンと反応してシリサイドを形成することができる第 2 の電極と、

を有し、

前記薄膜トランジスタのゲート電極は、前記メモリ素子の前記第 1 の電極と同じ材料であり、

前記薄膜トランジスタのソース電極またはドレイン電極は、前記メモリ素子の前記第 2 の電極と同じ材料であることを特徴とする半導体装置。

【請求項 2】

絶縁表面を有する基板上に複数の薄膜トランジスタを含む駆動回路、複数のメモリ素子、及びアンテナを有し、

前記メモリ素子は、

シリコンと反応してシリサイドを形成することができる第 1 の電極と、

前記第 1 の電極上にシリコン膜と、

10

20

前記シリコン膜上にシリコンと反応してシリサイドを形成することができる第2の電極と、

を有し、

前記アンテナの下方に接続電極を有し、

前記アンテナは、前記接続電極と電氣的に接続され、

前記接続電極は、前記薄膜トランジスタと電氣的に接続され、

前記薄膜トランジスタのゲート電極は、前記メモリ素子の前記第1の電極と同じ材料であり、

前記接続電極は、前記薄膜トランジスタのソース電極及びドレイン電極と同じ材料であり、且つ、前記メモリ素子の前記第2の電極と同じ材料であることを特徴とする半導体装置。

10

【請求項3】

請求項1または2において、

前記シリコン膜は、酸素または窒素を含むことを特徴とする半導体装置。

【請求項4】

メモリ素子と、薄膜トランジスタと、を有する半導体装置であって、

絶縁表面を有する基板上に第1の半導体層を有し、

前記基板上及び前記第1の半導体層上に第1の絶縁膜を有し、

前記第1の絶縁膜を介して前記第1の半導体層と重なる領域を有する第1の電極を有し、

20

前記第1の絶縁膜上に第2の電極を有し、

前記第1の電極上及び前記第2の電極上に第2の絶縁膜を有し、

前記第2の絶縁膜の前記第1の半導体層と重なる領域に設けられた第1の開口を有し、

前記第2の絶縁膜の前記第2の電極と重なる領域に設けられた第2の開口を有し、

前記第2の開口において前記第2の電極と接する第2の半導体層を有し、

前記第2の絶縁膜上に第3の電極を有し、

前記第2の絶縁膜上に第4の電極を有し、

前記第3の電極は、前記第1の開口を介して前記第1の半導体層と電氣的に接続され、

前記第4の電極は、前記第2の半導体層を介して前記第2の電極と重なる領域を有し、

前記メモリ素子は、前記第2の電極と、前記第2の半導体層と、前記第4の電極と、を有し、

30

前記薄膜トランジスタは、前記第1の半導体層と、前記第1の電極と、前記第3の電極と、を有し、

前記第1の電極は、前記第2の電極と同じ材料であり、

前記第3の電極は、前記第4の電極と同じ材料であることを特徴とする半導体装置。

【請求項5】

請求項4において、

前記第2の半導体層は、シリコン膜であり、

前記シリコン膜は、酸素または窒素を含むことを特徴とする半導体装置。

【請求項6】

40

請求項1乃至5のいずれかにおいて、

前記第1の電極は、チタン、タングステン、ニッケル、クロム、モリブデン、タンタル、コバルト、ジルコニウム、バナジウム、パラジウム、ハフニウム、白金、鉄から選ばれる一の元素を含むことを特徴とする半導体装置。

【請求項7】

請求項1乃至6のいずれかにおいて、

前記第2の電極は、チタン、タングステン、ニッケル、クロム、モリブデン、タンタル、コバルト、ジルコニウム、バナジウム、パラジウム、ハフニウム、白金、鉄から選ばれる一の元素を含むことを特徴とする半導体装置。

【請求項8】

50

請求項 1 乃至 7 のいずれかーにおいて、
前記基板は、ガラス基板、プラスチックフィルム、紙のいずれかーであることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれかーにおいて、
前記第 1 の電極と前記第 2 の電極は異なる材料であることを特徴とする半導体装置。

【請求項 10】

同一基板上に複数の薄膜トランジスタを含む駆動回路と、複数のメモリ素子とを有する半導体装置の作製方法であって、

絶縁表面を有する基板上に第 1 の半導体層を形成し、

前記第 1 の半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極と、前記第 1 の絶縁膜上に第 2 の電極とを形成し、

前記第 1 の電極及び前記第 2 の電極を覆う第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチングして前記第 2 の電極に達する第 1 の開口を形成し、

前記第 1 の開口を覆う第 2 の半導体層を形成し、

前記第 2 の絶縁膜をエッチングして前記第 1 の半導体層に達する第 2 の開口を形成し、

前記第 2 の絶縁膜上に前記第 1 の開口と重なる第 3 の電極と、前記第 2 の開口と重なる第 4 の電極とを形成し、

前記メモリ素子は、前記第 2 の電極と、前記第 2 の半導体層と、前記第 3 の電極とを有し、

前記薄膜トランジスタは、前記第 1 の半導体層と、前記第 1 の電極と、前記第 4 の電極とを有することを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 10 において、

前記第 1 の開口を形成した後、大気に曝し、前記第 2 の半導体層を形成することを特徴とすることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

従来、様々なタイプのメモリが提案されている。代表的なメモリとしては、磁気テープや磁気ディスクを含むメモリや、書き込み読み出しが可能なRAMや、読み出しを専用とするROM（Read Only Memory）などが挙げられる。

【0004】

従来のROMとしては、IC製造工程におけるマスクで情報を記憶するマスクROM、ICチップ製造後に電流によりヒューズ素子を溶断して情報を記憶するヒューズ型のROM、ICチップ製造後に電流によって絶縁体を短絡させて情報を記憶するアンチヒューズ型のROMなどが挙げられる。

【0005】

マスクROMは、IC製造プロセス中のマスクで情報を記憶させるため、書き込む情報に応じたマスクを用意しなければならず、そのために製造コストが増加していた。また、ヒューズ型のROMは、ヒューズ素子を溶断する際にゴミが発生して誤動作を引き起こす恐

10

20

30

40

50

れがあった。

【 0 0 0 6 】

また、アンチヒューズ型のROMは、製造時に書き込む情報に応じたマスクも不要であり、メモリに情報を書き込む際にゴミも発生しない点で他のROMに比べ有利である。なお、ヒューズ型のROMと、アンチヒューズ型のROMは、マスクROMと異なっており、追記できる。また、ヒューズ型のROMと、アンチヒューズ型のROMは、ライトワンスリードメモリーメモリ(WRITE ONCE READ MANY MEMORY)とも呼べる。シリコン基板上に形成するアンチヒューズ型のROMの一例として特許文献1に記載の技術がある。

【 0 0 0 7 】

特許文献1に開示されているアンチヒューズ型のROMの断面図を図15に示す。図15において、nMOSトランジスタを形成したシリコン基板50、アモルファスシリコン膜53、タングステン膜54、タングステン膜54'、Al-Si-Cu配線55がそれぞれ形成されている。特許文献1に符号51、52の明示がないが、恐らく符号51はn+ドレイン領域であり、符号52はCVD法により形成されたSiO₂膜である。特許文献1は、タングステン膜54'、アモルファスシリコン膜53、及びタングステン膜54の積層膜をマルチチャンバシステムを用いて大気にさらすことなく連続的に成膜することを特徴としている。

【 0 0 0 8 】

また、近年、無線通信機能を有する半導体装置、具体的には無線チップは、大きな市場が見込まれているため、注目されている。このような無線チップは、その用途によりIDタグ、ICタグ、ICチップ、RF(Radio Frequency)タグ、無線タグ、電子タグ、RFID(Radio Frequency Identification)と呼ばれることがある。

【 0 0 0 9 】

無線チップの構成は、インターフェース、メモリ、制御部等を有する。メモリは、書き込み読み出しが可能なRAM、読み出しを専用とするROMが使用され、目的に応じて使い分けられている。具体的には、特定のアプリケーション毎にメモリ領域が割り当てられており、アプリケーション毎、並びにディレクトリ毎にアクセス権が管理されている。アクセス権を管理するため、無線チップはアプリケーションの暗証コードと比較照合する照合手段を有し、照合手段による比較照合の結果、暗証コードが一致するアプリケーションに関するアクセス権をユーザに与える制御手段を有する。このような無線チップは、シリコンウエハから形成され、半導体基板にメモリ回路、演算回路等の集積回路が集積されている。

【 0 0 1 0 】

このような無線チップが搭載されたカード(所謂ICカード)と、磁気カードとを比較すると、ICカードはメモリ容量が大きく、演算機能を備えることができ、認証性が高く、改ざんすることが極めて困難である、といったメリットを有する。そのため、ICカードは個人情報の管理に好適である。ICカードに搭載するメモリとしては、改ざんできないように、読み出しを専用とするROMが多く用いられている。

【特許文献1】特開平7-297293号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

従来の無線チップは、マイクロプロセッサや半導体メモリと同じく高価なシリコンウエハを使用して製造されている。そのために無線チップの単価を下げるには自ずと限界があった。特に、無線チップに必要なメモリ領域は、シリコンチップ内で大きな面積を占めており、記憶容量を変えずにメモリ領域の占有面積を縮小することが、チップ単価を削減する上で必要となっている。また、シリコンチップを微小にすることでコスト削減を見込むことができるが、シリコンチップの微細化が進むと、その実装コストが上昇してしまう。チ

10

20

30

40

50

チップを市場に流通させるためには、チップ単価を下げるのが非常に重要であり、商品生産における優先事項の一つである。

【 0 0 1 2 】

また、無線チップにおいて、シリコンチップの端子とアンテナが A C F などによって接続されている場合、高温になると熱膨張の割合、又は低温になると熱収縮の割合が部材によって異なるため、異なる部材間で大きな熱応力が生じる。無線チップは物品に添付されるため、様々な環境下に曝されることを考慮すると、熱応力によってシリコンチップの端子とアンテナの接続部に断線が発生する恐れがある。

【 0 0 1 3 】

また、従来の無線チップは、小片化したとしてもシリコンを構造体として用いているので、物品の曲面に貼り付けるには適していない。フレキシブルな材料からなる基体にシリコンチップを実装させた場合、物品の曲面にあわせて基体を曲げた時にシリコンチップと基体のアンテナとを接続する部分が破壊される恐れもあった。シリコンウエハ自体を研削研磨して薄片化する方法もあるが、そのための工程数が増えるので低製造コスト化と相反する矛盾があった。薄片化したとしても、商品に付して使用される I C タグのようなものでは、無線チップを薄い基体（例えばフィルム片、或いは紙片）に貼り付けると、基体の表面に突起が生じてしまい美観を損ねてしまう。また、基体の表面に突起が生じるため、紙片などの基体に印刷を行おうとした場合、高精細な印刷が困難になる。また、改ざん対象となるシリコンチップの存在位置が強調されてしまう恐れがあった。また、シリコンチップを薄片化すると、シリコンチップの機械強度が低下して、基体が曲げられた時にシリコンチップが割れる恐れがあった。

【 0 0 1 4 】

また、無線チップにアンチヒューズ型の R O M を搭載しようとした場合、2通りの工程順序が考えられる。一つは、R O M を形成したシリコンチップの製造後に情報の書き込みを行い、その後、基体に設けられたアンテナと実装して無線チップを完成させる工程順序である。このような工程順序とする場合、無線チップの製造プロセス中に情報の書き込みを行うための製造装置が必要となる。シリコンチップの一つ一つは微小であり、それぞれのシリコンチップに形成した R O M に異なる情報を書き込むための電流を供給する製造装置は、精密な位置合わせなどが必要であるため、高価なものとなる。従って、この製造装置により製造コストが増加してしまう。

【 0 0 1 5 】

また、もう一つの工程順序としては、アンテナを有する基体にシリコンチップを実装した後、シリコンチップに形成された R O M に対して無線信号を送信し、その無線信号を用いて情報を書き込んで無線チップを完成させる工程順序である。前述した工程順序に比べ、このような工程順序とする場合には、無線信号を利用することにより、製造コストの増加を抑えることができる。

【 0 0 1 6 】

しかしながら、後述の工程順序とする場合、無線信号から生成した電流を利用して R O M に書き込むため、R O M に書き込み電流値及び書き込み電圧値が制限される。

【 0 0 1 7 】

そこで、本発明は、無線信号から生成できる電流値及び電圧値の範囲内で駆動できるメモリを搭載した半導体装置を提供することを課題とする。また、半導体装置製造後に書き込みをいつでも行える追記型のメモリを提供することも課題とする。

【 0 0 1 8 】

また、物品の曲面に貼り付けるのに適した無線チップを提供することも課題とする。また、製造プロセス数を増大することなく、製造コストを低減し、チップ単価を下げることも課題とする。

【 0 0 1 9 】

また、無線チップは、リーダとのデータのやりとりを短時間で行うことが要求されるため、高速読み出し、且つ、誤動作の少ない無線チップを提供することも課題とする。また、

10

20

30

40

50

メモリのデータ読み出しのための電力を低減することで、メモリの消費電力を削減し、無線チップ全体の低消費電力化を達成することも課題とする。

【課題を解決するための手段】

【0020】

アンチヒューズ型のROMを、駆動回路と同一基板、好ましくは絶縁性を有する基板上に形成することで、上記課題の少なくとも一つを実現することを見いだした。また、本発明は、アンチヒューズ型のROMと、その駆動回路とを同一基板上に形成することでノイズの低減や、接触抵抗の低減を図り、無線チップ全体の低消費電力化を達成する。さらに好ましくは、絶縁性を有する基板上にアンテナと、アンチヒューズ型のROMと、駆動回路とを形成する。これらを同一基板上に形成することで無線信号を受信したアンテナからの信号を基に電源信号を形成し、その電源信号をロスすることなく有効に利用することができる。

10

【0021】

アンチヒューズ型のROMは、材料の異なる一対の電極と、一対の電極に挟まれるシリコン膜で構成する。一対の電極の材料は、シリコンと反応してシリサイド形成する材料であればよく、チタン、タングステン、ニッケル、クロム、モリブデン、タンタル、コバルト、ジルコニウム、バナジウム、パラジウム、ハフニウム、白金、鉄などの単体、或いはこれらの合金、或いは化合物を用いることができる。

【0022】

加えて、アンチヒューズ型のROMを構成する一対の電極のうち、一方の電極は、駆動回路を構成するトランジスタのゲート電極と同じ工程、且つ、同じ材料で形成することでプロセスの簡略化を図ることができる。本発明は、アンチヒューズ型のROMと、その駆動回路とを同一基板上に形成することでノイズの低減や、接触抵抗の低減を図り、無線チップ全体の低消費電力化を達成する。また、リーダとのデータのやりとりを短時間で行うことが要求されるため、駆動回路のトランジスタとして結晶構造を有する半導体膜、即ちポリシリコン膜を用いたTFETとすることが好ましい。また、良好な電気特性を有するTFETを得るためには、トランジスタのゲート電極の材料を高融点金属とすることが好ましい。高融点金属のうち、シリコンと反応してシリサイド形成するタングステン膜は、仕事関数が比較的大きい材料であるので、pチャネル型トランジスタやnチャネル型トランジスタの両方に対して、しきい値電圧は低く、ほぼ対称となる。即ち、タングステン膜は、CMOS回路を含む駆動回路に適し、且つ、アンチヒューズ型のROMの一方の電極に適していると言える。

20

30

【0023】

さらに、アンチヒューズ型のROMを構成する一対の電極のうち、もう一方の電極も駆動回路を構成するトランジスタのソース電極及びドレイン電極と同じ工程、且つ、同じ材料で形成することでプロセスの簡略化を図ることができる。トランジスタのソース電極及びドレイン電極は、ソース領域上方またはドレイン領域上方の層間絶縁膜上に接して形成されるため、層間絶縁膜と密着性の高い材料とすることが好ましい。また、トランジスタのソース電極及びドレイン電極は、比重が5以下の軽金属を用いる。アルミニウムやチタンなどの軽金属は電気抵抗が低いため、集積回路の配線材料として有用である。また、チタン膜を用いると、絶縁膜や他の金属膜との密着性が向上するため好ましい。また、チタン膜は、高融点金属に比べ材料コストが安く、且つ、電気抵抗が低い。即ち、チタン膜は、トランジスタのソース電極及びドレイン電極に適し、且つ、アンチヒューズ型のROMの一方の電極に適していると言える。

40

【0024】

このように、製造コストをできるだけ低減するために、アンチヒューズ型のROMの一対の電極である第1の電極と第2の電極の材料を異ならせることは有用である。

【0025】

加えて、アンチヒューズ型のROMを構成する一対の電極のうち、もう一方の電極をアンテナと駆動回路とを電氣的に接続するための接続電極と同じ工程、且つ、同じ材料で形成

50

することでプロセスの簡略化を図ることができる。アンチヒューズ型のROMと、その駆動回路と、アンテナを同一基板上に形成することでノイズの低減や、接触抵抗の低減を図り、無線チップ全体の低消費電力化を達成する。

【0026】

また、アンチヒューズ型のROMに用いるシリコン膜としては、アモルファスシリコン膜、微結晶シリコン膜、または多結晶シリコン膜（ポリシリコン膜とも呼ぶ）を用いることができる。また、アンチヒューズ型のROMに用いるシリコン膜に対して意図的に酸素や窒素を含ませてもよい。含ませる量としては、SIMS検出下限以上、好ましくはSIMS測定で $1 \times 10^{15} \sim 1 \times 10^{20} / \text{cm}^3$ 未満とする。意図的に酸素や窒素を含ませることで、アンチヒューズ型のROMの書き込み前後での電気抵抗の差を大きくすることができる。書き込み前後での電気抵抗の差を大きくすることで誤動作の少ない無線チップを提供することができる。

10

【0027】

また、アンチヒューズ型のROMに用いるシリコン膜にゲルマニウムを添加してもよい。ゲルマニウムはシリコンに比べて他の金属元素と反応するエネルギーが低いため、アンチヒューズ型のROMの書き込み電圧値の低下を図ることができる。また、アンチヒューズ型のROMに用いるシリコン膜に代えてゲルマニウム膜、またはシリコンを含むゲルマニウム膜を用いてもよい。

【0028】

また、本アンチヒューズ型のROMは、特許文献1記載のアンチヒューズ型のROMとは、基板を含めた全体構造が大きく異なっている。特許文献1記載のアンチヒューズ型のROMは、無線信号を遮断する導体であるシリコン基板を用いており、無線通信には不適である。特許文献1には無線通信に関する記載はないが、仮に特許文献1記載のアンチヒューズ型のROMにアンテナを形成しようとしても、アンテナが形成された面側からしか電波を送受信できない。加えて、シリコン基板内に発生する誘導電流によって、ノイズが増大し、通信感度が著しく低下してしまう恐れがある。特許文献1記載のアンチヒューズ型のROMに対して、本アンチヒューズ型のROMは、絶縁性基板を用いている点で大きく異なっており、ガラス基板やプラスチック基板などの絶縁性基板は無線信号を遮断しない基板であるので、アンテナが形成された面以外の様々な方向からの電波を送受信できる。また、本アンチヒューズ型のROMは、基板内に誘導電流は発生しないため、ノイズが増大せず、良好な通信感度を実現できる。

20

30

【0029】

また、特許文献1に記載の技術は、図15に示すように、CVD法でタングステン膜54とアモルファスシリコン膜53とタングステン膜54'とを大気にさらさず連続的に成膜を行っている。従って、従来のnMOSの工程にアンチヒューズ型のROMの工程が単純に加えられた工程となるため、トータルの工程数が多い。特許文献1記載の半導体装置に対して、本半導体装置は、駆動回路のTFTのゲート電極とアンチヒューズ型のROMの一方の電極を同じ工程で形成しており、工程数を削減している。なお、特許文献1は、タングステン膜54とアモルファスシリコン膜53とタングステン膜54'とを大気にさらさず連続的に成膜を行うことを発明の主たる特徴としているため、本半導体装置の作製工程のようにトランジスタのゲート電極とアンチヒューズ型のROMの一方の電極とを同じ工程で形成することは全く想定されておらず、特許文献1は、本半導体装置の作製工程と大きく異なっている。

40

【0030】

また、ガラス基板やプラスチック基板などの絶縁性基板上に本アンチヒューズ型のROMを形成し、絶縁性基板から剥離して、紙片やフィルム片などに転写することもできる。こうして形成された紙片を基体とする無線チップは、シリコンチップを用いた無線チップに比べ、表面に突起がほとんど生じないものとするることができる。従って、紙片を基体とする無線チップに対してさらに印刷を行おうとした場合でも、高精細な印刷が可能である。また、従来の無線チップは、物品の曲面にあわせて基体を曲げた時にシリコンチップと基

50

体のアンテナとを接続する部分が破壊される恐れもあったが、本発明の無線チップは、同一基板上にアンテナとアンチヒューズ型のROMと駆動回路が形成されているため、フレキシブルな無線チップを実現することができる。

【0031】

また、本半導体装置の駆動回路とは、アンチヒューズ型のROMへの書き込み回路、アンチヒューズ型のROMへの読み出し回路、昇圧回路等の電圧発生回路、クロック発生回路、タイミング制御回路、センスアンプ、出力回路、またはバッファ等の信号処理回路を含む。また、本半導体装置の駆動回路は、電源電圧のリミッタ回路や暗号処理専用ハードウェアといった他の要素を追加した回路を含む構成としてもよい。

【0032】

また、本半導体装置に搭載するアンチヒューズ型のROMは、アクティブマトリクス型記憶装置としてもよいし、パッシブマトリクス型記憶装置としてもよい。どちらの場合でも駆動回路をアンチヒューズ型のROMと同一基板上に形成することで本発明の課題の少なくとも一つを解決することができる。アクティブマトリクス型記憶装置とする場合には、1つのアンチヒューズ型のROMに対してスイッチング素子を設け、それをマトリクス状に配置する。また、パッシブマトリクス型（単純マトリクス型）記憶装置とする場合は、ストライプ状（帯状）に並列された複数のビット線と、ストライプ状に並列された複数のワード線とが互いに直交するように設け、その交差部に材料層が挟まれた構造とする。従って、選択された（電圧が印加された）ビット線と選択されたワード線との交点にあたるメモリ素子の書き込み処理が行われる、或いは読み取り処理が行われることになる。

【発明の効果】

【0033】

無線信号から生成できる電流値及び電圧値の範囲内で駆動できるメモリを搭載した半導体装置を実現し、且つ、チップ単価を下げるができる。さらに、書き込み電圧値を低減することによって、アンテナで得られた信号から昇圧回路などで形成する電圧値を低くすることができ、メモリの駆動回路の平面面積の縮小が図れる。従って、アンチヒューズ型のROMをチップに搭載させた場合、チップに占める駆動回路の面積縮小を図ることができる。

【発明を実施するための最良の形態】

【0034】

本発明の実施形態について、以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0035】

本発明の半導体装置の作製工程について図1(A)及び図1(B)を用いて説明する。図1(A)に示す断面構造は、半導体装置の作製途中の工程図である。

【0036】

まず、絶縁表面を有する基板101上に剥離層102、絶縁層103を形成する。絶縁表面を有する基板101としては、石英基板、ガラス基板などを用いることができる。特に、基板の一辺が1mを超える大面積化が可能なガラス基板は大量生産に適している。また、剥離層102としては、50nm～200nmのタングステン膜を用い、絶縁層103としては酸化珪素膜を用いる。ただし、剥離層102はタングステン膜に限定されず、窒化タングステン膜や、モリブデン膜や、アモルファスシリコン膜などを用いてもよい。また、絶縁層103も酸化珪素膜に限定されず、酸化窒化珪素膜や、酸化珪素膜と酸化窒化珪素膜との積層膜を用いることができる。

【0037】

次いで、絶縁層103上に複数の半導体層を形成する。複数の半導体層は、公知の方法によって形成すればよい。ここでは公知の手段（スパッタ法、LPCVD法、またはプラズ

10

20

30

40

50

マCVD法等)によりアモルファスシリコン膜を形成した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)によって結晶化を行った結晶構造を有する半導体膜を用いる。これらの複数の半導体層は、後に形成される薄膜トランジスタの活性層となる。駆動回路の高速駆動を実現するために、薄膜トランジスタの活性層は、結晶構造を有する半導体膜を用いることが好ましい。駆動回路の高速駆動を実現することでメモリの高速読み出しを実現できる。

【0038】

次いで、複数の半導体層を覆うゲート絶縁膜104を形成する。ゲート絶縁膜104は、シリコンを含む絶縁膜の単層または積層構造を用いる。ゲート絶縁膜104としては、プラズマCVD法またはスパッタ法を用い、厚さを1~200nmとする。また、ゲート絶縁膜104は、10nm~50nmと薄くしてシリコンを含む絶縁膜の単層または積層構造で形成した後にマイクロ波によるプラズマを用いた表面窒化処理を行って形成してもよい。

10

【0039】

次いで、ゲート絶縁膜104を介して半導体層と重なる第1のゲート電極105及び第2のゲート電極106と、アンチヒューズ型のROMの一方の電極、即ち第1の電極107とを同一工程で形成する。第1のゲート電極105、第2のゲート電極106、及び第1の電極107は、チタン、タングステン、ニッケル、クロム、モリブデン、タンタル、コバルト、ジルコニウム、バナジウム、パラジウム、ハフニウム、白金、鉄などの単体、或いはこれらの合金、或いは化合物の導電膜をスパッタ法で形成し、所望の形状に加工すればよい。TFETのゲート電極に適した特性と、アンチヒューズ型のROMの一方の電極に適した特性との両方を兼ね備えた材料を選択する。本実施の形態ではタングステン膜を用いる。タングステン膜は、シリコンと反応してシリサイド形成するため、アンチヒューズ型のROMの一方の電極に適している。さらに、タングステン膜は、仕事関数が比較的大きい材料であるので、pチャネル型トランジスタやnチャネル型トランジスタの両方に対して、しきい値電圧は低く、ほぼ対称となるため、好ましいゲート電極材料の一つである。

20

【0040】

次いで、n型を付与する不純物元素を半導体層に添加するため、pチャネル型TFETとなる領域を覆う第1レジストマスクを形成し、第1レジストマスク及び第1のゲート電極105をマスクとしてドーピングする工程を行う。半導体層にn型を付与する不純物元素が添加され、n型の不純物領域が自己整合的に形成される。このn型の不純物領域が、後にnチャネル型TFETのソース領域108またはドレイン領域109となる。また、第1のゲート電極105と重なる半導体層の領域は、チャネル形成領域112となる。ドーピングする工程はイオンドーブ法、もしくはイオン注入法で行えば良い。半導体層にn型を付与する不純物元素として、典型的にはリン(P)または砒素(As)を用いる。

30

【0041】

次いで、第1レジストマスクを除去した後、p型を付与する不純物元素を半導体層に添加するため、nチャネル型TFETとなる領域を覆う第2レジストマスクを形成し、第2レジストマスク及び第2のゲート電極106をマスクとしてドーピングする工程を行う。半導体層にp型を付与する不純物元素(代表的にはボロン)が添加され、p型の不純物領域が自己整合的に形成される。このp型の不純物領域が、後にpチャネル型TFETのソース領域111またはドレイン領域110となる。また、第2のゲート電極106と重なる半導体層の領域は、チャネル形成領域113となる。

40

【0042】

この後、第2レジストマスクを除去する。以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。なお、ここではn型を付与する不純物元素の添加を先に行う例を示したが、特にドーピング順序は限定されない。

【0043】

また、これらのドーピング工程の前にサイドウォールと呼ばれる絶縁物をゲート電極の側

50

壁に形成し、チャネル形成領域に隣接するLDD領域を形成してもよい。また、マスク数が増えてしまうが、新たなレジストマスクを用いてLDD領域を形成してもよい。チャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。LDD領域を設けることで、TFTのオフ電流値を低減することができる。

【0044】

また、必要があればTFTのしきい値を制御するために、微量な不純物元素（ボロンまたはリン）のドーピングを半導体層に対して行ってもよい。

【0045】

次いで、半導体層に添加された不純物元素の活性化、または半導体層の水素化を公知の技術を用いて行う。不純物元素の活性化や半導体層の水素化は、炉での高温の熱処理や、ランプ光やレーザ光を用いる熱処理であるため、活性化工程や水素化工程の前に形成されている第1のゲート電極105、第2のゲート電極106、第1の電極107は、これらの処理温度に耐える材料を用いる。勿論、ここで第1のゲート電極105、第2のゲート電極106、及び第1の電極107に用いているタングステン膜は高融点金属であり、不純物元素の活性化や半導体層の水素化に十分耐えることのできる材料である。

【0046】

次いで、第1のゲート電極105、第2のゲート電極106、及び第1の電極107を覆う層間絶縁膜114を形成する。層間絶縁膜114は、スパッタ法、LP-CVD法、またはプラズマCVD法を用いて無機絶縁膜を形成する。無機絶縁膜としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜の単層または積層を用いる。この層間絶縁膜114は、隣り合うメモリ素子間を絶縁する隔壁としても機能する。アンチヒューズ型のROMに電圧を印加してシリサイド反応を生じさせるため、メモリ素子の周辺は瞬間的に高温となる。従って、層間絶縁膜114は、シリサイド反応が生じる温度に耐える無機絶縁材料とすることが好ましい。

【0047】

また、無機絶縁膜の一層として、塗布法で得られる耐熱性の高いシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0048】

次いで、フォトリソを用いてレジストからなるマスクを形成し、層間絶縁膜114またはゲート絶縁膜104を選択的にエッチングして開口を形成する。エッチングはウェットエッチング、或いはドライエッチングを用いてもよく、またそれらを組み合わせて行ってもよい。そして、レジストからなるマスクを除去する。ここで形成する開口は、半導体層に達する開口と、TFTのゲート電極に達する開口と、第1の電極107に達する開口の3種類である。さらに、第1の電極107に達する開口は2種類設ける。後にシリコン膜を積層形成する第1の開口と、第1の電極107と電氣的に接続する配線を形成する第2の開口である。

【0049】

このエッチング工程で形成する第1の電極107に達する第1の開口のサイズは、開口底面の直径を約1μm～約6μmとする。ただし、図2のグラフに示すように、第1の開口の直径が大きいほど消費電流が増大するため、第1の開口は小さいほうが好ましい。なお、開口のサイズを直径で示しているが、特に開口の上面形状は円形に限定されず、楕円、矩形でもよい。図2のグラフは、縦軸にアンチヒューズROMのショート直前の電流値を示し、横軸に第1の開口の直径を示している。なお、図2のグラフのデータは、アンチヒューズROMのシリコン膜として、スパッタ法により成膜された膜厚200nmのアモルファスシリコン膜を用いた測定から得たものである。また、アンチヒューズROMのシリ

10

20

30

40

50

コン膜としてプラズマCVD法により成膜したアモルファスシリコン膜についても、開口直径とショート直前の電流値の関係は、スパッタ法のアモルファスシリコン膜と同様の傾向を示した。

【0050】

また、工程数を削減するために、エッチング条件を調節して1回のエッチングで半導体層に達する開口と、TFTのゲート電極に達する開口と、第1の電極107に達する第1の開口及び第2の開口を形成することができる。

【0051】

ここまでの工程では、TFTの作製工程と同一工程でアンチヒューズ型のROMの一部を形成しているため、工程数の増加はない。

10

【0052】

次いで、第1の電極107に達する第1の開口を覆うようにシリコン膜115を形成する。シリコン膜115は、スパッタ法、LPCVD法、またはプラズマCVD法等を用いて、アモルファスシリコン膜、微結晶シリコン膜、またはポリシリコン膜を用いることができる。ここでは、プラズマCVD法で得られたアモルファスシリコン膜を用いる。

【0053】

シリコン膜115の膜厚は、10nm～200nmの膜厚とする。アンチヒューズ型のROMのショート電圧は、シリコン膜115の膜厚に比例する。図3のグラフは、第1の開口の直径を2μmとしたアンチヒューズ型のROMのショート電圧とシリコン膜の膜厚との関係を示している。なお、図3のグラフを得たアンチヒューズ型のROMのシリコン膜はスパッタ法を用いたアモルファスシリコン膜である。図3からは、ショート電圧の低いアンチヒューズ型のROMを形成する場合には、シリコン膜115の膜厚を薄くすればよいことを読み取ることができる。このアンチヒューズ型のROMのショート電圧は、シリコン膜115の膜厚を制御することで自在に設計することが可能である。また、アンチヒューズROMのシリコン膜としてプラズマCVD法により成膜したアモルファスシリコン膜についても、ショート電圧とシリコン膜の膜厚の関係は、スパッタ法のアモルファスシリコン膜と同様の傾向を示した。

20

【0054】

また、アンチヒューズ型のROMに用いるシリコン膜に対して意図的に酸素や窒素を含ませてもよい。また、上述したエッチング工程と、シリコン膜の成膜工程の間は、大気開放されずに連続して行われる工程ではなく、シリコン膜115と第1の電極107との界面には窒素や酸素がシリコン膜115の他の領域に比べて多く含まれる。アンチヒューズ型のROMは、少なくともシリコン膜115と第1の電極107は連続的に積層成膜しない。シリコン膜115に酸素や窒素を含ませることで、アンチヒューズ型のROMの書き込み前後での電気抵抗の差を大きくすることができる。また、開口形成後に大気に曝した場合には、露呈しているタンゲステン膜の表面に薄い自然酸化膜が形成されることもある。また、タンゲステン膜の自然酸化膜が形成されることによっても、自然酸化膜をバッファ層として機能させることができるため、アンチヒューズ型のROMとして十分に機能させることができる。

30

【0055】

このシリコン膜115のパターニングのためにマスクが一枚必要となり、成膜及びパターニングプロセスの分の工程数が増える。

40

【0056】

なお、水素と珪素からなる高次シラン化合物を有機溶剤に溶解させた液体をインクジェット法などの液滴吐出法を用いて選択的にシリコン膜115を形成すれば、シリコン膜115の形成で増加してしまう工程数を少なくすることができる。

【0057】

次いで、フッ酸を含むエッチャントで半導体層表面の酸化膜を除去すると同時に露呈している半導体層の表面を洗浄する。なお、この洗浄工程でシリコン膜115がエッチングされて消失しないように注意が必要である。

50

【 0 0 5 8 】

次いで、スパッタ法により金属膜を積層した後、フォトリソを用いてレジストからなるマスクを形成し、選択的に金属積層膜をエッチングして、駆動回路部 140 に T F T のソース電極 116、118、及びドレイン電極 117 を形成し、メモリ部 130 にアンチヒューズ型の R O M の第 2 の電極 120、及び第 3 の電極 119 を形成し、アンテナ部 150 に接続電極 121 を形成する。接続電極 121 は、後に形成されるアンテナと電源形成回路とを電氣的に接続させる電極である。

【 0 0 5 9 】

また、第 3 の電極 119 は、第 1 の電極 107 と電氣的に接続させて配線を引き回すことで消費電力の低減を図っている。アクティブマトリクス型のメモリとする場合には、第 3 の電極 119 は、スイッチング素子と第 1 の電極 107 を電氣的に接続させる。また、パッシブマトリクス型のメモリとする場合には、第 1 の電極 107 をストライプ状（帯状）に並列させ、第 1 の電極 107 と直交するように第 2 の電極 120 をストライプ状に並列させればよい。パッシブマトリクス型のメモリとする場合には、第 3 の電極 119 は、端部に設けられ、引出電極とする。

【 0 0 6 0 】

なお、ここでの金属積層膜は、膜厚 50 ~ 200 nm のチタン膜と、膜厚 100 nm ~ 400 nm の純アルミニウム膜と、膜厚 50 ~ 200 nm のチタン膜との 3 層積層とする。少なくとも金属積層膜のシリコン膜 115 と接する層は、シリコンと反応してシリサイド形成する材料を用いる。

【 0 0 6 1 】

また、この金属積層膜は、チタン膜を用いているため、他の導電材料との接触抵抗も低く、さらに純アルミニウム膜を用いており配線抵抗値が低いため、駆動回路部の引き回し配線や、メモリ部の引き回し配線や、アンテナ部の接続部分に用いることは有用である。

【 0 0 6 2 】

こうして、図 1 (A) に示すように、絶縁表面を有する基板 101 上に剥離層 102、絶縁層 103 を介してメモリ部 130 にはアンチヒューズ型 R O M、駆動回路部 140 には n チャネル型 T F T と p チャネル型 T F T を含む C M O S 回路が設けられる。また、アンチヒューズ型 R O M の第 2 の電極 120 は、T F T のソース電極 116、118、及びドレイン電極 117 と同一工程で形成することで工程数を削減している。加えて、アンテナ部の接続電極 121 もソース電極 116、118、及びドレイン電極 117 と同一工程で形成することで、アンテナと電源形成回路との接続部での接触抵抗や、ノイズの低減を図ることができる。

【 0 0 6 3 】

ここで、アンチヒューズ型 R O M の電気特性グラフを図 4 に示す。図 4 は、縦軸が電流、横軸が印加電圧を示している。また、測定したアンチヒューズ型 R O M のシリコン膜にはプラズマ C V D 法で成膜した 50 nm の膜厚のアモルファスシリコン膜を用いている。また、図 4 は、第 1 の開口の直径が、2 μ m のアンチヒューズ型 R O M の測定結果である。素子数 25 点で測定を行い、ショート直前の電流値は、1 μ A ~ 10 μ A の範囲となった。また、印加電圧が 4 V ~ 6 V の範囲でアンチヒューズ型 R O M のショートが確認できる。図 4 の結果から、このアンチヒューズ型 R O M は、低い電流値、且つ、低い電圧で書き込みができるメモリ素子であることが読み取れる。

【 0 0 6 4 】

図 4 に示すアンチヒューズ型 R O M の電気特性から、無線信号から生成できる電流値及び電圧値の範囲内で駆動できるメモリを実現できていると言える。即ち、図 4 に示すアンチヒューズ型 R O M は、データ書き込みの電力を低減することができる。さらに、書き込み電圧値を低減することによって、アンテナで得られた信号から昇圧回路などで形成する電圧値を低くすることができ、メモリの駆動回路の平面面積の縮小が図れる。従って、アンチヒューズ型の R O M をチップに搭載させた場合、チップに占める駆動回路の面積縮小を図ることができる。また、図 4 に示すアンチヒューズ型 R O M は、データ読み出しのため

の電力を低減することもでき、メモリの消費電力を削減し、無線チップ全体の低消費電力化を達成することができる。

【0065】

また、ガラス基板上にアンチヒューズ型ROMを形成し、電圧を印加してショート状態（上下電極の導通状態）にした後の断面写真図を図5に示す。撮影したアンチヒューズ型ROMのシリコン膜にはプラズマCVD法で成膜した50nmの膜厚のアモルファスシリコン膜を用いている。シリコン膜と第1の電極とが接する領域全面に渡ってシリサイド反応している様子が図5に示されている。なお、アンチヒューズ型ROMは、シリコン膜と第1の電極とが接する領域全面に渡ってシリサイド反応する必要は特になく、一部がシリサイド反応によって導通状態となればよい。本発明者は、シリコン膜と第1の電極とが接する領域の一部で導通しているメモリ素子もいくつか確認している。

10

【0066】

また、図5の断面写真における左側の拡大図を図6(A)に示す。また、その模式図を図6(B)に示す。また、図6(B)の断面構造のそれぞれの部分をEDX測定によって組成を調べたところ、第1の電極207は、タングステン、シリコン膜215はシリコン、第2の電極220はチタンが多く検出された。また、シリサイド反応は、第1の電極207からも第2の電極220からも生じている。第2の電極220と接する領域のシリコン膜は全面にチタンシリサイド層201が形成されている。また、第1の電極207と接する領域202は、チタンシリサイドとタングステンシリサイドが混在した領域となっている。領域202に含まれるチタンシリサイドやタングステンシリサイドが部分的にチタンシリサイド層201と電気的な接続が行われ、ショート状態（導通状態）となっている。

20

【0067】

そして、ソース電極116、118、ドレイン電極117、第2の電極120、第3の電極119、及び接続電極121を覆う絶縁膜122を形成する。この絶縁膜122は、無機絶縁膜でもよいし、無機絶縁膜と有機絶縁膜の積層でもよい。

【0068】

次いで、レジストマスクを形成し、絶縁膜122を選択的にエッチングして第3の電極119に達する開口と、接続電極121に達する開口を形成する。なお、後に形成されるアンテナと電気的な接続を確実にを行うため、接続電極121に達する開口は比較的大きいサイズ、または複数とする。

30

【0069】

そして、レジストマスクを除去して、アンテナの密着性を向上させるための金属層124と、第4の電極123を形成する。金属層124及び第4の電極123は、同一工程で形成し、チタン膜、銅膜、アルミニウム膜などを用いる。金属層124及び第4の電極123は、スパッタ法またはインクジェット法で形成する。スパッタ法を用いる場合は、金属層を形成した後、レジストマスクを形成して、選択的なエッチングを行い、レジストマスクを除去する。

【0070】

次いで、スパッタ法または印刷法でアンテナ125を形成する。スクリーン印刷法やインクジェット法でアンテナ125を形成する場合には、粒径が数nmから数十μmの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷した後、電気抵抗値を低減するための焼成を行う。

40

【0071】

導電体粒子としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコーン樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好

50

ましい。例えば、導電性ペーストの材料として、銀を主成分とする微粒子（例えば粒径 1 nm 以上 100 nm 以下）を用いる場合、150 ~ 300 の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径 20 μ m 以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

【0072】

また、スクリーン印刷法でアンテナ 125 を形成する場合、絶縁膜 122 との密着性が低い場合に、下地膜として金属層 124 を設けることは有効である。同一基板上にアンチヒューズ型の ROM と駆動回路とアンテナを形成することによって実装する工程を削除することができる。ここでいう実装とは、アンテナが設けられた基体と、駆動回路とを半田や、熱圧着、ワイヤボンディング接続、パンプ接続などで電気的な接続を行う作業を言う。例えば、基体に設けられたアンテナにシリコンチップを取り付ける際に実装が行われる。

10

【0073】

アンテナ 125 の形状は、特に限定されない。アンテナに適用する信号の伝送方式は、電磁結合方式、電磁誘導方式又はマイクロ波方式等を用いることができる。伝送方式は、実施者が適宜使用用途を考慮して選択すればよく、伝送方式に伴って最適な長さや形状のアンテナを設ければよい。

【0074】

例えば、伝送方式として、電磁結合方式又は電磁誘導方式（例えば、13.56 MHz 帯）を適用する場合には、電界密度の変化による電磁誘導を利用するため、アンテナとして機能する導電膜を輪状（例えば、ループアンテナ）又はらせん状（例えば、スパイラルアンテナ）に形成する。

20

【0075】

また、伝送方式としてマイクロ波方式（例えば、UHF 帯（860 ~ 960 MHz 帯）、2.45 GHz 帯等）を適用する場合には、信号の伝送に用いる電波の波長を考慮してアンテナとして機能する導電膜の長さや形状を適宜設定すればよく、アンテナとして機能する導電膜を例えば、線状（例えば、ダイポールアンテナ）、平坦な形状（例えば、パッチアンテナ）等に形成することができる。また、アンテナとして機能する導電膜の形状は線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

30

【0076】

アンテナの形状の一例を図 7 に示す。例えば、図 7 (A) に示すようにメモリ部及び駆動回路 302 A の周りに一面のアンテナ 303 A を配した構造を取っても良い。また、図 7 (B) に示すようにメモリ部及び駆動回路 302 B の周りに細いアンテナ 303 B をメモリ部及び駆動回路 302 B の周囲を回るように配した構造をとってもよい。また、図 7 (C) に示すようにメモリ部及び駆動回路 302 C に対して、高周波数の電磁波を受信するためのアンテナ 303 C のような形状をとってもよい。また、図 7 (D) に示すようにメモリ部及び駆動回路 302 D に対して 180 度無指向性（どの方向からでも同じく受信可能）なアンテナ 303 D のような形状をとってもよい。また、図 7 (E) に示すように、メモリ部及び駆動回路 302 E に対して、棒状に長く伸ばしたアンテナ 303 E のような形状をとってもよい。アンテナ 125 はこれらの形状のアンテナを組み合わせることもできる。

40

【0077】

また、アンテナに必要な長さは受信に用いる周波数によって異なる。例えば周波数が 2.45 GHz の場合は、半波長ダイポールアンテナを設けるなら約 60 mm（1/2 波長）、モノポールアンテナを設けるなら約 30 mm（1/4 波長）とすれば良い。

【0078】

次いで、剥離層 102 の界面または層内で剥離を行い、第 1 のシート 100 a と第 2 のシート 100 b とで封止する。剥離法は特に限定されず、公知の剥離法、例えば、剥離層のタングステン膜の表面酸化膜を利用する剥離方法（特開 2004 - 214281 号記載の

50

技術)や、剥離層をエッチングする剥離方法や、レーザアブレーションを用いる剥離方法を用いればよい。また、封止は、エポキシ樹脂などの接着層を用いて接着してもよい。また、剥離工程とアンテナ形成工程は順序を変えてもよく、剥離を行った後、スクリーン印刷法を用いてアンテナ形成を行ってもよい。

【0079】

第1のシート100aと第2のシート100bは、プラスチックフィルムまたは紙を用いる。また、第1のシート100aと第2のシート100bは、耐圧を向上させるために、薄いセラミックを用いてもよいし、炭素繊維やガラス繊維の織物に樹脂をしみこませたシート、所謂、プリプレグを用いてもよい。第1のシート100aと第2のシート100bの材料としてフレキシブルな材料を用いれば、物品の曲面に貼り付けるのに適した無線チップを提供することができる。

10

【0080】

以上の工程で、同一基板上にアンチヒューズ型のROMと駆動回路を形成する。さらに、同一基板上にアンチヒューズ型のROMと駆動回路とアンテナを少ない工程数で形成することができる。

【0081】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例1】

【0082】

本実施例では、アクティブマトリクス型のアンチヒューズ型のROMを有する無線チップの作製方法について、図8(A)~図8(D)及び図9(A)~図9(C)を用いて以下に説明する。

20

【0083】

まず、基板501上に剥離層となる金属層502を形成する。基板501としてはガラス基板を用いる。また、金属層502としては、スパッタ法により得られる30nm~200nmのタングステン膜、窒化タングステン膜、またはモリブデン膜を用いる。

【0084】

次いで、金属層502の表面を酸化させて酸化金属層(図示しない)を形成する。酸化金属層の形成方法は、純水やオゾン水を用いて表面を酸化して形成してもよいし、酸素プラズマで酸化して形成してもよい。また、酸素を含む雰囲気中で加熱を行って酸化金属層を形成してもよい。また、後の絶縁膜の形成工程で形成してもよい。この場合、絶縁膜として酸化珪素膜や酸化窒化珪素膜をプラズマCVD法で形成する際に、金属層502表面が酸化されて酸化金属層が形成される。

30

【0085】

次いで、酸化金属層上に第1絶縁膜503を形成する。第1絶縁膜503としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜(SiO_xN_y)等の絶縁膜を用いる。代表的な一例は第1絶縁膜503として2層構造から成り、PCVD法により SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される窒化酸化珪素膜を50~100nm、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜を100~150nmの厚さに積層形成する構造が採用される。また、第1絶縁膜503の一層として膜厚10nm以下の窒化シリコン膜(Si_3N_4 膜)、或いは酸化窒化珪素膜($\text{Si}_x\text{N}_y\text{O}_z$ 膜($x>y$))を用いることが好ましい。また、窒化酸化珪素膜と、酸化窒化珪素膜と、窒化シリコン膜とを順次積層した3層構造を用いてもよい。ここでは下地絶縁膜として第1絶縁膜503を形成した例を示したが、特に必要でなければ設ける必要はない。

40

【0086】

次いで、第1絶縁膜503上に半導体層を形成する。非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を第1のフォトリソマスクを用いてレジストマ

50

スクを形成した後、所望の形状にパターニングして、島状の半導体層を複数形成する。なお、プラズマCVD法を用いれば、第1絶縁膜と、非晶質構造を有する半導体膜とを大気に触れることなく連続的に積層することができる。この半導体膜の厚さは25～80nm（好ましくは30～70nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0087】

また、非晶質構造を有する半導体膜の結晶化処理として連続発振のレーザーを用いてもよく、非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。連続発振のレーザーを用いる場合には、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、10～2000cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

【0088】

次いで、レジストマスクを除去する。次いで、必要があればTFTのしきい値を制御するために、微量な不純物元素（ボロンまたはリン）のドーピングを半導体層に対して行う。ここでは、ジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法を用いる。

【0089】

次いで、フッ酸を含むエッチャントで半導体層表面の酸化膜を除去すると同時に半導体層の表面を洗浄する。

【0090】

そして、半導体層を覆う第2絶縁膜を形成する。第2絶縁膜はプラズマCVD法またはスパッタ法を用い、厚さを1～200nmとする。好ましくは10nm～50nmと薄くしてシリコンを含む絶縁膜の単層または積層構造で形成した後にマイクロ波によるプラズマを用いた表面窒化処理を行う。第2絶縁膜は、後に形成されるTFTのゲート絶縁体として機能する。

【0091】

次いで、第2絶縁膜上にゲート電極504～508、及びアンチヒューズ型のROMの下部電極となる第1の電極509を形成する。スパッタ法を行って得られた膜厚100nm～500nmの導電膜を第2のフォトマスクを用いてレジストマスクを形成した後、所望の形状にパターニングして、ゲート電極504～508、及び第1の電極509を形成する。

【0092】

ゲート電極504～508、及び第1の電極509の材料としては、シリコンと反応してシリサイド形成する材料であればよく、チタン、タングステン、ニッケル、クロム、モリブデン、タンタル、コバルト、ジルコニウム、バナジウム、パラジウム、ハフニウム、白金、鉄から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の単層、またはこれらの積層で形成してもよい。ただし、TFTのゲート電極としては高融点金属が好ましく、タングステンまたはモリブデンを用いる。ゲート電極504～508、及び第1の電極509を積層とする場合には、上層となる材料層が上述した材料であれば、下層となる材料層は、リン等の不純物元素をドーピングした多結晶シリコン層としてもよい。

【0093】

次いで、pチャネル型TFTとする領域の半導体層を覆うように第3のフォトリソマスクを用いてレジストマスクを形成し、nチャネル型TFTとする領域の半導体層にゲート電極505、507をマスクとして不純物元素を導入することにより低濃度不純物領域を形成する。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いることができる。n型を示す不純物元素としては、リンやヒ素等を用いることができる。ここでは、nチャネル型TFTとする領域の半導体層にリンを $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように導入することによりn型を示す不純物領域を形成する。

【0094】

次いで、レジストマスクを除去して、nチャネル型TFTとする領域の半導体層を覆うように第4のフォトリソマスクを用いてレジストマスクを形成し、pチャネル型TFTとする領域の半導体層にゲート電極504、506、508をマスクとして不純物元素を導入することによりp型を示す不純物領域を形成する。p型を示す不純物元素としては、ボロンやアルミニウムやガリウム等を用いることができる。ここでは、pチャネル型TFTとする領域の半導体層にボロンを $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように導入することによって、p型を示す不純物領域を形成することができる。その結果、pチャネル型TFTとする領域の半導体層に、ソース領域又はドレイン領域514、515、及びチャネル形成領域516が形成される。

【0095】

次いで、ゲート電極504～508、及び第1の電極509の両側面にサイドウォール510、511を形成する。サイドウォール510の作製方法としては、まず、第2絶縁膜、ゲート電極504～508、及び第1の電極509を覆うように、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂等の有機材料を含む膜を単層又は積層して第3絶縁膜を形成する。次に、第3絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングすることによって、ゲート電極504～508、及び第1の電極509の側面に接する絶縁膜（サイドウォール510）を形成する。なお、サイドウォール510の形成と同時に、第2絶縁膜の一部をエッチングして除去する。第2絶縁膜の一部が除去されることによって、残存するゲート絶縁層512は、ゲート電極504～508及びサイドウォール510の下方に形成される。また、第2絶縁膜の一部が除去されることによって、残存する絶縁層513は、第1の電極509の下方及びサイドウォール511の下方に形成される。

【0096】

次いで、pチャネル型TFTとする領域の半導体層を覆うように第5のフォトリソマスクを用いてレジストマスクを形成し、nチャネル型TFTとする領域の半導体層にゲート電極505、507及びサイドウォール510をマスクとして不純物元素を導入することにより高濃度不純物領域を形成する。不純物元素の導入後にレジストマスクは除去する。ここでは、nチャネル型TFTとする領域の半導体層にリン(P)を $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように導入することによって、n型を示す高濃度不純物領域を形成することができる。その結果、nチャネル型TFTとする領域の半導体層に、ソース領域又はドレイン領域517、518、LDD領域519、520、チャネル形成領域521が形成される。サイドウォール510の下方にLDD領域519、520が形成される。

【0097】

nチャネル型TFTに含まれる半導体層にLDD領域を形成し、pチャネル型TFTに含まれる半導体層にLDD領域を設けない構造を示したが、もちろんこれに限られず、nチャネル型TFT及びpチャネル型TFTの両方の半導体層にLDD領域を形成してもよい。

【0098】

次いで、スパッタ法、LPCVD法、またはプラズマCVD法等を用いて、水素を含む第4絶縁膜522を成膜した後、半導体層に添加された不純物元素の活性化処理および水素

10

20

30

40

50

化処理を行う。不純物元素の活性化処理および水素化処理は、炉での熱処理（300～550 で1～12時間の熱処理）または、ランプ光源を用いたラピッドサーマルアニール法（RTA法）を用いる。水素を含む第4絶縁膜522は、PCVD法により得られる窒化酸化珪素膜（SiNO膜）を用いる。ここでは、水素を含む第4絶縁膜522の膜厚は、50nm～200nmとする。加えて、結晶化を助長する金属元素、代表的にはニッケルを用いて半導体膜を結晶化させている場合、活性化と同時にチャネル形成領域におけるニッケルの低減を行うゲッターリングをも行うことができる。なお、水素を含む第4絶縁膜522は、層間絶縁膜の1層目である。

【0099】

次いで、スパッタ法、LPCVD法、またはプラズマCVD法等を用いて層間絶縁膜の2層目となる第5絶縁膜523を形成する。第5絶縁膜523としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜の単層または積層を用いる。ここでは第5絶縁膜523の膜厚は300nm～800nmとする。

【0100】

次いで、第5絶縁膜523上に第6のフォトリソマスクを用いてレジストマスクを形成し、選択的に第4絶縁膜522及び第5絶縁膜523をエッチングして第1の電極509に達する第1の開口を形成する。そして、エッチング後にレジストマスクを除去する。第1の開口の直径は、約1μm～約6μmとすればよく、本実施例では、第1の開口の直径を2μmとする。

【0101】

ここまでの工程を経た半導体装置の断面図が図8（A）に相当する。

【0102】

次いで、スパッタ法、LPCVD法、またはプラズマCVD法等を用いてシリコン膜を形成する。シリコン膜は、アモルファスシリコン膜、微結晶シリコン膜、またはポリシリコン膜のいずれかを用い、10nm～200nmの膜厚とする。本実施例では、プラズマCVD法を用いて100nmの膜厚を有するアモルファスシリコン膜を成膜する。次いで、アモルファスシリコン膜上に第7のフォトリソマスクを用いてレジストマスクを形成し、選択的にアモルファスシリコン膜をエッチングして、第1の開口と重なるシリコン層524を形成する。そして、エッチング後にレジストマスクを除去する。

【0103】

ここまでの工程を経た半導体装置の断面図が図8（B）に相当する。

【0104】

次いで、第8のフォトリソマスクを用いてレジストマスクを形成し、選択的に第4絶縁膜522及び第5絶縁膜523をエッチングして、半導体層に達する開口、ゲート電極に達する開口、第1の電極509に達する第2の開口をそれぞれ形成する。そして、エッチング後にレジストマスクを除去する。

【0105】

ここまでの工程を経た半導体装置の断面図が図8（C）に相当する。

【0106】

次いで、フッ酸を含むエッチャントで露呈している半導体層表面及び露呈している第1の電極表面の酸化膜を除去すると同時に露呈している半導体層の表面及び露呈している第1の電極表面を洗浄する。

【0107】

次いで、スパッタ法を用いて導電膜を形成する。この導電膜は、チタン、タングステン、ニッケル、クロム、モリブデン、タンタル、コバルト、ジルコニウム、バナジウム、パラジウム、ハフニウム、白金、鉄、アルミニウム、銅から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の単層、またはこれらの積層で形成する。ただし、導電膜を積層する場合は、少なくともシリコン層524と接する一層は、シリコンと反応してシリサイド形成する材料を用い、且つ、メモリ素子の下部電極となる第1の電極509で用いる材料（本実施例ではタングステン）とは異なる材料を用いる。例えば、チ

タン膜と、シリコンを微量に含むアルミニウム膜と、チタン膜との3層構造、或いはチタン膜と、ニッケル及び炭素を含むアルミニウム合金膜と、チタン膜との3層構造を用いる。本実施例では、膜厚100nmのチタン膜と、膜厚350nmの純アルミニウム膜と、膜厚100nmのチタン膜との3層積層とする。

【0108】

次いで、第9のフォトリソマスクを用いてレジストマスクを形成し、選択的に導電膜をエッチングして、ソース電極またはドレイン電極525～534、ゲート引出配線535～539、アンチヒューズ型のROMの第2の電極540及び第3の電極541、アンテナ部の第4の電極542を形成する。第2の電極540は第1の開口と重なりメモリ素子の上部電極となる。また、第3の電極541は、第2の開口と重なり、第1の電極509と電氣的に接続する。なお、ここでは図示しないが、第4の電極542は、アンテナ部及び電源部のTFTと電氣的に接続している。そして、エッチング後にレジストマスクを除去する。

10

【0109】

ここまでの工程を経た半導体装置の断面図が図8(D)に相当する。本実施例では9枚のフォトリソマスクを用いて、同一基板上にロジック回路部601のTFTと、メモリ部602のTFT及びアンチヒューズ型のROM600と、アンテナ部及び電源部603のTFTと形成することができる。

【0110】

次いで、ロジック回路部601のTFTと、メモリ部602のTFT及びアンチヒューズ型のROM600と、アンテナ部及び電源部603のTFTを覆う第6絶縁膜543を形成する。第6絶縁膜543は、酸化シリコンを含む絶縁膜または有機樹脂膜を用いる。無線チップの信頼性を向上させる上では酸化シリコンを含む絶縁膜を用いることが好ましい。また、後に形成するアンテナをスクリーン印刷法で形成する場合には平坦面を有していることが望ましいため、塗布法を用いる有機樹脂膜を用いることが好ましい。第6絶縁膜543は、実施者が適宜、選択すればよい。また、本実施例では後に形成するアンテナが電源部603の駆動回路と重なる例を示しているため、第6絶縁膜543は、アンテナとの絶縁を図る層間絶縁膜として機能している。輪状(例えば、ループアンテナ)又はらせん状のアンテナとする場合には、アンテナの両端のうち一方を下層の配線で引き回すため、第6絶縁膜543を設けることが好ましい。ただし、マイクロ波方式を適用し、線状(例えば、ダイポールアンテナ)、平坦な形状(例えば、パッチアンテナ)等のアンテナとする場合には、後に形成するアンテナが駆動回路及びメモリ部と重ならないように配置できるため、第6絶縁膜543は特に設けなくともよい。

20

30

【0111】

次いで、第10のフォトリソマスクを用いてレジストマスクを形成し、選択的に第6絶縁膜543をエッチングして、第3の電極541に達する第3の開口と、第4の電極542に達する第4の開口を形成する。そして、エッチング後にレジストマスクを除去する。

【0112】

ここまでの工程を経た半導体装置の断面図が図9(A)に相当する。

【0113】

次いで、第6絶縁膜543上に金属膜を形成する。金属膜としては、チタン、ニッケル、金から選ばれる単層またはそれらの積層を用いる。次いで、第11のフォトリソマスクを用いてレジストマスクを形成し、選択的に金属膜をエッチングして、第1の電極509の引出配線部604に引出配線544と、アンテナの下地膜545を形成する。なお、ここでの引出配線544及び下地膜545は、レジストマスクを用いることなく、メタルマスクを用いたスパッタ法で選択的に形成することもできる。アンテナの下地膜545を設けることで、アンテナとの接触面積を広く確保することができる。また、アンテナの下地膜545を設けることで、第6絶縁膜543との密着性の向上も図れる。勿論、アンテナの下地膜545は導電材料で形成されているため、アンテナの一部として機能する。また、回路設計のレイアウトによっては、特に引出配線544を形成しなくともよい。

40

50

【 0 1 1 4 】

ここまでの工程を経た半導体装置の断面図が図 9 (B) に相当する。

【 0 1 1 5 】

次いで、アンテナの下地膜 5 4 5 上にアンテナ 5 4 6 を形成する。アンテナ 5 4 6 はスパッタ法を用いてアルミニウムまたは銀など金属膜を形成した後、フォトリソ法を用いてパターンニングする方法、或いはスクリーン印刷法を用いることができる。フォトリソ法数を削減することを優先するのであれば、スクリーン印刷法を用いてアンテナ 5 4 6 を形成すればよい。スクリーン印刷法とは、金属あるいは高分子化合物繊維のメッシュによりなるベースに所定のパターンが感光性樹脂にて形成されたスクリーン版上にのせたインキもしくはペーストをスキージと呼ばれるゴム、プラスチック、或いは金属のブレードを用いてスクリーン版の反対側に置かれたワークに転写する方法である。スクリーン印刷法は、比較的大面積でのパターン形成が低コストで実現することができるメリットを有している。

10

【 0 1 1 6 】

ここまでの工程を経た半導体装置の断面図が図 9 (C) に相当する。本実施例では 1 1 枚のフォトリソ法を用いて、同一基板上にロジック回路部 6 0 1 の T F T と、メモリ部 6 0 2 の T F T 及びアンチヒューズ型の R O M 6 0 0 と、アンテナ部及び電源部 6 0 3 の T F T 及びアンテナとを形成することができる。

【 0 1 1 7 】

また、引出配線 5 4 4 及びアンテナの下地膜 5 4 5 をメタルマスクを用いたスパッタ法で選択的に形成する場合には、10 枚のフォトリソ法を用いて図 9 (C) の無線チップを形成することができる。また、マイクロ波方式を適用し、線状、平坦な形状等のアンテナとする場合には、第 6 絶縁膜 5 4 3 及びアンテナの下地膜 5 4 5 の形成を省略できるため、9 枚のフォトリソ法を用いて無線チップを形成することができる。さらに、フォトリソ法数を削減するために、駆動回路を p チャネル型 T F T のみを用いて回路設計して作製すれば、2 枚のフォトリソ法数を削除でき、合計 7 枚のマスクで無線チップを形成することができる。

20

【 0 1 1 8 】

また、本実施例では、フォトリソ法を用いてレジストマスクを形成した例を示したが、特にパターンニング技術は限定されず、フォトリソ法を用いることなくレジスト材料を液滴吐出法で選択的に形成してレジストマスクを形成してもよい。

30

【 0 1 1 9 】

次いで、剥離を行って金属層 5 0 2 及び基板 5 0 1 を除去する。金属酸化膜内、第 1 絶縁膜 5 0 3 と金属酸化膜の界面又は金属酸化膜と金属層 5 0 2 との界面で剥離が生じ、比較的小さな力で無線チップを基板 5 0 1 から引き剥がすことができる。金属層 5 0 2 及び基板 5 0 1 を除去する際にアンテナを設ける側に接着する固定基板を用いてもよい。

【 0 1 2 0 】

次いで、無数の無線チップが形成された 1 枚のシートをカッター、ダイシング等により分割して個々の無線チップに切り分ける。また、剥離の際に、無線チップを一つ一つピックアップして剥離する方法を用いれば、この分断の工程は特に不要である。

【 0 1 2 1 】

次いで、無線チップをシート状の基体に固定する。シート状の基体としては、プラスチック、紙、プリプレグ、セラミックシートなどを用いることができる。2 枚のシート状の基体に無線チップを挟むように固定してもよいし、1 枚のシート状の基体に接着層で固定してもよい。接着層としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。また、紙の形成途中に無線チップを配置して、1 枚の紙の内部に無線チップを設けることもできる。

40

【 0 1 2 2 】

以上の工程を経た無線チップは、無線チップ製造後に書き込みをいつでも行える追記型のメモリを実現できる。例えば、フレキシブルなシート状の基体に固定した無線チップを曲

50

面を有する物品に貼り付けた後、その無線チップに含まれるアンチヒューズ型ROMに対してデータの書き込みを行うことができる。

【0123】

本実施例は、実施の形態と自由に組み合わせることができる。

【実施例2】

【0124】

本実施例は、実施例1とプロセスが一部異なる例を図10(A)～図10(D)及び図11(A)～図11(C)に示す。なお、実施例1と共通の部分には同じ符号を用い、ここでは簡略化のため、同じ説明は省略する。

【0125】

まず、実施例1に従って、図8(A)と同じ断面構造を得る。なお、図10(A)は図8(A)と同一である。

【0126】

次いで、スパッタ法、LPCVD法、またはプラズマCVD法等を用いてシリコン膜を形成し、その上にスパッタ法またはプラズマCVD法で金属膜を積層する。シリコン膜は、アモルファスシリコン膜、微結晶シリコン膜、またはポリシリコン膜のいずれかを用い、10nm～200nmの膜厚とする。金属膜は、チタン、W、Ni、Cr、Mo、Ta、Co、Zr、V、Pd、Hf、Pt、Feなどの単体、或いはこれらの合金、或いは化合物を用い、10nm～100nmの膜厚とする。ただし、金属膜は、メモリ素子の下部電極となる第1の電極509で用いる材料とは異なる材料を用いる。本実施例では、スパッタ法を用いて50nmの膜厚を有するアモルファスシリコン膜と100nmの窒化チタン膜を大気に触れることなく連続的に積層成膜する。即ち、本実施例では、メモリ部において、シリコン層と第1の電極は連続的に積層成膜が行われないが、シリコン層と第2の電極は連続的に積層成膜を行う。このように大気に触れることなくシリコン層524と第2の電極の界面を形成することは、メモリとして書き込みを行ってシリサイド形成させる上で重要である。また、金属膜は積層でもよく、例えばチタン膜と窒化チタン膜の積層とする。実施例1では、シリコン層524を露呈する工程を示したが、本実施例では、連続して金属膜を形成することによってシリコン層524を保護している。特にシリコン層524を50nm以下とする場合、後に行われるフッ酸などの洗浄によるシリコン層の薄膜化を防ぐことができる。

【0127】

次いで、金属膜上に第7のフォトリソマスクを用いてレジストマスクを形成し、選択的に金属膜及びアモルファスシリコン膜をエッチングして、第1の開口と重なるシリコン層524及び第2の電極701を形成する。そして、エッチング後にレジストマスクを除去する。なお、選択的に金属膜をドライエッチングで除去して第2の電極701を形成する場合、第2の電極701の上層である窒化チタン膜は、ドライエッチングを行う際のプラズマによるシリコン層524へのダメージを防ぐことができる。

【0128】

ここまでの工程を経た半導体装置の断面図が図10(B)に相当する。

【0129】

次いで、第8のフォトリソマスクを用いてレジストマスクを形成し、選択的に第4絶縁膜522及び第5絶縁膜523をエッチングして、半導体層に達する開口、ゲート電極に達する開口、第1の電極509に達する第2の開口をそれぞれ形成する。そして、エッチング後にレジストマスクを除去する。

【0130】

ここまでの工程を経た半導体装置の断面図が図10(C)に相当する。

【0131】

次いで、フッ酸を含むエッチャントで露呈している半導体層表面及び露呈している第1の電極表面の酸化膜を除去すると同時に露呈している半導体層の表面及び露呈している第1の電極表面を洗浄する。なお、シリコン層524上面は第2の電極701で覆われている

10

20

30

40

50

。本実施例では第2の電極701はチタン膜と窒化チタン膜の積層である。チタン膜は窒化チタン膜に比べてシリコンと反応してシリサイド形成しやすい。また、窒化チタン膜は、露呈している半導体層の表面及び露呈している第1の電極表面を洗浄する際、チタン膜がフッ酸を含むエッチャントによりエッチングされるのを防ぐことができる。

【0132】

次いで、スパッタ法を用いて導電膜を形成する。この導電膜は、チタン、タングステン、モリブデン、アルミニウム、銅から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の単層、またはこれらの積層で形成する。本実施例では、膜厚100nmのチタン膜と、膜厚350nmのシリコンを微量に含むアルミニウム膜と、膜厚100nmのチタン膜との3層積層とする。

10

【0133】

次いで、第9のフォトリソマスクを用いてレジストマスクを形成し、選択的に導電膜をエッチングして、ソース電極またはドレイン電極525～534、ゲート引出配線535～539、アンチヒューズ型のROMの第3の電極541及び第5の電極702、アンテナ部の第4の電極542を形成する。第5の電極702は第2の電極701と重なり、配線の電気抵抗を低減する。また、第3の電極541は、第2の開口と重なり、第1の電極509と電氣的に接続する。なお、ここでは図示しないが、第4の電極542は、アンテナ部及び電源部のTF Tと電氣的に接続している。そして、エッチング後にレジストマスクを除去する。

【0134】

20

ここまでの工程を経た半導体装置の断面図が図10(D)に相当する。本実施例でも9枚のフォトリソマスクを用いて、同一基板上にロジック回路部601のTF Tと、メモリ部602のTF T及びアンチヒューズ型のROM600と、アンテナ部及び電源部603のTF Tと形成することができる。

【0135】

次いで、ロジック回路部601のTF Tと、メモリ部602のTF T及びアンチヒューズ型のROM600と、アンテナ部及び電源部603のTF Tを覆う第6絶縁膜543を形成する。第6絶縁膜543は、酸化シリコンを含む絶縁膜または有機樹脂膜を用いる。無線チップの信頼性を向上させる上では酸化シリコンを含む絶縁膜を用いることが好ましい。また、後に形成するアンテナをスクリーン印刷法で形成する場合には平坦面を有していることが望ましいため、塗布法を用いる有機樹脂膜を用いることが好ましい。第6絶縁膜543は、実施者が適宜、選択すればよい。

30

【0136】

次いで、第10のフォトリソマスクを用いてレジストマスクを形成し、選択的に第6絶縁膜543をエッチングして、第4の電極542に達する第4の開口を形成する。そして、エッチング後にレジストマスクを除去する。

【0137】

ここまでの工程を経た半導体装置の断面図が図11(A)に相当する。

【0138】

次いで、第6絶縁膜543上にメタルマスクを用いたスパッタ法や、液滴吐出法でアンテナの下地膜545を形成する。アンテナの下地膜545としては、チタン、ニッケル、金から選ばれる単層またはそれらの積層を用いる。なお、ここでの下地膜545は、フォトリソマスクを用いてレジストマスクを形成し、選択的に金属膜をエッチングして形成してもよい。

40

【0139】

ここまでの工程を経た半導体装置の断面図が図11(B)に相当する。

【0140】

次いで、下地膜545上にアンテナ546を形成する。アンテナ546はスパッタ法を用いて金属膜を形成した後、フォトリソマスクを用いてパターニングする方法、或いはスクリーン印刷法を用いることができる。フォトリソマスク数を削減することを優先するのであれば、

50

スクリーン印刷法を用いてアンテナを形成すればよい。

【0141】

ここまでの工程を経た半導体装置の断面図が図11(C)に相当する。本実施例では10枚のフォトマスクを用いて、同一基板上にロジック回路部601のTFETと、メモリ部602のTFET及びアンチヒューズ型のROM600と、アンテナ部及び電源部603のTFET及びアンテナとを形成することができる。

【0142】

また、フォトマスク数を削減するために、駆動回路をpチャネル型TFETのみを用いて回路設計して作製すれば、2枚のフォトマスク数を削除でき、合計8枚のマスクで無線チップを形成することができる。

10

【0143】

また、以降の工程は、実施例1に従って無線チップを完成すればよい。

【0144】

また、本実施例では、フォトマスクを用いてレジストマスクを形成した例を示したが、特にパターニング技術は限定されず、フォトマスクを用いることなくレジスト材料を液滴吐出法で選択的に形成してレジストマスクを形成してもよい。

【0145】

また、本実施例は、実施の形態、または実施例1と自由に組み合わせることができる。

【実施例3】

【0146】

20

本実施例の半導体装置の構成について、図12を参照して説明する。図12に示すように、本発明の半導体装置1520は、非接触でデータを交信する機能を有し、電源回路1511、クロック発生回路1512、データ復調/変調回路1513、他の回路を制御する制御回路1514、インターフェイス回路1515、記憶回路1516、データバス1517、アンテナ1518、センサ1523a、センサ回路1523bを有する。図12において、駆動回路とは、電源回路1511、クロック発生回路1512、データ復調/変調回路1513、他の回路を制御する制御回路1514、及びインターフェイス回路1515を指している。

【0147】

電源回路1511は、アンテナ1518から入力された交流信号を基に、半導体装置1520の内部の各回路に供給する各種電源を生成する回路である。クロック発生回路1512は、アンテナ1518から入力された交流信号を基に、半導体装置1520の内部の各回路に供給する各種クロック信号を生成する回路である。データ復調/変調回路1513は、リーダライタ1519と交信するデータを復調/変調する機能を有する。制御回路1514は、記憶回路1516を制御する機能を有する。アンテナ1518は、電波の送受信を行う機能を有する。リーダライタ1519は、半導体装置との交信、制御及びそのデータに関する処理を制御する。なお、半導体装置は上記構成に制約されず、例えば、電源電圧のリミッタ回路や暗号処理専用ハードウェアといった他の要素を追加した構成であってもよい。

30

【0148】

40

記憶回路1516は、実施の形態1に示すようなメモリ部、即ち外部からの電気的作用によりシリサイド反応するシリコン膜が一对の導電層間に挟まれた記憶素子を複数有する。なお、記憶回路1516は、一对の導電層間にシリコン膜が挟まれた記憶素子のみを有していてもよいし、他の構成の記憶回路を有していてもよい。他の構成の記憶回路とは、例えば、DRAM、SRAM、FeRAM、マスクROM、PROM、EPROM、EEPROM及びフラッシュメモリから選択される1つ又は複数に相当する。

【0149】

センサ1523aは抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスタ、ダイオードなどの半導体素子で形成される。センサ回路1523bはインピーダンス、リアクタンス、インダクタンス、電圧又は

50

電流の変化を検出し、アナログ／デジタル変換（Ａ／Ｄ変換）して制御回路１５１４に信号を出力する。

【０１５０】

また、本実施例は、実施の形態、実施例１、または、実施例２と自由に組み合わせることができる。

【実施例４】

【０１５１】

本発明により無線チップとして機能する半導体装置を形成することができる。無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類（運転免許証や住民票等、図１３（Ａ）参照）、記録媒体（ＤＶＤソフトやビデオテープ等、図１３（Ｂ）参照）、包装用容器類（包装紙やボトル等、図１３（Ｃ）参照）、乗物類（自転車等、図１３（Ｄ）参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、衣類、生活用品類、電子機器等の商品や荷物の荷札（図１３（Ｅ）、図１３（Ｆ）参照）等の物品に設けて使用することができる。電子機器とは、液晶表示装置、ＥＬ表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。

【０１５２】

本発明の半導体装置１５２０は、プリント基板に実装し、物品表面に貼着、物品埋め込む等して、物品に固定される。例えば、本なら紙に埋め込む、有機樹脂からなるパッケージなら当該有機樹脂に埋め込む等して、各物品に固定される。本発明の半導体装置１５２０は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証券類等に本発明の半導体装置１５２０を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【０１５３】

次に、本発明の半導体装置を実装した電子機器の一態様について図面を参照して説明する。ここで例示する電子機器は携帯電話機であり、筐体２７００、２７０６、パネル２７０１、ハウジング２７０２、プリント配線基板２７０３、操作ボタン２７０４、バッテリー２７０５を有する（図１４参照）。パネル２７０１はハウジング２７０２に脱着自在に組み込まれ、ハウジング２７０２はプリント配線基板２７０３に嵌着される。ハウジング２７０２はパネル２７０１が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板２７０３には、パッケージングされた複数の半導体装置が実装されており、このうちの１つとして、本発明の半導体装置を用いることができる。プリント配線基板２７０３に実装される複数の半導体装置は、コントローラ、中央処理ユニット（ＣＰＵ、Central Processing Unit）、メモリ、電源回路、音声処理回路、送受信回路等のいずれかの機能を有する。

【０１５４】

パネル２７０１は、接続フィルム２７０８を介して、プリント配線基板２７０３と電氣的に接続される。上記のパネル２７０１、ハウジング２７０２、プリント配線基板２７０３は、操作ボタン２７０４やバッテリー２７０５と共に、筐体２７００、２７０６の内部に収納される。パネル２７０１が含む画素領域２７０９は、筐体２７００に設けられた開口窓から視認できるように配置されている。

【０１５５】

上記の通り、本発明の半導体装置は、小型、薄型、軽量であることを特徴としており、上記特徴により、電子機器の筐体２７００、２７０６内部の限られた空間を有効に利用することができる。

【０１５６】

また、本発明の半導体装置は、外部からの電氣的作用によりシリサイド反応するシリコン

膜が一对の導電層に挟まれた単純な構造の記憶素子を有するため、安価な半導体装置を用いた電子機器を提供することができる。また、本発明の半導体装置は高集積化が容易なため、大容量の記憶回路を有する半導体装置を用いた電子機器を提供することができる。

【0157】

また、本発明の半導体装置が有する記憶装置は、外部からの電気的作用によりデータの書き込みを行うものであり、不揮発性であって、データの追記が可能であることを特徴とする。上記特徴により、書き換えによる偽造を防止することができ、新たなデータを追加して書き込むことができる。従って、高機能化と高付加価値化を実現した半導体装置を用いた電子機器を提供することができる。

【0158】

なお、筐体2700、2706は、携帯電話機の外觀形状を一例として示したものであり、本実施例に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。

【0159】

また、本実施例は、実施の形態、実施例1、実施例2、または実施例3と自由に組み合わせることができる。

【産業上の利用可能性】

【0160】

大面積のガラス基板を用いて作製することで、一度に大量の無線チップを提供することができ、一個あたりの単価を安価なものとすることができる。また、アンテナを同一基板上に形成することもでき、実装工程を削除することもできる。

【図面の簡単な説明】

【0161】

【図1】本発明の工程断面図を示す図。

【図2】アンチヒューズROMのショート直前の電流値と、開口の直径の関係を示すグラフ。

【図3】アンチヒューズ型のROMのショート電圧とシリコン膜の膜厚との関係を示すグラフ。

【図4】アンチヒューズ型ROMの電気特性グラフ。

【図5】アンチヒューズ型ROMの断面写真図。

【図6】アンチヒューズ型ROMの断面拡大写真図およびその模式図。

【図7】アンテナを示す上面図。

【図8】無線チップの作製工程を示す断面図。

【図9】無線チップの作製工程を示す断面図。

【図10】無線チップの作製工程を示す断面図。

【図11】無線チップの作製工程を示す断面図。

【図12】ブロック図を示す図。

【図13】電子機器の一例を示す図。

【図14】電子機器の一例を示す図。

【図15】従来例を示す図。

【符号の説明】

【0162】

100a：第1のシート

100b：第2のシート

101：絶縁表面を有する基板

102：剥離層

103：絶縁層

104：ゲート絶縁膜

105：第1のゲート電極

106：第2のゲート電極

107：第1の電極

10

20

30

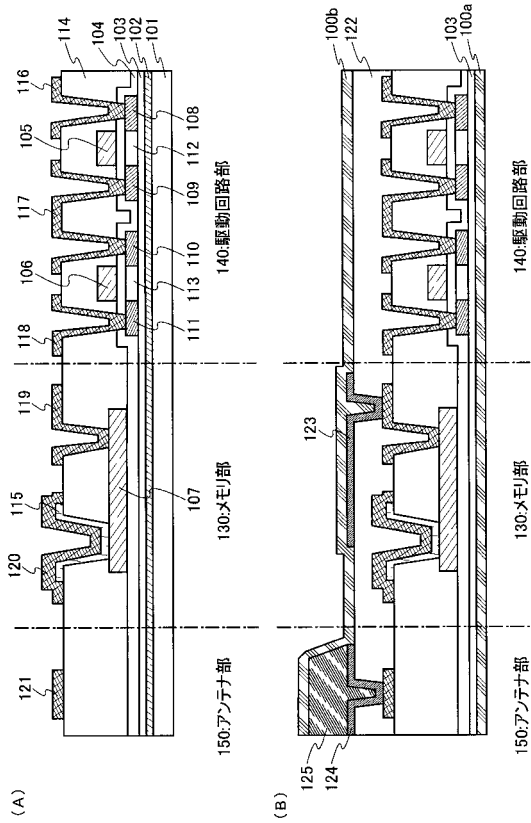
40

50

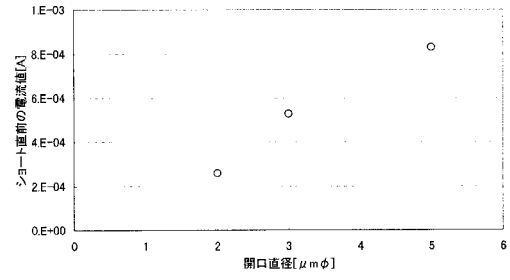
1 0 8 : ソース領域	
1 0 9 : ドレイン領域	
1 1 0 : ドレイン領域	
1 1 1 : ソース領域	
1 1 2 : チャネル形成領域	
1 1 3 : チャネル形成領域	
1 1 4 : 層間絶縁膜	
1 1 5 : シリコン膜	
1 1 6 : ソース電極	
1 1 7 : ドレイン電極	10
1 1 8 : ソース電極	
1 1 9 : 第 3 の電極	
1 2 0 : 第 2 の電極	
1 2 1 : 接続電極	
1 2 2 : 絶縁膜	
1 2 3 : 第 4 の電極	
1 2 4 : 金属層	
1 2 5 : アンテナ	
3 0 2 A : メモリ部及び駆動回路	
3 0 2 B : メモリ部及び駆動回路	20
3 0 2 C : メモリ部及び駆動回路	
3 0 2 D : メモリ部及び駆動回路	
3 0 2 E : メモリ部及び駆動回路	
3 0 3 A : アンテナ	
3 0 3 B : アンテナ	
3 0 3 C : アンテナ	
3 0 3 D : アンテナ	
3 0 3 E : アンテナ	
5 0 1 : 基板	
5 0 2 : 金属層	30
5 0 3 : 第 1 絶縁膜	
5 0 4 ~ 5 0 8 : ゲート電極	
5 0 9 : 第 1 の電極	
5 1 0 : サイドウォール	
5 1 1 : サイドウォール	
5 1 2 : ゲート絶縁層	
5 1 3 : 絶縁層	
5 1 4 : ソース領域又はドレイン領域	
5 1 5 : ソース領域又はドレイン領域	
5 1 6 : チャネル形成領域	40
5 1 7 : ソース領域又はドレイン領域	
5 1 8 : ソース領域又はドレイン領域	
5 1 9 : L D D 領域	
5 2 0 : L D D 領域	
5 2 1 : チャネル形成領域	
5 2 2 : 第 4 絶縁膜	
5 2 3 : 第 5 絶縁膜	
5 2 4 : シリコン層	
5 2 5 ~ 5 3 4 : ソース電極またはドレイン電極	
5 3 5 ~ 5 3 9 : ゲート引出配線	50

5 4 0	： 第 2 の電極	
5 4 1	： 第 3 の電極	
5 4 2	： 第 4 の電極	
5 4 3	： 第 6 絶縁膜	
5 4 4	： 引出配線	
5 4 5	： アンテナの下地膜	
5 4 6	： アンテナ	
6 0 0	： アンチヒューズ型の R O M	
6 0 1	： ロジック回路部	
6 0 2	： メモリ部	10
6 0 3	： アンテナ部及び電源部	
6 0 4	： 第 1 の電極の引出配線部	
7 0 1	： 第 2 の電極	
7 0 2	： 第 5 の電極	
1 5 1 1	電源回路	
1 5 1 2	クロック発生回路	
1 5 1 3	データ復調 / 変調回路	
1 5 1 4	制御回路	
1 5 1 5	インターフェイス回路	
1 5 1 6	記憶回路	20
1 5 1 7	データバス	
1 5 1 8	アンテナ (アンテナコイル)	
1 5 1 9	リーダライタ	
1 5 2 0	半導体装置	
1 5 2 3 a	センサ	
1 5 2 3 b	センサ回路	
2 7 0 0	筐体	
2 7 0 1	パネル	
2 7 0 2	ハウジング	
2 7 0 3	プリント配線基板	30
2 7 0 4	操作ボタン	
2 7 0 5	バッテリー	
2 7 0 6	筐体	
2 7 0 8	接続フィルム	
2 7 0 9	画素領域	

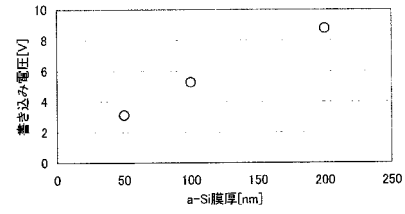
【図 1】



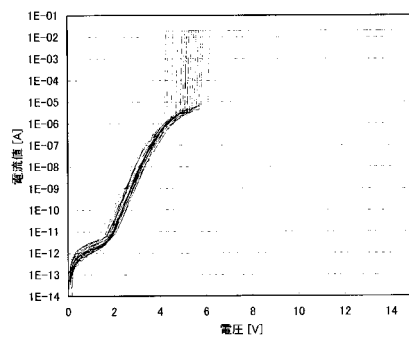
【図 2】



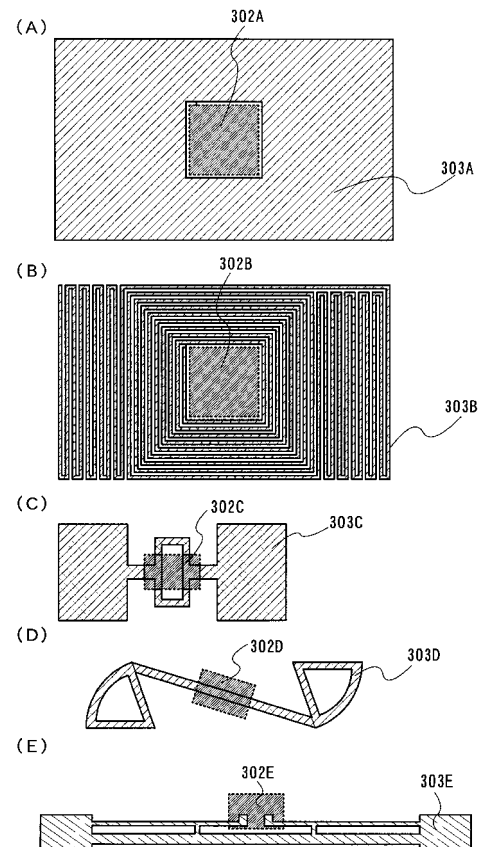
【図 3】



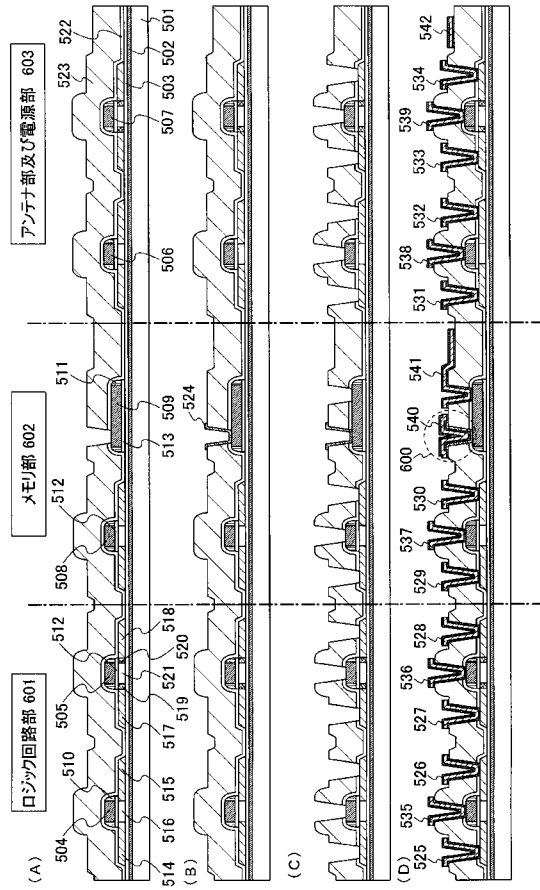
【図 4】



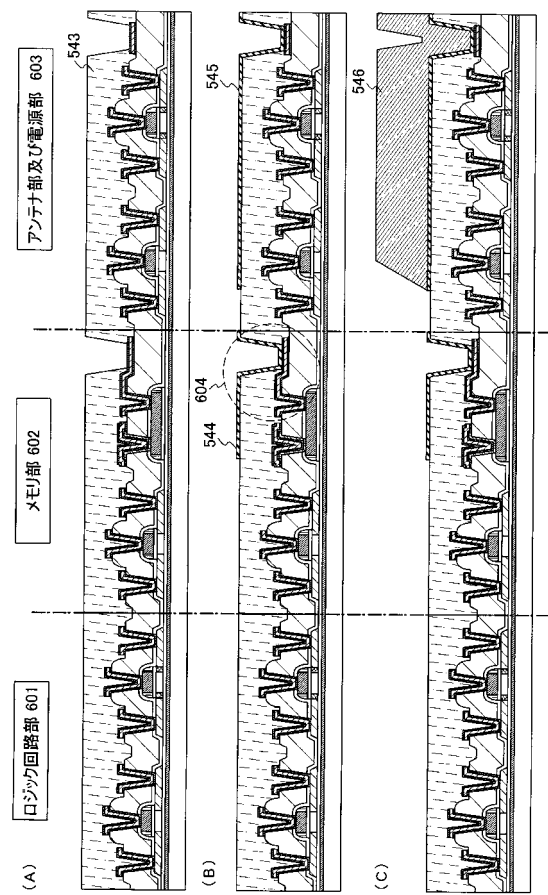
【図 7】



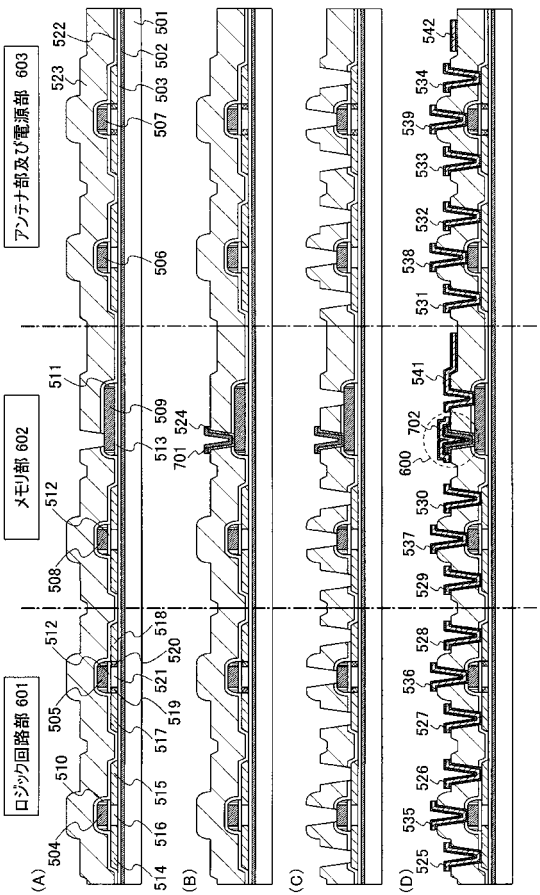
【図 8】



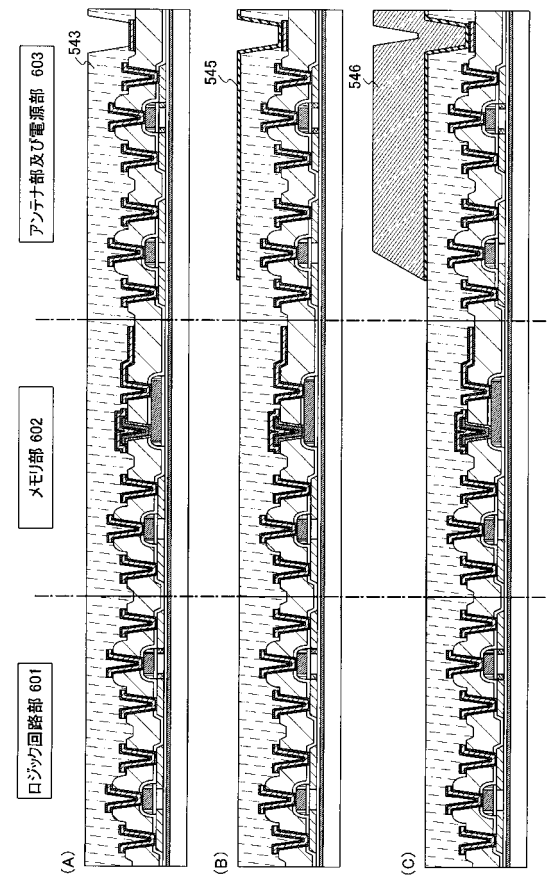
【図 9】



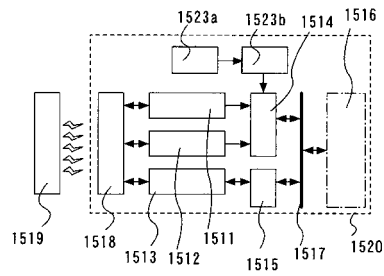
【図 10】



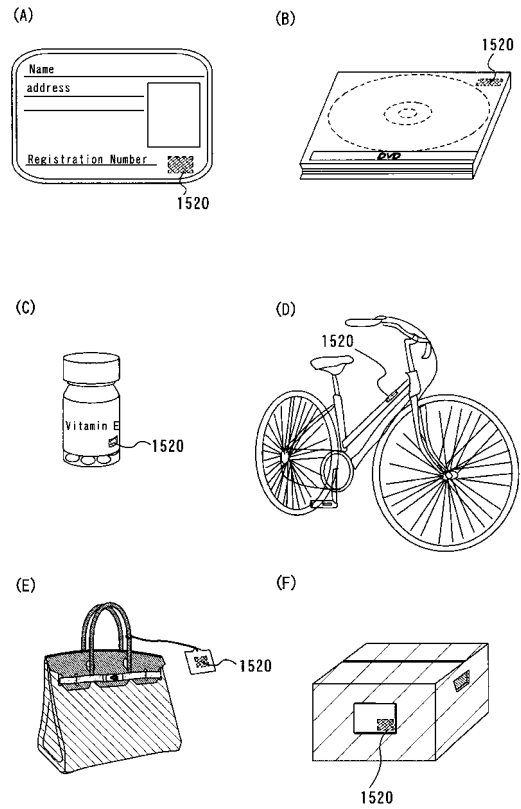
【図 11】



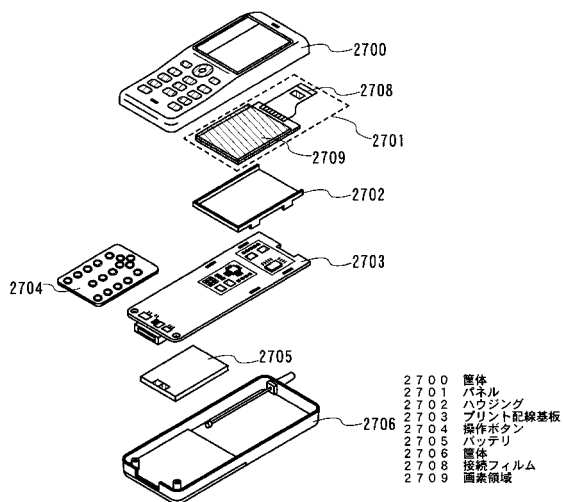
【図 12】



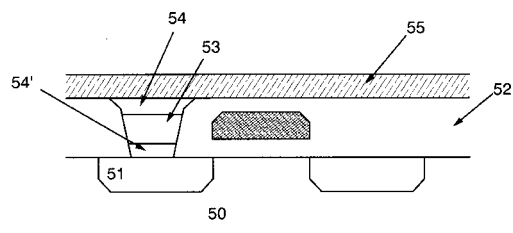
【図 13】



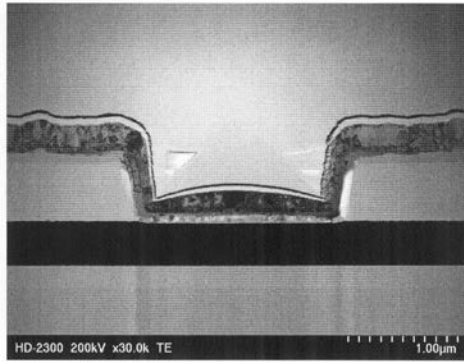
【図 14】



【図 15】

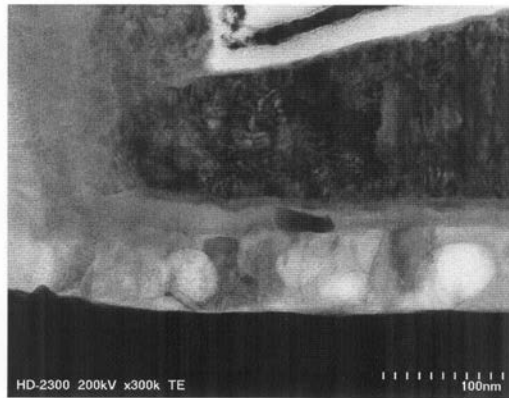


【図 5】

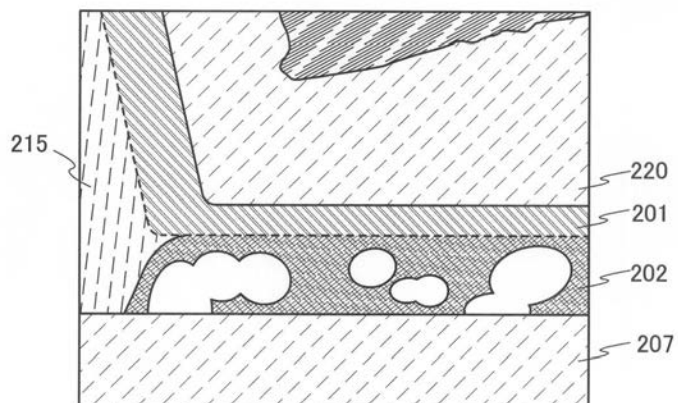


【図 6】

(A)



(B)



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>29/423</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 8 B</i>
<i>H 0 1 L</i>	<i>29/49</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/04</i> <i>U</i>
<i>H 0 1 L</i>	<i>29/417</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/04</i> <i>L</i>
<i>H 0 1 L</i>	<i>29/47</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/28</i> <i>3 0 1 R</i>
<i>H 0 1 L</i>	<i>29/872</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/58</i> <i>G</i>
<i>H 0 1 L</i>	<i>21/82</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/50</i> <i>M</i>
			<i>H 0 1 L</i>	<i>29/48</i> <i>F</i>
			<i>H 0 1 L</i>	<i>27/10</i> <i>4 6 1</i>
			<i>H 0 1 L</i>	<i>27/10</i> <i>4 8 1</i>
			<i>H 0 1 L</i>	<i>21/82</i> <i>F</i>

- (56)参考文献 特開平 0 7 - 1 7 6 7 0 3 (J P , A)
 特開平 0 7 - 2 9 7 2 9 3 (J P , A)
 特開 2 0 0 6 - 0 9 3 6 7 8 (J P , A)
 特開平 0 8 - 3 1 6 3 2 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L *2 7 / 1 0*
H 0 1 L *2 1 / 2 8*
H 0 1 L *2 1 / 8 2*
H 0 1 L *2 1 / 8 2 2*
H 0 1 L *2 7 / 0 4*
H 0 1 L *2 9 / 4 1 7*
H 0 1 L *2 9 / 4 2 3*
H 0 1 L *2 9 / 4 7*
H 0 1 L *2 9 / 4 9*
H 0 1 L *2 9 / 7 8 6*
H 0 1 L *2 9 / 8 7 2*