



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202349402 A

(43)公開日：中華民國 112 (2023) 年 12 月 16 日

(21)申請案號：112116928

(22)申請日：中華民國 112 (2023) 年 05 月 08 日

(51)Int. Cl.：

*G11C16/26 (2006.01)**G11C11/56 (2006.01)**G11C13/00 (2006.01)**G06F3/06 (2006.01)*

(30)優先權：2022/06/09

美國

17/836,634

(71)申請人：美商微軟技術授權有限責任公司 (美國) MICROSOFT TECHNOLOGY LICENSING, LLC (US)

美國

(72)發明人：柯勒 普拉莫德 KOLAR, PRAMOD (US)；斯威澤 羅伯特 A SWEITZER, ROBERT A. (US)

(74)代理人：李世章；彭國洋

申請實體審查：無 申請專利範圍項數：19 項 圖式數：7 共 72 頁

(54)名稱

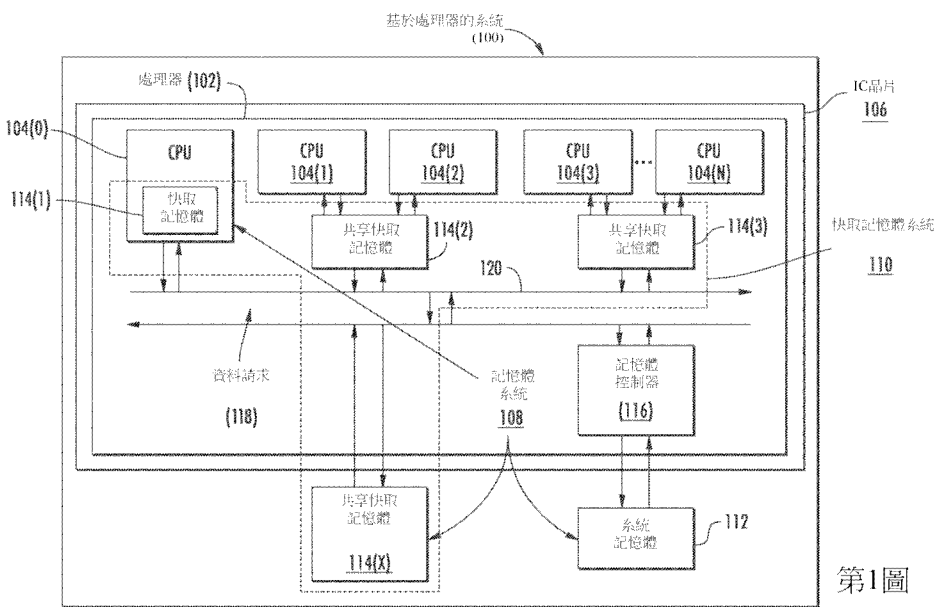
用於支援更高效能、增加的記憶體密度的施用飛行位元線以增加有效位元線長度的記憶體陣列及相關方法

(57)摘要

本發明提供了用於支援更高效能、增加的記憶體密度的施用飛行位元線以增加有效位元線長度的記憶體陣列及相關方法。為了增加記憶體密度，記憶體陣列具有第一記憶體子組及一或多個第二記憶體子組。第一記憶體子組包括用於其記憶體行電路中的每一者的第一位元線。為了避免需要延長待耦接至第二記憶體子組的第二記憶體位元格的第一位元線的長度，各記憶體子組具有其自身的專用第一和第二位元線，該專用第一和第二位元線將其各自的記憶體位元格耦接至存取電路系統。第二位元線有效地獨立於第一記憶體子組中的第一位元線「飛行」。第一記憶體子組的第一位元線不必在長度上延伸以提供第二記憶體子組的位元線。

Memory arrays employing flying bit lines to increase effective bit line length for supporting higher performance, increased memory density, and related methods. To increase memory density, the memory array has a first memory sub-bank and one or more second memory sub-banks. The first memory sub-bank includes a first bit line(s) for each of its memory column circuits. To avoid the need to extend the length of the first bit lines to be coupled to the second memory bit cells in the second memory sub-bank, each memory sub-bank has its own dedicated first and second bit lines coupling their respective memory bit cells to access circuitry. The second bit lines effectively "fly" independent of the first bit lines of the first memory sub-bank. The first bit lines of the first memory sub-bank do not have to be extended in length to provide bit lines for the second memory sub-bank.

指定代表圖：



- 符號簡單說明：
- 100:基於處理器的系統
 - 102:處理器
 - 104(0):CPU
 - 104(1):CPU
 - 104(2):CPU
 - 104(3):CPU
 - 104(N):CPU
 - 106:積體電路(IC)晶片
 - 108:記憶體系統
 - 110:快取記憶體系統
 - 112:系統記憶體
 - 114(1):快取記憶體
 - 114(2):快取記憶體
 - 114(3):快取記憶體
 - 114(X):快取記憶體
 - 116:記憶體控制器
 - 118:資料請求
 - 120:互連匯流排

【發明摘要】

【中文發明名稱】用於支援更高效能、增加的記憶體密度的施用飛行位元線以增加有效位元線長度的記憶體陣列及相關方法

【英文發明名稱】MEMORY ARRAYS EMPLOYING FLYING BIT LINES TO INCREASE EFFECTIVE BIT LINE LENGTH FOR SUPPORTING HIGHER PERFORMANCE, INCREASED MEMORY DENSITY, AND RELATED METHODS

【中文】

本發明提供了用於支援更高效能、增加的記憶體密度的施用飛行位元線以增加有效位元線長度的記憶體陣列及相關方法。為了增加記憶體密度，記憶體陣列具有第一記憶體子組及一或多個第二記憶體子組。第一記憶體子組包括用於其記憶體行電路中的每一者的第一位元線。為了避免需要延長待耦接至第二記憶體子組的第二記憶體位元格的第一位元線的長度，各記憶體子組具有其自身的專用第一和第二位元線，該專用第一和第二位元線將其各自的記憶體位元格耦接至存取電路系統。第二位元線有效地獨立於第一記憶體子組中的第一位元線「飛行」。第一記憶體子組的第一位元線不必在長度上延伸以提供第二記憶體子組的位元線。

【英文】

Memory arrays employing flying bit lines to increase effective bit line length for supporting higher performance, increased memory density, and related methods. To

increase memory density, the memory array has a first memory sub-bank and one or more second memory sub-banks. The first memory sub-bank includes a first bit line(s) for each of its memory column circuits. To avoid the need to extend the length of the first bit lines to be coupled to the second memory bit cells in the second memory sub-bank, each memory sub-bank has its own dedicated first and second bit lines coupling their respective memory bit cells to access circuitry. The second bit lines effectively "fly" independent of the first bit lines of the first memory sub-bank. The first bit lines of the first memory sub-bank do not have to be extended in length to provide bit lines for the second memory sub-bank.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

1 0 0 : 基 於 處 理 器 的 系 統

1 0 2 : 處 理 器

1 0 4 (0) : C P U

1 0 4 (1) : C P U

1 0 4 (2) : C P U

1 0 4 (3) : C P U

1 0 4 (N) : C P U

1 0 6 : 積 體 電 路 (I C) 晶 片

1 0 8 : 記 憶 體 系 統

1 1 0 : 快 取 記 憶 體 系 統

1 1 2 : 系 統 記 憶 體

1 1 4 (1) : 快 取 記 憶 體

1 1 4 (2) : 快 取 記 憶 體

1 1 4 (3) : 快 取 記 憶 體

1 1 4 (X) : 快 取 記 憶 體

1 1 6 : 記 憶 體 控 制 器

1 1 8 : 資 料 請 求

1 2 0 : 互 連 匯 流 排

【特徵化學式】

無

【發明說明書】

【中文發明名稱】用於支援更高效能、增加的記憶體密度的施用飛行位元線以增加有效位元線長度的記憶體陣列及相關方法

【英文發明名稱】MEMORY ARRAYS EMPLOYING FLYING BIT LINES TO INCREASE EFFECTIVE BIT LINE LENGTH FOR SUPPORTING HIGHER PERFORMANCE, INCREASED MEMORY DENSITY, AND RELATED METHODS

【技術領域】

【0001】 本案之技術係關於電腦記憶體系統，且更特定言之係關於用多個記憶體組實施以改良記憶體效能及功耗的記憶體陣列。

【先前技術】

【0002】 基於處理器的系統包括支援讀取及寫入操作的記憶體系統。記憶體可用於資料儲存以及用以儲存程式碼，以便儲存待執行的指令。該等基於處理器的系統習知採用快取記憶體及非快取記憶體兩者，有時被稱為「主記憶體」或「系統記憶體」。例如，基於處理器的系統上的中央處理單元(central processing unit; CPU)可存取晶片上局部、私有快取記憶體。基於處理器的系統中的多個CPU亦可存取共享快取記憶體。基於處理器的系統亦採用主記憶體或系統記憶體，該主記憶體或系統記憶體含有在基於處理器的系統的整個實體位址空間上的記憶體儲存單元(即，記憶體位元格)。該等不同類型的記憶體的每一者

採用記憶體陣列，該等記憶體陣列包括典型地以列或行組織的用於儲存資料的記憶體位元格。存取在相應行中含有記憶體位元格的記憶體列以從記憶體讀取或寫入資料字。記憶體位元格可以不同的記憶體技術提供，諸如靜態隨機存取記憶體(`random access memory; RAM`)(`SRAM`)位元格，及動態隨機存取記憶體(`dynamic RAM; DRAM`)位元格。

【0003】 能夠在基於處理器的系統中的快取記憶體中提供更大密度的記憶體陣列變得日益重要。如此使得從快取記憶體提供記憶體存取的機會更好，而不是對系統記憶體的更長潛時的存取。然而，較大快取記憶體可能將功率、效能及面積(`power, performance, and area; PPA`)降級。相較於採用相同記憶體位元格技術的較小快取記憶體，較大快取記憶體消耗更多的半導體晶粒面積。與較小快取記憶體相比，較大快取記憶體具有增加的存取潛時，因為耦接支援存取電路系統（例如，寫入驅動器電路及讀取感測電路）的行位元線在長度上延伸以到達記憶體陣列的延伸區域。因此，總記憶體存取潛時可增加對離支援存取電路系統最遠的記憶體位元格的存取時間。此外，歸因於提供較長長度的位元線以達到耦接至位元線的增加數目的記憶體位元格，較大的快取記憶體可能具有增加的快取記憶體潛時。如此增加位元線上的電容，從而增加存取潛時。製造設計規則及相關製造製程亦可限制記憶體陣列中

的位元線的總長度，從而有效地限制了記憶體陣列的密度，無論是否接受增加存取潛時的折衷。

【發明內容】

【0004】 本文揭示的示例性態樣包括用於支援更高效能，及增加的記憶體密度的施用飛行位元線以增加有效位元線長度的記憶體陣列。亦揭示了相關方法。在示例性態樣中，為了增加記憶體陣列的密度而不是提供一個記憶體子組的記憶體容量，記憶體陣列包括第一記憶體子組和一或多個第二記憶體子組。在一個實例中，第一記憶體子組比第二記憶體子組實體上更靠近支援存取電路系統。第一記憶體子組包括用於其第一記憶體行電路中的每一者的第一位元線。第一位元線將第一記憶體子組中其相應第一記憶體行電路中的第一記憶體位元格耦接至存取電路系統（例如，行多工器電路、讀取感測電路）。為了避免需要延長待耦接至第二記憶體子組的第一位元線的長度（此舉可能增加存取潛時），第二記憶體子組包括單獨的第二位元線。以此方式，每一記憶體子組具有其自身的專用第一和第二位元線，該專用第一和第二位元線將其各自的記憶體位元格耦接至存取電路系統。第二記憶體子組的第二位元線有效地獨立於第一記憶體子組中的第一位元線「飛行」，其中該等第二位元線獨立地耦接至該存取電路系統。第一記憶體子組的第一位元線不必在長度上延伸以提供第二記憶體子組的位元線。以此方式，增加的記憶體密度不必由於更高的位元線電容、更高的動態能量消耗及/或違反可能限制

記憶體密度的製造設計規則而以增加的潛時存取成本來實現。在不犧牲功耗的情況下，亦可基於潛時存取節省來增加記憶體密度。此外，在另一實例中，藉由第一記憶體子組和第二記憶體子組不共享位元線而是共享存取電路系統，對於記憶體操作不同時存取第一記憶體子組和第二記憶體子組，以避免共享存取電路系統中的衝突。然而，管理對不同記憶體子組的記憶體存取，從而受益於增加的記憶體密度，而不必擴展第一記憶體子組中的位元線長度。

【0005】 在另一實例中，期望避免第一記憶體子陣列中的第一記憶體位元格的單元電路支援用於第二位元線的單獨的金屬線路徑以朝著存取電路系統延伸穿過其中的需要。在此方面，提供與第二記憶體子組相鄰的第一記憶體子組的記憶體列電路中的第一記憶體位元格的單元電路，作為飛行位元線單元電路。飛行位元線單元電路為專用單元電路，其不僅包括第一記憶體位元格和用於第一位元線的金屬線，而且包括跨接電路。跨接電路將耦接的第二位元線從第二記憶體子組中的相鄰記憶體位元格列延伸至不同的金屬層。然後，第二位元線在該不同的金屬層中延伸，該金屬層「飛越(fly over)」第一記憶體子組至存取電路系統。以此方式，飛行位元線單元電路促進將第二記憶體子組的經耦接的第二位元線延伸至存取電路系統，而第二位元線不耦接至第一記憶體子組中的第一位元線，此舉將延伸第一位元線的長度。擴展記憶體陣列中的位元線的長度可增加對記憶體陣列的記憶體存取潛時。此外，提供飛行

位元線避免需要第一記憶體子組中的每個第一記憶體列電路支援第二金屬線穿過第一記憶體子組到達存取電路系統的單獨金屬線，如此可能違反例如設計製造規則。

【0006】 在此方面，在一個示例性態樣中，提供了一種記憶體系統。該記憶體系統包括記憶體行存取電路。該記憶體系統亦包括記憶體陣列。該記憶體陣列包括第一金屬層，以及不同於該第一金屬層的第二金屬層，該第二金屬層包含複數個飛行位元線，每個飛行位元線耦接至該記憶體行存取電路。該記憶體系統亦包括第一記憶體子組，該第一記憶體子組包含複數個第一記憶體列電路，每個第一記憶體列電路包含複數個第一記憶體位元格電路，每個第一記憶體位元格電路各自位於複數個第一記憶體行電路中的相應第一記憶體行電路內。第一記憶體子組亦包括複數個第一位元線，該複數個第一位元線安置在第一金屬層中並且各自耦接至該複數個第一記憶體行電路中的第一記憶體行電路，及記憶體行存取電路。記憶體陣行亦包括第二記憶體子組，該第二記憶體子組包含複數個第二記憶體列電路，每個第二記憶體列電路包含複數個第二記憶體位元格電路，每個第二記憶體位元格電路位於複數個第二記憶體行電路的相應第二記憶體行電路中。第二記憶體子組亦包括複數個第二位元線，該複數個第二位元線各自安置在第一金屬層中並且各自耦接至該複數個第二記憶體行電路中的第二記憶體行電路。記憶體陣行亦包括第一跨接列電路及第二金屬層中的複數個第一飛行位元線的第一飛行位

元線，該第一跨接列電路包含複數個第一跨接單元電路，每個第一跨接單元電路耦接至第一金屬層中的複數個第二記憶體行電路中的第二記憶體行電路中的複數個第二位元線的第二位元線。

【0007】 在閱讀以下結合附圖對較佳實施例的詳細描述後，熟習此項技術者將理解本案的範疇並實現其附加態樣。

【圖式簡單說明】

【0008】 併入且形成本說明書一部分的附圖圖示了本案的若干態樣，並且與描述一起用於解釋本案的原理。

【0009】 第1圖為示例性基於處理器的系統，該系統包括複數個中央處理單元(CPU)及用以讀取且寫入資料的系統記憶體，每個中央處理單元經配置以存取局部及共享快取記憶體；

【0010】 第2圖為示例性的四(4)行多工的記憶體陣列；

【0011】 第3圖為示例性CM4交錯排列中的示例性記憶體系統，該記憶體系統包括具有增加的記憶體密度的記憶體陣列，並且其中該記憶體陣列進一步包括飛行位元線，該等飛行位元線將存取電路系統耦接至該第二記憶體子組中的第二位元線以增加有效位元線長度以便支援更高效能，而不必延長第一記憶體子陣列中的第一位元線的長度；

【0012】 第4A圖為第3圖中的記憶體陣列中的下金屬層的示例性佈局的俯視圖，該圖圖示延伸至耦接存取電路系統的第一記憶體子組的第一位元線的金屬線，以及延伸至下

金屬層中的跨接區域的第二記憶體子組的第二位元線的金屬線；

【0013】 第4B圖為第3圖中的記憶體陣列中的上金屬層的示例性佈局的俯視圖，該圖圖示跨接至第4A圖中的下金屬層中的第二記憶體子組的第二位元線的飛行位元線的金屬線，其中該飛行位元線延伸至耦接的存取電路系統；

【0014】 第5圖為另一示例性佈局的俯視圖，該圖圖示跨接至下金屬層中的第二記憶體子組的第二位元線的上金屬層中的飛行位元線的金屬線；

【0015】 第6圖是八(8)行多工(CMS)排列中的另一示例性記憶體系統，其中該記憶體系統包括記憶體陣列，該記憶體陣列包括第一和第二記憶體子組以增加記憶體密度，並且其中該記憶體陣列進一步包括飛行位元線，該飛行位元線將存取電路系統耦接至該第二記憶體子組中的第二位元線以增加有效位元線長度以便支援更高效能，而不必擴展該第一記憶體子陣列中的第一位元線的長度；以及

【0016】 第7圖為可在積體電路(integrated circuit; IC)晶片中提供的示例性基於處理器的系統的方塊圖，其中該基於處理器的系統包括處理器和記憶體系統，該記憶體系統包括記憶體陣列，該記憶體陣列包括第一和第二記憶體子組以增加記憶體密度，並且其中該記憶體陣列進一步包括飛行位元線，該飛行位元線將存取電路系統耦接至該第二記憶體子組中的第二位元線以增加有效位元線長度以便支援更高效能，而不必擴展該第一記憶體子陣列中的第

一位元線的長度，包括但不限於第3圖和第6圖中的記憶體系統。

【實施方式】

【0017】 本文揭示的示例性態樣包括用於支援更高效能，及增加的記憶體密度的施用飛行位元線以增加有效位元線長度的記憶體陣列。亦揭示了相關方法。在示例性態樣中，為了增加記憶體陣列的密度而不是提供一個記憶體子組的記憶體容量，記憶體陣列包括第一記憶體子組和一或多個第二記憶體子組。在一個實例中，第一記憶體子組比第二記憶體子組實體上更靠近支援存取電路系統。第一記憶體子組包括用於其第一記憶體行電路中的每一者的第一位元線。第一位元線將第一記憶體子組中其相應第一記憶體行電路中的第一記憶體位元格耦接至存取電路系統（例如，行多工器電路、讀取感測電路）。為了避免需要延長待耦接至第二記憶體子組的第一位元線的長度（此舉可能增加存取潛時），第二記憶體子組包括單獨的第二位元線。以此方式，每一記憶體子組具有其自身的專用第一和第二位元線，該專用第一和第二位元線將其各自的記憶體位元格耦接至存取電路系統。第二記憶體子組的第二位元線有效地獨立於第一記憶體子組中的第一位元線「飛行」，其中該等第二位元線獨立地耦接至該存取電路系統。第一記憶體子組的第一位元線不必在長度上延伸以提供第二記憶體子組的位元線。以此方式，增加的記憶體密度不必由於更高的位元線電容、更高的動態能量消耗及/或違反可能限制

記憶體密度的製造設計規則而以增加的潛時存取成本來實現。在不犧牲功耗的情況下，亦可基於潛時存取節省來增加記憶體密度。此外，在另一實例中，藉由第一記憶體子組和第二記憶體子組不共享位元線而是共享存取電路系統，對於記憶體操作不同時存取第一記憶體子組和第二記憶體子組，以避免共享存取電路系統中的衝突。然而，管理對不同記憶體子組的記憶體存取，從而受益於增加的記憶體密度，而不必擴展第一記憶體子組中的位元線長度。

【0018】 在另一實例中，期望避免第一記憶體子陣列中的第一記憶體位元格的單元電路支援用於第二位元線的單獨的金屬線路徑以朝著存取電路系統延伸穿過其中的需要。在此方面，與第二記憶體子組相鄰的第一記憶體子組的記憶體列電路中的第一記憶體位元格的單元電路經提供為飛行位元線單元電路。飛行位元線單元電路為專用單元電路，其不僅包括第一記憶體位元格和用於第一位元線的金屬線，而且包括跨接電路。跨接電路將耦接的第二位元線從第二記憶體子組中的相鄰記憶體位元格列延伸至不同的金屬層。然後，第二位元線在該不同的金屬層中延伸，該金屬層「飛越」第一記憶體子組朝向至存取電路系統。以此方式，飛行位元線單元電路促進將第二記憶體子組的經耦接的第二位元線延伸至存取電路系統，而第二位元線不耦接至第一記憶體子組中的第一位元線，此舉將延伸第一位元線的長度。擴展記憶體陣列中的位元線的長度可增加對記憶體陣列的記憶體存取潛時。此外，提供飛行位元線

避免需要第一記憶體子組中的每個第一記憶體列電路支援第二金屬線穿過第一記憶體子組至存取電路系統的單獨金屬線，如此可能違反例如設計製造規則。

【0019】 在此方面，第1圖為包括處理器102及記憶體系統108的示例性基於處理器的系統100的示圖。如下文更詳細地論述，記憶體系統108可包括記憶體陣列，該記憶體陣列包括將存取電路系統耦接至第二記憶體子組中的第二位元線以增加有效位元線長度以支援更高效能的飛行位元線。在論述此類示例性記憶體陣列之前，下文首先論述示例性基於處理器的系統100及其元件。

【0020】 繼續參看第1圖，處理器102包括一或多個相應的CPU 104(0)-104(N)，其中「N」為表示處理器102中包括的CPU數目的正整數。處理器102可經封裝在積體電路(integrated circuit; IC)晶片106中。處理器102中的CPU 104(0)-104(N)經配置以向記憶體系統108發出記憶體請求（即，資料讀取請求和資料寫入請求）。記憶體系統108包括快取記憶體系統110和系統記憶體112。系統記憶體112為可由基於處理器的系統100的實體位址(physical address; PA)空間完全定址的記憶體。例如，系統記憶體112可為在單獨的動態隨機存取記憶體(dynamic random access memory; DRAM)晶片提供的DRAM。記憶體系統108中的快取記憶體系統110包括一或多個快取記憶體記憶體114(1)-114(X)，其中「X」為表示處理器102中包括的快取記憶體的數目的正整

數。快取記憶體 114(1)-114(X)可在基於處理器的系統 100 中處於不同的階層，並且在邏輯上位於 CPU 104(0)-104(N)與系統記憶體 112 之間。記憶體控制器 116 控制對系統記憶體 112 的存取。例如，作為請求裝置的 CPU 104(0)-104(N)可回應於處理載入指令而發出讀取資料的資料請求 118。資料請求 118 包括要從記憶體讀取的資料的目標位址。使用 CPU 104(0)作為實例，若所請求的資料不在可被視為一階(L1)快取記憶體的專用快取記憶體 114(1)中(即快取記憶體未命中快取記憶體 114(1))，則專用快取記憶體 114(1)在該實例中透過互連匯流排 120 將資料請求 118 發送至與所有 CPU 104(0)-104(N)共享的共享快取記憶體(X)(其可為三階(L3)快取記憶體)。資料請求 118 中所請求的資料最終要麼在快取記憶體 114(1)-114(X)中實現，要麼在系統記憶體 112 中實現(若不包含在快取記憶體 114(1)-114(X)中的任一者中)。

【0021】 第 1 圖中的記憶體系統 108 中的快取記憶體 114(1)-114(X)及/或系統記憶體 112 可使用記憶體陣列，該記憶體陣列包括通常以列和行結構組織的用於儲存資料的記憶體位元格。在相應行中含有記憶體位元格的記憶體列經存取以從記憶體讀取或寫入資料字。記憶體位元格可以不同的記憶體技術提供，諸如靜態隨機存取記憶體(RAM)(SRAM)位元格和 DRAM。作為另一實例，系統記憶體 112 可用使用多個記憶體組的多個大尺寸記憶體陣

列來實現，以提高記憶體效能及改善功耗。在記憶體系統 108 中的記憶體中提供多個記憶體組可在不同陣列之間劃分記憶體容量，每個陣列可由 CPU 104(1) - 104(N) 獨立地存取。此外，在記憶體系統 108 中提供單獨的記憶體組意謂可獨立於另一記憶體組來管理每一記憶體組的功耗。因此，例如，若軟體或資料持久存在於記憶體的一個部分中，而非另一部分中，則記憶體的該等單獨部分可經劃分為單獨的記憶體組，以便每一記憶體組可得以單獨地斷電或閒置以節省電能，而不影響可被完全供電用於記憶體存取的另一記憶體組。

【0022】 第 2 圖為示例性記憶體系統 200，其包括四(4)行多工(CM4)記憶體陣列 202，其可用於第 1 圖中的記憶體系統 108 中的任何記憶體中作為實例。第 2 圖中的記憶體陣列 202 不包括飛行位元線，並經描述為說明不使用飛行位元線的記憶體陣列。

【0023】 就此而言，如第 2 圖中所示，記憶體陣列 202 包括第一記憶體組 204(1) 和第二記憶體組 204(2)。第一記憶體子組包括複數個第一記憶體列電路 206(0) - 206(X)，該複數個第一記憶體列電路中的每一者包括複數個第一記憶體位元格電路 208(0) - 288(X)。「X+1」是記憶體列電路 206(0) - 206(X) 的數目。每一記憶體列電路 206(0) - 206(X) 包括一組相應記憶體位元格電路 208(0) - 228(X)。第一記憶體組 204(1) 中的相應記憶體列電路 206(0) - 206(X) 中的多組記憶體位元格電路

208(0)-208(X) 經組織在記憶體行電路 210(0)-210(Y) 中；因此每組記憶體位元格電路 208(0)-208(X) 包括「Y+1」記憶體位元格。第一記憶體組 204(1) 具有交錯的記憶體行電路 210(0)-210(Y)，其經配置以根據標記為 A1、B1、C1、D1... A4、B4、C4、D4 的交錯記憶體行電路來儲存交錯的資料字 A、B、C、D。在此方面，資料字 A1-A4 在與記憶體行電路 A1、A2、A3、A4 相對應的記憶體行電路 210(0)-210(Y) 之間交錯。在記憶體陣列中交錯儲存資料字可降低位元誤碼率 (bit error rate; BER)。

【0024】 當回應於記憶體讀取操作而存取第一記憶體組 204(1) 時，根據用於記憶體存取操作的經解碼記憶體位址，針對經選擇記憶體列電路 206(0)-206(X) 啟動字線 WL1。然後，向複數個行多工器電路 212(0)-212(3) 產生行選擇 CS，該複數個行多工器電路耦接至耦接到相應記憶體行電路 210(0)-220(Y) 中的記憶體位元格電路 208(0)-208(X) 中的每一者的相應位元線，表示來自經選擇記憶體列電路 206(0)-206(X) 的交錯位元。每一行多工器電路 212(0)-212(3) 將來自其耦接的記憶體行電路 210(0)-220(Y) 的耦接位元線中的一者耦接以將對應位元提供至相應的記憶體行存取電路 214(0)-244(3) (例如，感測放大器)。以此方式，行多工器電路 212(0)-212(3) 經控制為將來自經選擇記憶體列電路 206(0)-206(X) 中的交錯資料字的所選位元多工至相應

的記憶體行存取電路 214(0)-224(3)。例如，若期望在記憶體讀取操作中從經選擇的記憶體列電路 206(0)-206(X) 中選擇交錯資料字 A1-A4，則行多工器電路 212(0)-212(3) 由行選擇 CS 控制，以在相應位元線 BL1-BL4 上將位元 A1 至 A4 從所選記憶體列電路 206-208(X) 多工至相應記憶體行存取電路 214(0)-214(3)。因此，在該實例中，第一記憶體組 204(1) 經配置為 4 位元行多工 (CM4) 佈置。

【0025】 第二記憶體組 204(2) 經組織為類似於第一記憶體組 204(1)。如第 2 圖中所示，第二記憶體組 204(2) 經設計以根據標記為 E1、F1、G1、H1... E4、F4、G4、H4 的交錯記憶體行電路來儲存經交錯資料字 E、F、G 和 H。第二記憶體組 204(2) 亦經配置為 CM4 交錯排列。第二記憶體組 204(2) 的操作類似於第一記憶體組 204(1) 的操作，因此不進行描述。應注意，因為第一和第二記憶體組 204(1)、204(2) 耦接至共享記憶體行存取電路 214(0)-214(3)，所以一次僅存取第一和第二記憶體組 204(1)、204(2) 中的一個記憶體組。

【0026】 可能需要增加第 2 圖中的記憶體陣列 202 的記憶體容量，以增加記憶體儲存容量。例如，實現此舉的一種方法為增加記憶體列電路的數目。因此，使用第一記憶體組 204(1) 作為實例，可增加記憶體列電路 206(0)-206(Y) 的數目，諸如例如從 256 個記憶體列電路增加至 512 個記憶體列電路。然而，擴展記憶體列電路

206(0)-206(Y)的數目亦將擴展耦接對應記憶體行電路210(0)-210(Y)中的記憶體位元格電路208(0)-208(X)中的每一者的對應位元線(例如,BL1-BL4)的長度。延長記憶體陣列202中的記憶體組204(1)、204(2)中的位元線BL的長度可能將記憶體系統200的功率、效能和面積(power, performance, and area; PPA)降級。與具有較短位元線BL的記憶體相比,具有較長位元線BL的記憶體可能具有增加的存取潛時,因為耦接支援存取電路系統(例如,寫入驅動器電路及讀取感測電路)的位元線在長度上經延伸以到達記憶體陣列的延伸區域。因此,作為實例,總記憶體存取潛時可增加了位於離支援記憶體行存取電路214(0)-214(3)最遠的第一記憶體組204(0)中的記憶體列電路206(X)中的記憶體位元格電路208(0)-208(X)的存取時間。此外,增加記憶體組204(1)、204(4)中的位元線的長度亦可增加其各自的位元線上的電容,從而增加存取潛時。製造設計規則及相關製造製程亦可限制記憶體系統200的記憶體陣列202中的位元線的總長度,從而有效地限制了記憶體陣列202的密度,無論增加的存取潛時的折衷接受度如何。

【0027】 第3圖為示例性CM4交錯排列中的示例性記憶體系統300,其類似於第2圖中的記憶體系統200。然而,如下所述,記憶體系統300包括記憶體陣列302,該記憶體陣列302的記憶體密度相較第2圖中的記憶體組204(2)增加。在此方面,第3圖中的記憶體陣列302包括第2圖中的

記憶體陣列 202 中的第一記憶體組 204(1) 的記憶體密度的第一記憶體子組 304(1)。記憶體組是針對讀取和寫入存取由記憶體控制器控制的記憶體儲存的局部單元（例如，記憶體位元格）。記憶體組包含記憶體位元格陣列及用於定址位元格陣列以進行讀取和寫入操作的存取電路（例如，寫入驅動器、感測放大器、行多工器、充電電路及寫入輔助電路）。若一記憶體經分成幾個記憶體組，通常一次僅能存取一個記憶體組以避免資料衝突，因為多個記憶體組通常共享一些共用的支援存取電路系統。一記憶體組亦可經劃分為多個記憶體子組。記憶體子組為來自記憶體組的記憶體位元格的再分。一記憶體組中的記憶體子組與其記憶體組中另一記憶體子組共享共用存取電路系統，因此在給定時間，在一記憶體組內僅可存取一個記憶體子組。

【0028】 記憶體子組 304(1) 經耦接至行多工器電路 312(0)-312(3)，以將來自第一記憶體子組 304(1) 的資料位元多工至相應的記憶體行存取電路 314(0)-314(3)。記憶體行存取電路 314(0)-314(3) 在此實例中為感測放大器電路，其可感測從相應行多工器電路 312(0)-312(3) 多工至其上的相應位元線 $BL(1)(0) - BL(1)(Y)$ 上的信號的記憶體狀態。然而，第 3 圖中的記憶體陣列 302 亦包括第二記憶體子組 304(2)，該第二記憶體子組亦耦接至行多工器電路 312(0)-312(3)，以將來自位元線 $BL(2)(0) - BL(2)(Y)$ 的資料位元從第二記憶體子組 304(3) 多工至相應的記憶體

體行存取電路 $314(0)-314(3)$ 。記憶體行存取電路 $314(0)-314(3)$ 亦可感測從各個行多工器電路 $312(0)-312(3)$ 多工至其的各個位元線 $BL(2)(0)-BL(2)(Y)$ 上的信號的記憶體狀態。以此方式，具有共享共用行多工器電路 $312(0)-312(3)$ 和記憶體行存取電路 $314(0)-314(3)$ 的兩(2)個記憶體子組 $304(1)$ 、 $304(2)$ 的記憶體陣列 302 的記憶體密度增加。然而，期望第二記憶體子組 $304(2)$ 的添加不會增加第一記憶體子組 $304(1)$ 的位元線的長度。

【0029】 在此方面，如第3圖中所示，第一內部記憶體子組 $304(1)$ 比第二個外部記憶體子組 $304(2)$ 更靠近行多工器電路 $312(0)-312(3)$ 及記憶體行存取電路 $314(0)-314(3)$ 。內部記憶體子組 $304(1)$ 具有 $X+1$ 個記憶體列電路 $306(0)-306(X)$ ，每個記憶體列電路包括複數個記憶體位元格電路 $308(0)(0)-308(X)(Y)$ 。例如，記憶體列電路 $306(0)$ 包括 $Y+1$ 個記憶體位元格電路 $308(0)(0)-308(0)(Y)$ 。記憶體列電路 $306(X)$ 包括 Y 個記憶體位元格電路 $308(X)(0)-308(X)(Y)$ 。作為非限制性實例，記憶體位元格電路 $308(0)(0)-308(X)(Y)$ 可為靜態隨機存取記憶體 (SRAM) 位元格，其採用六(6)個電晶體 (6-T) 或更大的電晶體計數。作為另一實例，記憶體位元格電路 $308(0)(0)-308(X)(Y)$ 亦可為動態隨機存取記憶體 (DRAM) 位元格。記憶體位元格電路 $308(0)(0)-308(X)(Y)$ 經組織以使得來自每一記憶體列

電路 $306(0)-306(X)$ 的一個記憶體位元格電路 $308(0)(0)-308(X)(Y)$ 經佈置在相同的相應記憶體行電路 $310(0)-310(Y)$ 中。第2圖中僅標記了記憶體行電路 $310(0)$ 、 $310(Y)$ 。例如，可在內部記憶體子組 $304(1)$ 中提供256個記憶體行電路 $310(0)-310(255)$ 。

【0030】 繼續參看第3圖，內部記憶體子組 $304(1)$ 包括 Y 個第一位元線 $BL(1)(0)-BL(1)(Y)$ ，每個第一位元線耦接至相應記憶體列電路 $306(0)-306(X)$ 中的記憶體位元格電路 $308(0)(0)-308(X)(Y)$ 。第一位元線 $BL(1)(0)-BL(1)(Y)$ 可經預充電以將資料寫入經選擇的記憶體列電路 $306(0)-306(Y)$ 中的記憶體位元格電路 $308(0)(0)-308(X)(Y)$ ，該經選擇的記憶體列電路 $306(0)-306(Y)$ 是根據經解碼的記憶體位址 316 ，由用於該經選擇記憶體列電路 $306(0)-306(X)$ 的記憶體驅動器電路 318 啟動字線 WL 來控制。第3圖中僅圖示了一個 WL ，但應注意，為每一記憶體列電路 $306(0)-306(X)$ 提供了一單獨的 WL ，該 WL 耦接至其各自記憶體列電路 $306(0)-306(X)$ 中的每一記憶體位元格電路 $308(0)(0)-308(X)(Y)$ 。僅有用於給定記憶體列電路 $306(0)-306(X)$ 的 WL 中的一者經啟動以選擇用於記憶體存取操作的記憶體列電路 $306(0)-306(X)$ 。經選擇記憶體列電路 $306(0)-306(X)$ 中的記憶體位元格電路 $308(0)(0)-308(X)(Y)$ 亦可將資料斷言至相應的位元線 $BL(1)(0)-BL(1)(Y)$ 上，用於將經提供給行多工器電路

312(0)-312(3)和記憶體行存取電路314(0)-314(3)的記憶體讀取操作。

【0031】 如上所述，為了增加記憶體陣列302的記憶體密度，第二外部記憶體子組304(2)亦經包括在記憶體系統300中。外部記憶體子組304(2)比內部記憶體子組304(1)更遠離行多工器電路312(0)-312(3)和記憶體行存取電路314(0)-314(3)。與內部記憶體子組304(1)類似，外部記憶體子組304(2)具有 $X+1$ 個記憶體列電路326(0)-326(X)，每一記憶體列電路包括複數個記憶體位元格電路328(0)(0)-328(X)(Y)。例如，記憶體列電路326(0)包括 $Y+1$ 個記憶體位元格電路328(0)(0)-328(0)(Y)。記憶體列電路326(X)包括 Y 個記憶體位元格電路328(X)(0)-328(X)(Y)。作為非限制性實例，記憶體位元格電路328(0)(0)-328(X)(Y)可為SRAM位元格，該SRAM位元格採用六(6)個電晶體(6-T)或更大的電晶體計數。作為另一實例，記憶體位元格電路328(0)(0)-328(X)(Y)亦可為DRAM位元格。記憶體位元格電路328(0)(0)-328(X)(Y)經組織以使得來自每一記憶體列電路326(0)-326(X)的一個記憶體位元格電路328(0)(0)-328(0)(Y)經佈置在相同的相應記憶體行電路330(0)-330(Y)中。第3圖中僅標記了記憶體行電路330(0)、330(Y)。例如，可在外部記憶體子組304(2)中提供256個記憶體行電路330(0)-330(255)。

【0032】 繼續參看第3圖，外部記憶體子組304(2)亦包括Y個第二位元線 $BL(2)(0) - BL(2)(Y)$ ，該第二位元線 $BL(2)(0) - BL(2)(Y)$ 各自耦接至相應記憶體列電路326(0)-326(X)中的記憶體位元格電路328(0)(0)-328(X)(Y)。第二位元線 $BL(2)(0) - BL(2)(Y)$ 可經預充電以將資料寫入經選擇的記憶體列電路326(0)-326(Y)中的記憶體位元格電路328(0)(0)-328(X)(Y)，該經選擇的記憶體列電路326(0)-326(Y)是根據經解碼的記憶體位址316，由用於該經選擇記憶體列電路306(0)-306(X)的記憶體驅動器電路318啟動字線WL來控制。應注意，為每一記憶體列電路326(0)-326(X)提供了一單獨的WL，該WL耦接至其各自記憶體列電路326(0)-326(X)中的每一記憶體位元格電路328(0)(0)-328(X)(Y)。外部記憶體子組304(2)中的給定記憶體列電路326(0)-326(X)和內部記憶體子組304(1)中的記憶體列電路306(0)-306(X)中的WL的僅一者經啟動以選擇用於記憶體存取操作的記憶體列電路326(0)-326(X)或記憶體列電路306(0)-306(X)中的任一者。經選擇記憶體列電路326(0)-326(X)中的記憶體位元格電路328(0)(0)-328(X)(Y)亦可將資料斷言至相應的位元線 $BL(2)(0) - BL(2)(Y)$ 上，用於將經提供給行多工器電路312(0)-312(3)和記憶體行存取電路314(0)-314(3)的記憶體讀取操作。

【0033】 第一和第二記憶體子組 304(1)、304(2)經設計以根據標記為 A1、B1、C1、D1... A4、B4、C4、D4 的交錯記憶體行電路來儲存經交錯資料字 A、B、C、D。因此，記憶體陣列 302 亦經配置為 CM4 交錯排列。因此，在該實例中有四(4)個行多工器電路 312(0)-312(3)來支援 CM4 交錯排列。可存在等於或大於兩(2)個的多個行多工器電路 312(0)-312(3)以匹配交錯方案。

【0034】 當回應於記憶體讀取操作而存取內部或外部記憶體子組 304(1)、304(2)時，根據用於記憶體存取操作的經解碼記憶體位址 316，針對經選擇記憶體列電路 306(0)-306(X)、326(0)-326(X)啟動字線 WL。行選擇 CS1 經產生至行多工器電路 312(0)-312(3)，行多工器電路 312(0)-312(3)耦接至相應的第一和第二位元線 BL(1)(0)-BL(1)(Y)、BL(2)(0)-BL(2)(Y)，該第一和第二位元線 BL(1)(0)-BL(1)(Y)、BL(2)(0)-BL(2)(Y)耦接至相應記憶體行電路 310(0)-310(Y)、330(0)-330(Y)中的相應記憶體位元格電路 308(0)(0)-308(0)(Y)、328(0)(0)-328(0)(Y)，該相應記憶體行電路 310(0)-310(Y)、330(0)-330(Y)表示來自經選擇記憶體列電路 306(0)-306(X)、326(0)-326(X)的交錯位元。每一行多工器電路 312(0)-312(3)將來自其經耦接的記憶體行電路 310(0)-310(Y)、330(0)-330(Y)的經耦接第一及第二位元線 BL(1)(0)-BL(1)(Y)、

$BL(2)(0) - BL(2)(Y)$ 中的一者耦接至相應的多工輸出 $320(0) - 320(3)$ ，以將對應位元提供至相應的記憶體行存取電路 $314(0) - 314(3)$ （例如，感測放大器）。以此方式，行多工器電路 $312(0) - 312(3)$ 經控制以根據相應的記憶體行存取電路 $314(0) - 224(3)$ 將來自經選擇記憶體列電路 $306(0) - 306(X)$ 、 $326(0) - 326(X)$ 中的交錯資料字的經選擇位元多工。記憶體行存取電路 $314(0) - 314(3)$ 經配置以在相應行輸出 $322(0) - 322(3)$ 上提供資料輸出字 324 的位元以用於記憶體讀取操作。

【0035】 例如，若期望在記憶體讀取操作中從經選擇的記憶體列電路 $306(0) - 306(X)$ 中選擇交錯資料字 $A1 - A4$ ，則行多工器電路 $312(0) - 312(3)$ 由行選擇 CS 控制，以將在相應第一位元線 $BL(1)(0)$ 、 $BL(1)(3)$ 、 $BL(1)(7)$ 、 $BL(1)(11)$ 上的位元 $A1 - A4$ 從在相應多工輸出 $320(0) - 302(3)$ 上的經選擇記憶體列電路 $306(0) - 306(X)$ 多工至相應記憶體行存取電路 $314(0) - 314(3)$ 。記憶體行存取電路 $314(0) - 314(3)$ 經配置以將指示第一位元線 $BL(1)(0)$ 、 $BL(1)(3)$ 、 $BL(1)(7)$ 、 $BL(1)(11)$ 上的讀取位元的信號提供至相應行輸出 $322(0) - 322(3)$ 上作為資料輸出字 324 。

【0036】 如第3圖中所示且如上所述，第一和第二位元線 $BL(1)(0) - BL(1)(Y)$ 、 $BL(2)(0) - BL(2)(Y)$ 經提供給相應記憶體子組 $304(1)$ 、 $304(2)$ 的每一記憶體行電路 $310(0) - 310(Y)$ 、 $330(0) - 330(Y)$ 。第一位元線

$BL(1)(0) - BL(1)(Y)$ 可在長度上延伸以提供用於外部記憶體子組 304(2) 的每一記憶體行電路 330(0) - 330(Y) 的位元線。例如，用於內部記憶體子組 304(1) 的第一位元線 $BL(1)(0) - BL(1)(Y)$ 可在記憶體位元格電路 308(0)(0) - 308(X)(Y) 中或上方的第一金屬層（例如，M0 或 M2）中延伸。延長第一位元線 $BL(1)(0) - BL(1)(Y)$ 的長度將增加第一位元線 $BL(1)(0) - BL(1)(Y)$ 的電容，從而以不期望的方式降低記憶體陣列 302 的記憶體效能。

【0037】 因此，為了避免需要延長內部記憶體子組 304(1) 中的第一位元線 $BL(1)(0) - BL(1)(Y)$ 以提供用於外部記憶體子組 304(2) 的位元線，第3圖中的記憶體系統 300 中的外部記憶體子組 304(2) 的第二位元線 $BL(2)(0) - BL(2)(Y)$ 經提供為單獨的位元線。用於外部記憶體子組 304(2) 的第二位元線 $BL(2)(0) - BL(2)(Y)$ 為不同的位元線，並且耦接至與用於內部記憶體子組 304(1) 的第一位元線 $BL(1)(0) - BL(1)(Y)$ 隔開的相應行多工器電路 312(0) - 312(3)。然而，必須在外部記憶體子組 304(2) 的第二位元線 $BL(2)(0) - BL(2)(Y)$ 至行多工器電路 312(0) - 312(3) 之間提供路徑。記憶體位元格電路 308(0)(0) - 308(X)(Y) 可在設計上經改變以適應第一金屬層中的附加金屬線路由路徑中的第二位元線 $BL(2)(0) - BL(2)(Y)$ 的耦接，該第一金屬層容納用於內部記憶體子組 304(1) 並且延伸穿過內部記憶體子組

304(2) 至 $BL(1)(0) - BL(1)(Y)$ 旁邊的行多工器電路 312(0) - 312(3) 的第一位元線 $BL(1)(0) - BL(1)(Y)$ 。然而，製造限制可能會阻止或以其他方式使得不期望改變所有記憶體位元格電路 308(0)(0) - 308(X)(Y) 的單元設計以適應第一位元線 $BL(1)(0) - BL(1)(Y)$ 與第一金屬層的耦接，從而提供附加金屬線路由路徑用於第一位元線 $BL(1)(0) - BL(1)(Y)$ 旁邊的第二位元線 $BL(2)(0) - BL(2)(Y)$ 。

【0038】 在此方面，如第3圖中所示，為了避免需要延長內部記憶體子組 304(1) 中的第一位元線 $BL(1)(0) - BL(1)(Y)$ 以延伸至外部記憶體子組 304(2)，提供了跨接單元電路 332(0) - 332(Y)。在該實例中，提供了與外部記憶體子組 304(2) 相鄰的最外部記憶體位元格電路 308(X)(0) - 308(X)(Y) 作為跨接單元電路 332(0) - 332(Y)。跨接單元電路 332(0) - 332(Y) 各自耦接至用於外部記憶體子組 304(2) 的第二位元線 $BL(2)(0) - BL(2)(Y)$ 以及用於內部記憶體子組 304(1) 的第一位元線 $BL(1)(0) - BL(1)(Y)$ 。跨接單元電路 332(0) - 332(Y) 各自包括將用於外部記憶體子組 304(2) 的相應第二位元線 $BL(2)(0) - BL(2)(Y)$ 耦接至相應飛行位元線 $FBL(0) - FBL(Y)$ 的相應金屬互連 334(0) - 334(Y)。在該實例中，相應跨接單元電路 332(0) - 332(2) 的金屬互連 334(0) - 334(Y) 分別耦接至外部記憶體子組 304(2) 中的第一金屬層中的第二位元線

$BL(2)(0) - BL(2)(Y)$ 並耦接至第二金屬層 $ML2$ (例如 $M4$) 中的相應飛行位元線 $FBL(0) - FBL(Y)$ 。例如, 第二金屬層 $ML2$ 可安置在比第一金屬層 $ML1$ 更高的金屬層中, 其中安置用於內部記憶體子組 $304(1)$ 的第一位元線 $BL(1)(0) - BL(1)(Y)$ 。以此方式, 飛行位元線 $FBL(0) - FBL(Y)$ 可「飛越」第一金屬層 $ML1$, 其中用於內部記憶體子組 $304(1)$ 的第一位元線 $BL(1)(0) - BL(1)(Y)$ 係沿垂直方向安置以耦接至相應行多工器電路 $312(1) - 312(3)$ 。

【0039】 為了進一步說明在單獨的金屬層中路由用於內部記憶體子組 $304(1)$ 的第一位元線 $BL(1)(0) - BL(1)(Y)$ 及耦接至外部記憶體子組 $304(2)$ 的飛行位元線 $FBL(O) - FBL(Y)$ 的示例性細節。提供了第 4 A 圖及第 4 B 圖。第 4 A 圖為第 3 圖中的記憶體陣列 302 的一部分的第一下部金屬層 $ML1$ 的示例性佈局的俯視圖。第 4 A 圖圖示第一金屬層 $ML1$ 中的內部記憶體子組 $304(1)$ 的四(4)個第一位元線 $BL(1)(0) - BL(1)(3)$ 和外部記憶體子組 $304(2)$ 的四(4)個第二位元線 $BL(2)(0) - BL(2)(3)$ 的金屬線。第 4 B 圖是第 3 圖中的記憶體陣列 302 的一部分的第二上部金屬層 $ML2$ 的示例性佈局的俯視圖。第 4 B 圖圖示外部記憶體子組 $304(2)$ 的第二位元線 $BL(2)(0) - BL(2)(3)$ 與在第二金屬層 $ML2$ 中路由至行多工器電路 $312(1) - 312(3)$ 的飛行位元線 $BL(Y)(0) - BL(Y)$ 的金屬線的耦接。

【0040】 在此方面，如第4A圖中所示，內部記憶體子組304(1)的第一位元線BL(1)(0)-BL(1)(3)在Y軸方向上在第一金屬層ML1中的相應金屬軌道MT0-MT3中朝向行多工器電路312(0)延伸。外部記憶體子組304(2)的第二位元線BL(2)(0)-BL(2)(3)亦在第一金屬層ML1中的相應金屬軌道MT0-MT3中沿Y軸方向延伸。如第4A圖中所示，第二位元線BL(2)(0)-BL(2)(3)經耦接至作為內部記憶體子組304(1)的一部分的相應跨接單元電路332(0)-332(Y)。在該實例中，跨接單元電路332(0)-332(Y)與第二記憶體子組304(2)直接相鄰，但此舉並非必需。跨接單元電路332(0)-332(Y)具有耦接到第二位元線BL(2)(0)-BL(2)(3)的相應金屬互連334(0)-334(3)。第二位元線BL(2)(0)-BL(2)(3)不進一步朝向第一金屬層ML1中的行多工器電路312(0)延伸。相反，如第4B圖中所示，金屬互連334(0)-334(3)向上延伸至第二金屬層ML2（諸如通孔和金屬線），並且耦接至飛行位元線FBL(0)-FBL(3)。第二金屬層ML2包括在Y軸方向上延伸的金屬軌道MT0-MT5。在Y軸方向上延伸的飛行位元線FBL(0)-FBL(3)經提供為金屬線，該等金屬線安置在第一金屬層ML1中的相應金屬軌道MT0、MT1、MT4、MT5中以延伸並且經耦接至行多工器電路312(0)。

【0041】 因此，在該實例中，第二金屬層ML2中的飛行位元線FBL(0)-FBL(3)在第一金屬層ML1中的第一位元線

$BL(1)(0) - BL(1)(Y)$ 上方延伸（亦即，飛越第一位元線 $BL(1)(0) - BL(1)(Y)$ ）。飛行位元線 $FBL(0) - FBL(3)$ 在垂直 Z 軸方向上至少部分地與第一位元線 $BL(1)(0) - BL(1)(Y)$ 重疊。

【0042】 應注意，第3圖中的記憶體系統300中的飛行位元線 $FBL(0) - FBL(Y)$ 亦可以除了如第4A圖和第4B圖中所示之外的其他方式得以路由。例如，如第5圖中的記憶體系統300的示例性佈局所示，飛行位元線 $FBL(0) - FBL(Y)$ 可在第三金屬層 $ML3$ 中朝向外部記憶體子組304(2)中的外部記憶體列電路326(X)路由返回，該第三金屬層 $ML3$ 可在第一與第二金屬層 $ML1$ 、 $ML2$ 之間。飛行位元線 $FBL(0) - FBL(Y)$ 隨後可經耦接至第二金屬層 $ML2$ 中的金屬線，以待路由至行多工器電路312(0) - 312(Y)。

【0043】 第6圖是另一示例性記憶體系統600，其包括與第3圖中的記憶體系統300類似的記憶體陣列602。然而，在第6圖中的記憶體系統600中，提供了兩個額外的記憶體子組，內部記憶體子組604(1)和外部記憶體子組604(2)，以進一步增加記憶體陣列602的大小。提供了耦接至相應行多工器電路312(0) - 312(3)和記憶體行存取電路314(0) - 314(3)的內部和外部記憶體子組304(1)、304(2)，且因此不再重新描述。此外，在該實例中，如下所述，記憶體陣列602經組織為八(8)列多工(CM8)佈置，以使得為了讀出例如記憶體字A，記憶體子組304(1)、304(2)中的一者和記憶體子組604(1)、604(2)中的一者

將經存取，從而需要啟動兩(2)條字線 $WL1$ 、 $WL2$ 。此外，在該實例中，如下所述，與內部記憶體子組 $304(1)$ 類似，內部記憶體子組 $604(1)$ 包括相應跨接單元電路 $632(0)-632(Y)$ ，該等跨接單元電路 $632(0)-632(Y)$ 耦接至外部記憶體子組 $604(2)$ 的第二位元線 $BL(4)(0)-BL(4)(Y)$ 並且亦耦接至第二飛行位元線 $SFBL(0)-SFBL(Y)$ ，該第二飛行位元線 $SFBL(0)-SFBL(Y)$ 耦接至相應行多工器電路 $612(0)-612(3)$ ，該相應行多工器電路 $612(0)-612(3)$ 亦耦接至共享記憶體行存取電路 $314(0)-314(3)$ 。

【0044】 參看第6圖，內部記憶體子組 $604(1)$ 比外部記憶體子組 $604(2)$ 更靠近行多工器電路 $612(0)-612(3)$ 和記憶體行存取電路系統 $314(0)-314(3)$ 。內部記憶體子組 $604(1)$ 具有 $X+1$ 個記憶體列電路 $606(0)-606(X)$ ，每個記憶體列電路包括複數個記憶體位元格電路 $608(0)(0)-608(X)(Y)$ 。記憶體列電路 $306(X)$ 包括 Y 個記憶體位元格電路 $308(X)(0)-308(X)(Y)$ 。作為非限制性實例，記憶體位元格電路 $608(0)(0)-608(X)(Y)$ 可為靜態隨機存取記憶體 (SRAM) 位元格，其採用六(6)個電晶體 (6-T) 或更大的電晶體計數。作為另一實例，記憶體位元格電路 $608(0)(0)-608(X)(Y)$ 亦可為動態隨機存取記憶體 (DRAM) 位元格。記憶體位元格電路 $608(0)(0)-608(X)(Y)$ 經組織以使得來自每一記憶體列電路 $606(0)-606(X)$ 的一個記憶體位元格電路

608(0)(0)-608(0)(Y)經佈置在相同的相應記憶體行電路610(0)-610(Y)中。第6圖中僅標記了記憶體行電路610(0)、610(Y)。例如，可在內部記憶體子組604(1)中提供256個記憶體行電路610(0)-610(255)。

【0045】 繼續參看第6圖，內部記憶體子組604(1)包括Y個第一位元線BL(3)(0)-BL(3)(Y)，每個第一位元線耦接至相應記憶體列電路606(0)-606(X)中的記憶體位元格電路608(0)(0)-608(X)(Y)。第一位元線BL(3)(0)-BL(3)(Y)可經預充電以將資料寫入經選擇記憶體列電路606(0)-606(Y)中的記憶體位元格電路608(0)(0)-608(X)(Y)，該經選擇記憶體列電路606(0)-606(Y)是根據經解碼的記憶體位址316，由用於經選擇記憶體列電路606(0)-606(X)啟動字線WL2來控制。應注意，為每一記憶體列電路606(0)-606(X)提供了一單獨的WL，該WL耦接至其相應記憶體列電路606(0)-606(X)中的每一記憶體位元格電路608(0)(0)-608(X)(Y)。外部記憶體子組604(2)中的給定記憶體列電路606(0)-606(X)的WL中僅有一者經啟動以選擇用於記憶體存取操作的記憶體列電路606(0)-606(X)。經選擇記憶體列電路606(0)-606(X)中的記憶體位元格電路608(0)(0)-608(X)(Y)亦可將資料斷言至相應的位元線BL(3)(0)-BL(3)(Y)上，用於將被提供給行多工器電路612(0)-612(3)和記憶體行存取電路系統314(0)-314(3)的記憶體讀取操作。

【0046】 外部記憶體子組 604(2) 比內部記憶體子組 604(1) 更遠離行多工器電路 612(0) - 612(3) 和記憶體存取電路系統 314(0) - 314(3)。與內部記憶體子組 604(1) 類似，外部記憶體子組 604(2) 具有 $X+1$ 個記憶體列電路 626(0) - 626(X)，每一記憶體列電路包括複數個記憶體位元格電路 628(0)(0) - 628(X)(Y)。作為非限制性實例，記憶體位元格電路 628(0)(0) - 628(X)(Y) 可為 SRAM 位元格，該 SRAM 位元格採用六(6)個電晶體(6-T)或更大的電晶體計數。作為另一實例，記憶體位元格電路 628(0)(0) - 628(X)(Y) 亦可為 DRAM 位元格。記憶體位元格電路 628(0)(0) - 628(X)(Y) 經組織以使得來自每一記憶體列電路 626(0) - 626(X) 的一個記憶體位元格電路 628(0)(0) - 628(0)(Y) 經佈置在相同的相應記憶體行電路 630(0) - 630(Y) 中。第 2 圖中僅標記了記憶體行電路 630(0)、630(Y)。例如，可在外部記憶體子組 604(2) 中提供 256 個記憶體行電路 630(0) - 630(255)。

【0047】 繼續參看第 6 圖，外部記憶體子組 604(2) 亦包括 Y 個第二位元線 $BL(4)(0) - BL(4)(Y)$ ，該第二位元線 $BL(4)(0) - BL(4)(Y)$ 各自耦接至相應記憶體行電路 626(0) - 626(X) 中的記憶體位元格電路 628(0)(0) - 628(X)(Y)。第二位元線 $BL(4)(0) - BL(4)(Y)$ 可經預充電以將資料寫入經選擇的記憶體列電路 626(0) - 626(Y) 中的記憶體位元格電路 628(0)(0) - 628(X)(Y)，該經選擇的記憶體列電路

6 2 6 (0) - 6 2 6 (Y) 是 根 據 經 解 碼 的 記 憶 體 位 址 3 1 6 ， 由 用 於 該 經 選 擇 記 憶 體 列 電 路 3 0 6 (0) - 3 0 6 (X) 啟 動 字 線 W L 的 來 控 制 。 應 注 意 ， 為 每 一 記 憶 體 列 電 路 6 2 6 (0) - 6 2 6 (X) 提 供 了 一 單 獨 的 W L ， 該 W L 耦 接 至 其 相 應 記 憶 體 列 電 路 6 2 6 (0) - 6 2 6 (X) 中 的 每 一 記 憶 體 位 元 格 電 路 6 2 8 (0) (0) - 6 2 8 (X) (Y) 。 外 部 記 憶 體 子 組 6 0 4 (2) 中 的 給 定 記 憶 體 列 電 路 6 2 6 (0) - 6 2 6 (X) 和 內 部 記 憶 體 子 組 6 0 4 (1) 中 的 記 憶 體 列 電 路 6 0 6 (0) - 6 0 6 (X) 中 的 W L 的 僅 一 者 經 啟 動 以 選 擇 用 於 記 憶 體 存 取 操 作 的 記 憶 體 列 電 路 6 2 6 (0) - 6 2 6 (X) 或 記 憶 體 列 電 路 6 0 6 (0) - 6 0 6 (X) 中 的 任 一 者 。 經 選 擇 記 憶 體 列 電 路 6 2 6 (0) - 6 2 6 (X) 中 的 記 憶 體 位 元 格 電 路 6 2 8 (0) (0) - 6 2 8 (X) (Y) 亦 可 將 資 料 斷 言 至 相 應 的 位 元 線 B L (4) (0) - B L (4) (Y) 上 ， 用 於 將 經 提 供 給 行 多 工 器 電 路 6 1 2 (0) - 6 1 2 (3) 和 記 憶 體 行 存 取 電 路 3 1 4 (0) - 3 1 4 (3) 的 記 憶 體 讀 取 操 作 。

【0048】 記 憶 體 子 組 3 0 4 (1) 、 3 0 4 (2) 、 6 0 4 (1) 、 6 0 4 (2) 經 設 計 以 根 據 標 記 為 A 1 、 B 1 、 C 1 、 D 1 、 E 1 、 F 1 、 G 1 、 H … … A 4 、 B 4 、 C 4 、 D 4 、 E 4 、 F 4 、 G 4 、 H 4 的 交 錯 記 憶 體 行 電 路 來 儲 存 交 錯 資 料 字 A 、 B 、 C 、 D 、 E 、 F 、 G 、 H 。 因 此 ， 記 憶 體 陣 列 6 0 2 亦 經 配 置 為 C M 8 交 錯 排 列 。 因 此 ， 在 該 實 例 中 有 八 (8) 個 行 多 工 器 電 路 3 1 2 (0) - 3 1 2 (3) 、 6 1 2 (0) - 6 1 2 (3) 來 支 援 C M 8 交 錯 排 列 。 可 存 在 等 於 或 大 於 兩 (2) 個 的 多 個 行 多 工 器 電 路 3 1 2 (0) - 3 1 2 (3) 、 6 1 2 (0) - 6 1 2 (3) 以 匹 配 交 錯 方 案 。

【0049】 當回應於記憶體讀取操作而存取內部或外部記憶體子組 604(1), 604(2) 時，根據用於記憶體存取操作的經解碼記憶體位址 316，針對經選擇記憶體列電路 606(0)-606(X)、626(0)-626(X) 啟動字線 WL。行選擇 CS2 經產生至行多工器電路 612(0)-612(3)，行多工器電路 312(0)-312(3) 耦接至相應的第一和第二位元線 BL(1)(0)-BL(1)(Y)、BL(2)(0)-BL(2)(Y)，該第一和第二位元線 BL(1)(0)-BL(1)(Y)、BL(2)(0)-BL(2)(Y) 耦接至相應記憶體行電路 610(0)-610(Y)、630(0)-630(Y) 中的相應記憶體位元格電路 608(0)(0)-608(0)(Y)、628(0)(0)-628(0)(Y)，該相應記憶體行電路 310(0)-310(Y)、330(0)-330(Y) 表示來自經選擇記憶體列電路 606(0)-606(X)、626(0)-626(X) 的交錯位元。每一行多工器電路 612(0)-612(3) 將來自其經耦接的記憶體行電路 610(0)-610(Y)、630(0)-630(Y) 的經耦接第一及第二位元線 BL(1)(0)-BL(1)(Y)、BL(2)(0)-BL(2)(Y) 中的一者耦接至相應的多工輸出 620(0)-620(3)，以將對應位元提供至相應的記憶體行存取電路 314(0)-314(3) (例如，感測放大器)。以此方式，行多工器電路 612(0)-612(3) 經控制以根據相應的記憶體行存取電路 314(0)-224(3) 將來自經選擇記憶體列電路 606(0)-606(X)、626(0)-626(X) 中的交錯資料字的經選擇位元多工。記憶體行存取電路 314(0)-314(3) 經配

置以在相應行輸出 322(0)-322(3) 上提供資料輸出字 324 的位元以用於記憶體讀取操作（見第 3 圖）。

【0050】 例如，若期望在記憶體讀取操作中從記憶體陣列 602 選擇交錯資料字 A1-A4，則執行兩個記憶體讀取操作。首先，第一字線 WL1 在第一操作中經啟動以選擇期望的記憶體列電路 306(0)-306(X)、326(0)-326(X)。行多工器電路 312(0)、312(2) 由列選擇 CS1 控制，以根據相應多工輸出 320(0)、320(2) 上的啟動字線 WL1 將來自經選擇記憶體列電路 306(0)-306(X) 的相應第一位元線 BL(1)(0)、BL(1)(7) 上的位元 A1、A3 多工至相應記憶體行存取電路 314(0)、314(2)。記憶體行存取電路 314(0)、314(2) 經配置以將指示用於 A1、A3 的第一位元線 BL(1)(0)、BL(1)(2) 上的讀取位元的信號提供至相應行輸出 322(0)、322(2) 上，作為資料輸出字 324 的一部分。然後，在第二存取操作中，第二字線 WL2 經啟動以選擇期望的記憶體列電路 606(0)-606(X)、626(0)-626(X)。行多工器電路 612(1)、612(3) 由行選擇 CS2 控制，以根據相應多工輸出 620(1)、620(3) 上的啟動字線 WL2 將來自經選擇記憶體列電路 606(0)-606(X) 的相應第一位元線 BL(3)(1)、BL(3)(3) 上的位元 A2、A4 多工至相應記憶體行存取電路 314(1)、314(3)。記憶體行存取電路 314(1)、314(3) 經配置以將指示用於 A1、A3 的第一位元線 BL(3)(4)、

$BL(3)(11)$ 上的讀取位元的信號提供至相應行輸出 $622(0)$ 、 $622(2)$ 上作為資料輸出字 324 。

【0051】 應注意，在記憶體讀取存取中，相應字線 $WL1$ 和 $WL2$ 的啟動將導致經選擇記憶體列電路中的所有記憶體位元格電路得以啟動，並且來自其相應位元線的資料經耦接至相應行多工器電路 $312(0)-312(3)$ 、 $612(0)-612(3)$ 。因此，每次僅啟動字線 $WL1$ 、 $WL2$ 之間的一條字線，以便可共享記憶體行存取電路 $314(1)$ 、 $314(3)$ 。儘管啟動兩條單獨的字線 $WL1$ 、 $WL2$ 以進行對記憶體陣列 602 的記憶體讀取操作將啟動兩倍於僅啟動一條字線以進行記憶體操作（如第3圖中的記憶體系統 300 ）的記憶體位元格電路，但在本實例中，第6圖中的記憶體陣列 602 中的記憶體密度為第3圖中記憶體陣列 302 的記憶體密度的兩倍。因此，第6圖中的記憶體陣列 602 中歸一化為每密度基礎的功耗仍然與第3圖中的記憶體陣列 302 大致相同。

【0052】 繼續參看第6圖，第一和第二位元線 $BL(3)(0)-BL(3)(Y)$ 、 $BL(4)(0)-BL(4)(Y)$ 經提供給相應記憶體子組 $604(1)$ 、 $604(2)$ 的每一記憶體行電路 $610(0)-610(Y)$ 、 $630(0)-630(Y)$ 。第一位元線 $BL(3)(0)-BL(3)(Y)$ 可在長度上延伸以提供用於外部記憶體子組 $604(2)$ 的每一記憶體行電路 $630(0)-630(Y)$ 的位元線。例如，用於內部記憶體子組 $604(1)$ 的第一位元線 $BL(1)(0)-BL(1)(Y)$ 可在記憶體位元格電路

608(0)(0)-608(X)(Y)中或上方的第一金屬層（例如，M0或M2）中延伸。延長第一位元線BL(3)(0)-BL(3)(Y)的長度將增加第一位元線BL(3)(0)-BL(3)(Y)的電容，從而以不期望的方式降低記憶體陣列602的記憶體效能。

【0053】 因此，為了避免需要延長內部記憶體子組604(1)中的第一位元線BL(3)(0)-BL(3)(Y)以提供用於外部記憶體子組604(2)的位元線，第6圖中的記憶體系統600中的外部記憶體子組604(2)的第二位元線BL(4)(0)-BL(4)(Y)經提供為單獨的位元線。用於外部記憶體子組604(2)的第二位元線BL(4)(0)-BL(4)(Y)為不同的位元線，並且耦接至與用於內部記憶體子組604(1)的第一位元線BL(3)(0)-BL(3)(Y)隔開的相應行多工器電路612(0)-612(3)。然而，必須在外部記憶體子組604(2)的第二位元線BL(4)(0)-BL(4)(Y)至行多工器電路612(0)-612(3)之間提供路徑。記憶體位元格電路608(0)(0)-608(X)(Y)可在設計上經改變以適應第一金屬層中的附加金屬線路由路徑中的第二位元線BL(4)(0)-BL(4)(Y)的耦接，該第一金屬層容納用於內部記憶體子組604(1)並且延伸穿過內部記憶體子組604(2)至BL(3)(0)-BL(3)(Y)旁邊的行多工器電路612(0)-612(3)的第一位元線BL(3)(0)-BL(3)(Y)。然而，製造限制可能會阻止或以其他方式使得不期望改變所有記憶體位元格電路608(0)(0)-608(X)(Y)的單元設計以適應第一位元線BL(3)(0)-BL(3)(Y)與第一金屬層的

耦接，從而提供附加金屬線路由路徑用於第一位元線 $BL(3)(0) - BL(3)(Y)$ 旁邊的第二位元線 $BL(4)(0) - BL(4)(Y)$ 。

【0054】 在此方面，如第6圖中所示，為了避免需要延長內部記憶體子組 604(1) 中的第一位元線 $BL(3)(0) - BL(3)(Y)$ 以延伸至外部記憶體子組 604(2)，提供了跨接單元電路 632(0) - 632(Y)，其可類似於第3圖中的記憶體陣列 302 中的跨接單元電路 332(0) - 332(Y)。在該實例中，提供了與外部記憶體子組 604(2) 相鄰的最外部記憶體位元格電路 608(X)(0) - 608(X)(Y) 作為跨接單元電路 632(0) - 632(Y)。跨接單元電路 632(0) - 632(Y) 各自耦接至用於外部記憶體子組 604(2) 的第二位元線 $BL(4)(0) - BL(4)(Y)$ 以及用於內部記憶體子組 604(1) 的第一位元線 $BL(3)(0) - BL(3)(Y)$ 。跨接單元電路 632(0) - 632(Y) 各自包括將用於外部記憶體子組 604(2) 的相應第二位元線 $BL(4)(0) - BL(4)(Y)$ 耦接至相應第二飛行位元線 $SFBL(0) - SFBL(Y)$ 的相應金屬互連 634(0) - 634(Y)。在該實例中，相應跨接單元電路 632(0) - 632(2) 的金屬互連 634(0) - 634(Y) 分別耦接至外部記憶體子組 604(2) 中的第一金屬層中的第二位元線 $BL(4)(0) - BL(4)(Y)$ 並耦接至第二金屬層 $ML2$ （例如 $ML4$ ）中的相應飛行位元線 $FBL(0) - FBL(Y)$ 。例如，第二金屬層 $ML2$ 可安置在比第一金屬層 $ML1$ 更高的金屬層

中，其中安置用於內部記憶體子組 304(1) 的第一位元線 $BL(3)(0) - BL(3)(Y)$ 。以此方式，第二飛行位元線 $SFBL(0) - SFBL(Y)$ 可「飛越」第一金屬層 $ML1$ ，其中用於內部記憶體子組 604(1) 的第一位元線 $BL(3)(0) - BL(3)(Y)$ 沿垂直方向安置，以耦接至相應行多工器電路 612(1) - 612(3)。

【0055】 第 4 A 圖至第 5 圖中的金屬層佈局實例亦可應用於第 6 圖中的記憶體陣列 602 中的內部和外部記憶體子組 604(1)、604(2) 中的第一位元線 $BL(3)(0) - BL(3)(Y)$ 、第二位元線 $BL(4)(0) - BL(4)(Y)$ 和第二飛行位元線 $SFBL(0) - SFBL(Y)$ 。

【0056】 應注意，本文所述的記憶體陣列包括第 3 圖及第 6 圖中的記憶體陣列 302 及 602，該記憶體陣列 302 及 602 包括第一和第二記憶體子組以增加記憶體密度，並且其中該記憶體陣列進一步包括飛行位元線，該飛行位元線將存取電路系統耦接至該第二記憶體子組中的第二位元線以增加有效位元線長度以便支援更高效能，而不必擴展該第一記憶體子陣列中的第一位元線的長度，以及可經提供為其他行多工排列，包括但不限於 $CM16$ 、 $CM32 \dots$ 等。

【0057】 第 7 圖為包括處理器 702 的示例性基於處理器的系統 700 的方塊圖，該處理器經配置以執行用於執行的電腦指令。基於處理器的系統亦包括記憶體系統 704，該記憶體系統包括一或多個記憶體陣列，該記憶體陣列包括第

一和第二記憶體子組以增加記憶體密度，並且其中該記憶體陣列進一步包括飛行位元線，該飛行位元線將存取電路系統耦接至該第二記憶體子組中的第二位元線以增加有效位元線長度以便支援更高效能，而不必擴展該第一記憶體子陣列中的第一位元線的長度。在此實例中的記憶體系統704包括指令快取記憶體706、資料快取記憶體708及系統記憶體710。作為非限制性實例，第7圖中的記憶體系統704中的任何記憶體皆可包括第3圖和第6圖中的記憶體陣列302、602。

【0058】 繼續參看第7圖，基於處理器的系統400可為包括在電子板卡中的一或多個電路，諸如印刷電路板(*printed circuit board*; *PCB*)、伺服器、個人電腦、桌上型電腦、膝上型電腦、個人數位助理(*personal digital assistant*; *PDA*)、計算板、行動設備或任何其他設備；並且基於處理器的設備400可表示例如伺服器或使用者的電腦。處理器702表示一或多個通用處理電路，諸如微處理器、中央處理單元等等。處理器702包括經配置以執行電腦指令中的處理邏輯的處理電路709，用於進行本文論述的操作及步驟。處理器702亦包括用於指令的臨時快速存取記憶體儲存的指令快取記憶體706。從記憶體（諸如透過系統匯流排712從系統記憶體710）提取或預取的指令經儲存於指令快取記憶體706中。處理器702亦包括資料快取記憶體708，用於透過系統匯流排712臨時快速存取記憶體儲存來自系統記憶體710的資料。

【0059】 處理器 702 及系統記憶體 710 經耦接至系統匯流排 712，並且可內耦接包括在基於處理器的系統 700 中的周邊設備。眾所周知，處理器 702 藉由透過系統匯流排 712 交換位址、控制及資料資訊來與該等其他設備通信。例如，處理器 702 可將匯流排交易請求傳送至作為從設備的實例的系統記憶體 710 中的記憶體控制器 714。儘管第 7 圖中未示出，但可提供多個系統匯流排 712，其中每一系統匯流排構成不同的結構。在該實例中，記憶體控制器 714 經配置以向系統記憶體 710 中的記憶體陣列 716 提供記憶體存取請求。記憶體陣列 716 包括用於儲存資料的儲存位元格陣列。作為非限制性實例，系統記憶體 710 可為唯讀記憶體 (read-only memory; ROM)、快閃記憶體、動態隨機存取記憶體 (DRAM)，諸如同步 DRAM (SDRAM) 等，以及靜態記憶體（例如，快閃記憶體、靜態隨機存取記憶體 (SRAM) 等）。

【0060】 其他設備可經連接至系統匯流排 712。如第 7 圖中所示，作為實例，該等設備可包括系統記憶體 710、一或多個輸入設備 718、一或多個輸出設備 720、數據機 722 及一或多個顯示控制器 724。輸入設備 718 可包括任何類型的輸入設備，包括但不限於輸入鍵、開關、語音處理器等。輸出設備 720 可包括任何類型的輸出設備，包括但不限於音訊、視訊、其他視覺指示器等。數據機 722 可為經配置以允許與網路 726 交換資料的任何設備。網路 726 可為任何類型的網路，包括但不限於有線或無線網路、專用或公用

網路、區域網路(local area network; LAN)、無線區域網路(wireless local area network; WLAN)、廣域網路(wide area network; WAN)、BLUETOOTH™網路及網際網路。數據機722可經配置以支援所需任何類型的通訊協定。處理器702亦可經配置以透過系統匯流排712存取顯示控制器724以控制發送至一或多個顯示器728的資訊。顯示器728可包括任何類型的顯示器，包括但不限於陰極射線管(cathode ray tube; CRT)、液晶顯示器(liquid crystal display; LCD)、電漿顯示器等。

【0061】 第7圖中的基於處理器的系統700可包括一組指令730，當該組指令由處理器（如處理器702）執行時，在記憶體組內局部產生GBL時鐘信號和局部WL時鐘信號，該記憶體組控制記憶體組中的經選擇記憶體列電路中的相應GBL控制路徑和WL路徑的時序。作為非暫時性電腦可讀媒體732的實例，指令730可儲存在系統記憶體710、處理器702及/或指令快取記憶體706中。指令730亦可在其執行期間完全或至少部分地駐存在系統記憶體710內及/或處理器702內。指令730可進一步經由數據機722在網路726上發送或接收，以使得網路726包括非暫時性電腦可讀媒體732，或作為其他實例的輸入設備718。

【0062】 雖然非暫時性電腦可讀媒體732在示例性實施例中經圖示為單個媒體，但術語「電腦可讀媒體」應視為包括儲存一或多組指令的單個媒體或多個媒體（例如，集中式或分佈式資料庫，及/或相關聯的快取記憶體及伺服器

器)。術語「電腦可讀取媒體」亦應理解為包括能夠儲存、編碼或攜帶一組指令的任何媒體，該組指令供處理設備執行並且使得處理設備進行本文揭示的實施例的方法的任何一或多者。術語「電腦可讀取媒體」應相應地視為包括但不限於，固態記憶體、光學媒體及磁性媒體。

【0063】 本文揭示的實施例包括各種步驟。本文所揭示的實施例的步驟可由硬體元件形成，或者可實施在機器可執行指令中，該等機器可執行指令可用以使程式化有指令的通用或專用處理器執行該等步驟。或者，該等步驟可藉由硬體及軟體的組合來執行。

【0064】 本文揭示的實施例可作為電腦程式產品或軟體提供，其可包括其上儲存有指令的機器可讀取媒體（或電腦可讀取媒體），該等指令可用於對電腦系統（或其他電子設備）進行程式化以執行根據本文揭示的實施例的程序。機器可讀取媒體包括用於以機器（例如，電腦）可讀取的形式儲存或傳輸資訊的任何機制。例如，機器可讀取媒體包括：機器可讀取儲存媒體（例如，ROM、隨機存取記憶體（RAM）、磁碟儲存媒體、光學儲存媒體、快閃記憶體設備等），及類似者。

【0065】 除非特定地另有說明並且從上述討論中顯而易見，否則應理解，在整個描述中，使用諸如「處理」、「計算」、「確定」、「顯示」等術語的論述代表電腦系統或類似的電子計算設備的動作或製程，該電腦系統或類似的電子計算設備操作且轉換在電腦系統的暫存器中的表示為

物理（電子）量的資料及記憶體，並將其轉換為在電腦系統記憶體的暫存器或其他此類資訊儲存、傳輸或顯示設備中類似地表示為實體量的其他資料。

【0066】 在本文提供的演算法及顯示器與任何特定電腦或其他裝置沒有固有的相關性。各種系統可與根據本文的教示的程式一起使用，或者構造更專門的裝置來執行所需方法步驟可證明是方便的。用於各種該等系統的所需結構將出現在以上描述中。此外，本文描述的實施例沒有參照任何特定的程式設計語言進行描述。應當理解，可使用多種程式設計語言來實施如本文所描述的實施例的教示。

【0067】 熟習此項技術者將進一步理解，結合本文揭示的實施例描述的各種說明性邏輯區塊、模組、電路及演算法可實現為電子硬體、儲存在記憶體或另一電腦可讀取媒體中並由處理器或其他處理設備執行的指令，或該兩者的組合。作為實例，本文描述的分佈式天線系統的元件可用於任何電路、硬體元件、積體電路（IC）或IC晶片中。本文揭示的記憶體可為任何類型和大小的記憶體，並且可經配置以儲存所需的任何類型的資訊。為了清楚地說明此可互換性，各種說明性元件、方塊、模組、電路及步驟已在上文中通常根據其功能性進行了描述。如何實現此功能性取決於特定應用、設計選擇及/或施加在整體系統上的設計約束。熟習此項技術者可針對每個特定應用以不同的方式實施所描述的功能，但是此類實施決策不應被解釋為導致偏離本實施例的範疇。

【0068】 結合本文揭示的實施例描述的各種說明性邏輯區塊、模組及電路可用處理器、數位信號處理器(Digital Signal Processor; DSP)、特殊應用積體電路(Application Specific Integrated Circuit; ASIC)、現場可程式化閘陣列(Field Programmable Gate Array; FPGA)或其他可程式化邏輯設備、離散閘門或電晶體邏輯、離散的硬體元件或經設計用於執行本文所述功能的上述各者的任何組合來實施或執行。此外，控制器可為處理器。處理器可為微處理器，但在替代方案中，處理器可為任何傳統處理器、控制器、微控制器或狀態機。處理器亦可實施為計算設備的組合(例如，DSP和微處理器的組合、複數個微處理器、一或多個微處理器與DSP核心的結合，或任何其他此類配置)。

【0069】 本文揭示的實施例可實施在硬體及儲存在硬體中的指令中，並且可駐存在例如RAM、快閃記憶體、ROM、電可程式化ROM(Electrically Programmable ROM; EPROM)、電可抹除可程式化ROM(Electrically Erasable Programmable ROM; EEPROM)、暫存器、硬碟、可移除磁碟、緊密光碟-唯讀記憶體(CD-ROM)或本領域已知的任何其他形式的電腦可讀取媒體中。示例性儲存媒體經耦接至處理器，以使得處理器可從儲存媒體讀取資訊並且將資訊寫入儲存媒體。或者，儲存媒體可整合至處理器。處理器及儲存媒體可駐存於特殊應用積體電路(ASIC)中。ASIC可駐存於遠端站

中。或者，處理器和儲存媒體可作為離散元件駐存在遠端站、基地台或伺服器中。

【0070】 亦應注意，本文中任何示例性實施例中描述的操作步驟經描述以提供實例和論述。所述的操作可以除了所示順序之外的許多不同順序來執行。此外，在單個操作步驟中描述的操作實際上可在多個不同步驟中執行。另外，可組合示例性實施例中論述的一或多個操作步驟。本領域技藝人士亦將理解，可使用多種技術和技藝中的任一者來表示資訊及信號。例如，在整個上文描述中可作為參考的資料、指令、命令、資訊、信號、位元、符號及碼片可由電壓、電流、電磁波、磁場或粒子、光場或粒子，或上述各者任意組合來表示。

【0071】 除非另有明確說明，否則本文所闡述的任何方法均不意欲解釋為要求其步驟以特定順序執行。因此，若方法請求項實際上並未敘述其步驟所遵循的順序，或者在申請專利範圍或描述中沒有另外特定說明該等步驟將被限制為特定順序，則絕不意欲推斷任何特定的順序。

【0072】 將對熟習此項技術者顯而易見的是，在不脫離本發明的精神或範疇的情況下，可進行各種修改及變化。由於本領域技藝人士可以想到結合本發明的精神和實質的所揭示實施例的修改、組合、子組合和變化，因此本發明應被解釋為包括在所附申請專利範圍及其等效物的範圍內的所有內容。

【符號說明】

【0073】

1 0 0 : 基 於 處 理 器 的 系 統

1 0 2 : 處 理 器

1 0 4 (0) : C P U

1 0 4 (1) : C P U

1 0 4 (2) : C P U

1 0 4 (3) : C P U

1 0 4 (N) : C P U

1 0 6 : 積 體 電 路 (I C) 晶 片

1 0 8 : 記 憶 體 系 統

1 1 0 : 快 取 記 憶 體 系 統

1 1 2 : 系 統 記 憶 體

1 1 4 (1) : 快 取 記 憶 體

1 1 4 (2) : 快 取 記 憶 體

1 1 4 (3) : 快 取 記 憶 體

1 1 4 (X) : 快 取 記 憶 體

1 1 6 : 記 憶 體 控 制 器

1 1 8 : 資 料 請 求

1 2 0 : 互 連 匯 流 排

2 0 2 : 四 (4) 行 多 工 (C M 4) 記 憶 體 陣 列

2 0 4 (1) : 第 一 記 憶 體 組

2 0 4 (2) : 第 二 記 憶 體 組

2 0 6 (0) : 記 憶 體 列 電 路

2 0 6 (1) : 記 憶 體 列 電 路
 2 0 6 (2) : 記 憶 體 列 電 路
 2 0 6 (3) : 記 憶 體 列 電 路
 2 0 6 (4) : 記 憶 體 列 電 路
 2 0 6 (5) : 記 憶 體 列 電 路
 2 0 6 (6) : 記 憶 體 列 電 路
 2 0 6 (X) : 記 憶 體 列 電 路
 2 0 8 (0) : 記 憶 體 位 元 格 電 路
 2 0 8 (X) : 記 憶 體 位 元 格 電 路
 2 1 0 (0) : 記 憶 體 行 電 路
 2 1 0 (1) : 記 憶 體 行 電 路
 2 1 0 (2) : 記 憶 體 行 電 路
 2 1 0 (3) : 記 憶 體 行 電 路
 2 1 0 (Y) : 記 憶 體 行 電 路
 2 1 2 (0) : 行 多 工 器 電 路
 2 1 2 (1) : 行 多 工 器 電 路
 2 1 2 (2) : 行 多 工 器 電 路
 2 1 2 (3) : 行 多 工 器 電 路
 2 1 4 (0) : 記 憶 體 行 存 取 電 路
 2 1 4 (1) : 記 憶 體 行 存 取 電 路
 2 1 4 (2) : 記 憶 體 行 存 取 電 路
 2 1 4 (3) : 記 憶 體 行 存 取 電 路
 3 0 0 : 記 憶 體 系 統
 3 0 2 : 記 憶 體 陣 列

- 3 0 4 (1) : 第 一 記 憶 體 子 組
- 3 0 4 (2) : 第 二 記 憶 體 子 組
- 3 0 6 (0) : 記 憶 體 列 電 路
- 3 0 6 (X) : 記 憶 體 列 電 路
- 3 0 8 (0) (0) : 記 憶 體 位 元 格 電 路
- 3 0 8 (0) (Y) : 記 憶 體 位 元 格 電 路
- 3 0 8 (X) (Y) : 記 憶 體 位 元 格 電 路
- 3 1 0 (0) : 記 憶 體 行 電 路
- 3 1 0 (Y) : 記 憶 體 行 電 路
- 3 1 2 (0) : 行 多 工 器 電 路
- 3 1 2 (1) : 行 多 工 器 電 路
- 3 1 2 (2) : 行 多 工 器 電 路
- 3 1 2 (3) : 行 多 工 器 電 路
- 3 1 4 (0) : 記 憶 體 行 存 取 電 路
- 3 1 4 (1) : 記 憶 體 行 存 取 電 路
- 3 1 4 (2) : 記 憶 體 行 存 取 電 路
- 3 1 4 (3) : 記 憶 體 行 存 取 電 路
- 3 1 6 : 經 解 碼 記 憶 體 位 址
- 3 1 8 : 記 憶 體 驅 動 器 電 路
- 3 2 0 (0) : 多 工 輸 出
- 3 2 0 (1) : 多 工 輸 出
- 3 2 0 (2) : 多 工 輸 出
- 3 2 0 (3) : 多 工 輸 出
- 3 2 2 (0) : 行 輸 出

3 2 2 (1) : 行 輸 出

3 2 2 (2) : 行 輸 出

3 2 2 (3) : 行 輸 出

3 2 4 : 資 料 輸 出 字

3 2 6 (0) : 記 憶 體 列 電 路

3 2 6 (X) : 記 憶 體 列 電 路

3 2 8 (0) (0) : 記 憶 體 位 元 格 電 路

3 2 8 (0) (Y) : 記 憶 體 位 元 格 電 路

3 2 8 (X) (0) : 記 憶 體 位 元 格 電

3 2 8 (X) (Y) : 記 憶 體 位 元 格 電

3 3 0 (0) : 記 憶 體 行 電 路

3 3 0 (Y) : 記 憶 體 行 電 路

3 3 2 (0) : 跨 接 單 元 電 路

3 3 2 (1) : 跨 接 單 元 電 路

3 3 2 (2) : 跨 接 單 元 電 路

3 3 2 (3) : 跨 接 單 元 電 路

3 3 2 (Y) : 跨 接 單 元 電 路

3 3 4 (1) : 金 屬 互 連

3 3 4 (2) : 金 屬 互 連

3 3 4 (3) : 金 屬 互 連

3 3 4 (Y) : 金 屬 互 連

6 0 0 : 記 憶 體 系 統

6 0 2 : 記 憶 體 陣 列

6 0 4 (1) : 記 憶 體 子 組

6 0 4 (2) : 記 憶 體 子 組

6 0 6 (0) : 記 憶 體 列 電 路

6 0 6 (X) : 記 憶 體 列 電 路

6 0 8 (0) (Y) : 記 憶 體 位 元 格 電 路

6 0 8 (X) (Y) : 記 憶 體 位 元 格 電 路

6 1 0 (0) : 記 憶 體 行 電 路

6 1 0 (Y) : 記 憶 體 行 電 路

6 2 0 (0) : 多 工 輸 出

6 2 0 (1) : 多 工 輸 出

6 2 0 (2) : 多 工 輸 出

6 2 0 (3) : 多 工 輸 出

6 2 8 (0) (0) : 記 憶 體 位 元 格 電 路

6 2 8 (0) (Y) : 記 憶 體 位 元 格 電 路

6 2 8 (X) (0) : 記 憶 體 位 元 格 電 路

6 2 8 (X) (Y) : 記 憶 體 位 元 格 電 路

6 3 0 (0) : 記 憶 體 行 電 路

6 3 0 (Y) : 記 憶 體 行 電 路

6 3 2 (0) : 跨 接 單 元 電 路

6 3 2 (Y) : 跨 接 單 元 電 路

6 3 4 (0) : 相 應 金 屬 互 連

6 3 4 (Y) : 相 應 金 屬 互 連

7 0 0 : 基 於 處 理 器 的 系 統

7 0 2 : 處 理 器

7 0 4 : 記 憶 體 系 統

7 0 6 : 指 令 快 取 記 憶 體

7 0 8 : 資 料 快 取 記 憶 體

7 0 9 : 處 理 電 路

7 1 0 : 系 統 記 憶 體

7 1 2 : 系 統 匯 流 排

7 1 4 : 記 憶 體 控 制 器

7 1 6 : 記 憶 體 陣 列

7 1 8 : 輸 入 設 備

7 2 0 : 輸 出 設 備

7 2 2 : 數 據 機

7 2 4 : 顯 示 控 制 器

7 2 6 : 網 路

7 2 8 : 顯 示 器

7 3 0 : 指 令

7 3 2 : 非 暫 時 性 電 腦 可 讀 媒 體

A 1 : 資 料 字

A 2 : 資 料 字

A 3 : 資 料 字

A 4 : 資 料 字

B 4 : 交 錯 記 憶 體 行 電 路

B L : 位 元 線

B L (1) (0) : 位 元 線

B L (1) (1) : 位 元 線

B L (1) (2) : 位 元 線

B L (1) (3) : 位 元 線

B L (1) (Y) : 位 元 線

B L (2) (0) : 位 元 線

B L (2) (1) : 位 元 線

B L (2) (2) : 位 元 線

B L (2) (3) : 位 元 線

B L (2) (Y) : 位 元 線

B L (3) (0) : 第 一 位 元 線

B L (3) (Y) : 第 一 位 元 線

B L (4) (0) : 第 二 位 元 線

B L (4) (Y) : 第 二 位 元 線

B L 1 : 位 元 線

B L 2 : 位 元 線

B L 3 : 位 元 線

B L 4 : 位 元 線

C 1 : 交 錯 記 憶 體 行

C 4 : 交 錯 記 憶 體 行

C S : 行 選 擇

C S 1 : 行 選 擇

C S 2 : 行 選 擇

D 1 : 交 錯 記 憶 體 行 電 路

D 4 : 交 錯 記 憶 體 行 電 路

E 4 : 交 錯 記 憶 體 行 電 路

F 4 : 交 錯 記 憶 體 行 電 路

F B L (0) : 飛 行 位 元 線

F B L (1) : 飛 行 位 元 線

F B L (2) : 飛 行 位 元 線

F B L (3) : 飛 行 位 元 線

F B L (Y) : 飛 行 位 元 線

G 4 : 交 錯 記 憶 體 行 電 路

H 1 : 交 錯 記 憶 體 行 電 路

H 4 : 交 錯 記 憶 體 行 電 路

M L 1 : 第 一 金 屬 層

M L 2 : 第 二 金 屬 層

M L 3 : 第 三 金 屬 層

M T 0 : 金 屬 軌 道

M T 1 : 金 屬 軌 道

M T 2 : 金 屬 軌 道

M T 3 : 金 屬 軌 道

M T 4 : 金 屬 軌 道

M T 5 : 金 屬 軌 道

S F B L (0) : 第 二 飛 行 位 元 線

S F B L (Y) : 第 二 飛 行 位 元 線

W L 1 : 字 線

W L 2 : 字 線

【生物材料寄存】

國 內 寄 存 資 訊 (請 依 寄 存 機 構 、 日 期 、 號 碼 順 序 註 記)

無

國 外 寄 存 資 訊 (請 依 寄 存 國 家 、 機 構 、 日 期 、 號 碼 順 序 註 記)

無

【發明申請專利範圍】

【請求項1】 一種記憶體系統，包含：

一記憶體行存取電路；及

一記憶體陣列，包含：

一第一金屬層；

一第二金屬層，不同於該第一金屬層，該第二金屬層包含複數個飛行位元線，每個飛行位元線耦接至該記憶體行存取電路；

一第一記憶體子組，包含：

複數個第一記憶體列電路，每個第一記憶體列電路包含複數個第一記憶體位元格電路，每個第一記憶體位元格位於複數個第一記憶體行電路中的一相應第一記憶體行電路內；以及

複數個第一位元線，該複數個第一位元線安置在該第一金屬層中並且各自耦接至該複數個第一記憶體行電路中的一第一記憶體行電路，及該記憶體行存取電路；以及

一第二記憶體子組，包含：

複數個第二記憶體列電路，每個第二記憶體列電路包含複數個第二記憶體位元格電路，每個第二記憶體位元格電路位於複數個第二記憶體行電路的一相應第二記憶體行電路中；以及

複數個第二位元線，該複數個第二位元線各自安置在該第一金屬層中並且各自耦接至該複數個第二記憶

體行電路中的一第二記憶體行電路；以及

一第一跨接列電路，該第一跨接列電路包含複數個第一跨接單元電路，每個第一跨接單元電路耦接至該第一金屬層中的該複數個第二記憶體行電路中的一第二記憶體行電路中的該複數個第二位元線的一第二位元線，及該第二金屬層中的該複數個第一飛行位元線的一第一飛行位元線。

【請求項2】 如請求項1所述之記憶體系統，其中該複數個第一跨接單元電路的每個第一跨接單元電路包含一金屬互連，該金屬互連將該第一金屬層中的該第二位元線耦接至該第二金屬層中的該第一飛行位元線。

【請求項3】 如請求項1所述之記憶體系統，其中：

該第一金屬層包含複數個第一金屬軌道，每個第一金屬軌道包含該複數個第一位元線的一第一位元線；以及該第二金屬層包含複數個第二金屬軌道，每個第二金屬軌道包含該複數個第一飛行位元線的一第一飛行位元線，並且每個第二金屬軌道至少部分地在一垂直方向上重疊該複數個第一金屬軌道的一第一金屬軌道。

【請求項4】 如請求項1所述之記憶體系統，其中該複數個第一記憶體列電路中的一第一記憶體列電路包含該複數個第一跨接單元電路。

【請求項5】 如請求項1所述之記憶體系統，其中該第一記憶體列電路包含與該第二記憶體子組相鄰的該複數個第一跨接單元電路。

【請求項6】 如請求項1所述之記憶體系統，其中該複數個第一飛行位元線在一垂直方向上在該複數個第一記憶體列電路中的每一者及該複數個第二記憶體列電路的每一者上方延伸。

【請求項7】 如請求項1所述之記憶體系統，其中：
該複數個第一記憶體列電路包含至少兩百五十六(256)個記憶體列電路；以及
該複數個第二記憶體列電路包含至少兩百五十六(256)個記憶體列電路。

【請求項8】 如請求項1所述之記憶體系統，進一步包含：

複數個第一字線(WL)，每個第一字線耦接至該複數個第一記憶體列電路中的一第一記憶體列電路。

複數個第二WL，每個第二WL耦接至該複數個第二記憶體列電路中的一第二記憶體列電路；以及

一記憶體驅動器電路，耦接至該複數個第一WL及該複數個第二WL；

該記憶體驅動器電路經配置以：

接收包含一記憶體位址的一記憶體存取請求；以及

回應於該記憶體存取請求，啟動該複數個第一WL的一第一WL及該複數個第二WL的一第二WL中的一者，回應於對應於以下各項中的相應一者的該記憶體位址：

耦接至該經啟動第一WL的該複數個第一記憶體列

電路中的該第一記憶體列電路；以及

耦接至該經啟動第二 WL 的該複數個第二記憶體列電路中的該第二記憶體列電路。

【請求項 9】 如請求項 8 所述之記憶體系統，其中：

該記憶體行存取電路包含：

複數個行多工器電路，每個行多工器電路耦接至該複數個第一位元線中的一唯一集合，並且每個行多工器電路耦接至該複數個第一飛行位元線中的 X 者的一唯一集合，其中「X」為大於或等於二(2)的正整數；

該複數個行多工器電路各自經配置以將第一位元線的耦接集合和第一飛行位元線的該耦接集合中的一位元線多工至一對應的多工輸出；以及

該記憶體驅動器電路進一步經配置以回應於該記憶體存取請求：

使該複數個行多工器電路中的每個行多工電路將其耦接的 X 條第一位元線和其耦接的 X 條第一飛行位元線中的一位元線多工至其對應的多工輸出。

【請求項 10】 如請求項 9 所述之記憶體系統，進一步包含複數個感測放大器，每個感測放大器耦接至該複數個行多工器電路的一行多工器電路的一多工輸出。

【請求項 11】 如請求項 9 所述之記憶體系統，其中 X 等於四(4)。

【請求項 12】 如請求項 9 所述之記憶體系統，其中 X 等於八(8)。

【請求項13】如請求項1所述之記憶體系統，其中該記憶體陣列進一步包含：

一第三金屬層；

一第四金屬層，不同於該第三金屬層，該第四金屬層包含複數個第二飛行位元線，每個飛行位元線耦接至該記憶體行存取電路；

一第三記憶體子組，包含：

複數個第三記憶體列電路，每個第三記憶體列電路包含複數個第三記憶體位元格電路，每個該第三記憶體位元格電路位於複數個第三記憶體行電路中的一相應第三記憶體行電路中；以及

複數個第三位元線，該複數個第三位元線安置在該第三金屬層中並且各自耦接至該複數個第三記憶體行電路中的一第三記憶體行電路，及該記憶體行存取電路；

一第四記憶體子組，包含：

複數個第四記憶體列電路，每個第四記憶體列電路包含複數個第四記憶體位元格電路，每個第四記憶體位元格電路位於複數個第四記憶體行電路的一相應第四記憶體行電路中；以及

複數個第四位元線，每個第四位元線安置在該第四金屬層中並且各自耦接至該複數個第四記憶體行電路中的一第四記憶體行電路；以及

該複數個第三記憶體列電路中的一第三記憶體列電路，

包含：

複數個第二跨接單元電路，該複數個第二跨接單元電各自路耦接至該第三金屬層中的該複數個第四記憶體行電路中的一第四記憶體行電路中的該複數個第四位元線的一第四位元線，及該第四金屬層中的該複數個第一飛行位元線的一第一飛行位元線。

【請求項 14】如請求項 13 所述之記憶體系統，其中：

該第一金屬層包含該第三金屬層；以及

該第二金屬層包含該第四金屬層。

【請求項 15】如請求項 13 所述之記憶體系統，其中：

該第三金屬層包含複數個第三金屬軌道，每個第三金屬軌道包含該複數個第三位元線的一第三位元線；以及

該第四金屬層包含複數個第四金屬軌道，每個第四金屬軌道包含該複數個第二飛行位元線的一第二飛行位元線，並且每個第四金屬軌道至少部分地在一垂直方向上重疊該複數個第三金屬軌道的一第三金屬軌道。

【請求項 16】如請求項 13 所述之記憶體系統，進一步包含：

複數個第一字線 (WL)，每個第一字線耦接至該複數個第一記憶體列電路中的一第一記憶體列電路；

複數個第二 WL，每個第二 WL 耦接至該複數個第二記憶體列電路中的一第二記憶體列電路；

複數個第三 WL，每個第三 WL 耦接至該複數個第三記憶體列電路中的一第三記憶體列電路；

複數個第四 W L，每個第四 W L 耦接至該複數個第四記憶體列電路中的一第四記憶體列電路；以及

一記憶體驅動器電路，耦接至該複數個第一 W L、該複數個第二 W L、該複數個第三 W L 及該複數個第四 W L；

該記憶體驅動器電路經配置以：

接收一記憶體存取請求，該記憶體存取請求包含與該第一記憶體子組和該第二記憶體子組之一者相對應的一記憶體位址；以及

回應於對該第一記憶體子組的該記憶體存取請求：回應於與以下各項中的相應一者相對應的該記憶體位址，啟動該複數個第一 W L 中的一第一 W L 和該複數個第二 W L 的一第二 W L 之一者：

耦接至該經啟動第一 W L 的該複數個第一記憶體列電路中的該第一記憶體列電路；以及

耦接至該經啟動第二 W L 的該複數個第二記憶體列電路中的該第二記憶體列電路；以及

回應於對該第二記憶體子組的該記憶體存取請求：

回應於與以下各項中的相應一者相對應的該記憶體位址，啟動該複數個第三 W L 中的一第三 W L 和該複數個第四 W L 的一第四 W L 之一者：

耦接至該經啟動第三 W L 的該複數個第三記憶體列電路中的該第三記憶體列電路；以及

耦接至該經啟動第四 W L 的該複數個第四記憶體列

電路中的該第四記憶體列電路。

【請求項 17】如請求項 16 所述之記憶體系統，其中：

該記憶體行存取電路包含：

複數個第一行多工器電路，每個第一行多工器電路耦接至該複數個第一位元線中的一唯一集合，並且每個第一行多工器電路耦接至該複數個第一飛行位元線中的 X 者的一唯一集合，其中「 X 」為大於或等於二 (2) 的一正整數；

該複數個第一行多工器電路各自經配置以將第一位元線的該耦接集合和第一飛行位元線的該耦接集合中的一第一位元線多工至一對應的第一多工輸出；以及

複數個第二行多工器電路，每個第二行多工器電路耦接至該複數個第三位元線中的一唯一集合，並且每個第二行多工器電路耦接至該複數個第二飛行位元線中的 X 者的一唯一集合，其中「 X 」為大於或等於二 (2) 的一正整數；

該複數個第二行多工器電路各自經配置以將第三位元線的該耦接集合和第二飛行位元線的該耦接集合中的一第二位元線多工至一對應的第二多工輸出；

該記憶體驅動器電路進一步經配置以：

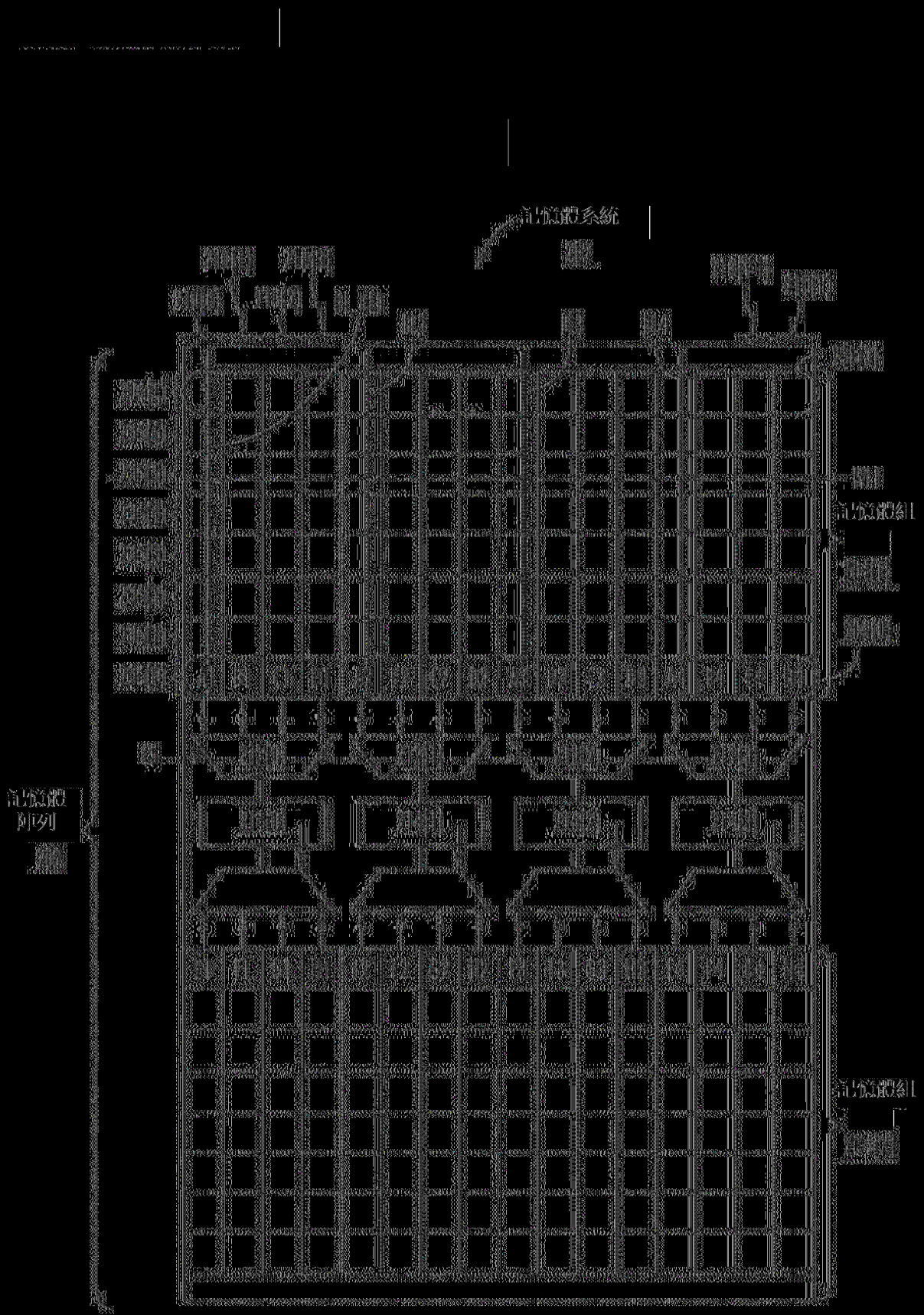
回應於對該第一記憶體子組的該記憶體存取請求：使該複數個第一行多工器電路中的每個第一行多工電路將其耦接的 X 條第一位元線和其耦接的 X 條第一飛行位元線中的一第一位元線多工至其對應的第一多工

輸出；以及

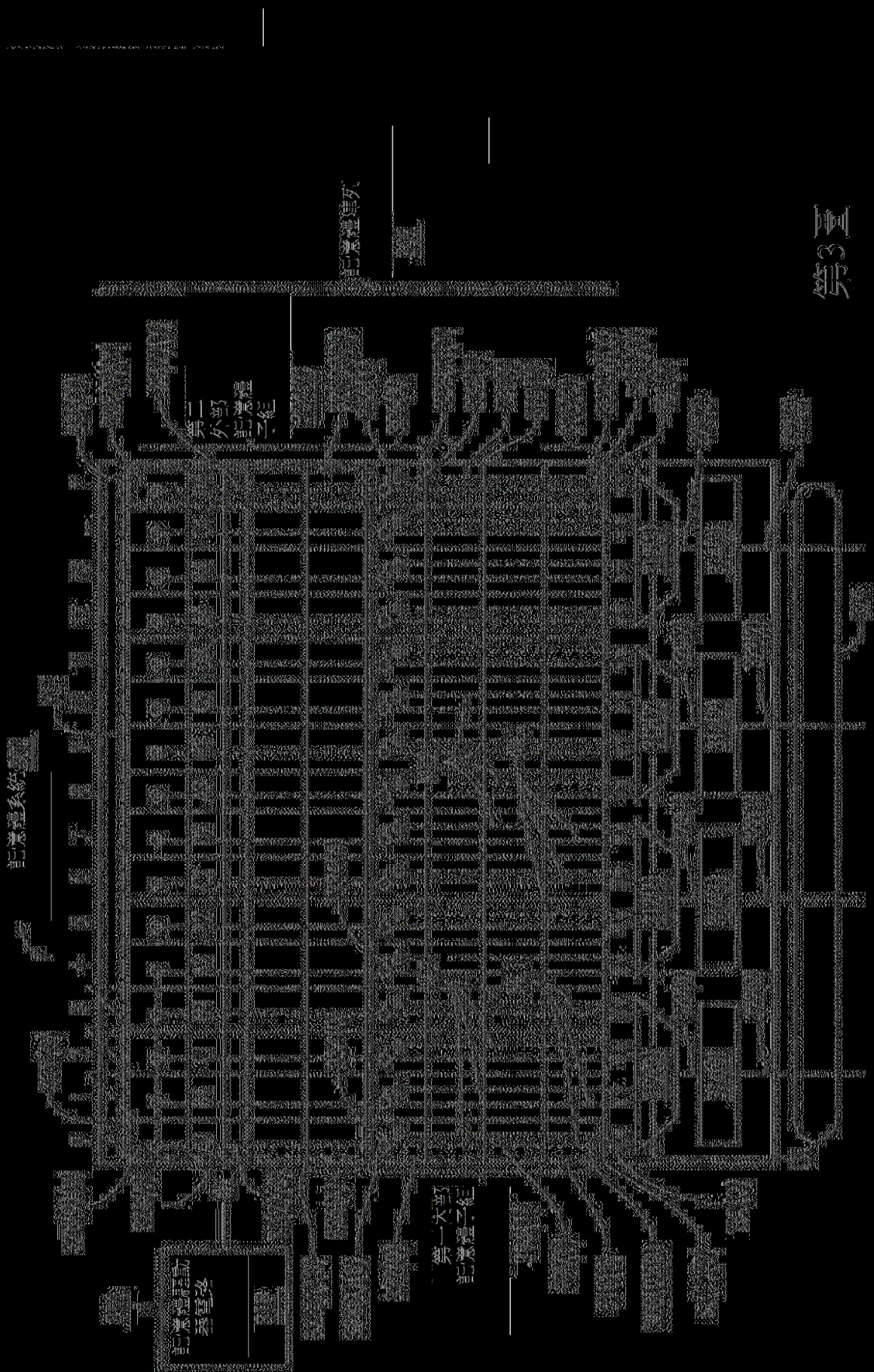
回應於對該第一記憶體子組的該記憶體存取請求：
使該複數個第二行多工器電路中的每個第二行多工電
路將其耦接的 X 條第三位元線和其耦接的 X 條第二飛
行位元線中的一第二位元線多工至其對應的第二多工
輸出。

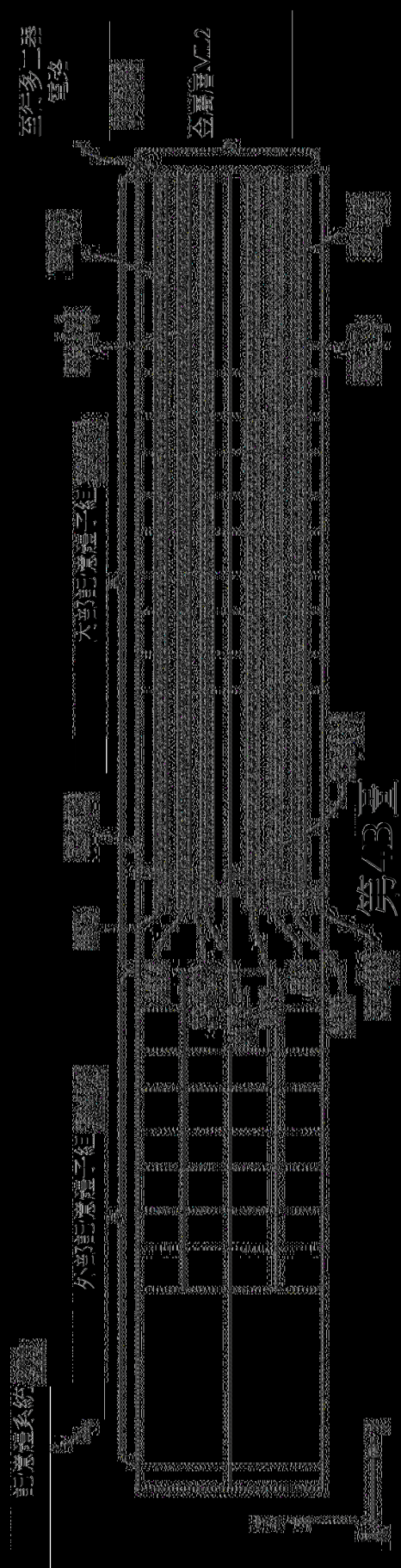
【請求項 18】如請求項 17 所述之記憶體系統，進一步包
含複數個感測放大器，每個感測放大器耦接至該複數個
第一行多工器電路中的一第一行多工器電路的一第一多
工輸出，及耦接至該複數個第二行多工電路中的一第二
行多工器電路的一第二多工輸出。

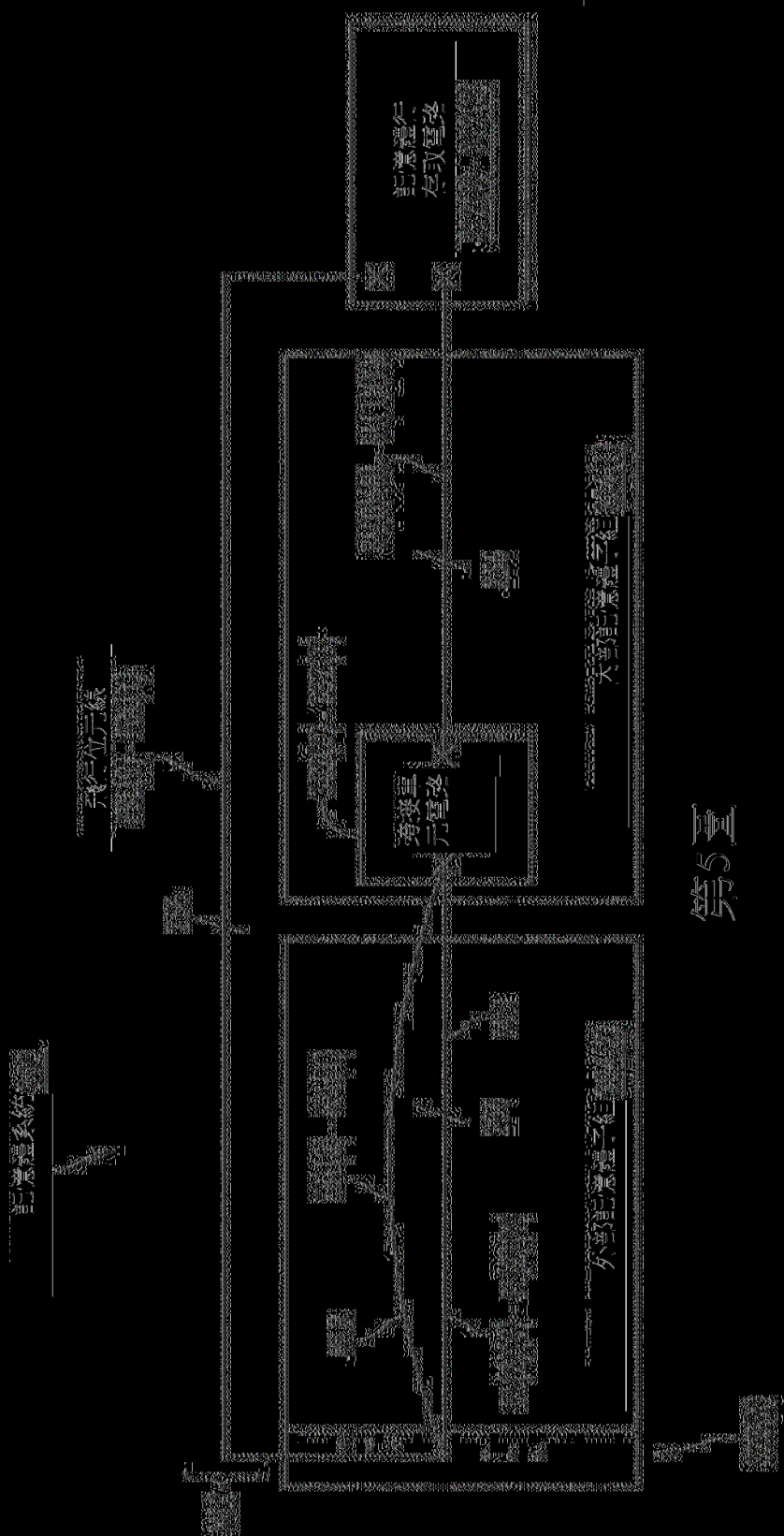
【請求項 19】如請求項 17 所述之記憶體系統，其中 X 等
於八(8)。

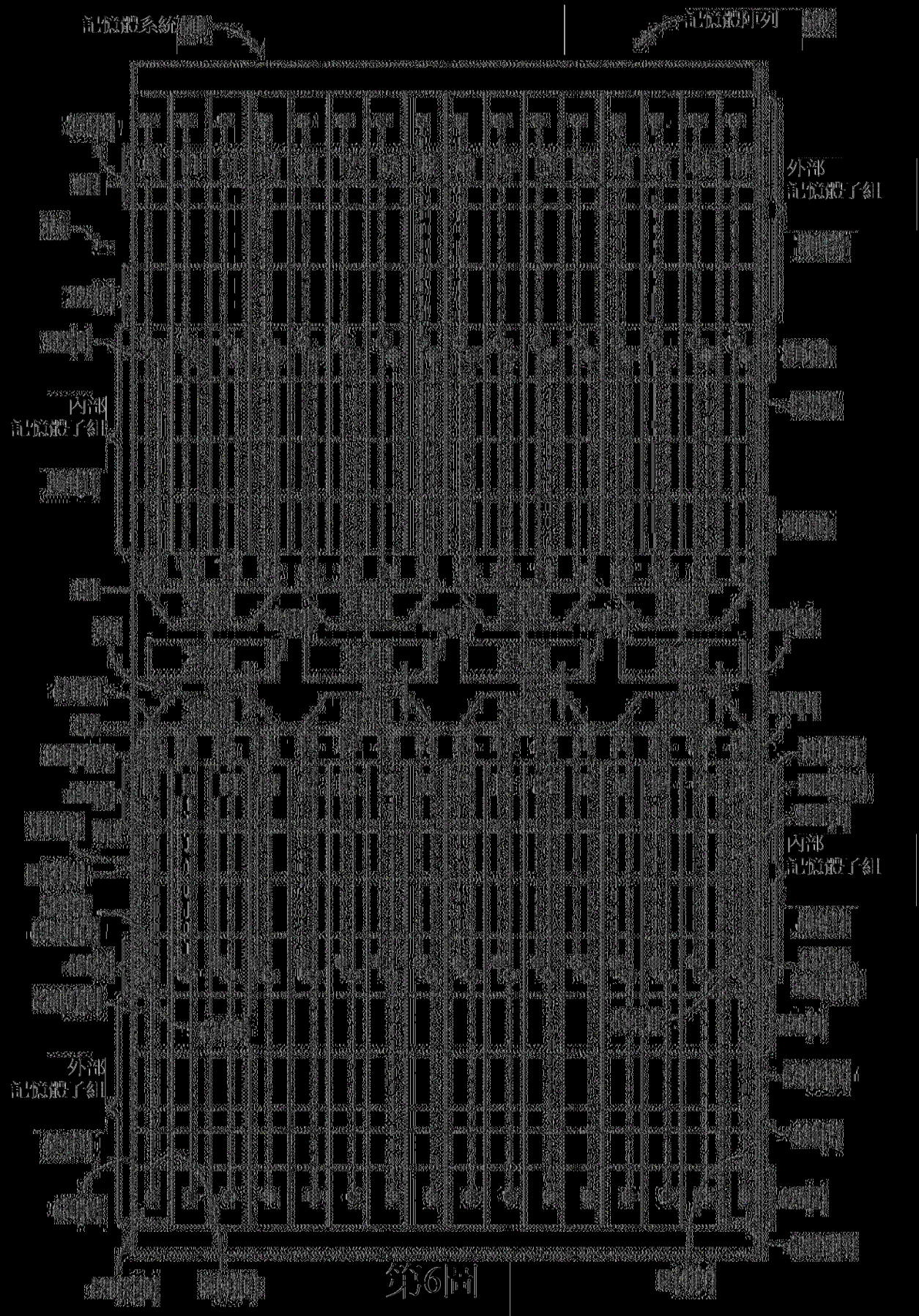


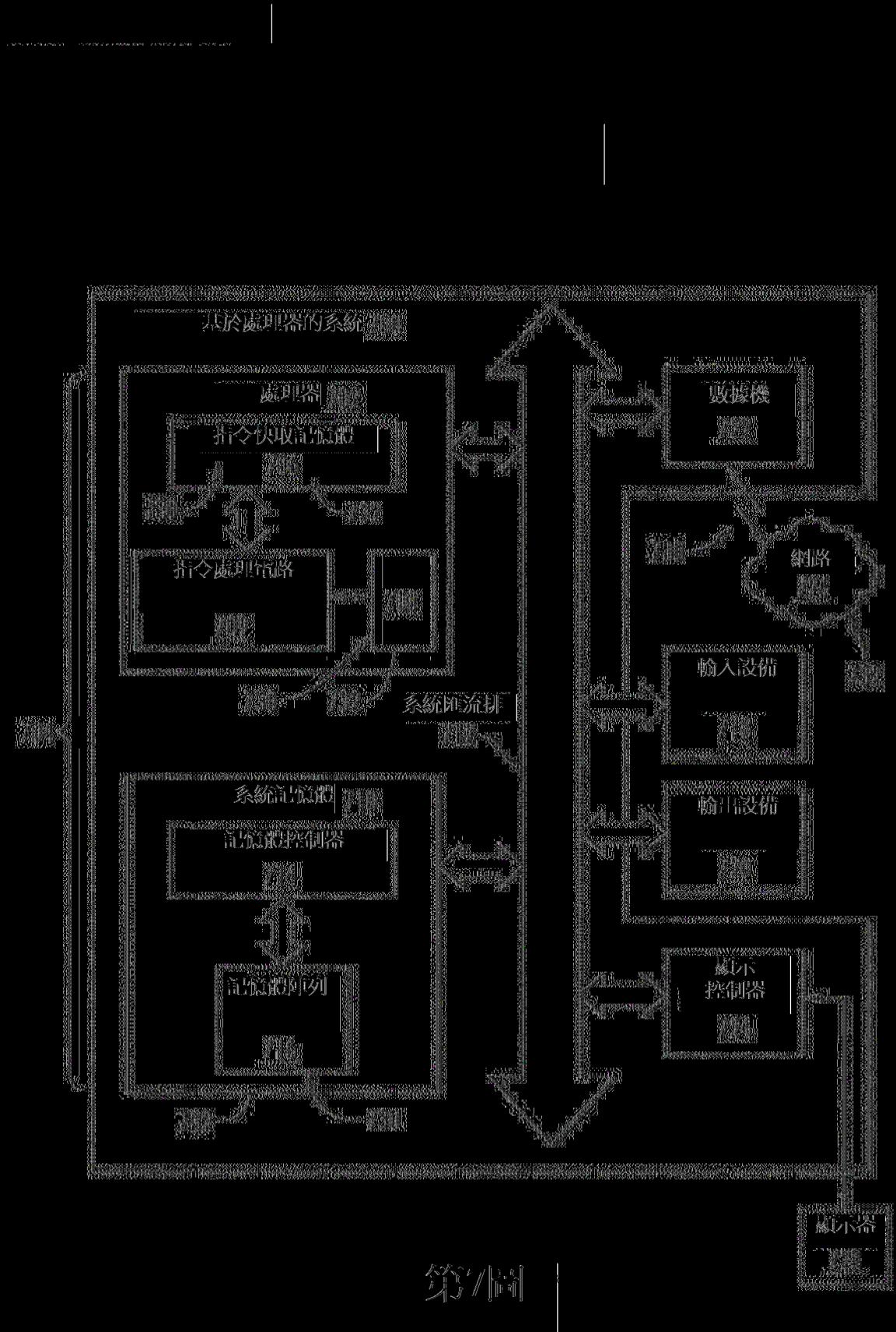
第2圖











第7圖