

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-199425  
(P2009-199425A)

(43) 公開日 平成21年9月3日(2009.9.3)

(51) Int.Cl. F I テーマコード (参考)  
**G06F 17/50 (2006.01)** G06F 17/50 664Z 5B046  
 G06F 17/50 656A

審査請求 未請求 請求項の数 5 O L (全 23 頁)

(21) 出願番号 特願2008-41439 (P2008-41439)  
 (22) 出願日 平成20年2月22日 (2008.2.22)

(71) 出願人 00005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 (74) 代理人 100099634  
 弁理士 平井 安雄  
 (72) 発明者 小山 茂登  
 福岡県福岡市早良区百道浜2丁目2番1号  
 富士通九州ネットワークテクノロジーズ株式会社内  
 Fターム(参考) 5B046 AA08 BA03 JA01

(54) 【発明の名称】 論理検証装置、論理検証支援装置及び論理検証方法

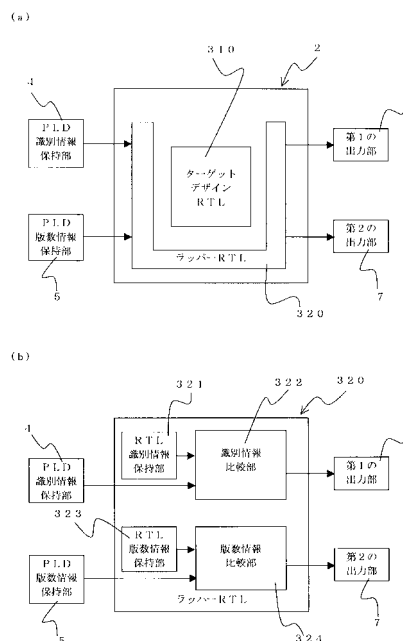
(57) 【要約】

【課題】 簡易且つ効率的なデバッグを実現することが可能となる論理検証装置を提供する。

【解決手段】 論理検証装置10は、基板1上に実装され、動的に内部回路を書き換え可能なFPGA2と、基板1上に実装され、FPGA2に対応してFPGA2の内部回路を動的に再構成するデータとなるRTL及びラッパーRTLからなるコンフィグレーションデータ300が格納されるコンフィグレーションメモリ3と、基板1上にFPGA2に対応して実装され、FPGA2に一意に対応するPLD識別情報をFPGA2に対して出力するPLD識別情報保持部4と、基板1上にFPGA2に対応して実装され、PLD識別情報に基づくFPGA2による判定結果を出力する第1の出力部6と、を備え、コンフィグレーションデータ300のラッパーRTLが、コンフィグレーションデータ300のRTLに一意に対応するRTL識別情報を有すると共に、RTL識別情報とPLD識別情報とを比較して相違の有無を判定する判定機能を有する。

【選択図】 図2

図1に示すFPGA内部におけるRTLの構成を示す概念図



**【特許請求の範囲】****【請求項 1】**

基板上に実装され、動的に内部回路を書き換え可能なプログラマブル・ロジック・デバイスと、

前記基板上に実装され、前記プログラマブル・ロジック・デバイスに対応して前記プログラマブル・ロジック・デバイスの内部回路を動的に再構成するコンフィグレーションデータを R T L 及びラッパ R T L として格納されるコンフィグレーションメモリと、

前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、当該プログラマブル・ロジック・デバイスに一意に対応する P L D 識別情報を当該プログラマブル・ロジック・デバイスに対して出力する P L D 識別情報保持部と、

前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、前記 P L D 識別情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 1 の出力部と、

を備え、

前記コンフィグレーションデータのラッパ R T L が、当該コンフィグレーションデータの R T L に一意に対応する R T L 識別情報を有すると共に、当該 R T L 識別情報と前記 P L D 識別情報とを比較して相違の有無を判定する判定機能を有することを特徴とする論理検証装置。

**【請求項 2】**

前記請求項 1 に記載の論理検証装置において、

前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、当該プログラマブル・ロジック・デバイスに設定されるコンフィグレーションデータのバージョンを示す P L D 版数情報を、前記プログラマブル・ロジック・デバイスに対して出力する P L D 版数情報保持部と、

前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、前記 P L D 版数情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 2 の出力部と、

を備え、

前記ラッパ R T L が、前記 R T L に一意に対応し且つ R T L のバージョンを示す R T L 版数情報を有すると共に、当該 R T L 版数情報と前記 P L D 版数情報とを比較して相違の有無を判定する判定機能を有することを特徴とする論理検証装置。

**【請求項 3】**

前記請求項 1 又は 2 に記載の論理検証装置を接続するユーザ側の端末装置とデザインサービス側の端末装置とが通信網を介して接続可能とし、前記論理検証装置の論理検証を支援する論理検証支援装置であって、

前記 R T L が修正された修正 R T L を格納する格納手段と、

前記格納手段における修正 R T L の格納場所の情報並びに当該修正 R T L に一意に対応する前記 R T L 識別情報及び / 又は R T L 版数情報を含むメールによる、前記論理検証装置のプログラマブル・ロジック・デバイスに対する論理合成の依頼メールを受信する受信手段と、

前記修正 R T L の格納場所情報並びに R T L 識別情報及び / 又は R T L 版数情報を前記依頼メールから抽出する抽出手段と、

前記抽出された修正 R T L の格納場所情報に基づき前記格納手段から修正 R T L を読み出すと共に、当該修正 R T L 並びに前記抽出された R T L 識別情報及び / 又は R T L 版数情報を含む前記ラッパ R T L から前記コンフィグレーションデータを生成するコンフィグレーションデータ生成手段と、

を備えていることを特徴とする論理検証支援装置。

**【請求項 4】**

前記請求項 3 に記載の論理検証支援装置において、

前記コンフィグレーションデータは、前記修正 R T L 及びラッパ R T L が、論理合成

10

20

30

40

50

され、前記プログラマブル・ロジック・デバイスの配置配線情報を作成するフィッティング及び回路要素間の配線を生成するルーティングされたネットリスト情報であることを特徴とする論理検証支援装置。

【請求項 5】

動的に内部回路を書き換え可能なプログラマブル・ロジック・デバイスと、当該プログラマブル・ロジック・デバイスに対応して当該プログラマブル・ロジック・デバイスの内部回路を動的に再構成するデータとなる R T L 及びラッパ R T L からなるコンフィグレーションデータが格納されるコンフィグレーションメモリと、当該プログラマブル・ロジック・デバイスに対応して当該プログラマブル・ロジック・デバイスに一意に対応する P L D 識別情報を当該プログラマブル・ロジック・デバイスに対して出力する P L D 識別情報保持部と、当該プログラマブル・ロジック・デバイスに対応して当該 P L D 識別情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 1 の出力部と、が基板上に実装された論理検証装置を用いた、当該コンフィグレーションメモリに書き込まれるコンフィグレーションデータの誤書き込みを検証する論理検証方法であって、

前記論理検証装置の電源投入により、前記プログラマブル・ロジック・デバイスに対して、前記 R T L における所望の論理回路、並びに前記ラッパ R T L における当該 R T L に一意に対応する R T L 識別情報が組み込まれた R T L 識別情報保持部並びに当該 R T L 識別情報及び前記 P L D 識別情報を比較する識別情報比較部がそれぞれ設定されるステップと、

前記識別情報比較部に対して前記 P L D 識別情報が出力されるステップと、  
前記識別情報比較部に対して前記 R T L 識別情報が出力されるステップと、  
前記 P L D 識別情報及び R T L 識別情報が比較され、当該 P L D 識別情報及び R T L 識別情報の相違の有無が判定されるステップと、

前記識別情報比較部による判定結果が出力されるステップと、  
を含むことを特徴とする論理検証方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プログラマブル・ロジック・デバイス (Programmable Logic Device : P L D )、特に、F P G A (Field Programable Gate Array) を基板上に実装した論理検証装置、論理検証支援装置及び論理検証方法に関し、特に、論理検証装置に実装したコンフィグレーションメモリに格納するコンフィグレーションデータの誤書き込みを検証できる論理検証装置及びその方法並びにその論理検証装置の論理検証を支援する論理検証支援装置に関する。

【0002】

更に詳しくは、集積回路の開発におけるプログラマブル・ロジック・デバイス構成方法に係り、回路アーキテクチャ検討結果、及び論理設計ドキュメントの一部であるブロックのポート仕様の接続情報のみを用いてデバイス・テクノロジーに依存しないブロックのポートとポート間を結ぶネットからなるコア (論理コア) と呼ぶネットリストを生成する。そして、コア (論理コア) から対象ブロックを選択、グループ化し、グループ化したコア (論理コア) のデータを使用し、集積回路の開発を行なう集積回路の開発方法、並びに A S I C (Application Specific Integrated Circuit) とプログラマブル・ロジック・デバイスのシームレスなコンカレント開発を可能とする。そして、設計品質確保と開発期間短縮を両立すると共に、開発にかかる人的資源とコストを低減することができる A S I C とプログラマブル・ロジック・デバイスのコンカレント開発システムに使用する品質を向上させた論理検証装置に関する。

【背景技術】

【0003】

集積回路の開発手順では、先ず仕様を決定する際、洩れ等がないか慎重に検討した後、その仕様に従い設計を行なうようになっている。

10

20

30

40

50

まず、製品仕様から A S I C ( 特定用途向け I C ) のスペックを取得する ( g 1 ) 。次に、回路アーキテクチャを検討する ( g 2 ) 。次に、回路アーキテクチャ検討結果に基づいて回路設計を行なう ( g 3 ) 。この回路設計は、論理検証 ( g 4 ) を行ないながら行なう。

#### 【 0 0 0 4 】

次に、回路設計が終了したら回路の論理合成を行なう ( g 5 ) 。論理合成が終了したら、論理合成結果に基づいてレイアウト展開する ( g 6 ) 。この段階で回路が設計できたことになる。回路が設計できたら、当該回路を製造し ( g 7 ) 、製造した回路を用いて実機の評価を行なう ( g 8 ) 。なお、以上のシーケンスのうち、図 1 1 に示す集積回路設計手順に係る部分は、ステップ ( g 5 ) の論理合成に係る部分である。なお、図 1 1 は従来方法の原理を示すフローチャートである。

10

#### 【 0 0 0 5 】

集積回路開発において、仕様を入力として実現する機能の検討、機能を実現する回路構成の検討を行なう回路アーキテクチャ検討を以下のような流れで実施している。通常、集積回路の開発では、製品の仕様から製品を実現する機能を洩れなく洗い出し、洗い出した機能を実現する回路構成の検討や、I P ( Intellectual Property : 知的財産 ) 等のマクロ検討を行なう。ここで、マクロとは I P も含む R A M 、 R O M 等、変更しなくても使えるものをいう。

#### 【 0 0 0 6 】

構成を検討した回路や I P の実現規模の初期見積りを行ない、この時、回路や I P の実現規模が予め判っていればゲート数で算出し、ゲート数が判らない場合は必要な信号数と処理に必要な時間からフリップフロップ数を算出して実現規模を見積もっている。ここで、見積もった規模と各機能の入出力信号本数を基に複数の機能をグループ化し 1 つのブロックとする。このグループ化を全機能について行なう。

20

#### 【 0 0 0 7 】

論理設計では、前述の機能と見積り規模を基に H D L ( ハードウェア記述言語 ) 等の手段によりプログラマブル・ロジック・デバイスを対象に回路設計を行ない、オンボードでの機能評価が行なわれる。評価完了後、A S I C 化する場合に再設計及び再検証が行なわれていた。

#### 【 0 0 0 8 】

また、従来の F P G A 及び A S I C のネットリストを作成する方法は、回路アーキテクチャ検討結果であり論理設計ドキュメントの一部であるブロックのポート仕様の接続情報のみを用いてデバイス・テクノロジーに依存しないブロックのポートとポート間を結ぶネットからなるコア ( 論理コア ) と呼ぶネットリストを生成し、コア ( 論理コア ) から対象ブロックを選択、グループ化し、グループ化したコア ( 論理コア ) のデータを使用する集積回路の開発方法である ( 例えば、特許文献 1 参照 ) 。

30

#### 【 0 0 0 9 】

この従来の F P G A 及び A S I C のネットリストを作成する方法は、前述した集積回路の開発手順に対して、開発 T A T ( Turn Around Time ) 及び開発リソース ( 人員 ) の効率化を図った開発手法が開示されている。

40

#### 【 0 0 1 0 】

特に、従来の F P G A 及び A S I C のネットリストを作成する方法においては、F P G A を基板上に搭載したプロトタイプ用基板を、コンカレント開発システム側にて開発する場合に、図 1 2 に示す S 1 0 2 のフェーズにて取得するネットリストから、プロトタイプ用基板に搭載する F P G A の個数、及び複数の F P G A 間の接続情報を決定し、プロトタイプ用基板の回路図に反映する。なお、図 1 2 は従来のコンカレント開発システムの動作説明図である。

#### 【 0 0 1 1 】

そして、コンカレント開発システム側におけるプロトタイプ用基板のアーキテクチャ検討では、電源系統、クロック系統、リセット系統、及び F P G A へのデータ転送方式

50

を重点的に検討して回路図化を行ない、プロトタイプ用基板の製造及び製造性試験を実施する。なお、この製造性試験とは、プロトタイプ用基板に搭載された複数のFPGA間の接続性、及びFPGAと外部デバイスとの間の接続性を試験するものであり、ユーザがデザインした回路図のRTL（以下、ターゲットデザインRTLと称す）の妥当性を確認するものではない。ここで、RTL（Register Transfer Level：レジスタ転送レベル）とは、FPGAで論理動作を検証する集積回路の機能仕様をハードウェア記述言語で表現した論理合成可能な記述レベルの設計データである。

【特許文献1】特開2007-102813号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0012】

従来のプログラマブル・ロジック・デバイスであるFPGAや、ASICのネットリストを作成する方法は、FPGAの内部回路のデータ（RTL）が、ターゲットデザインRTLの品質や版数の管理に依存している。

【0013】

すなわち、ユーザは、コンカレント開発システム側に論理合成の依頼を行なったターゲットデザインRTLが、コンカレント開発システム側において図12に示すS101～S103のフローを経て作成されたプロトタイプ用基板上の各FPGAにそれぞれ対応するROM（Read-Only Memory：読み出し専用メモリ）に書き込むROMデータとして、正しい位置のROMに書き込まれているかの妥当性を確認する必要がある。また、ユーザは、ユーザが意図する版数のROMデータがROMに書き込まれているかの妥当性を確認する必要がある。

20

【0014】

このため、ユーザは、別途、FPGAベンダーが提供する有償のツールを購入し、購入した有償のツールを使用してROMに書き込まれたROMデータの妥当性を確認する必要があるという課題があった。

また、プロトタイプ用基板に搭載するFPGAの個数は、近年、数十個を搭載する場合があります、FPGA毎のROMデータの管理が複雑化している。

【0015】

これに対し、コンカレント開発システム側からユーザにプロトタイプ用基板を最初に提供する場合に、プロトタイプ用基板に搭載されたROMにROMデータを書き込んだうえで提供するのであるが、コンカレント開発システム側の人為的なミスにより、ある特定のROMに本来書き込むべきROMデータを、当該ROMと異なるROMに書き込むことがある。また、コンカレント開発システム側は、ユーザが意図する版数と異なる版数のROMデータをROMに書き込むこともある。

30

【0016】

これにより、コンカレント開発システム側にて製造性試験を行なう場合に、製造性試験に合格することができず、製造性試験を不合格となった原因をコンカレント開発システム側にて究明する必要がある。

【0017】

40

したがって、コンカレント開発システム側は、FPGAベンダーが提供する有償のツールを使用して、プロトタイプ用基板に搭載している各FPGAに対して、本来書き込むべきROMデータと実際にROMに書き込まれたROMデータとを照合、又は本来書き込むべきROMデータとFPGAに設定されているROMデータとの照合を行なうことによって原因を究明する。

【0018】

なお、FPGAベンダーが提供する有償のツールを使用したデータ照合は、ビット単位のチェックを行なうために、1個のFPGAに対するデータ照合に掛かる時間が5分程度を要してしまう。このため、プロトタイプ用基板に搭載しているFPGAが数十個にもなると、製造性試験にて人為的ミスが発生した場合における原因究明に際して、多大な

50

時間を要するという課題があった。

【 0 0 1 9 】

さらに、ユーザによっては、単一のプロトタイプ用基板を使用して、機能の異なる A S I C を開発する場合がある。この場合には、R T L の版数毎に機能の異なる A S I C を割り当て、ターゲットデザイン R T L 内の C P U 用レジスタ等にて版数管理を行ない、機能別の A S I C の評価を進めていく。

なお、この場合に、ターゲットデザイン R T L を評価するために F P G A を立上げた時には、C P U I / F が立ち上がっていないことが多い。

【 0 0 2 0 】

このため、F P G A ベンダーが提供する有償のツールを使用し、各 F P G A に設定されている R O M データとターゲットデザイン R T L との照合を行なうことで、デバッグが進められている。

しかしながら、初期のデバッグに要する時間が莫大なものになり、効率的なデバッグを達成するために支障をきたしているという課題があった。

【 0 0 2 1 】

この発明は、上述のような課題を解決するためになされたもので、簡易且つ効率的なデバッグを実現することが可能となる論理検証装置及びその方法並びにその論理検証装置の論理検証を支援する論理検証支援装置を提供するものである。

【課題を解決するための手段】

【 0 0 2 2 】

この論理検証装置は、基板上に実装され、動的に内部回路を書き換え可能なプログラマブル・ロジック・デバイスと、前記基板上に実装され、前記プログラマブル・ロジック・デバイスに対応して前記プログラマブル・ロジック・デバイスの内部回路を動的に再構成するコンフィグレーションデータを R T L 及びラッパー R T L として格納されるコンフィグレーションメモリと、前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、当該プログラマブル・ロジック・デバイスに一意に対応する P L D 識別情報を当該プログラマブル・ロジック・デバイスに対して出力する P L D 識別情報保持部と、前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、前記 P L D 識別情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 1 の出力部と、を備え、前記コンフィグレーションデータのラッパー R T L が、当該コンフィグレーションデータの R T L に一意に対応する R T L 識別情報を有すると共に、当該 R T L 識別情報と前記 P L D 識別情報とを比較して相違の有無を判定する判定機能を有するものである。

【 0 0 2 3 】

このように、ラッパー R T L が、R T L に一意に対応する R T L 識別情報を有すると共に、R T L 識別情報と P L D 識別情報とを比較して相違の有無を判定する判定機能を有することにより、コンフィグレーションデータが正しい位置のコンフィグレーションメモリに書き込まれているかの妥当性を容易且つ短時間に確認することができるという効果奏する。

【 0 0 2 4 】

また、この論理検証装置は、前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、当該プログラマブル・ロジック・デバイスに設定されるコンフィグレーションデータのバージョンを示す P L D 版数情報を、前記プログラマブル・ロジック・デバイスに対して出力する P L D 版数情報保持部と、前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、前記 P L D 版数情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 2 の出力部と、を備え、前記ラッパー R T L が、前記 R T L に一意に対応し且つ R T L のバージョンを示す R T L 版数情報を有すると共に、当該 R T L 版数情報と前記 P L D 版数情報とを比較して相違の有無を判定する判定機能を有するものである。

【 0 0 2 5 】

このように、ラッパーRTLが、RTLに一意に対応し且つRTLのバージョンを示すRTL版数情報を有すると共に、RTL版数情報とPLD版数情報とを比較して相違の有無を判定する判定機能を有することにより、正しい版数のコンフィグレーションデータがコンフィグレーションメモリに書き込まれているかの妥当性を容易且つ短時間に確認という効果を奏する。

**【0026】**

この論理検証支援装置は、前記RTLが修正された修正RTLを格納する格納手段と、前記格納手段における修正RTLの格納場所の情報並びに当該修正RTLに一意に対応する前記RTL識別情報及び/又はRTL版数情報を含むメールによる、前記論理検証装置のプログラマブル・ロジック・デバイスに対する論理合成の依頼メールを受信する受信手段と、前記修正RTLの格納場所情報並びにRTL識別情報及び/又はRTL版数情報を前記依頼メールから抽出する抽出手段と、前記抽出された修正RTLの格納場所情報に基づき前記格納手段から修正RTLを読み出すと共に、当該修正RTL並びに前記抽出されたRTL識別情報及び/又はRTL版数情報を含む前記ラッパーRTLから前記コンフィグレーションデータを生成するコンフィグレーションデータ生成手段と、を備えているものである。

10

**【0027】**

このように、論理検証支援装置は、前記RTLが修正された修正RTLを格納する格納手段と、前記格納手段における修正RTLの格納場所の情報並びに当該修正RTLに一意に対応する前記RTL識別情報及び/又はRTL版数情報を含むメールによる、前記論理検証装置のプログラマブル・ロジック・デバイスに対する論理合成の依頼メールを受信する受信手段と、前記修正RTLの格納場所情報並びにRTL識別情報及び/又はRTL版数情報を前記依頼メールから抽出する抽出手段と、前記抽出された修正RTLの格納場所情報に基づき前記格納手段から修正RTLを読み出すと共に、当該修正RTL並びに前記抽出されたRTL識別情報及び/又はRTL版数情報を含む前記ラッパーRTLから前記コンフィグレーションデータを生成するコンフィグレーションデータ生成手段と、を備えていることにより、ユーザからの依頼メールからRTL識別情報及び/又はRTL版数情報を自動的に抽出することができ、依頼されたRTL識別情報及び/又はRTL版数情報の誤認識による誤ったコンフィグレーションデータを生成するという人的操作ミスを抑制することができるという効果を奏する。

20

30

**【0028】**

また、この論理検証支援装置は、前記コンフィグレーションデータは、前記修正RTL及びラッパーRTLが、論理合成され、前記プログラマブル・ロジック・デバイスの配置配線情報を作成するフィッティング及び回路要素間の配線を生成するルーティングされたネットリスト情報である。

**【0029】**

このように、論理検証支援装置は、前記コンフィグレーションデータは、前記修正RTL及びラッパーRTLが、論理合成され、前記プログラマブル・ロジック・デバイスの配置配線情報を作成するフィッティング及び回路要素間の配線を生成するルーティングされたネットリスト情報であることにより、コンフィグレーションデータが正しい位置のコンフィグレーションメモリに正しい版数で書き込まれた場合に、論理検証装置により論理検証を行なう回路がプログラマブル・ロジック・デバイスに設定することができるという効果を奏する。

40

**【0030】**

論理検証方法は、動的に内部回路を書き換え可能なプログラマブル・ロジック・デバイスと、当該プログラマブル・ロジック・デバイスに対応して当該プログラマブル・ロジック・デバイスの内部回路を動的に再構成するデータとなるRTL及びラッパーRTLからなるコンフィグレーションデータが格納されるコンフィグレーションメモリと、当該プログラマブル・ロジック・デバイスに対応して当該プログラマブル・ロジック・デバイスに一意に対応するPLD識別情報を当該プログラマブル・ロジック・デバイスに対して出力

50

する P L D 識別情報保持部と、当該プログラマブル・ロジック・デバイスに対応して当該 P L D 識別情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 1 の出力部と、が基板上に実装された論理検証装置を用いた、当該コンフィグレーションメモリに書き込まれるコンフィグレーションデータの誤書き込みを検証する論理検証方法であって、前記論理検証装置の電源投入により、前記プログラマブル・ロジック・デバイスに対して、前記 R T L における所望の論理回路、並びに前記ラッパ R T L における当該 R T L に一意に対応する R T L 識別情報が組み込まれた R T L 識別情報保持部並びに当該 R T L 識別情報及び前記 P L D 識別情報を比較する識別情報比較部がそれぞれ設定されるステップと、前記識別情報比較部に対して前記 P L D 識別情報が出力されるステップと、前記識別情報比較部に対して前記 R T L 識別情報が出力されるステップと、前記 P L D 識別情報及び R T L 識別情報が比較され、当該 P L D 識別情報及び R T L 識別情報の相違の有無が判定されるステップと、前記識別情報比較部による判定結果が出力されるステップと、を含む方法である。

10

20

30

#### 【 0 0 3 1 】

このように、論理検証方法は、動的に内部回路を書き換え可能なプログラマブル・ロジック・デバイスと、当該プログラマブル・ロジック・デバイスに対応して当該プログラマブル・ロジック・デバイスの内部回路を動的に再構成するデータとなる R T L 及びラッパ R T L からなるコンフィグレーションデータが格納されるコンフィグレーションメモリと、当該プログラマブル・ロジック・デバイスに対応して当該プログラマブル・ロジック・デバイスに一意に対応する P L D 識別情報を当該プログラマブル・ロジック・デバイスに対して出力する P L D 識別情報保持部と、当該プログラマブル・ロジック・デバイスに対応して当該 P L D 識別情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 1 の出力部と、が基板上に実装された論理検証装置を用いた、当該コンフィグレーションメモリに書き込まれるコンフィグレーションデータの誤書き込みを検証する論理検証方法であって、前記論理検証装置の電源投入により、前記プログラマブル・ロジック・デバイスに対して、前記 R T L における所望の論理回路、並びに前記ラッパ R T L における当該 R T L に一意に対応する R T L 識別情報が組み込まれた R T L 識別情報保持部並びに当該 R T L 識別情報及び前記 P L D 識別情報を比較する識別情報比較部がそれぞれ設定されるステップと、前記識別情報比較部に対して前記 P L D 識別情報が出力されるステップと、前記識別情報比較部に対して前記 R T L 識別情報が出力されるステップと、前記 P L D 識別情報及び R T L 識別情報が比較され、当該 P L D 識別情報及び R T L 識別情報の相違の有無が判定されるステップと、前記識別情報比較部による判定結果が出力されるステップと、を含むことにより、コンフィグレーションデータが正しい位置のコンフィグレーションメモリに書き込まれているかの妥当性を容易且つ短時間に確認することができるという効果を奏する。

【 発明を実施するための最良の形態 】

#### 【 0 0 3 2 】

( 本発明の第 1 の実施形態 )

図 1 は本実施形態に係る論理検証装置の主要な構成を示す概略図、図 2 ( a ) は図 1 に示す F P G A 内部における R T L の構成を示す概念図、図 2 ( b ) は図 2 ( a ) に示すラッパ R T L の構成を示す概念図、図 3 は P L D 識別情報及び R T L 識別情報を説明するための説明図、図 4 は本実施形態に係る論理検証装置の動作を示すフローチャートである。なお、この第 1 の実施形態では、プログラマブル・ロジック・デバイスの 1 種である F P G A を用いる場合について説明する。

40

#### 【 0 0 3 3 】

論理検証装置 1 0 は、従来の F P G A 評価ボードの構成要素である、基板 1 と、基板 1 上に実装され動的に再構成可能な F P G A 2 と、基板 1 上に F P G A 2 に対応して実装され F P G A 2 に設定されるコンフィグレーションデータ 3 0 0 が格納されるコンフィグレーションメモリ 3 ( 例えば、 R O M ) とを少なくとも備えている。

#### 【 0 0 3 4 】

50

また、論理検証装置10は、従来のFPGA評価ボードの構成要素に加えて、基板1上にFPGA2に対応して実装されFPGA2に一意に対応するFPGAを識別するID（以下、PLD識別情報と称す）をFPGA2に対して出力するPLD識別情報保持部4と、基板1上にFPGA2に対応して実装されFPGA2に設定されるコンフィグレーションデータのバージョンを示す版数情報（以下、PLD版数情報と称す）をFPGA2に対して出力するPLD版数情報保持部5と、基板1上にFPGA2に対応して実装されPLD識別情報に基づくFPGA2による判定結果を出力する第1の出力部6と、基板1上にFPGA2に対応して実装されPLD版数情報に基づくFPGA2による判定結果を出力する第2の出力部7と、を備えている。

【0035】

FPGA2は、1つの基板1に対して1又は複数配設されており、本実施形態においては、図1に示すように、例えば、16個のFPGA2をマトリクス状に配列させている。なお、図1においては、各FPGA2に対して、第1のFPGA（FPGA-1）2a、第2のFPGA（FPGA-2）2b、・・・、第4のFPGA（FPGA-4）2d、・・・、第8のFPGA（FPGA-8）2h、・・・、第16のFPGA（FPGA-16）2pとして符号を付している。

【0036】

また、コンフィグレーションメモリ3、PLD識別情報保持部4、PLD版数情報保持部5、第1の出力部6及び第2の出力部7は、各FPGA2に対応してそれぞれ配設されるものであり、図1においては、各FPGA2に対応付けて符号（a～p）を付している。

【0037】

コンフィグレーションデータ300は、FPGA2で論理動作を検証する集積回路の機能仕様をハードウェア記述言語で表現した論理合成可能な記述レベルの設計データであり、ユーザが意図した回路図のRTL（ターゲットデザインRTL310）、並びにFPGA2の機能を実現するためのデバイス依存部分及びターゲットデザインRTL310をコンカレントにするラッパーRTL320が論理合成され、FPGA2の配置配線情報を作成するフィッティング及び回路要素間の配線を生成するルーティングされたネットリスト情報である。

【0038】

なお、本実施形態に係るラッパーRTL320は、ターゲットデザインRTL310に一意に対応するターゲットデザインRTL310を識別するID（以下、RTL識別情報と称す）を有すると共に、RTL識別情報とPLD識別情報とを比較して相違の有無を判定する判定機能を有する。すなわち、論理検証装置10の電源投入によって、コンフィグレーションメモリ3からFPGA2に対して自動的にコンフィグレーションが行なわれることで、FPGA2内にRTL識別情報保持部321がマッピングされ、RTL識別情報保持部321にRTL識別情報が組み込まれることになる。同様に、論理検証装置10の電源投入によって、FPGA2内に識別情報比較部322がマッピングされ、PLD識別情報保持部4からのアクセスに対して、動作できるような回路が組み込まれることになる。

【0039】

また、本実施形態に係るラッパーRTL320は、ターゲットデザインRTL310のバージョンを示す版数情報（以下、RTL版数情報と称す）を有すると共に、RTL版数情報とPLD版数情報とを比較して相違の有無を判定する判定機能を有する。すなわち、論理検証装置10の電源投入によって、コンフィグレーションメモリ3からFPGA2に対して自動的にコンフィグレーションが行なわれることで、FPGA2内にRTL版数情報保持部323がマッピングされ、RTL版数情報保持部323にRTL版数情報が組み込まれることになる。同様に、論理検証装置10の電源投入によって、FPGA2内に版数情報比較部324がマッピングされ、PLD版数情報保持部5からのアクセスに対して、動作できるような回路が組み込まれ

10

20

30

40

50

ることになる。

【0040】

ここで、PLD識別情報は、各FPGA2に対してそれぞれ付与される固定されたIDであり、例えば、図3に示すように、5桁の二進数のコードで表わされる。

PLD識別情報保持部4は、PLD識別情報であるコードのうち、「1」を電源Vcc、「0」をグランドGNDにより表現した信号を、I/O (Input/Output) ピンを介してFPGA2内の識別情報比較部322に対して出力する。

【0041】

また、PLD版数情報は、各FPGA2に対して、例えば、ロータリースイッチ、スライドスイッチ又はプッシュロックスイッチで構成されるデュップスイッチ (Dual In-line Package switch) などによって、論理検証装置10のユーザが選択する任意の版数情報である。

【0042】

PLD版数情報保持部5は、例えば、ロータリースイッチであれば、ユーザが選択した版数に対応する二進数又は二進化十進数 (BCD: Binary-Coded Decimal) のコードを、FPGA2内の版数情報比較部324に対して出力する。

【0043】

第1の出力部6は、FPGA2内の識別情報比較部322によるPLD識別情報とRTL識別情報との比較結果を、論理検証装置10のユーザに報知するための手段である。例えば、第1の出力部6を発光ダイオード (LED: Light-Emitting Diode) とし、識別情報比較部322によりPLD識別情報とRTL識別情報とが異なっていると判断された場合には、識別情報比較部322からの信号に基づき、第1の出力部6である発光ダイオードを点灯させ、論理検証装置10の外部から視認できる構成としてもよい。また、第1の出力部6を外部接続コネクタとして、図示しない表示装置に接続することで、FPGA2内の識別情報比較部322によるPLD識別情報とRTL識別情報との比較結果を、表示装置の表示画面に表示させてもよい。

【0044】

第2の出力部7は、FPGA2内の版数情報比較部324によるPLD版数情報とRTL版数情報との比較結果を、論理検証装置10のユーザに報知するための手段である。例えば、第2の出力部7を発光ダイオードとし、版数情報比較部324によりPLD版数情報とRTL版数情報とが異なっていると判断された場合には、版数情報比較部324からの信号に基づき、第2の出力部7である発光ダイオードを点灯させ、論理検証装置10の外部から視認できる構成としてもよい。また、第2の出力部7を外部接続コネクタとして、図示しない表示装置に接続することで、FPGA2内の版数情報比較部324によるPLD版数情報とRTL版数情報との比較結果を、表示装置の表示画面に表示させてもよい。

【0045】

次に、本実施形態に係る論理検証装置10の動作について図4を用いて説明する。

まず、論理検証装置10の電源を投入すると (ステップS1)、論理検証装置10は、各FPGA2に対して、対応するコンフィグレーションメモリ3からコンフィグレーションデータ300が読み出されてコンフィグレーションを開始する (ステップS2)。

【0046】

そして、論理検証装置10は、各FPGA2に対して、所望の論理回路、RTL識別情報保持部321及び識別情報比較部322並びにRTL版数情報保持部323及び版数情報比較部324がそれぞれ設定されてコンフィグレーションを終了する (ステップS3)。

【0047】

各PLD識別情報保持部4は、対応するFPGA2内の識別情報比較部322にPLD識別情報を出力し (ステップS4a)、各PLD版数情報保持部5は、対応するFPGA2内の版数情報比較部324にPLD版数情報を出力する (ステップS4b)。

## 【0048】

また、各RTL識別情報保持部321は、対応するFPGA2内の識別情報比較部322にRTL識別情報を出力し(ステップS5a)、各RTL版数情報保持部323は、対応するFPGA2内の版数情報比較部324にRTL版数情報を出力する(ステップS5b)。

## 【0049】

そして、各識別情報比較部322は、入力されたPLD識別情報とRTL識別情報とを比較してPLD識別情報とRTL識別情報とが相違するか否かを判断する(ステップS6a)。また、各版数情報比較部324は、入力されたPLD版数情報とRTL版数情報とを比較してPLD版数情報とRTL版数情報とが相違するか否かを判断する(ステップS6b)。

10

## 【0050】

ステップS6aにおいて、PLD識別情報とRTL識別情報とが相違すると判断した場合には、該当する識別情報比較部322は対応する第1の出力部6に判断結果を出力する(ステップS7a)。なお、本実施形態においては、第1の出力部6として発光ダイオードを使用し、この発光ダイオードを点灯させることにより、PLD識別情報とRTL識別情報とが相違することをユーザに報知している。逆に、この発光ダイオードを点灯させないことにより、PLD識別情報とRTL識別情報とが相違することをユーザに報知してもよい。

20

## 【0051】

また、ステップS6aにおいて、PLD識別情報とRTL識別情報とが相違しないと判断した場合には、該当する識別情報比較部322は対応する第1の出力部6に判断結果を出力する(ステップS8a)。なお、本実施形態においては、第1の出力部6として発光ダイオードを使用し、この発光ダイオードを点灯させないことにより、PLD識別情報とRTL識別情報とが相違しないことをユーザに報知している。逆に、この発光ダイオードを点灯させることにより、PLD識別情報とRTL識別情報とが相違しないことをユーザに報知してもよい。

## 【0052】

ステップS6bにおいて、PLD版数情報とRTL版数情報とが相違すると判断した場合には、該当する版数情報比較部324は対応する第2の出力部7に判断結果を出力する(ステップS7b)。なお、本実施形態においては、第2の出力部7として発光ダイオードを使用し、この発光ダイオードを点灯させることにより、PLD版数情報とRTL版数情報とが相違することをユーザに報知している。逆に、この発光ダイオードを点灯させないことにより、PLD版数情報とRTL版数情報とが相違することをユーザに報知してもよい。

30

## 【0053】

また、ステップS6bにおいて、PLD版数情報とRTL版数情報とが相違しないと判断した場合には、該当する版数情報比較部324は対応する第2の出力部7に判断結果を出力する(ステップS8b)。なお、本実施形態においては、第2の出力部7として発光ダイオードを使用し、この発光ダイオードを点灯させないことにより、PLD版数情報とRTL版数情報とが相違しないことをユーザに報知している。逆に、この発光ダイオードを点灯させることにより、PLD版数情報とRTL版数情報とが相違しないことをユーザに報知してもよい。

40

## 【0054】

なお、論理検証装置10上の第1の出力部6及び第2の出力部7である発光ダイオードが全て点灯していないのであれば、コンフィグレーションデータ300が、正しい版数であり、正しい位置のコンフィグレーションメモリ3に書き込まれていると判断でき、論理検証装置10に対して、FPGA評価ボードとしての本来の動作を行なわせることになる。

## 【0055】

50

また、論理検証装置 10 上の第 1 の出力部 6 及び第 2 の出力部 7 である発光ダイオードが 1 個でも点灯しているのであれば、当該点灯した発光ダイオードに対応する F P G A 2 のコンフィグレーションメモリ 3 には、本来書き込まれるべきコンフィグレーションデータ 300 が書き込まれていないと判断できる。したがって、点灯した発光ダイオードに対応する F P G A 2 のコンフィグレーションメモリ 3 に対して、正しいコンフィグレーションデータ 300 を新たに書き込むことになる。

【 0 0 5 6 】

以上のように、本実施形態に係る論理検証装置 10 においては、第 1 の出力部 6 及び第 2 の出力部 7 から出力される情報（例えば、第 1 の出力部 6 及び第 2 の出力部 7 が発光ダイオードであれば、発光ダイオードの点灯の有無）を確認することにより、コンフィグレーションデータ 300 が、正しい位置のコンフィグレーションメモリ 3 に書き込まれているかの妥当性及び正しい版数のコンフィグレーションデータ 300 がコンフィグレーションメモリ 3 に書き込まれているかの妥当性を容易且つ短時間に確認することができるという作用効果を奏する。

10

【 0 0 5 7 】

また、市販の F P G A ツールを用いることなく、コンフィグレーションデータ 300 が正しい位置のコンフィグレーションメモリ 3 に書き込まれているかの妥当性及び正しい版数のコンフィグレーションデータ 300 がコンフィグレーションメモリ 3 に書き込まれているかの妥当性を確認することができるという作用効果を奏する。

20

【 0 0 5 8 】

（本発明の第 2 の実施形態）

図 5 は第 2 の実施形態に係る F P G A 及び A S I C のコンカレント開発の概要を示す説明図、図 6 は図 5 に示す論理検証支援装置の概略構成を示すブロック図、図 7 は本実施形態に係る論理検証支援装置におけるデザインサービスを利用した処理手順を示すフローチャート、図 8 は図 7 に示すフローチャートの続きを示すフローチャート、図 9 は再合成依頼メールの内容の一例を示す説明図、図 10 は本実施形態に係る論理検証支援装置におけるデザインサービスの付加機能を説明するための説明図である。図 5 ~ 図 10 において、図 1 ~ 図 4 と同じ符号は、同一又は相当部分を示し、その説明を省略する。

【 0 0 5 9 】

論理検証支援装置 100 は、受信手段であるメールサーバ 110、メール管理サーバ 120、格納手段である F T P サーバ 130、R T L 版数監視サーバ 140、抽出手段である合成管理サーバ 150、並びにコンフィグレーションデータ生成手段である合成端末装置 160 及び P & R 端末装置 170 から構成される。

30

【 0 0 6 0 】

メールサーバ 110 は、メール送受信ソフトウェアを有するコンピュータであり、メールのフィルタリングを行ない、後述するユーザ端末装置 200 からの情報を後述するメール管理サーバ 120 に出力する。

【 0 0 6 1 】

メール管理サーバ 120 は、依頼メールのスケジューリングを行なうコンピュータであり、依頼メールの情報を格納し、後述する合成端末装置 160 及び P & R 端末装置 170 との間でデータをやりとりする。

40

【 0 0 6 2 】

F T P サーバ 130 は、ファイル転送プロトコル（F T P : File Transfer Protocol）を利用してファイルの送受信を行なうサーバソフトウェアを動作させるコンピュータであり、ユーザ端末装置 200 からの R T L ソースファイル（ターゲットデザイン R T L 310）を格納する。

R T L 版数監視サーバ 140 は、F T P サーバ 130 及び後述する合成管理サーバ 150 からの R T L 版数情報を格納するコンピュータである。

【 0 0 6 3 】

なお、R T L の版数を管理する必要性としては、ユーザが所有する論理検証装置 10 を

50

再利用して、例えば、ターゲットとするS o C (System-on-Chip) の機能を高めるべく、特定のF P G A 2内におけるターゲットデザインR T L 3 1 0の一部を修正したR T L に対して版数を増やして管理する場合が挙げられる。すなわち、ターゲットS o C に対して過去の版数のR T L を流用して設計する場合が想定できる。

【 0 0 6 4 】

また、ユーザによっては、ターゲットS o C のフル機能版や廉価版 (機能削減版) を同時に開発する場合があります。特定のF P G A 2内のターゲットデザインR T L 3 1 0を二重管理 (フル機能版、廉価版) する場合があります。ただし、R T L の版数の変更にあたり、論理検証装置 1 0 の結線情報に変更がないことを前提条件としている。

【 0 0 6 5 】

合成管理サーバ 1 5 0 は、メール管理サーバ 1 2 0 に格納された依頼メールの情報を参照し、依頼メールの情報からR T L 識別情報及びR T L 版数情報を抽出する。また、合成管理サーバ 1 5 0 は、抽出したR T L 版数情報をR T L 版数監視サーバ 1 4 0 に出力すると共に、抽出したR T L 識別情報及びR T L 版数情報を後述する合成端末装置 1 6 0 に出力して論理合成ツールを起動させる。

【 0 0 6 6 】

合成端末装置 1 6 0 は、合成管理サーバ 1 5 0 からのR T L 識別情報及びR T L 版数情報に基づき、メール管理サーバ 1 2 0 に格納された依頼メールの情報から、論理合成の対象である論理検証装置 1 0、及び当該論理検証装置 1 0内の対応するF P G A 2を特定すると共に、当該F P G A 2に対応するターゲットデザインR T L 3 1 0のF T Pサーバ 1 3 0内の格納場所を特定する。また、合成端末装置 1 6 0 は、特定されたターゲットデザインR T L 3 1 0をF T Pサーバ 1 3 0から読み出して、論理合成の対象である論理検証装置 1 0のF P G A 2に対して論理合成を行なう。

【 0 0 6 7 】

P & R 端末装置 1 7 0 は、合成端末装置 1 6 0 からの論理合成結果に基づき、ライブラリ (図 1 2 に示すF P G A 合成結果ライブラリに相当) に登録された各ゲートを隙間なく並べ (Place)、ゲートの端子と端子を接続する (Route)、レイアウトを作成するための端末装置である。

【 0 0 6 8 】

ボード設計者端末装置 1 8 0 は、合成端末装置 1 6 0 及びP & R 端末装置 1 7 0 によって設計された回路図に基づき、論理検証装置 1 0 を製造する設計者 (以下、ボード設計者と称す) が使用する端末装置である。

【 0 0 6 9 】

ユーザ端末装置 2 0 0 は、論理検証支援装置 1 0 0 を用いたデザインサービスが提供されるユーザが使用する端末装置である。ここで、デザインサービスとは、ユーザが、R T L ソースファイル (ターゲットデザインR T L 3 1 0) を、論理検証支援装置 1 0 0 のメールサーバ 1 1 0 に電子メールに添付して送信又はF T Pサーバ 1 3 0 に送付することにより、ネットリストへの論理合成を行なえる自動メール応答型論理合成 (M D L S : Mail Drop Logic Synthesis) サービスのことである。

【 0 0 7 0 】

次に、第 2 の実施形態に係る論理検証支援装置 1 0 0 の処理手順について、図 7 及び図 8 を用いて説明する。

なお、ユーザ端末装置 2 0 0 から入力されるブロック間の接続情報及びブロックのゲート規模をインプット情報 (以下、顧客インプット情報と称す) として、合成端末装置 1 6 0 にて、コア (論理コア) を生成し、論理検証装置 1 0 に搭載するべきF P G A 2の個数の決定を行なうまでの処理 (図 1 2 におけるS 1 0 2 までの処理) については、前述した従来のF P G A 及びA S I C のネットリストを作成する方法と同様の処理を行なうために、説明を省略する。

【 0 0 7 1 】

合成管理サーバ 1 5 0 は、図 1 2 に示すS 1 0 2 及びS 1 0 3 間の処理である、A S I

10

20

30

40

50

C化を行なうデザイン(ターゲットデザイン)を複数のFPGA2に整合するようにコア(論理コア)を分割する処理において、各FPGA2に対してPLD識別情報を割り当て管理する(ステップS201)。なお、合成管理サーバ150は、例えば、図3に示すように、FPGAのチップ名とPLD識別情報とを一意に対応付けた対応表を保持することになる。

#### 【0072】

そして、合成管理サーバ150は、メール管理サーバ120、メールサーバ110及び通信網を介して、ボード設計者端末装置180及び該当する論理合成の依頼を行なったユーザ端末装置200に対して、割り当てたPLD識別情報を通知する(ステップS202)。

10

#### 【0073】

ボード設計者は、論理検証支援装置100から提供される、顧客インプット情報及び論理検証装置10の基本アーキテクチャ(電源系統、クロック系統、リセット系統、評価系統)を検討して反映した論理検証装置10の回路図に対して、論理検証支援装置100から通知されたPLD識別情報を該当するPLD識別情報保持部4に反映して設計する(ステップS203)。また、ボード設計者は、論理検証装置10の回路図に対して、PLD版数情報保持部5、第1の出力部6及び第2の出力部7を反映して設計する。

#### 【0074】

そして、ボード設計者は、PLD識別情報保持部4、PLD版数情報保持部5、第1の出力部6及び第2の出力部7を反映した論理検証装置10の回路図に基づき、図1に示すような論理検証装置10を製造する(ステップS204)。

20

#### 【0075】

そして、ボード設計者は、製造した論理検証装置10の製造性試験を実施する(ステップS205)。

ステップS205において、製造性試験に合格した場合には、試験に合格した論理検証装置10をユーザに提供する(ステップS206)。

#### 【0076】

また、ステップS205において、製造性試験に不合格であった場合には、ステップS204に戻る。

ユーザは、提供された論理検証装置10を用いて、ターゲットデザインのハードデバッグを実施する(ステップS207)。

30

ステップS207において、提供された論理検証装置10に論理ミスを見つけない場合には、論理検証支援装置100の処理を終了する。

#### 【0077】

また、ステップS207において、提供された論理検証装置10に論理ミスを見つけた場合には、ユーザは論理ミスを引き起こしたFPGA2内のブロックを特定し、論理ミスに起因するブロック内のRTLを修正する(ステップS208)。

#### 【0078】

そして、ユーザは、特定したブロックが実装されているFPGA2に対する再度の論理合成(以下、再合成と称す)を、デザインサービス側に依頼する(ステップS209)。この場合に、ユーザは、ユーザ端末装置200を用いて、図9に示すような再合成に必要な情報を記載した再合成依頼メールを、論理検証支援装置100に送信することになる。また、ユーザは、ユーザ端末装置200を用いて、論理ミスに起因するブロック内のRTLを修正したターゲットデザインRTL310(以下、修正ターゲットデザインRTL310と称す)を、論理検証支援装置100内のターゲットデザイン用データベースであるFTPサーバ130に転送する。

40

#### 【0079】

ここで、再合成依頼メールの内容として、再合成の対象となる論理検証装置10の識別情報であるLSIのニックネーム(例えば、LsiName=abcd)及び/又はFPGAのニックネーム(例えば、FPGA=abcd)、当該論理検証装置10内の対象となるFPGA2の識別

50

情報である F P G A のチップ名 (例えば、ChipName=FPGA1)、当該 F P G A 2 の版数情報である F P G A のチップ版数 (例えば、Chipver=XXX)、修正ターゲットデザイン R T L 3 1 0 を格納したディレクトリを指定する R T L 格納ディレクトリ指定 (例えば、R T L / (日付) であり、GetDir=RTL/070611)、並びに修正ターゲットデザイン R T L 3 1 0 の圧縮ファイルを指定する R T L 圧縮ファイル指定 (例えば、[任意ディレクトリ名].asc であり、GetFile=rtl20070611.asc) が挙げられる。

**【 0 0 8 0 】**

そして、論理検証支援装置 1 0 0 のメールサーバ 1 1 0 は、再合成依頼メールを受信して、メール管理サーバ 1 2 0 にデータを出力し (ステップ S 2 1 0)、メール管理サーバ 1 2 0 は、再合成依頼メールの情報を格納する (ステップ S 2 1 1)。

10

**【 0 0 8 1 】**

そして、合成管理サーバ 1 5 0 は、メール管理サーバ 1 2 0 に格納された再合成依頼メールの情報を参照し、再合成依頼メールの情報から F P G A のチップ名 (R T L 識別情報に相当) 及び F P G A のチップ版数 (R T L 版数情報に相当) をスクリプトにより自動的に抽出する (ステップ S 2 1 2)。

**【 0 0 8 2 】**

また、合成管理サーバ 1 5 0 は、F P G A のチップ名 (R T L 識別情報に相当) 及び F P G A のチップ版数 (R T L 版数情報に相当) を、ラッパー R T L 3 2 0 の識別情報比較部 3 2 2 及び版数情報比較部 3 2 4 において判定できるデータ構造とするために、パラメータ化を行なう (ステップ S 2 1 3)。この場合に、R T L 識別情報は、合成管理サーバ 1 5 0 に保持されている対応表 (図 3 参照) を参照し、F P G A のチップ名に基づき、対応する 5 桁の二進数のコードに変換する。

20

**【 0 0 8 3 】**

合成管理サーバ 1 5 0 は、抽出した F P G A のチップ版数 (R T L 版数情報に相当) を R T L 版数監視サーバ 1 4 0 に出力し、R T L 版数監視サーバ 1 4 0 は R T L 版数情報を格納する (ステップ S 2 1 4)。

**【 0 0 8 4 】**

また、合成管理サーバ 1 5 0 は、抽出した F P G A のチップ名及び F P G A のチップ版数並びにパラメータ化した R T L 識別情報及び R T L 版数情報を合成端末装置 1 6 0 に出力して論理合成ツールを起動させる (ステップ S 2 1 5)。

30

**【 0 0 8 5 】**

合成端末装置 1 6 0 は、合成管理サーバ 1 5 0 からの F P G A のチップ名及び F P G A のチップ版数に基づき、メール管理サーバ 1 2 0 に格納された再合成依頼メールの情報から、再合成の対象である論理検証装置 1 0 (L S I のニックネーム及び / 又は F P G A のニックネーム)、及び当該論理検証装置 1 0 内の対応する F P G A 2 (F P G A のチップ名) を特定すると共に、当該 F P G A 2 に対応する修正ターゲットデザイン R T L 3 1 0 の F T P サーバ 1 3 0 内の格納場所 (R T L 格納ディレクトリ指定、R T L 圧縮ファイル指定) を特定する (ステップ S 2 1 6)。

**【 0 0 8 6 】**

また、合成端末装置 1 6 0 は、特定された修正ターゲットデザイン R T L 3 1 0 を F T P サーバ 1 3 0 から読み出す (ステップ S 2 1 7)。

40

そして、合成端末装置 1 6 0 は、再合成の対象である論理検証装置 1 0 の F P G A 2 に対して、修正ターゲットデザイン R T L 3 1 0 並びにパラメータ化した R T L 識別情報及び R T L 版数情報に基づき、再合成を行なう (ステップ S 2 1 8)。この場合には、図 2 に示すように、修正ターゲットデザイン R T L 3 1 0 及び当該修正ターゲットデザイン R T L 3 1 0 の上位階層にあたるラッパー R T L 3 2 0 を含む R T L を生成することになる。

**【 0 0 8 7 】**

これにより、再合成の依頼があった F P G A 2 に対応するコンフィグレーションデータ 3 0 0 として、修正ターゲットデザイン R T L 3 1 0 の他に、当該修正ターゲットデザイ

50

ン R T L 3 1 0 に対応する R T L 識別情報及び R T L 版数情報が自動的に実装されることになる。

【 0 0 8 8 】

合成端末装置 1 6 0 は、 P & R 端末装置 1 7 0 に再合成結果を出力する（ステップ S 2 1 9 ）。

P & R 端末装置 1 7 0 は、合成端末装置 1 6 0 からの再合成結果に基づき、ライブラリ（図 1 2 に示す F P G A 合成結果ライブラリに相当）に登録された各ゲートを隙間なく並べ（Place）、ゲートの端子と端子を接続する（Route）、レイアウトを実施して、F P G A の配置配線情報を作成するフィッティング及び回路要素間の配線を生成するルーティングされたネットリスト情報であるコンフィグレーションデータ 3 0 0 を生成する（ステップ S 2 2 0 ）。

10

【 0 0 8 9 】

また、 P & R 端末装置 1 7 0 は、コンフィグレーションデータ 3 0 0 をメール管理サーバ 1 2 0 に出力し、メール管理サーバ 1 2 0、メールサーバ 1 1 0 及び通信網を介して、再合成の依頼元であるユーザ端末装置 2 0 0 に対して結果レポートを返信する（ステップ S 2 2 1 ）。

【 0 0 9 0 】

結果レポートを受け取ったユーザは、リリースされたコンフィグレーションデータ 3 0 0 を、該当するコンフィグレーションメモリ 3 に書き込む（ステップ S 2 2 2 ）。

そして、ユーザは、図 4 に示すフローチャートによる処理を行なう（ステップ S 2 2 3 ）。

20

そして、ユーザは、各 F P G A 2 に対応する第 1 の出力部 6 及び第 2 の出力部 7 の出力状態（ここでは、発光ダイオードの点灯状態）をそれぞれ確認する。なお、発光ダイオードが点灯しているのであれば、点灯した発光ダイオードに対応する F P G A 2 のコンフィグレーションメモリ 3 に、再合成を依頼した修正ターゲットデザイン R T L 3 1 0 が書き込まれていないことを意味する。

【 0 0 9 1 】

すなわち、ユーザが、コンフィグレーションメモリ 3 にコンフィグレーションデータ 3 0 0 を書き込む際に、誤った位置のコンフィグレーションメモリ 3 に書き込むという操作ミスが発生したことを、簡易且つ短時間に発見することが可能となる。

30

【 0 0 9 2 】

特に、本実施形態に係る論理検証装置 1 0 においては、過去の R T L の版数に戻すユーザからの再合成依頼に対するコンフィグレーションデータ 3 0 0 のリリースについても対応することができる。

【 0 0 9 3 】

すなわち、ユーザは、論理検証装置 1 0 の R T L の版数変更を依頼した F P G A 2 に対応する P L D 版数情報保持部 5 であるロータリースイッチを該当する版数に合わせ、対応する第 2 の出力部 7 である発光ダイオードの点灯状態を確認する。これにより、デザインサービス側からリリースされたコンフィグレーションデータ 3 0 0 が正しい版数の R T L を含むコンフィグレーションデータ 3 0 0 であるかを確認することができ、簡易且つ短時間にデザインサービス側の操作ミスを発見することができる。

40

【 0 0 9 4 】

なお、本実施形態に係る論理検証装置 1 0 においては、ユーザが意図したコンフィグレーションデータが正しい位置のコンフィグレーションメモリ 3 に書き込まれているかの妥当性を判断する場合について説明したが、デザインサービス側がユーザに論理検証装置 1 0 を提供する前における論理検証装置 1 0 の製造性試験においても同様に、各 F P G A 2 に対応する第 1 の出力部 6 及び第 2 の出力部 7 の出力状態（ここでは、発光ダイオードの点灯状態）をそれぞれ確認することで、製造時における人的操作ミスを簡易且つ短時間に発見することが可能となる。これにより、製造性試験の短縮につながり、ユーザに対して迅速に論理検証装置 1 0 を出荷することが可能となる。

50

## 【 0 0 9 5 】

[ 付 記 ] 以上の実施例を含む実施形態に関し、更に以下の付記を開示する。

( 付 記 1 ) 基板上に実装され、動的に内部回路を書き換え可能なプログラマブル・ロジック・デバイスと、前記基板上に実装され、前記プログラマブル・ロジック・デバイスに対応して前記プログラマブル・ロジック・デバイスの内部回路を動的に再構成するコンフィグレーションデータを R T L 及びラッパ R T L として格納されるコンフィグレーションメモリと、前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、当該プログラマブル・ロジック・デバイスに一意に対応する P L D 識別情報を当該プログラマブル・ロジック・デバイスに対して出力する P L D 識別情報保持部と、前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、前記 P L D 識別情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 1 の出力部と、を備え、前記コンフィグレーションデータのラッパ R T L が、当該コンフィグレーションデータの R T L に一意に対応する R T L 識別情報を有すると共に、当該 R T L 識別情報と前記 P L D 識別情報とを比較して相違の有無を判定する判定機能を有することを特徴とする論理検証装置。

10

## 【 0 0 9 6 】

( 付 記 2 ) 前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、当該プログラマブル・ロジック・デバイスに設定されるコンフィグレーションデータのバージョンを示す P L D 版数情報を、前記プログラマブル・ロジック・デバイスに対して出力する P L D 版数情報保持部と、前記基板上に前記プログラマブル・ロジック・デバイスに対応して実装され、前記 P L D 版数情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 2 の出力部と、を備え、前記ラッパ R T L が、前記 R T L に一意に対応し且つ R T L のバージョンを示す R T L 版数情報を有すると共に、当該 R T L 版数情報と前記 P L D 版数情報とを比較して相違の有無を判定する判定機能を有することを特徴とする論理検証装置。

20

## 【 0 0 9 7 】

( 付 記 3 ) 前記論理検証装置を接続するユーザ側の端末装置とデザインサービス側の端末装置とが通信網を介して接続可能とし、前記論理検証装置の論理検証を支援する論理検証支援装置であって、前記 R T L が修正された修正 R T L を格納する格納手段と、前記格納手段における修正 R T L の格納場所の情報並びに当該修正 R T L に一意に対応する前記 R T L 識別情報及び / 又は R T L 版数情報を含むメールによる、前記論理検証装置のプログラマブル・ロジック・デバイスに対する論理合成の依頼メールを受信する受信手段と、前記修正 R T L の格納場所情報並びに R T L 識別情報及び / 又は R T L 版数情報を前記依頼メールから抽出する抽出手段と、前記抽出された修正 R T L の格納場所情報に基づき前記格納手段から修正 R T L を読み出すと共に、当該修正 R T L 並びに前記抽出された R T L 識別情報及び / 又は R T L 版数情報を含む前記ラッパ R T L から前記コンフィグレーションデータを生成するコンフィグレーションデータ生成手段と、を備えていることを特徴とする論理検証支援装置。

30

## 【 0 0 9 8 】

( 付 記 4 ) 前記コンフィグレーションデータは、前記修正 R T L 及びラッパ R T L が、論理合成され、前記プログラマブル・ロジック・デバイスの配置配線情報を作成するフィッティング及び回路要素間の配線を生成するルーティングされたネットリスト情報であることを特徴とする論理検証支援装置。

40

## 【 0 0 9 9 】

( 付 記 5 ) 動的に内部回路を書き換え可能なプログラマブル・ロジック・デバイスと、当該プログラマブル・ロジック・デバイスに対応して当該プログラマブル・ロジック・デバイスの内部回路を動的に再構成するデータとなる R T L 及びラッパ R T L からなるコンフィグレーションデータが格納されるコンフィグレーションメモリと、当該プログラマブル・ロジック・デバイスに対応して当該プログラマブル・ロジック・デバイスに一意に対応する P L D 識別情報を当該プログラマブル・ロジック・デバイスに対して出力する P

50

LD 識別情報保持部と、当該プログラマブル・ロジック・デバイスに対応して当該 PLD 識別情報に基づく当該プログラマブル・ロジック・デバイスによる判定結果を出力する第 1 の出力部と、が基板上に実装された論理検証装置を用いた、当該コンフィグレーションメモリに書き込まれるコンフィグレーションデータの誤書き込みを検証する論理検証方法であって、前記論理検証装置の電源投入により、前記プログラマブル・ロジック・デバイスに対して、前記 RTL における所望の論理回路、並びに前記ラッパ RTL における当該 RTL に一意に対応する RTL 識別情報が組み込まれた RTL 識別情報保持部並びに当該 RTL 識別情報及び前記 PLD 識別情報を比較する識別情報比較部がそれぞれ設定されるステップと、前記識別情報比較部に対して前記 PLD 識別情報が出力されるステップと、前記識別情報比較部に対して前記 RTL 識別情報が出力されるステップと、前記 PLD 識別情報及び RTL 識別情報が比較され、当該 PLD 識別情報及び RTL 識別情報の相違の有無が判定されるステップと、前記識別情報比較部による判定結果が出力されるステップと、を含むことを特徴とする論理検証方法。

10

【図面の簡単な説明】

【0100】

【図1】本実施形態に係る論理検証装置の主要な構成を示す概略図である。

【図2】(a)は図1に示すFPGA内部におけるRTLの構成を示す概念図であり、(b)は図2(a)に示すラッパRTLの構成を示す概念図である。

【図3】PLD識別情報及びRTL識別情報を説明するための説明図である。

【図4】本実施形態に係る論理検証装置の動作を示すフローチャートである。

20

【図5】第2の実施形態に係るFPGA及びASICのコンカレント開発の概要を示す説明図である。

【図6】図5に示す論理検証支援装置の概略構成を示すブロック図である。

【図7】本実施形態に係る論理検証支援装置におけるデザインサービスを利用した処理手順を示すフローチャートである。

【図8】図7に示すフローチャートの続きを示すフローチャートである。

【図9】再合成依頼メールの内容の一例を示す説明図である。

【図10】本実施形態に係る論理検証支援装置におけるデザインサービスの付加機能を説明するための説明図である。

【図11】従来方法の原理を示すフローチャートである。

30

【図12】従来のコンカレント開発システムの動作説明図である。

【符号の説明】

【0101】

- 1 基板
- 2 FPGA
- 3 コンフィグレーションメモリ
- 4 PLD 識別情報保持部
- 5 PLD 版数情報保持部
- 6 第1の出力部
- 7 第2の出力部
- 10 論理検証装置
- 100 論理検証支援装置
- 110 メールサーバ
- 120 メール管理サーバ
- 130 FTPサーバ
- 140 RTL 版数監視サーバ
- 150 合成管理サーバ
- 160 合成端末装置
- 170 R 端末装置
- 180 ボード設計者端末装置

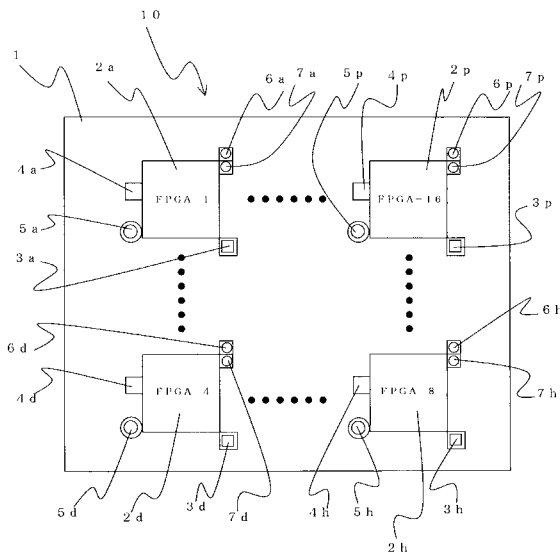
40

50

- 2 0 0 ユーザ端末装置
- 3 0 0 コンフィグレーションデータ
- 3 2 1 R T L 識別情報保持部
- 3 2 2 識別情報比較部
- 3 2 3 R T L 版数情報保持部
- 3 2 4 版数情報比較部

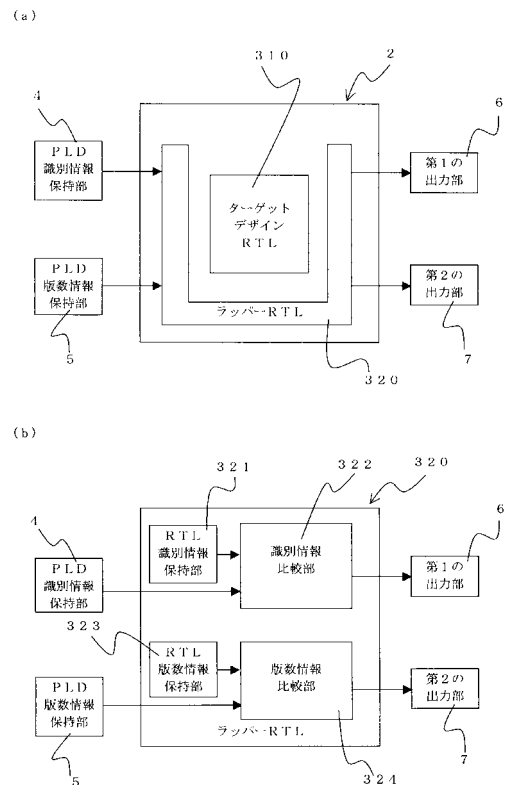
【 図 1 】

本実施形態に係る論理検証装置の主要な構成を示す概略図



【 図 2 】

図1に示すFPGA内部におけるRTLの構成を示す概念図



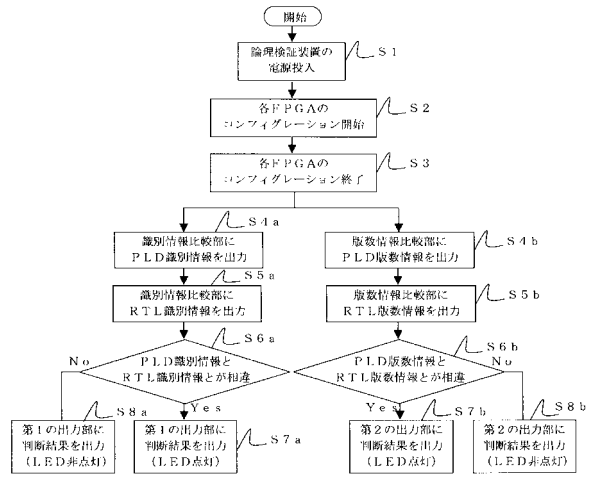
【 図 3 】

PLD識別情報及びRTL識別情報を説明するための説明図

FPGAのチップ名	PLD識別情報/RTL識別情報
FPGA-1	00001
FPGA-2	00010
FPGA-3	00011
FPGA-4	00100
FPGA-5	00101
FPGA-6	00110
FPGA-7	00111
FPGA-8	01000
FPGA-9	01001
FPGA-10	01010
FPGA-11	01011
FPGA-12	01100
FPGA-13	01101
FPGA-14	01110
FPGA-15	01111
FPGA-16	10000

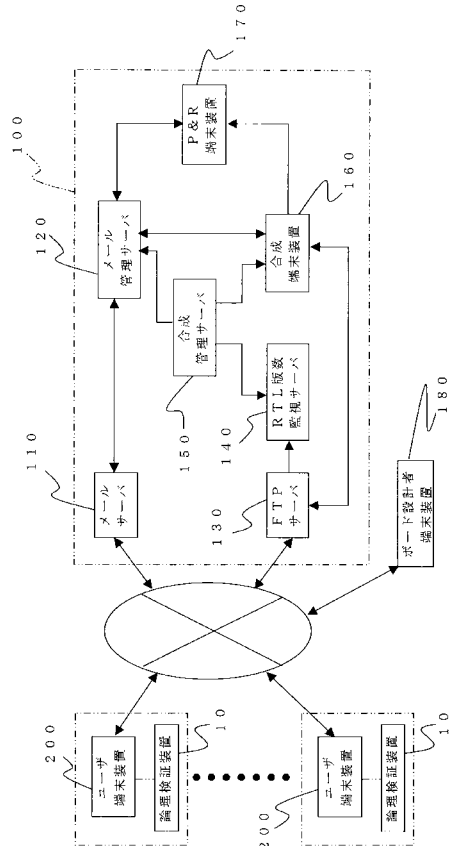
【 図 4 】

本実施形態に係る論理検証装置の動作を示すフローチャート



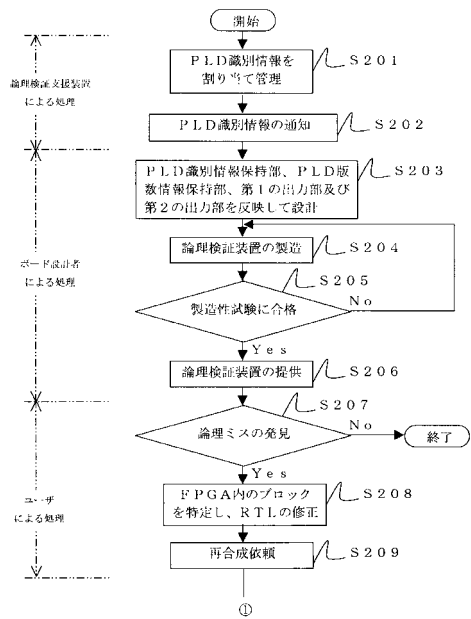
【 図 6 】

図5に示す論理検証支援装置の概略構成を示すブロック図

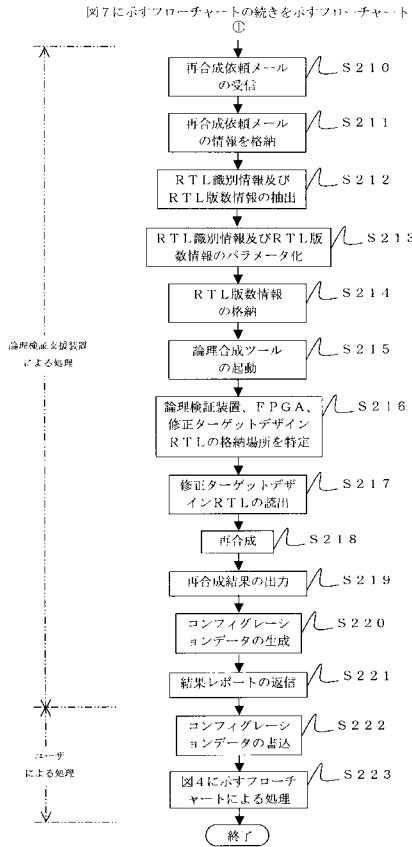


【 図 7 】

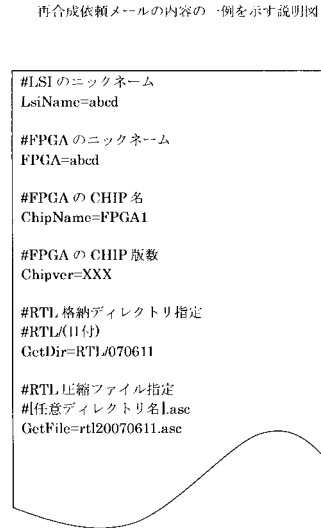
本実施形態に係る論理検証支援装置におけるデザイナー・ピスを利用した処理手順を示すフローチャート



【 図 8 】

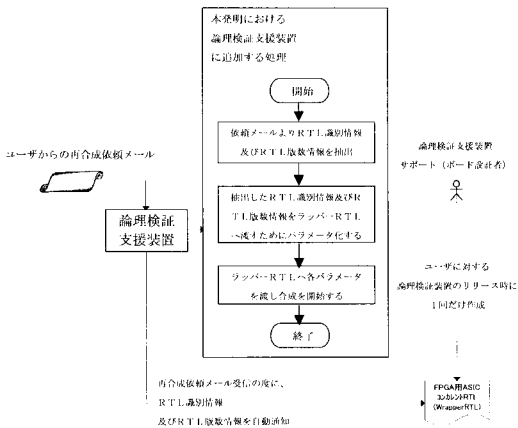


【 図 9 】



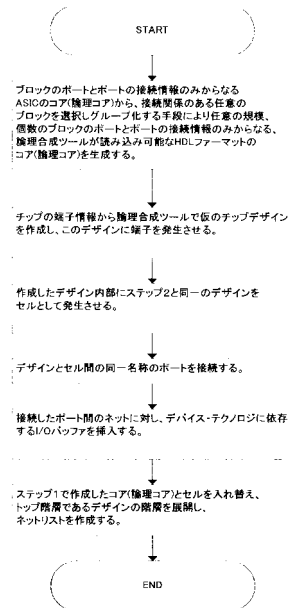
【 図 10 】

本実施形態に係る論理検証支援装置における  
デザインサービスの付加機能を説明するための説明図



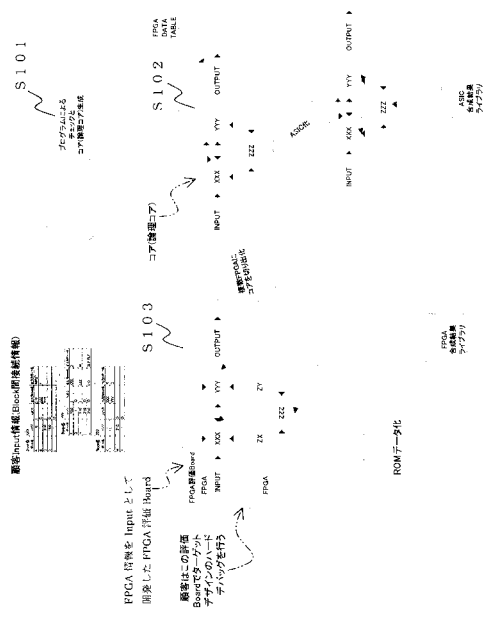
【 図 11 】

従来方法の原理を示すフローチャート



【 図 1 2 】

従来のコンカレント開発システムの動作説明図



【 図 5 】

第2の実施形態に係るFPGA及びASICのコンカレント開発の概要を示す説明図

