

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年5月21日(21.05.2015)



(10) 国際公開番号

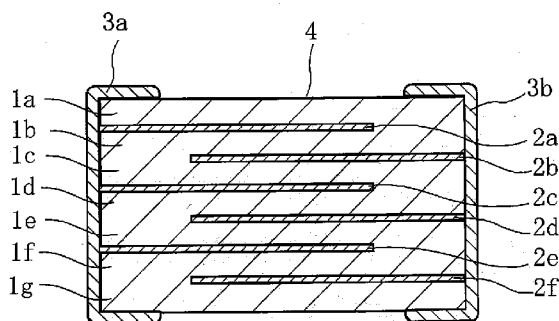
WO 2015/072277 A1

- (51) 国際特許分類:
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
H01B 3/12 (2006.01)
- (21) 国際出願番号: PCT/JP2014/077584
- (22) 国際出願日: 2014年10月16日(16.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-237999 2013年11月18日(18.11.2013) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 川本 光俊(KAWAMOTO Mitsutoshi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 國弘 安俊(KUNIHIRO Yasutoshi); 〒5320011 大阪府大阪市淀川区西中島5丁目14-10 サムティ新大阪フロントビル10階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: VARISTOR-FUNCTION-EQUIPPED STACKED SEMICONDUCTOR CERAMIC CAPACITOR AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称: バリスタ機能付き積層型半導体セラミックコンデンサとその製造方法

Fig. 1



(57) Abstract: A varistor-function-equipped stacked semiconductor ceramic capacitor comprises a component element (4), in which a plurality of semiconductor ceramic layers (1a to 1g) which are formed with a SrTiO₃-type grain boundary insulated semiconductor ceramic, and a plurality of internal electrode layers (2a to 2f), are alternately stacked and sintered. For the semiconductor ceramic, average particle size of crystal particles is less than or equal to 1.0 μm, and a coefficient of variation indicating particle size unevenness of the crystal particles is less than or equal to 30%. The stacked semiconductor ceramic capacitor is fabricated by weighing predetermined amounts of a Sr compound, a Ti compound, and a donor compound, mixing and pulverizing the same, fabricating a calcined powder, introducing a dispersant together with an acceptor compound and wet mixing the same, subsequently fabricating a thermally treated powder, slurring the thermally treated powder and filter-processing the same, and using the filter-processed slurry. As a result, it is possible to achieve a varistor-function-equipped stacked semiconductor ceramic capacitor which can suppress reduction of insulation properties even if ESD repeatedly occurs and secure desired electrical characteristics and which is superior in durability, as well as a manufacturing method for same.

(57) 要約:

[続葉有]

WO 2015/072277 A1



S r T i O₃系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層 1 a ~ 1 g と複数の内部電極層 2 a ~ 2 f とが交互に積層されて焼結されてなる部品素体 4 とを有している。前記半導体セラミックは、結晶粒子の平均粒径が 1 . 0 μ m 以下であり、かつ、前記結晶粒子の粒径バラツキを示す変動係数が 3 0 % 以下である。S r 化合物、T i 化合物、及びドナー化合物を所定量秤量して混合粉砕し、仮焼粉末を作製し、分散剤をアクセプタ化合物と共に添加して湿式混合した後、熱処理粉末を作製し、該熱処理粉末をスラリー化してフィルタ処理し、このフィルタ処理されたスラリーを使用して作製する。これにより繰り返し E S D が生じても絶縁性の低下を抑制でき、所望の電気特性を確保できる耐久性に優れたバリスタ機能付き積層型半導体セラミックコンデンサ及びその製造方法を実現する。

明 細 書

発明の名称：

バリスタ機能付き積層型半導体セラミックコンデンサとその製造方法

技術分野

[0001] 本発明はバリスタ機能付き積層型半導体セラミックコンデンサとその製造方法に関し、より詳しくは SrTiO_3 系粒界絶縁型の半導体セラミックを利用したバリスタ機能を有するバリスタ機能付き積層型半導体セラミックコンデンサとその製造方法に関する。

背景技術

[0002] 近年のエレクトロニクス技術の発展に伴い、携帯電話やノート型パソコン等の携帯用電子機器や、自動車などに搭載される車載用電子機器の普及と共に、電子機器の小型化、多機能化が求められている。

[0003] 一方、電子機器の小型化、多機能化を実現するために、各種IC、LSIなどの半導体素子が多く用いられるようになってきており、それに伴って電子機器のノイズ耐力が低下しつつある。

[0004] このため半導体素子の電源ラインにバイパスコンデンサとしてフィルムコンデンサ、積層型セラミックコンデンサ、積層型半導体セラミックコンデンサなどを配し、これにより電子機器のノイズ耐力を確保することが行われている。

[0005] 特に、カーナビやカーオーディオ、車載ECU等では、静電容量が1 nF程度のコンデンサを外部端子に接続し、これにより高周波ノイズを吸収することが広く行われている。

[0006] しかしながら、これらのコンデンサは、高周波ノイズの吸収に対しては優れた性能を示すが、コンデンサ自体は高電圧パルスや静電気を吸収する機能を有さない。このため斯かる高電圧パルスや静電気が電子機器内に侵入すると、電子機器の誤動作や半導体素子の破損を招くおそれがある。特に、静電容量が1 nF程度の低容量になると、ESD (Electro-Static Discharge :

「静電気放電」) 耐圧が極端に低くなり(例えば、2 k V ~ 4 k V 程度)、コンデンサそのものの破損を招くおそれがある。

[0007] そこで、従来では、図4 (a) に示すように、外部端子101とIC等の半導体素子102とを接続する電源ライン103に接続されたコンデンサ104に対し、ツェナーダイオード105を並列に接続したり、或いは図4 (b) に示すように、前記コンデンサ104に対し、バリスタ106を並列に接続することにより、ESD対策を講じている。

[0008] しかしながら、このようにコンデンサ104に対しツェナーダイオード105やバリスタ106を並列接続した場合は、部品個数が増加しコスト高を招く上に、設置スペースを確保しなければならず、デバイスの大型化を招くおそれがある。

[0009] 一方、SrTiO₃系粒界絶縁型の積層型半導体セラミックコンデンサは、バリスタ特性を有することが知られており、一定の電圧以上の電圧が印加されると大きな電流が流れることから、ESD対策品としても注目されている。

[0010] したがって、この種の積層型半導体セラミックコンデンサが、ESDに対する耐性を有し、半導体素子102の保護をも担うことができれば、図4のツェナーダイオード105やバリスタ106に代え、図5に示すように、1個の積層型半導体セラミックコンデンサ107のみで賄うことができる。そしてこれにより、部品点数の削減や低コスト化と共に、設計の標準化も容易となり、付加価値を有するコンデンサの提供が可能となる。

[0011] そして、特許文献1では、SrTiO₃系粒界絶縁型半導体セラミックに用いられるセラミック粉末であって、比表面積が4.0 m²/g以上8.0 m²/g以下であり、累積90%粒径D₉₀が1.2 μm以下であるセラミック粉末が提案されている。

[0012] この特許文献1では、Sr化合物、Ti化合物、及びドナー化合物を所定量秤量して混合粉碎し、仮焼処理を行って仮焼粉末を作製した後、分散剤をアクセプタ化合物と共に仮焼粉末に添加し、所定時間湿式で混合しながら分

散させ、その後熱処理を行うことにより、比表面積が $4.0 \text{ m}^2/\text{g}$ 以上 $8.0 \text{ m}^2/\text{g}$ 以下であり、かつ累積90%粒径 D_{90} が $1.2 \mu\text{m}$ 以下の熱処理粉末を作製している。

[0013] そして、特許文献1では、上記熱処理粉末を使用することにより、焼成後の結晶粒子が粗大化するのを抑制し、これにより良好なESD耐圧を有する半導体セラミックコンデンサを得ようとしている。

先行技術文献

特許文献

[0014] 特許文献1：国際公開2012/176714号（請求項1～3、段落番号〔0040〕～〔0049〕）

発明の概要

発明が解決しようとする課題

[0015] しかしながら、本発明者の研究結果により、特許文献1では、初期の絶縁性は良好であってもESDが繰り返し発生すると絶縁性の低下を招き、所望の耐久性を確保することが困難になることが分かった。その理由は以下のよう考えられる。

[0016] 上述したように特許文献1では、比表面積が $4.0 \text{ m}^2/\text{g}$ 以上 $8.0 \text{ m}^2/\text{g}$ 以下であり、かつ累積90%粒径 D_{90} が $1.2 \mu\text{m}$ 以下の熱処理粉末を使用し、焼結体である半導体セラミックを作製している。

[0017] しかしながら、この熱処理粉末は、仮焼粉末とアクセプタ化合物とを混合させる際に分散剤を添加し、結晶粒子の凝集を抑制しているものの、セラミックスラリーの作製過程で結晶粒子が凝集して結晶粒子の粗大化を招き、このため結晶粒子の粒径バラツキが大きくなる。そして、このような粒径バラツキの大きな熱処理粉末を使用して半導体セラミックを作製すると、半導体セラミック中には局所的に粗大化した結晶粒子が存在し、このためESDが繰り返し発生すると、絶縁抵抗の顕著な低下を招き、ESDに対する耐久性（ESD耐性）が劣化するものと思われる。

[0018] 一方、携帯用電子機器や車載用電子機器の高性能化と共に、半導体セラミックコンデンサのより一層の耐久性・信頼性が求められている。そして、そのためには極めて厳しい条件下でもESD耐性を確保できるのが望ましく、例えば1000回程度のESDが繰り返し発生しても耐性を確保できる耐久性の良好なバリスタ機能付き積層型半導体セラミックコンデンサの出現が求められている。

[0019] 本発明はこのような事情に鑑みなされたものであって、繰り返しESDが生じても絶縁性の低下を抑制でき、所望の電気特性を確保できる耐久性に優れたバリスタ機能付き積層型半導体セラミックコンデンサ及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0020] 本発明者は、上記目的を達成するために、 SrTiO_3 系粒界絶縁型の積層型半導体セラミックコンデンサについて鋭意研究を行ったところ、結晶粒子の平均粒径 D_{ave} が $1.0\mu\text{m}$ 以下であり、かつ、結晶粒子の粒径バラツキを示す変動係数 CV が30%以下の半導体セラミックを使用することにより、繰り返しESDが生じても絶縁性の低下を抑制でき、かつ所望の電気特性を確保できる耐久性に優れた積層型半導体セラミックコンデンサを得ることができるという知見を得た。

[0021] 本発明はこれらの知見に基づきなされたものであって、本発明に係るバリスタ機能付き積層型半導体セラミックコンデンサ（以下、単に「積層型半導体セラミックコンデンサ」という。）は、 SrTiO_3 系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層と複数の内部電極層とが交互に積層されて焼結されてなる積層焼結体と、該積層焼結体の両端部に前記内部電極層と電氣的に接続された外部電極とを有するバリスタ機能付き積層型半導体セラミックコンデンサにおいて、前記半導体セラミックは、結晶粒子の平均粒径 D_{ave} が $1.0\mu\text{m}$ 以下であり、かつ、前記結晶粒子の粒径バラツキを示す変動係数 CV が30%以下であることを特徴としている。

[0022] このように半導体セラミック中の結晶粒子の平均粒径 D_{ave} と変動係数 CV

とを規定することにより、半導体セラミック層は局所的に粗大化した結晶粒子が存在するのを回避することができ、結晶粒子は微粒で粒度分布の均一性が向上することから、ESDが繰り返し発生しても、絶縁性の低下を抑制することが可能となり、所望の電気特性を有する耐久性に優れた積層型半導体セラミックコンデンサを得ることができる。

[0023] また、本発明の積層型半導体セラミックコンデンサは、前記半導体セラミックは、SrサイトとTiサイトとの配合モル比 m は $0.990 \leq m \leq 1.010$ であり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、前記Ti元素100モルに対し0.7モル以下（ただし、0モルを含まず。）の範囲で粒界層中に存在しているのが好ましい。

[0024] また、本発明の積層型半導体セラミックコンデンサは、前記アクセプタ元素が、Mn、Co、Ni、及びCrのうちの少なくとも1種の元素であるのが好ましい。

[0025] また、本発明の積層型半導体セラミックコンデンサは、前記ドナー元素が、La、Nd、Sm、Dy、Nb、及びTa中から選択された少なくとも1種の元素であるのが好ましい。

[0026] また、本発明の積層型半導体セラミックコンデンサは、低融点酸化物が、前記Ti元素100モルに対し0.1モル以下の範囲で含有されているのが好ましい。

[0027] さらに、本発明の積層型半導体セラミックコンデンサは、前記低融点酸化物が、 SiO_2 であるのが好ましい。

[0028] また、本発明の積層型半導体セラミックコンデンサは、前記内部電極が、Niを主成分とするのが好ましい。

[0029] また、上記積層型半導体セラミックコンデンサは、Sr化合物、Ti化合物、及びドナー化合物を所定量秤量して混合粉碎し、仮焼処理を行って仮焼粉末を作製し、その後分散剤をアクセプタ化合物と共に添加して湿式混合した後、熱処理を行って熱処理粉末を作製し、この熱処理粉末をスラリー化して得たセラミックスラリーにフィルタ処理を施し、これにより凝集等により

生じた結晶粒子中の粗粒を除去し、この粗粒が除去されたセラミックスラリーを使用して作製することができる。

[0030] すなわち、本発明に係る積層型半導体セラミックコンデンサの製造方法は、S r 化合物、T i 化合物、及びドナー化合物を所定量秤量して混合粉碎した後、焼成後の平均粒径 D_{ave} が $1.0\mu m$ 以下となるように仮焼処理を行って仮焼粉末を作製する仮焼粉末作製工程と、前記仮焼粉末に少なくともアクセプタ化合物及び分散剤を添加して混合し、熱処理を行って熱処理粉末を作製する熱処理粉末作製工程と、前記熱処理粉末をスラリー化してセラミックスラリーを作製するスラリー作製工程と、焼成後の結晶粒子の粒径バラツキを示す変動係数 CV が 30% 以下となるように、前記セラミックスラリーにフィルタ処理を施すフィルタ処理工程と、前記フィルタ処理されたセラミックスラリーに成形加工を施してセラミックグリーンシートを作製し、その後導電膜とセラミックグリーンシートとを交互に積層して積層体を形成する積層体形成工程と、還元雰囲気下、前記積層体に一次焼成処理を行った後、弱還元雰囲気下、大気雰囲気下、又は酸化性雰囲気下で二次焼成処理を行う焼成工程とを含むことを特徴としている。

[0031] また、本発明の積層型半導体セラミックコンデンサの製造方法は、前記フィルタ処理工程は、孔径が円換算で $30\mu m$ 以下のフィルタに前記セラミックスラリーを通過させてフィルタ処理を行うのが好ましい。

[0032] これによりセラミックスラリー中の凝集等により生じた粗粒を効果的に除去することができる。

[0033] また、本発明の積層型半導体セラミックコンデンサの製造方法は、前記フィルタは、孔径が円換算で $5\mu m$ 以上であるのが好ましい。

[0034] これによりフィルタに目詰まりが生じるのを抑制でき、作業効率の低下を極力回避しつつ所望の積層型半導体セラミックコンデンサを得ることができる。

[0035] また、本発明の積層型半導体セラミックコンデンサの製造方法は、前記フィルタ処理を複数回行うのが好ましい。

[0036] これにより、結晶粒子に粒径バラツキが生じるのをより一層効果的に抑制することができる。

[0037] また、本発明の積層型半導体セラミックコンデンサの製造方法は、前記分散剤の含有量は、前記仮焼粉末 100 重量部に対し 1 ～ 3 重量部であるのが好ましい。

[0038] これにより、所望の分散状態でセラミックスラリーにフィルタ処理を施すことが可能となる。

[0039] また、本発明の積層型半導体セラミックコンデンサの製造方法は、前記一次焼成処理における焼成温度は、前記仮焼処理における仮焼温度よりも低いのが好ましい。

[0040] これにより一次焼成処理で結晶粒子の粒成長が促進されることが殆どなく、結晶粒子の粗大化が抑制され、結晶粒子の粒径は仮焼粉末作製時の仮焼温度によって制御することが可能となる。

発明の効果

[0041] 上記積層型半導体セラミックコンデンサによれば、 SrTiO_3 系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層と複数の内部電極層とが交互に積層されて焼結されてなる積層焼結体と、該積層焼結体の両端部に前記内部電極層と電氣的に接続された外部電極とを有するバリスタ機能付き積層型半導体セラミックコンデンサにおいて、前記半導体セラミックは、結晶粒子の平均粒径 D_{ave} が $1.0 \mu\text{m}$ 以下であり、かつ、前記結晶粒子の粒径バラツキを示す変動係数 CV が 30% 以下であるので、半導体セラミック層は局所的に粗大化した粒子が存在するのを回避することができ、結晶粒子は微粒で粒度分布の均一性が向上する。したがって、ESD が繰り返し発生しても、絶縁性の低下を抑制することが可能となり、所望の電気特性を有する耐久性に優れた積層型半導体セラミックコンデンサを得ることができる。

[0042] そしてその結果、コンデンサとツェナーダイオードの機能を 1 個の積層型半導体セラミックコンデンサで実現することが可能となり、部品点数が削減

され、低コスト化が可能となり、設計の標準化も容易となり、ESD耐性が良好で信頼性に優れた付加価値を有する積層型半導体セラミックコンデンサを実現することが可能となる。

[0043] また、本発明の積層型半導体セラミックコンデンサの製造方法によれば、Sr化合物、Ti化合物、及びドナー化合物を所定量秤量して混合粉碎した後、焼成後の平均粒径 D_{ave} が $1.0\mu m$ 以下となるように仮焼処理を行って仮焼粉末を作製する仮焼粉末作製工程と、前記仮焼粉末に少なくともアクセプタ化合物及び分散剤を添加して混合し、熱処理を行って熱処理粉末を作製する熱処理粉末作製工程と、前記熱処理粉末をスラリー化してセラミックスラリーを作製するスラリー作製工程と、焼成後の結晶粒子の粒径バラツキを示す変動係数CVが30%以下となるように、前記セラミックスラリーにフィルタ処理を施すフィルタ処理工程と、前記フィルタ処理されたセラミックスラリーに成形加工を施してセラミックグリーンシートを作製し、その後導電膜とセラミックグリーンシートとを交互に積層して積層体を形成する積層体形成工程と、還元雰囲気下、前記積層体に一次焼成処理を行った後、弱還元雰囲気下、大気雰囲気下、又は酸化性雰囲気下で二次焼成処理を行う焼成工程とを含むので、結晶粒子同士の凝集によって粗大化した粒子をフィルタ処理によって除去することができ、微粒かつ粒径バラツキが抑制された半導体セラミックが得られる。そしてこれによりESDが繰り返し発生しても絶縁性の低下が抑制された所望の電気特性を有する耐久性・信頼性に優れた積層型半導体セラミックコンデンサを得ることができる。

図面の簡単な説明

[0044] [図1]本発明に係る積層型半導体セラミックコンデンサの一実施の形態を模式的に示す断面図である。

[図2]本実施例で作製された積層型半導体セラミックコンデンサを模式的に示す斜視図である。

[図3]図2の縦断面図である。

[図4]電源ラインに配されたバイパスコンデンサにツェナーダイオード又はバ

リスタを並列接続した場合の電気回路図である。

[図5]コンデンサにバリスタ機能を持たせた積層型半導体セラミックコンデンサを電源ラインに接続した場合の電気回路図である。

発明を実施するための形態

[0045] 次に、本発明の実施の形態を詳説する。

[0046] 図1は本発明に係る積層型半導体セラミックコンデンサの一実施の形態を模式的に示す断面図である。

[0047] この積層型半導体セラミックコンデンサは、部品素体（積層焼結体）4と、該部品素体4の両端部に形成された外部電極3a、3bとを備えている。

[0048] 部品素体4は、 SrTiO_3 系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層1a～1gと複数の内部電極層2a～2fとが交互に積層されて焼結されてなる積層焼結体からなり、内部電極層2a、2c、2eは、部品素体4の一方の端面に露出すると共に、一方の外部電極3aと電氣的に接続され、内部電極層2b、2d、2fは、部品素体4の他方の端面に露出すると共に、他方の外部電極3bと電氣的に接続されている。

[0049] 半導体セラミック層1a～1gは、主成分が SrTiO_3 系材料からなり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、粒界層中に存在している。すなわち、半導体セラミック層1a～1gは、微視的には半導体セラミックからなる複数の結晶粒子と、結晶粒子の周囲に形成される粒界層とからなり（図示せず）、結晶粒子同士が粒界層を介して静電容量を形成する。そしてこれらが内部電極層2a、2c、2eと内部電極層2b、2d、2fとの対向面間で直列に、或いは並列に繋がることで、全体として所望の静電容量を得ている。

[0050] 尚、内部電極層2a～2fに使用される内部電極材料は、特に限定されるものではないが、通常は低コストで良導電性を有するNiを主成分とした卑金属材料が好んで使用される。

[0051] また、外部電極3a、3bに使用される外部電極材料も、特に限定されるものではなく、Ni、Cr、Cu、Ga、Inやこれらを含有了合金類を

使用することができる。そして、外部電極 3 a、3 b は、これらの外部電極材料を使用して単層構造又は多層構造に形成することができ、また、これらの外表面に A g 層を形成するのも好ましく、さらにはこれらを下地電極として N i や S n 等からなるめっき皮膜を形成し、外部電極 3 a、3 b としてもよい。

[0052] そして、上記積層型半導体セラミックコンデンサは、半導体セラミック層 1 a ~ 1 g を形成する半導体セラミックが、結晶粒子の平均粒径 D_{ave} は 1.0 μm 以下であり、かつ、前記結晶粒子の粒径バラツキを示す変動係数 C V が 30 % 以下とされている。

[0053] このように半導体セラミックを形成する結晶粒子の平均粒径 D_{ave} と粒径バラツキを規定することにより、半導体セラミック層は局所的に粗大化した結晶粒子が存在することなく、結晶粒子は微粒で粒度分布のバラツキが抑制されることから、繰り返し E S D が生じても所望の E S D 耐圧を確保できる良好な耐久性を有する積層型半導体セラミックコンデンサを得ることができる。

[0054] 以下、結晶粒子の平均粒径 D_{ave} 及び結晶粒子の変動係数 C V を上述のように規定した理由を述べる。

[0055] (1) 結晶粒子の平均粒径 D_{ave}

結晶粒子の粒径バラツキは後述するように変動係数 C V で評価することができるが、結晶粒子の平均粒径 D_{ave} が 1.0 μm を超えると、結晶粒子の粒度分布が過度に広がり、変動係数 C V を 30 % 以下に抑制するのが困難となる。そしてその結果、粒径バラツキが大きくなることから、初期の絶縁性は良好であっても E S D が繰り返し発生すると絶縁性の低下を招き、所望の耐久性を確保することが困難となる。

[0056] そこで、本実施の形態では、結晶粒子の平均粒径 D_{ave} が 1.0 μm 以下となるようにしている。

[0057] (2) 結晶粒子の変動係数 C V

結晶粒子の粒径バラツキは、数式 (1) に示すように、標準偏差 σ と平均

粒径 D_{ave} との比を百分率で表した変動係数 CV で評価することができる。

[0058] $CV = (\sigma / D_{ave}) \times 100 \dots (1)$

[0059] この変動係数 CV が 30% を超えると、結晶粒子の一次粒径の平均が 1.0 μm 以下であっても、凝集等により粗大化した結晶粒子が半導体セラミック中に局所的に偏在することから、初期の絶縁性は良好であっても繰り返し ESD が発生すると絶縁性の低下を招き、所望の十分な耐久性を確保することが困難である。

[0060] そこで、本実施の形態では、変動係数 CV を 30% 以下に規定している。

[0061] このように上記積層型半導体セラミックコンデンサでは、半導体セラミック層 1a ~ 1g を形成する半導体セラミックが、結晶粒子の平均粒径 D_{ave} は 1.0 μm 以下であり、かつ、結晶粒子の粒径バラツキを示す変動係数 CV が 30% 以下であるので、半導体セラミック層 1a ~ 1g 中で局所的に粗大化した結晶粒子が存在するのを回避することができ、結晶粒子は微粒で粒度分布の均一性が向上する。したがって、 ESD が繰り返し発生しても、絶縁性の低下を抑制することが可能となり、所望の電気特性を有する耐久性に優れた積層型半導体セラミックコンデンサを得ることができる。

[0062] そしてその結果、コンデンサとツェナーダイオードの機能を 1 個の積層型半導体セラミックコンデンサで実現することが可能となり、部品点数が削減され、低コスト化が可能となり、設計の標準化も容易となり、 ESD 耐性が良好で信頼性に優れた付加価値を有する積層型半導体セラミックコンデンサを実現することができる。

[0063] 尚、本実施の形態では、 Sr サイトと Ti サイトとの配合モル比 m は特に限定されるものではないが、 $0.990 \leq m \leq 1.010$ となるように調製するのが好ましい。

[0064] すなわち、 Sr を化学量論組成よりも過剰に含有させることにより、結晶粒子に固溶されずに結晶粒界に析出した Sr が粒成長を抑制し、これにより微粒の結晶粒子が得られる。そして結晶粒子が微粒化することによって結晶粒界に酸素が行き渡りやすくなり、ショットキー障壁の形成を促進し、良好

な絶縁性の確保に寄与する。

[0065] ただし、配合モル比 m は1.010を超えると、結晶粒子に固溶されなかったSrの結晶粒界への析出が増加し、粒界絶縁層の厚みが過度に厚くなって静電容量の低下を招くおそれがある。

[0066] 一方、配合モル比 m が0.990未満になると、Tiの含有モル量が過剰となり、結晶粒子が粗大化傾向となり、絶縁性の低下を招くおそれがある。

[0067] したがって、配合モル比 m は特に限定されないものの、 $0.990 \leq m \leq 1.010$ となるように調製するのが好ましい。

[0068] 尚、ドナー元素は、上述したように還元雰囲気中で焼成処理を行ってセラミックを半導体化するために結晶粒子中に固溶させているが、その含有量は特に限定されない。ただし、ドナー元素がTi元素100モルに対し0.2モル未満の場合は静電容量の過度の低下を招くおそれがある。一方、ドナー元素がTi元素100モルに対し1.2モルを超えると焼成温度の許容温度幅が狭くなるおそれがある。

[0069] したがって、ドナー元素の含有モル量はTi元素100モルに対し0.2～1.2モル、好ましくは0.4～1.0モルがよい。

[0070] そして、このようなドナー元素としては、特に限定されるものではなく、例えば、例えば、La、Nd、Sm、Dy、Nb、及びTa等を使用することができる。

[0071] また、アクセプタ元素は、上述したように粒界絶縁層中に存在する。粒界絶縁層は、電氣的に活性化するエネルギー準位（粒界準位）を形成してショットキー障壁の形成を促進し、これにより絶縁抵抗が向上し、良好な絶縁性を有する積層型半導体セラミックコンデンサを得ることができる。ただし、アクセプタ元素の含有モル量がTi元素100モルに対し0.7モルを超えると、ESD耐圧の低下を招き、好ましくない。

[0072] したがって、アクセプタ元素の含有モル量をTi元素100モルに対し0.7モル以下（ただし、0モルを含まず。）、好ましくは0.3～0.5モルが好ましい。

[0073] そして、このようなアクセプタ元素としては、特に限定されるものではないが、Mn、Co、Ni、Cr等を使用することができ、特にMnが好んで使用される。

[0074] また、上記半導体セラミック層1a～1g中に、Ti元素100モルに対し、0.1モル以下の範囲で低融点酸化物を添加するのも好ましく、このような低融点酸化物を添加することにより、焼結性を向上させることができると共に上記アクセプタ元素の結晶粒界への偏析を促進することができる。

[0075] 尚、低融点酸化物の含有モル量を上記範囲としたのは、その含有モル量がTi元素100モルに対し、0.1モルを超えると静電容量の過度の低下を招き、所望の電気特性が得られないおそれがあるからである。

[0076] また、低融点酸化物としては、特に限定されるものではなく、SiO₂、Bやアルカリ金属元素（K、Li、Na等）を含有したガラスセラミック、銅ータングステン塩等を使用することができるが、SiO₂が好んで使用される。

[0077] 次に、上記積層型半導体セラミックコンデンサの製造方法の一実施の形態を説明する。

[0078] まず、セラミック素原料としてSrCO₃等のSr化合物、LaやSm等のドナー元素を含有したドナー化合物、及び、例えば比表面積が10m²/g以上（平均粒径：約0.1μm以下）のTiO₂等、微粒のTi化合物をそれぞれ用意し、所定量秤量する。

[0079] 次いで、この秤量物100重量部に対し、例えば1～3重量部の分散剤を添加し、PSZ（Partially Stabilized Zirconia；「部分安定化ジルコニア」）ボール等の粉碎媒体及び純水と共にボールミルに投入し、該ボールミル内で十分に湿式混合してスラリーを作製する。

[0080] 次に、このスラリーを蒸発乾燥させた後、大気雰囲気下、所定温度（例えば、1350℃～1450℃）で2時間程度、仮焼処理を施し、ドナー元素が固溶した仮焼粉末を作製する。

[0081] 次いで、MnやCo等のアクセプタ元素を含有したアクセプタ化合物を所

定量秤量し、必要に応じて SiO_2 等の低融点酸化物を所定量秤量する。次いでこれらアクセプタ化合物及び低融点酸化物を前記仮焼粉末と混合し、さらには所定量の分散剤及び純水を添加し、再度前記粉碎媒体と共にボールミルに投入し、該ボールミル内で十分に湿式で混合し、混合物を得る。

[0082] 上記分散剤は、混合物中の結晶粒子が互いに凝集して粗大化するのを回避するために添加される。すなわち、分散剤を添加しない場合は、後述するフィルタ処理を行っても、結晶粒子同士が凝集して粒径の粗大化を招き、焼成後の結晶粒子の平均粒径 D_{ave} を $1.0\mu\text{m}$ 以下に抑制することが困難となり、また、粒径バラツキも大きくなって変動係数 CV を 30% 以下に抑制するのが困難となる。

[0083] そこで、本実施の形態では、アクセプタ化合物等に加え、分散剤を仮焼粉末に添加し、所定時間（例えば、 $48\sim 64$ 時間）、湿式で十分に混合し、混合物を得ている。

[0084] 尚、分散剤の含有量は、混合物中の結晶粒子の凝集を回避できる程度でよく、例えば仮焼粉末 100 重量部に対し $1\sim 3$ 重量部の分散剤を添加することができる。

[0085] また、分散剤の種類は、特に限定されるものではないが、通常はポリカルボン酸アンモニウム塩等の有機系分散剤を好んで使用することができる。

[0086] 次いで、上記混合物を蒸発乾燥させた後、大気雰囲気下、所定温度（例えば、 $500\sim 700^\circ\text{C}$ ）で 5 時間程度、熱処理を行い、熱処理粉末を作製する。

[0087] 次に、この熱処理粉末にトルエン、アルコール等の有機溶媒や有機バインダ、可塑剤、界面活性剤等を適宜添加して十分に湿式で混合し、これによりセラミックスラリーを得る。

[0088] 次に、セラミックスラリーにフィルタ処理を施し、セラミックスラリー中の粗粒を除外する。すなわち、混合物の作製時に分散剤を添加していることから、熱処理粉末中の結晶粒子は凝集することなく分散した状態を維持しているが、その後のセラミックスラリー作製時に凝集して粗大化した粒子が形

成され、このため粒径バラツキが大きくなる。

[0089] そこで、セラミックスラリーをフィルタに通過させてフィルタ処理を行い、これにより凝集等により形成された粗粒を除外し、変動係数C Vが30%以下となるように粒径バラツキを抑制している。

[0090] ここで、前記フィルタの孔径としては、変動係数C Vが30%以下となるように粗粒を排除できるのであれば特に限定されるものではないが、凝集した粗粒を効果的に取り除くためには、フィルタの孔径は円換算で30 μ m以下が好ましい。

[0091] ただし、フィルタの孔径が過度に小さくなると、目詰まり等により作業効率の低下を招くおそれがあることから、フィルタの孔径は円換算で5 μ m以上が好ましく、10 μ m以上がより好ましい。

[0092] また、フィルタ処理を複数回繰り返し行うのも好ましく、これにより、より一層、凝集等により形成された粗粒を効果的に取り除くことができ、変動係数C Vが更に低下し、粒径バラツキを抑制することができる。

[0093] 次に、ドクターブレード法、リップコータ法、ダイコータ法等の成形加工法を使用してセラミックスラリーに成形加工を施し、セラミックグリーンシートを作製する。

[0094] 次いで、Ni等を主成分とした内部電極用導電性ペーストを使用してセラミックグリーンシート上にスクリーン印刷法、グラビア印刷法、又は真空蒸着法、スパッタリング法などを用いた転写等を施し、前記セラミックグリーンシートの表面に所定パターンの導電膜を形成する。

[0095] 次いで、導電膜が形成されたセラミックグリーンシートを所定方向に複数枚積層すると共に、導電膜の形成されていない外装用のセラミックグリーンシートを積層した後、圧着し、所定寸法に切断して積層体を作製する。

[0096] そしてこの後、窒素雰囲気下、300～500℃の温度で2時間程度、脱バインダ処理を行なう。次いで、H₂ガスとN₂ガスが所定の流量比（例えば、H₂/N₂=0.025/100～1/100）となるように還元雰囲気とされた焼成炉を使用し、該焼成炉内で、1200～1250℃の温度で2時

間程度、一次焼成を行い、積層体を半導体化する。

- [0097] このように一次焼成処理における焼成温度（ $1200 \sim 1250^{\circ}\text{C}$ ）を、仮焼処理における仮焼温度（ $1350 \sim 1450^{\circ}\text{C}$ ）よりも低くすることにより、一次焼成処理において結晶粒子の粒成長が促進されることがほとんどなく、結晶粒子の粗大化を抑制することができ、これにより Sr と Ti との配合モル比 m と相俟って結晶粒子の平均粒径 D_{ave} を容易に $1.0 \mu\text{m}$ 以下にすることができる。
- [0098] そして、このように積層体を半導体化した後、大気雰囲気下、 $600 \sim 900^{\circ}\text{C}$ の低温で1時間程度、二次焼成を行い半導体セラミックに再酸化処理を施し、酸素を結晶粒界に拡散させる。そしてこれにより結晶粒界は絶縁化されて粒界絶縁層となり、該結晶粒界にショットキー障壁が形成され、絶縁抵抗を向上させることができ、内部電極2が埋設された積層焼結体からなる部品素体4が作製される。
- [0099] その後、部品素体4の両端部に外部電極用導電性ペーストを塗布し、焼付処理を行い、外部電極3a、3bを形成し、これにより積層型半導体セラミックコンデンサが製造される。
- [0100] このように本実施の形態では、一次焼成処理における焼成温度（ $1200 \sim 1250^{\circ}\text{C}$ ）を、前記仮焼処理における仮焼温度（ $1350 \sim 1450^{\circ}\text{C}$ ）よりも低くしているので、一次焼成時に結晶粒子が粗大化するのを極力抑制できることから、 Sr と Ti との配合モル比 m と相俟って結晶粒子の平均粒径 D_{ave} を $1.0 \mu\text{m}$ 以下とすることができる。
- [0101] しかも、 Sr 化合物、 Ti 化合物、及びドナー化合物を所定量秤量して混合粉碎し、仮焼処理を行って仮焼粉末を作製した後、アクセプタ化合物を添加して熱処理を行い、熱処理粉末を作製し、この熱処理粉末に分散剤を含有した溶媒を添加してセラミックスラリー化し、このセラミックスラリーにフィルタ処理を施し、凝集等している粗粒を除去し、これらの粗粒が除去されたセラミックスラリーを使用しているので、半導体セラミック中の結晶粒子の変動係数 CV を30%以下に低下させることができ、これにより粒径バラ

ツキを抑制することができる。

[0102] このように結晶粒子の平均粒径 D_{ave} が $1.0\mu m$ 以下であり、かつ結晶粒子の粒径バラツキを示す変動係数 CV が 30% 以下の半導体セラミックを使用して積層型半導体セラミックコンデンサを作製することにより、繰り返し ESD が生じても絶縁性が低下することもなく所望の電気特性を有する耐久性に優れた積層型半導体セラミックコンデンサを得ることができる。そしてその結果、コンデンサとツェナーダイオードの機能を1個の積層型半導体セラミックコンデンサで実現することが可能となり、部品点数が削減され、低コスト化が可能となり、設計の標準化も容易となり、信頼性に優れた付加価値を有する積層型半導体セラミックコンデンサを実現することができる。

[0103] 尚、本発明は上記実施の形態に限定されるものではない。例えば、上記実施の形態では、固溶体を固相法で作製しているが、固溶体の作製方法は特に限定されるものではなく、例えば水熱合成法、ゾル・ゲル法、加水分解法、共沈法等任意の方法を使用することができる。

[0104] 次に、本発明の実施例を具体的に説明する。

実施例

[0105] [試料の作製]

セラミック素原料として $SrCO_3$ 、比表面積が $30m^2/g$ （平均粒径：約 $30nm$ ）の TiO_2 、及びドナー化合物としての $LaCl_3$ を用意した。そして、 Sr サイトと Ti サイトとの配合モル比 m （= Sr サイト/ Ti サイト）が 1.000 となるように $SrCO_3$ 及び TiO_2 を秤量し、 La の含有量が Ti 元素 100 モルに対し 0.8 モルとなるように $LaCl_3$ を秤量した。

[0106] 次に、これらの秤量物 100 重量部に対し 3 重量部のポリカルボン酸アンモニウム塩を分散剤として添加した後、粉碎媒体として直径 $2mm$ の PSZ ボール及び純水と共にボールミルに投入し、該ボールミル内で 16 時間湿式混合してスラリーを作製した。

[0107] 次に、このスラリーを蒸発乾燥させた後、大気雰囲気下、 $1400^\circ C$ の仮

焼温度で2時間仮焼処理を行い、Laが結晶粒子に固溶した仮焼粉末を得た。

[0108] 次に、アクセプタ元素としてのMn元素の含有量が、Ti元素100モルに対し0.3モルとなるように $MnCO_3$ を秤量し、Siの含有モル量が、Ti元素100モルに対し0.1モルとなるように SiO_2 を秤量し、これら秤量物を前記仮焼粉末に添加し、さらに分散剤としてのポリカルボン酸アンモニウム塩を、仮焼粉末100重量部に対し0～3重量部となるように、前記仮焼粉末に添加した。次いで、再び直径2mmのPSZボール及び純水と共にボールミルに投入し、該ボールミル内で48～64時間湿式混合して結晶粒子を分散させ、混合物を得た。尚、本実施例では、 $MnCO_3$ を仮焼粉末に添加しているが、 $MnCl_2$ 溶液やMnゾル溶液を添加してもよい。

[0109] 次いで、この混合物を蒸発乾燥させ、大気雰囲気下、600℃で5時間、熱処理を行い、分散剤等の有機成分を除去し、熱処理粉末を得た。

[0110] 次に、トルエン、アルコール等の有機溶媒、及び適量の分散剤を前記熱処理粉末に添加し、再び直径2mmのPSZボールと共にボールミルに投入し、該ボールミル内にて湿式で16時間混合した。そしてこの後、有機バインダとしてのポリビニルビチラル（PVB）や可塑剤としてのジオクチルフタレート（DOP）、更にはカチオン性界面活性剤を適量添加し、湿式で1.5時間混合処理を行い、これによりセラミックスラリーを作製した。

[0111] そしてこの後、孔径が10 μm のフィルタにセラミックスラリーを0～2回通過させてフィルタ処理を行った。

[0112] 次に、リップコータ法を使用し、フィルタ処理がなされたセラミックスラリーに成形加工を施し、セラミックグリーンシートを作製した。次いで、Niを主成分とする内部電極用導電性ペーストを使用してセラミックグリーンシート上にスクリーン印刷を施し、前記セラミックグリーンシートの表面に所定パターンの導電膜を形成した。

[0113] 次いで、導電膜の形成されたセラミックグリーンシートを所定方向に10枚積層した後、導電膜の形成されていない外装用のセラミックグリーンシー

トを上下に付与し、その後厚みが0.7 mm程度となるように熱圧着し、セラミックグリーンシートと内部電極とが交互に積層されたブロック体を得た。

[0114] そしてこの後、このブロック体を所定寸法に切断して積層体とし、該積層体を窒素雰囲気中、温度400℃で2時間、脱バインダ処理を行なった。次いで、 $H_2 : N_2 = 1 : 100$ の流量比に調整された還元雰囲気下、1200～1250℃の焼成温度で2時間、積層体に一次焼成を施し、積層体を半導体化した。

[0115] 次に、大気雰囲気下、700℃の温度で1時間、二次焼成を行って再酸化処理を施し、これにより粒界に酸素を分散させて粒界絶縁層を形成し、その後、端面を研磨して部品素体を作製した。

[0116] 次いで、この部品素体の両端部にスパッタリングを施し、Ni-Cr層、Ni-Cu層、Ag層からなる三層構造の下地電極を形成した。次いで、電解めっきを施し、下地電極の表面にNi皮膜及びSn皮膜を順次形成して外部電極を形成し、これにより試料番号1～8の試料を得た。

[0117] 図2は、試料の斜視図であり、部品素体51の両端部に外部電極52a、52bが形成されている。試料の外径寸法は、いずれも長さL：1.0 mm、幅W：0.5 mm、厚みT：0.5 mmであった。

[0118] [試料の評価]

試料番号1～8の各試料をそれぞれ3個ずつ用意し、幅(W)方向が垂直方向に沿うような姿勢で保持し、試料の周囲を樹脂で固め、試料の長さLと、厚さTにより規定されるLT面を樹脂から露出させた。その後、研磨機により、各試料のLT面を研磨し、各試料を幅(W)方向の1/2程度の深さまで研磨し、さらに研磨面をケミカルエッチングし、図3に示すように、結晶粒子観察用の試料断面を得た。

[0119] 次いで、内部電極53間に挟まれた半導体セラミック層54の略中央部(図3中、Pで示す。)をSEM(走査型電子顕微鏡)で撮像し、SEM画像を得た。そして、JIS R1670に準拠し、このSEM画像から円相当径

に換算した結晶粒径を求めた。そして、各試料 3 個の平均値を算出して平均粒径 D_{ave} とし、平均粒径 D_{ave} 及び各試料の標準偏差 σ に基づいて変動係数 CV を算出した。

[0120] また、試料 1 ～ 8 の各試料について、インピーダンスアナライザ（アジレント・テクノロジー社製：HP 4194A）を使用し、周波数 1 kHz、電圧 1 V の条件で静電容量を測定し、さらに 50 V の直流電圧を 1 分間印加し、その漏れ電流から初期絶縁抵抗 $I R_0$ を測定した。

[0121] また、試料 1 ～ 8 の各試料について、ESD のイミュニティ試験規格である IEC 61000-4-2（国際規格）に準拠し、30 kV の接触放電を正逆 10 回、100 回、200 回、及び 1000 回繰り返し印加した。次いで、接触放電後に 50 V の直流電圧を 1 分間印加し、その漏れ電流から接触放電後の絶縁抵抗 $I R$ をそれぞれ測定した。

[0122] 表 1 は、試料番号 1 ～ 8 のセラミックスラリーの製造条件、接触放電後結晶粒子の平均粒径 D_{ave} 、変動係数 CV 、静電容量、初期絶縁抵抗 $I R_0$ 、及び接触放電後の絶縁抵抗 $I R$ を示している。尚、絶縁抵抗 $I R$ は、常用対数（ $\log I R$ ）で表示している。

[0123]

[表1]

試料 No.	製造条件			結晶粒子		静電容量 (nF)	初期絶縁抵抗 log IR ₀ (IR:Ω)	接触放電後の絶縁抵抗 log IR (IR:Ω)			
	分散剤添加量 (重量部)	混合時間 (h)	フィルタ処理の回数 (回)	平均粒径Dave (μm)	変動係数CV (%)			10回後	100回後	200回後	1000回後
1*	0	64	0	1.8	70	1.53	8.3	8.1	6.2	—	—
2*	0	64	1	1.2	60	1.31	8.5	8.5	8.3	6.5	—
3*	0	64	2	0.93	55	1.29	8.5	8.5	8.4	8.2	6.3
4*	1	48	0	0.87	48	1.27	8.6	8.6	8.5	8.3	6.8
5	1	48	1	0.85	30	1.25	8.7	8.7	8.6	8.6	8.0
6	1	48	2	0.83	18	1.23	8.5	8.5	8.5	8.5	8.5
7*	3	48	0	0.77	36	1.24	8.8	8.8	8.5	8.0	6.5
8	3	48	1	0.73	15	1.26	8.9	8.9	8.9	8.9	8.9

*は本発明範囲外

[0124] 試料番号1は、熱処理粉末作製前の混合物作製時に分散剤を添加せず、ま

たフィルタ処理も行っていないため、結晶粒子の平均粒径 D_{ave} は $1.8\mu m$ と粗大化し、変動係数 CV も 70% となって粒径バラツキも大きくなった。このため、初期絶縁抵抗 $\log I R_0$ が 8.3 であり、接触放電を正逆 10 回繰り返した時点では絶縁抵抗 $\log I R$ は 8.1 であるが、接触放電を正逆 100 回繰り返すと絶縁抵抗 $\log I R$ は 6.2 に低下して絶縁性を損ない、耐久性が劣化するのが分かった。

[0125] 試料番号2は、接触放電を正逆 200 回繰り返すと絶縁抵抗 $\log I R$ は 6.5 に低下し、ESDに対する耐久性に劣ることが分かった。これはフィルタ処理を 1 回行っていることから、結晶粒子の平均粒径 D_{ave} は $1.2\mu m$ と小さくすることができるものの、試料番号1と同様、分散剤を添加していないことから平均粒径 D_{ave} は $1.0\mu m$ を超えており、しかも変動係数 CV も 60% となって粒径バラツキも大きく、粗粒が局所的に偏在するためと思われる。

[0126] 試料番号3は、接触放電を正逆 1000 回繰り返すと絶縁抵抗 $\log I R$ は 6.3 となって絶縁性が低下し、繰り返しESDに対し未だ十分な耐久性が得られないことが分かった。これはフィルタ処理を 2 回行っていることから、結晶粒子の平均粒径 D_{ave} は $0.93\mu m$ となり、 $1.0\mu m$ 以下に抑制できるものの、試料番号1及び2と同様、分散剤を添加していないことから変動係数 CV が 55% となって粒径バラツキが大きく、粗粒が局所的に偏在するためと思われる。

[0127] 試料番号4は、仮焼粉末 100 重量部に対し 1 重量部の分散剤を添加しているものの、フィルタ処理を行っていないため、接触放電を正逆 1000 回繰り返すと、絶縁抵抗 $\log I R$ は 6.8 となって絶縁性が低下し、繰り返しESDに対し十分な耐久性が得られないことが分かった。これは混合物作製時に分散剤を添加しているものの、その後のセラミックスラリー作製時に結晶粒子が凝集し、斯かる凝集した結晶粒子に起因して粒径バラツキが大きくなり、変動係数 CV が 48% と大きくなったためと思われる。

[0128] また、試料番号7は、仮焼粉末 100 重量部に対し 3 重量部の分散剤を添

加しているものの、フィルタ処理を行っていないため、試料番号4と同様の理由から接触放電を正逆1000回繰り返すと、絶縁抵抗 $\log I R$ は6.5となって絶縁性が低下し、繰り返しESDに対し未だ十分な耐久性が得られないことが分かった。

[0129] これに対し試料番号5、6及び8の各試料は、熱処理粉末作製前の混合物作製時に分散剤を添加し、かつ少なくとも1回のフィルタ処理を行っているので、結晶粒子の平均粒径 D_{ave} は0.73~0.85 μm 、変動係数 CV は15~30%といずれも本発明範囲内となり、接触放電を正逆1000回繰り返しても、絶縁抵抗 $\log I R$ は8.0~8.9となって8以上の良好な絶縁性を確保することができ、繰り返しESDに対し良好な耐久性が得られることが分かった。

[0130] 特に、試料番号5、6、及び8から明らかなように、フィルタ処理の回数又は／及び分散剤の添加量を多くすることにより、接触放電を正逆1000回繰り返しても初期絶縁抵抗 $\log I R_0$ と略同様の絶縁抵抗 $\log I R$ を確保することが分かった。

産業上の利用可能性

[0131] 繰り返しESDが生じても所望の絶縁性を確保でき、所望の電気特性と良好な耐久性を有し、信頼性の優れたバリスタ機能付き積層型半導体セラミックコンデンサが実現でき、コンデンサとツェナーダイオードとを1素子で担うことができる。

符号の説明

- [0132] 1a~1g 半導体セラミック層
2a~2f 内部電極層
3a、3b 外部電極
4 部品素体（積層焼結体）

請求の範囲

- [請求項1] SrTiO_3 系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層と複数の内部電極層とが交互に積層されて焼結されてなる積層焼結体と、該積層焼結体の両端部に前記内部電極層と電氣的に接続された外部電極とを有するバリスタ機能付き積層型半導体セラミックコンデンサにおいて、
- 前記半導体セラミックは、結晶粒子の平均粒径 D_{ave} が $1.0\mu\text{m}$ 以下であり、かつ、前記結晶粒子の粒径バラツキを示す変動係数 CV が30%以下であることを特徴とするバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項2] 前記半導体セラミックは、 Sr サイトと Ti サイトとの配合モル比 m が $0.990 \leq m \leq 1.010$ であり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、前記 Ti 元素100モルに対し0.7モル以下（ただし、0モルを含まず。）の範囲で粒界層中に存在していることを特徴とする請求項1記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項3] 前記アクセプタ元素は、 Mn 、 Co 、 Ni 、及び Cr のうちの少なくとも1種の元素であることを特徴とする請求項2記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項4] 前記ドナー元素は、 La 、 Nd 、 Sm 、 Dy 、 Nb 、及び Ta 中から選択された少なくとも1種の元素であることを特徴とする請求項2又は請求項3記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項5] 低融点酸化物が、前記 Ti 元素100モルに対し0.1モル以下の範囲で含有されていることを特徴とする請求項1乃至請求項4のいずれかに記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項6] 前記低融点酸化物が、 SiO_2 であることを特徴とする請求項5記載のバリスタ機能付き積層型半導体セラミックコンデンサ。

[請求項7] 前記内部電極は、Niを主成分とすることを特徴とする請求項1乃至請求項6のいずれかに記載のバリスタ機能付き積層型半導体セラミックコンデンサ。

[請求項8] Sr化合物、Ti化合物、及びドナー化合物を所定量秤量して混合粉砕した後、焼成後の結晶粒子の平均粒径 D_{ave} が $1.0\mu m$ 以下となるように仮焼処理を行って仮焼粉末を作製する仮焼粉末作製工程と、

前記仮焼粉末に少なくともアクセプタ化合物及び分散剤を添加して混合し、熱処理を行って熱処理粉末を作製する熱処理粉末作製工程と、

前記熱処理粉末をスラリー化してセラミックスラリーを作製するスラリー作製工程と、

焼成後の結晶粒子の粒径バラツキを示す変動係数CVが30%以下となるように、前記セラミックスラリーにフィルタ処理を施すフィルタ処理工程と、

前記フィルタ処理されたセラミックスラリーに成形加工を施してセラミックグリーンシートを作製し、その後導電膜とセラミックグリーンシートとを交互に積層して積層体を形成する積層体形成工程と、

還元雰囲気下、前記積層体に一次焼成処理を行った後、弱還元雰囲気下、大気雰囲気下、又は酸化性雰囲気下で二次焼成処理を行う焼成工程とを含むことを特徴とするバリスタ機能付き積層型半導体セラミックコンデンサの製造方法。

[請求項9] 前記フィルタ処理工程は、孔径が円換算で $30\mu m$ 以下のフィルタに前記セラミックスラリーを通過させてフィルタ処理を行うことを特徴とする請求項8記載のバリスタ機能付き積層型半導体セラミックコンデンサの製造方法。

[請求項10] 前記フィルタは、孔径が円換算で $5\mu m$ 以上であることを特徴とする請求項9記載のバリスタ機能付き積層型半導体セラミックコンデン

サの製造方法。

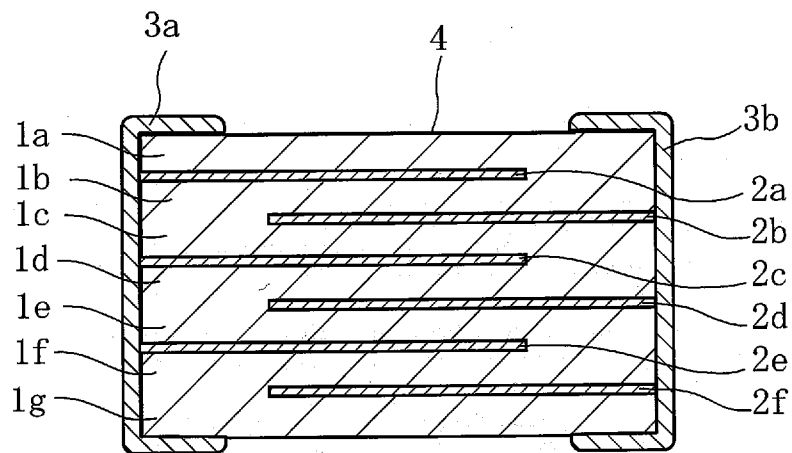
[請求項11] 前記フィルタ処理を複数回行うことを特徴とする請求項8乃至請求項10のいずれかに記載のバリスタ機能付き積層型半導体セラミックコンデンサの製造方法。

[請求項12] 前記分散剤の含有量は、前記仮焼粉末100重量部に対し1～3重量部であることを特徴とする請求項8乃至請求項11のいずれかに記載のバリスタ機能付き積層型半導体セラミックコンデンサの製造方法。

[請求項13] 前記一次焼成処理における焼成温度は、前記仮焼処理における仮焼温度よりも低いことを特徴とする請求項8乃至請求項12のいずれかに記載のバリスタ機能付き積層型半導体セラミックコンデンサの製造方法。

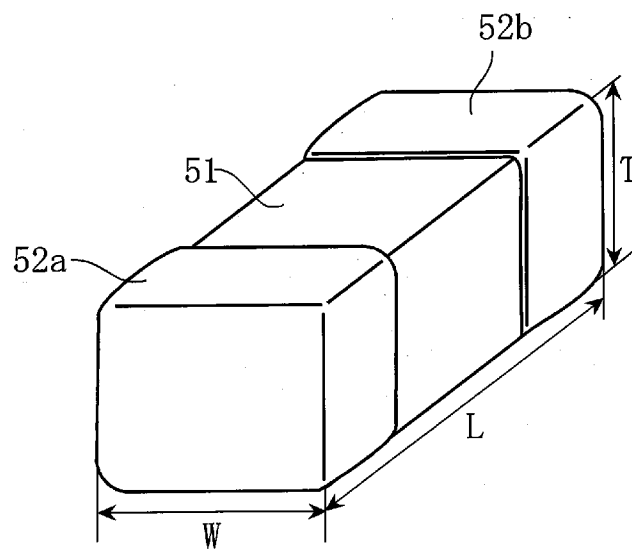
[図1]

Fig. 1



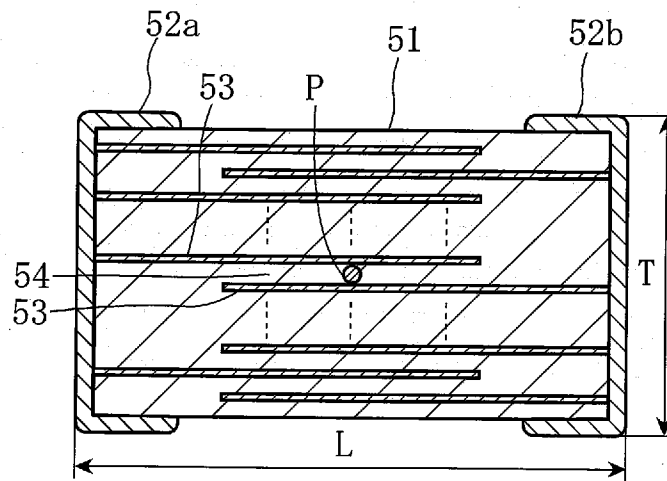
[図2]

Fig. 2



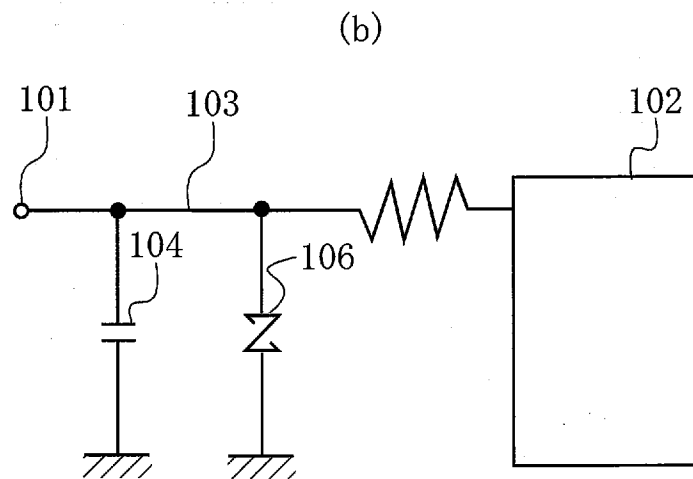
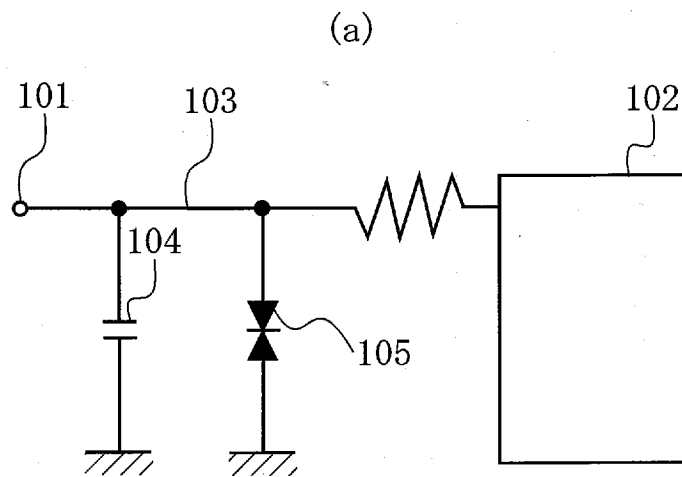
[図3]

Fig. 3



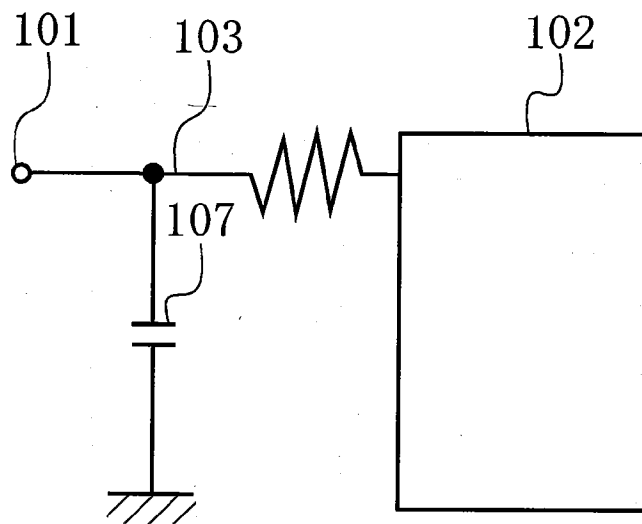
[図4]

Fig. 4



[図5]

Fig. 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/077584

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/12(2006.01)i, H01B3/12(2006.01)i, H01G4/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/12, H01B3/12, H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/001690 A1 (Murata Mfg. Co., Ltd.), 31 December 2008 (31.12.2008), paragraphs [0036], [0045] to [0052], [0057], [0068], [0088], [0112]; fig. 2 & JP 5347961 B2 & US 2010/0103587 A1 & EP 2159196 A1 & KR 10-2010-0009638 A & CN 101687663 A	1-13
A	JP 2004-284897 A (Taiyo Yuden Co., Ltd.), 14 October 2004 (14.10.2004), claims 8, 14; paragraphs [0046] to [0052] & US 2004/0188002 A1 & US 2007/0104640 A1 & US 2007/0104970 A1 & KR 10-0707646 B1 & CN 1532167 A & CN 1951867 A & HK 1066975 A & TW 00I304056 B	1-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 January 2015 (14.01.15)

Date of mailing of the international search report
27 January 2015 (27.01.15)

Name and mailing address of the ISA/
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/077584

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-21266 A (Sumitomo Metal Industries, Ltd.), 29 January 1993 (29.01.1993), paragraph [0008] (Family: none)	1-13
A	WO 2012/017967 A1 (Mitsui Mining & Smelting Co., Ltd.), 09 February 2012 (09.02.2012), paragraphs [0027] to [0029], [0033] & JP 2012-35492 A & US 2013/0177739 A1 & CN 102933389 A & KR 10-2013-0114594 A & TW 201208871 A	1-13
A	JP 2007-173714 A (Kyocera Corp.), 05 July 2007 (05.07.2007), claim 5 (Family: none)	1-13
A	WO 2013/039045 A1 (Murata Mfg. Co., Ltd.), 21 March 2013 (21.03.2013), paragraph [0034] & US 2014/0160626 A	1-13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01G4/12(2006.01)i, H01B3/12(2006.01)i, H01G4/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01G4/12, H01B3/12, H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/001690 A1（株式会社村田製作所）2008.12.31, 段落【0036】、【0045】－【0052】、【0057】、【0068】、【0088】、【0112】及び【図2】 & JP 5347961 B2 & US 2010/0103587 A1 & EP 2159196 A1 & KR 10-2010-0009638 A & CN 101687663 A	1 - 1 3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 1 . 2 0 1 5

国際調査報告の発送日

2 7 . 0 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柴垣 俊男

5 D

4 0 6 2

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-284897 A (太陽誘電株式会社) 2004. 10. 14, 【請求項 8】、【請求項 1 4】、【0 0 4 6】－【0 0 5 2】 & US 2004/0188002 A1 & US 2007/0104640 A1 & US 2007/0104970 A1 & KR 10-0707646 B1 & CN 1532167 A & CN 1951867 A & HK 1066975 A & TW 00I304056 B	1－1 3
A	JP 5-21266 A (住友金属工業株式会社) 1993. 01. 29, 段落【0 0 0 8】 (ファミリーなし)	1－1 3
A	WO 2012/017967 A1 (三井金属鉱業株式会社) 2012. 02. 09, 段落【0 0 2 7】－【0 0 2 9】、【0 0 3 3】 & JP 2012-35492 A & US 2013/0177739 A1 & CN 102933389 A & KR 10-2013-0114594 A & TW 201208871 A	1－1 3
A	JP 2007-173714 A (京セラ株式会社) 2007. 07. 05, 【請求項 5】 (ファミリーなし)	1－1 3
A	WO 2013/039045 A1 (株式会社村田製作所) 2013. 03. 21, 段落【0 0 3 4】 & US 2014/0160626 A	1－1 3