

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月6日(06.12.2018)



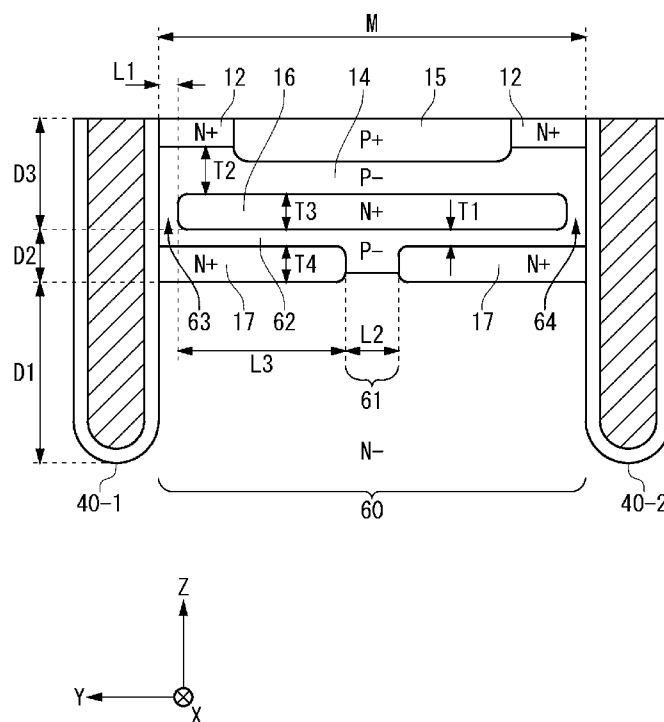
(10) 国際公開番号

WO 2018/220879 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/739 (2006.01)
H01L 21/8234 (2006.01) H01L 29/861 (2006.01)
H01L 27/06 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2017/038825
- (22) 国際出願日: 2017年10月26日(26.10.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-107702 2017年5月31日(31.05.2017) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 内藤 達也 (NAITO Tatsuya); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 龍華国際特許業務法人 (RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿 1 - 6 - 1 新宿エルタワー 2 2 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** Provided is a semiconductor device comprising a semiconductor substrate having a drift region of a first conductivity type, a first trench section provided from the upper surface of the semiconductor substrate to the interior of the semiconductor substrate, a base region of a second conductivity type provided between the drift region and the upper surface of the semiconductor substrate and adjacent to the first trench section, a first accumulation region of the first conductivity type provided between the drift region and the base region and having a higher doping concentration than that

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲 (条約第19条(1))

of the drift region, a second accumulation region of the first conductivity type provided at a deeper position than the first accumulation region and having a higher doping concentration than that of the drift region, and an intermediate region of the second conductivity type provided between the first accumulation region and the second accumulation region, wherein the second accumulation region has a first open section provided at a deeper position than the first accumulation region.

(57) 要約: 第1導電型のドリフト領域を有する半導体基板と、半導体基板の上面から半導体基板の内部まで設けられた第1のトレンチ部と、半導体基板の上面とドリフト領域との間において第1のトレンチ部と隣接して設けられた第2導電型のベース領域と、ベース領域とドリフト領域との間に設けられ、ドリフト領域よりもドーピング濃度の高い第1導電型の第1の蓄積領域と、第1の蓄積領域より深い位置に設けられた、ドリフト領域よりもドーピング濃度の高い第1導電型の第2の蓄積領域と、第1の蓄積領域と第2の蓄積領域との間に設けられた第2導電型の間領域とを備え、第2の蓄積領域は、第1の蓄積領域より深い位置に設けられた第1の開口部を有する半導体装置を提供する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）等の半導体装置において、チャネルとして機能するＰ型のベース領域の下に、高濃度のＮ型領域を設ける構成が知られている（例えば、特許文献１参照）。また、おもて面側にｎ＋ソース層とトレンチを備えた逆導通ＩＧＢＴ（ＲＣ－ＩＧＢＴ）が知られている（例えば、特許文献２参照）。

特許文献１ 特開２０１４－１９７７０２号公報

特許文献２ 特開平１１－９７７１５号公報

解決しようとする課題

[0003] 半導体装置は、耐圧等の特性がよいことが好ましい。

一般的開示

[0004] 上記課題を解決するために、本発明の一つの態様においては、第１導電型のドリフト領域を有する半導体基板を備える半導体装置を提供する。半導体装置は、半導体基板の上面から前記半導体基板の内部まで設けられた第１のトレンチ部を備えてよい。半導体装置は、半導体基板の上面とドリフト領域との間において第１のトレンチ部と隣接して設けられた第２導電型のベース領域を備えてよい。半導体装置は、ベース領域とドリフト領域との間に設けられ、ドリフト領域よりもドーピング濃度の高い第１導電型の第１の蓄積領域を備えてよい。半導体装置は、第１の蓄積領域より深い位置に設けられた、ドリフト領域よりもドーピング濃度の高い第１導電型の第２の蓄積領域を備えてよい。半導体装置は、第１の蓄積領域と第２の蓄積領域との間に設けられた第２導電型の間領域を備えてよい。第２の蓄積領域は、第１の蓄積領域より深い位置に設けられた第１の開口部を有してよい。

- [0005] 第1の蓄積領域は、第1のトレンチ部との間に第1の間隙を有してよい。
第2の蓄積領域は、半導体基板の深さ方向において第1の間隙と重なって設けられてよい。第1の開口部は第1の間隙と重ならない位置に設けられてよい。
- [0006] 半導体装置は、半導体基板の上面から半導体基板の内部まで設けられ、且つ、第1のトレンチ部と対向する第2のトレンチ部を備えてよい。第1の蓄積領域は、第2のトレンチ部との間に第2の間隙を有してよい。第2の蓄積領域は、半導体基板の深さ方向において第2の間隙と重って設けられてよい。第1の開口部は、半導体基板の深さ方向において第2の間隙と重ならない位置に設けられていてよい。
- [0007] 第1のトレンチ部はゲートトレンチ部であってよい。半導体装置は、半導体基板の上面とベース領域との間において第1のトレンチ部と隣接して設けられ、ドリフト領域よりもドーピング濃度の高い第1導電型のエミッタ領域を備えてよい。
- [0008] 半導体基板の内部において第1のトレンチ部および第2のトレンチ部に挟まれた領域をメサ部としてよい。第1のトレンチ部および第2のトレンチ部を結ぶ方向をメサ幅方向としてよい。メサ幅方向において、第1の開口部の幅が、第2の蓄積領域の幅よりも小さくてよい。
- [0009] 第1の開口部が、メサ部のメサ幅方向における中央を含むように配置されていてよい。中間領域は、半導体基板の深さ方向において第1の開口部と重なってよい。中間領域は、第1の開口部の内部にも設けられていてよい。
- [0010] 中間領域は、第1の開口部を通して、第2の蓄積領域よりも下側に突出して設けられていてよい。中間領域は、半導体基板の深さ方向において第1の開口部と重ならないように配置されていてよい。第1の蓄積領域は、第1の開口部と重なる領域に、第2の開口部を有してよい。
- [0011] メサ幅方向において、第1の間隙の幅を L_1 とし、メサ部の幅を M とした場合に、 $0 < L_1 / M \leq 0.1$ であってよい。第1のトレンチ部は、半導体基板の上面において予め定められた延伸方向に沿って延伸して設けられてよ

い。第1のトレンチ部は、延伸方向と垂直な断面において、側壁が直線状に形成された上側部分を有してよい。第1のトレンチ部は、上側部分の下側に設けられ側壁が曲線状に形成された下側部分を有してよい。延伸方向と垂直な断面において、第1のトレンチ部の下側部分の上端と、中間領域とを、第2の蓄積領域を通過せずに結ぶ最短経路の距離を X とし、メサ部の幅を M とした場合に、 $M/2 < X$ であってよい。

[0012] メサ幅方向において、第1の間隙の幅を L_1 とし、第1の開口部の幅を L_2 とした場合に、 $L_1 < L_2$ であってよい。メサ幅方向において、第1の間隙および第1の開口部の間の距離を L_3 とし、メサ部の幅を M とした場合に、 $0.9 \times M/2 \leq L_3$ であってよい。

[0013] メサ幅方向における第1の開口部の幅が、半導体基板の上面と垂直な深さ方向における中間領域の厚みより大きくてよい。半導体基板の上面と垂直な深さ方向において、エミッタ領域の下側に設けられたベース領域の厚みが、中間領域の厚みより大きくてよい。

[0014] 半導体基板の上面と垂直な深さ方向において、第1の蓄積領域の厚みが、中間領域の厚みより大きくてよい。半導体基板の上面と垂直な深さ方向において、第2の蓄積領域の厚みが、中間領域の厚みより大きくてよい。

[0015] 半導体基板は、ゲートトレンチ部を含むトランジスタ部と、ダイオードが形成されたダイオード部とを含んでよい。ダイオード部は、半導体基板の上面から半導体基板の内部まで設けられたダミートレンチ部を複数有してよい。ダイオード部の半導体基板の内部においてダミートレンチ部に挟まれた領域をメサ部とした場合に、ダイオード部のメサ部は、ベース領域、第1の蓄積領域、第2の蓄積領域および中間領域を有してよい。

[0016] 半導体基板は、トランジスタ部と、ダイオード部との間に配置された境界メサ部を備えてよい。境界メサ部は、ベース領域、第1の蓄積領域、第2の蓄積領域および中間領域を有してよい。境界メサ部における第1の開口部の幅は、トランジスタ部のいずれかのメサ部における第1の開口部の幅よりも大きくてよい。ダイオード部のメサ部における第1の開口部の幅は、トラン

ジスタ部のメサ部における第1の開口部の幅よりも大きくてよい。

- [0017] 半導体装置は、半導体基板の下面に配置されたコレクタ電極を備えてよい。半導体装置は、トランジスタ部の半導体基板の内部に設けられ、コレクタ電極と電氣的に接続されている第2導電型のコレクタ領域を備えてよい。半導体装置は、ダイオード部の半導体基板の内部に設けられ、コレクタ電極と電氣的に接続されている第1導電型のカソード領域を備えてよい。半導体装置は、半導体基板の内部において、カソード領域の上方に形成され、コレクタ電極と接触していない、第2導電型のフローティング領域を備えてよい。
- [0018] フローティング領域は第3の開口部を有してよい。第3の開口部は、ダイオード部の第2の蓄積領域に設けられた第1の開口部と重なる位置に配置されていてよい。ダイオード部の第2の蓄積領域に設けられた第1の開口部の個数は、トランジスタ部の第2の蓄積領域に設けられた第1の開口部の個数よりも多くてよい。
- [0019] 半導体基板の内部において2つのダミートレンチ部に挟まれた領域をメサ部としてよい。2つのダミートレンチ部を結ぶ方向をメサ幅方向としてよい。ダイオード部の第2の蓄積領域において、メサ幅方向に沿って複数の第1の開口部が配置されていてよい。
- [0020] ダイオード部の第2の蓄積領域においてメサ幅方向に沿って配置された複数の第1の開口部のうち、ダミートレンチ部に最も近い第1の開口部の幅が、ダミートレンチ部から最も離れた第1の開口部の幅より大きくてよい。
- [0021] ダイオード部のメサ部における半導体基板の上面には、メサ幅方向とは垂直な方向に沿って第2導電型のコンタクト領域と、コンタクト領域よりも正孔の移動度が小さい調整領域とが交互に配置されてよい。ダイオード部の第2の蓄積領域においてメサ幅方向に沿って配置された複数の第1の開口部のうち、ダミートレンチ部に最も近い第1の開口部は、コンタクト領域と重なるように、メサ幅方向と垂直な方向に沿って離散的に配置されていてよい。
- [0022] 半導体基板は、ダイオードが形成されたダイオード部を更に備えてよい。ダイオード部は、ベース領域を有してよい。ダイオード部は、第1の蓄積領

域を有してよい。ダイオード部は、第2の蓄積領域を有してよい。ダイオード部は、中間領域を有してよい。ダイオード部は、ベース領域と接して、且つ、半導体基板の上面からドリフト領域まで形成された、ベース領域よりもドーピング濃度の高い第2導電型のピラー領域を有してよい。

[0023] 半導体基板の上面において、ピラー領域は、ドリフト領域よりもドーピング濃度の高い高濃度領域に挟まれていてよい。半導体基板の深さ方向におけるピラー領域のドーピング濃度分布は複数のピークを有してよい。

[0024] ピラー領域のドーピング濃度分布が極小値となる深さ位置は、第2の蓄積領域とは重ならなくてよい。ピラー領域のドーピング濃度のピーク値は、 $5.0 \times 10^{17} / \text{cm}^3$ 以上、 $1.0 \times 10^{20} / \text{cm}^3$ 以下であってよい。

[0025] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0026] [図1]本発明の実施形態に係る半導体装置100の上面を部分的に示す図である。

[図2]トランジスタ部70、ダイオード部80および境界部90におけるメサ部60を拡大して示す上面図である。

[図3]図1のa-a断面における半導体装置100の構造の一例を示す図である。

[図4]メサ部60のYZ断面の拡大図である。

[図5]メサ部60のYZ断面の他の例の拡大図である。

[図6]メサ部60のYZ断面の他の例の拡大図である。

[図7]メサ部60のYZ断面の他の例の拡大図である。

[図8]図1のa-a断面における半導体装置100の構造の他の例を示す図である。

[図9]半導体装置100の上面の他の例を示す図である。

[図10]図9におけるa-a断面を示す図である。

[図11]図9におけるa－a断面の他の例を示す図である。

[図12]図9におけるa－a断面の他の例を示す図である。

[図13]メサ部60のYZ断面の他の例の拡大図である。

[図14]半導体装置100におけるa－a断面の他の例を示す図である。

[図15]半導体装置100におけるa－a断面の他の例を示す図である。

[図16]図14に示した半導体装置100の動作例を説明する図である。

[図17]図14に示した半導体装置100の動作例を説明する図である。

[図18]半導体装置100におけるa－a断面の他の例を示す図である。

[図19]半導体装置100の上面の他の例を示す図である。

[図20]図19に示した半導体装置100のトランジスタ部70、ダイオード部80および境界部90におけるメサ部60を拡大して示す上面図である。

[図21]図20に示したダイオード部80のメサ部60におけるb－b断面の一例を示す図である。

[図22]ダイオード部80のメサ部60の上面における、第1の開口部61の配置例を示す図である。

[図23]トランジスタ部70、ダイオード部80および境界部90におけるメサ部60の上面構造の他の例を示す図である。

[図24]半導体装置100のb－b断面の他の例を示す図である。

[図25]半導体装置100の上面構造の他の例を示す図である。

[図26]図25におけるa－a断面の一例を示す図である。

[図27]トランジスタ部70のメサ部60と、ピラー領域26のZ軸方向におけるドーピング濃度分布の一例を示す図である。

[図28]図25におけるa－a断面の他の例を示す図である。

[図29]図25におけるa－a断面の他の例を示す図である。

[図30]半導体装置100の上面構造の他の例を示す図である。

[図31]図30におけるa－a断面の一例を示す図である。

[図32]本発明の実施形態に係る半導体装置200の一例のYZ断面を示す図である。

[図33]本発明の実施形態に係る半導体装置300の一例のYZ断面を示す図である。

発明を実施するための形態

[0027] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0028] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は重力方向、または、半導体装置の実装時における基板等への取り付け方向に限定されない。

[0029] 本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。本明細書では、半導体基板の上面と平行な面をXY面とし、半導体基板の上面と垂直な深さ方向をZ軸とする。

[0030] 各実施例においては、第1導電型をN型、第2導電型をP型とした例を示しているが、第1導電型をP型、第2導電型をN型としてもよい。この場合、各実施例における基板、層、領域等の導電型は、それぞれ逆の極性となる。

[0031] 本明細書においてドーピング濃度とは、ドナーまたはアクセプタ化した不純物の濃度を指す。本明細書において、ドナーおよびアクセプタの濃度差をドーピング濃度とする場合がある。また、ドーピング領域におけるドーピング濃度分布のピーク値を、当該ドーピング領域におけるドーピング濃度とする場合がある。

[0032] 図1は、本発明の実施形態に係る半導体装置100の上面を部分的に示す図である。本例の半導体装置100は、トランジスタ部70およびダイオード部80を備える半導体チップである。トランジスタ部70は、IGBT等のトランジスタを含む。ダイオード部80は、半導体基板の上面においてト

ランジスタ部 70 と隣接して設けられ、FWD (Free Wheel Diode) 等のダイオードを含む。図 1 においてはチップ端部周辺のチップ上面を示しており、他の領域を省略している。

[0033] 半導体基板の上面においてトランジスタ部 70 およびダイオード部 80 は、所定の配列方向 (図 1 の例では Y 軸方向) に沿って交互に配列されてよい。また、半導体装置 100 は、半導体基板の上面においてトランジスタ部 70 およびダイオード部 80 の境界に配置された境界部 90 を更に備えてよい。

[0034] 図 1 においては半導体装置 100 における半導体基板の活性領域を示すが、半導体装置 100 は、活性領域を囲んでエッジ終端構造部を有してよい。活性領域は、半導体装置 100 をオン状態に制御した場合に電流が流れる領域を指す。エッジ終端構造部は、半導体基板の上面側の電界集中を緩和する。エッジ終端構造部は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

[0035] 本例の半導体装置 100 は、半導体基板の内部に設けられ、且つ、半導体基板の上面に露出するゲートトレンチ部 40、ダミートレンチ部 30、ウェル領域 11、エミッタ領域 12、ベース領域 14 およびコンタクト領域 15 を備える。また、本例の半導体装置 100 は、半導体基板の上面の上方に設けられたエミッタ電極 52 およびゲート金属層 50 を備える。エミッタ電極 52 およびゲート金属層 50 は互いに分離して設けられる。

[0036] エミッタ電極 52 およびゲート金属層 50 と、半導体基板の上面との間には層間絶縁膜が形成されるが、図 1 では省略している。本例の層間絶縁膜には、コンタクトホール 56、コンタクトホール 49 およびコンタクトホール 54 が、当該層間絶縁膜を貫通して形成される。

[0037] エミッタ電極 52 は、コンタクトホール 54 を通って、半導体基板の上面におけるエミッタ領域 12、コンタクト領域 15 およびベース領域 14 と接触する。また、エミッタ電極 52 は、コンタクトホール 56 を通って、ダミートレンチ部 30 内のダミー導電部と接続される。エミッタ電極 52 とダミ

一導電部との間には、不純物がドーピングされたポリシリコン等の、導電性を有する材料で形成された接続部25が設けられてよい。接続部25と半導体基板の上面との間には、酸化膜等の絶縁膜が形成される。

[0038] ゲート金属層50は、コンタクトホール49を通して、ゲートランナー48と接触する。ゲートランナー48は、不純物がドーピングされたポリシリコン等で形成される。ゲートランナー48は、半導体基板の上面において、ゲートトレンチ部40内のゲート導電部と接続される。ゲートランナー48は、ダミートレンチ部30内のダミー導電部とは接続されない。本例のゲートランナー48は、コンタクトホール49の下方から、ゲートトレンチ部40の先端部まで形成される。ゲートランナー48と半導体基板の上面との間には、酸化膜等の絶縁膜が形成される。ゲートトレンチ部40の先端部においてゲート導電部は半導体基板の上面に露出しており、ゲートランナー48と接触する。なお、図1では平面視で、エミッタ電極52とゲートランナー48が重なっている箇所があるが、エミッタ電極52とゲートランナー48は図示しない絶縁膜を挟んで互いに電氣的に絶縁している。

[0039] エミッタ電極52およびゲート金属層50は、金属を含む材料で形成される。例えば、各電極の少なくとも一部の領域はアルミニウムまたはアルミニウム-シリコン合金で形成される。各電極は、アルミニウム等で形成された領域の下層にチタンやチタン化合物等で形成されたバリアメタルを有してよく、コンタクトホール内においてタングステン等で形成されたプラグを有してもよい。

[0040] 1つ以上のゲートトレンチ部40および1つ以上のダミートレンチ部30は、半導体基板の上面において所定の配列方向（本例ではY軸方向）に沿って所定の間隔で配列される。本例のトランジスタ部70は、連続して配列された複数のゲートトレンチ部40を有する。本例のトランジスタ部70は、境界部90またはダイオード部80に隣接する領域にダミートレンチ部30を有する。トランジスタ部70において、境界部90またはダイオード部80に隣接しない領域には、ダミートレンチ部30が設けられていない。つま

り本例では、それぞれのトランジスタ部 70 において、ゲートトレンチ部 40 の間には、ダミートレンチ部 30 が設けられていない。トランジスタ部 70 のゲートトレンチ部 40 と、境界部 90 またはダイオード部 80 との間には、ダミートレンチ部 30 が設けられてよい。他の例のトランジスタ部 70 においては、配列方向に沿って 1 つ以上のゲートトレンチ部 40 と、1 つ以上のダミートレンチ部 30 とが交互に形成されてもよい。

[0041] 境界部 90 およびダイオード部 80 には、複数のダミートレンチ部 30 が所定の間隔で連続して配列されている。境界部 90 またはダイオード部 80 においてトランジスタ部 70 と隣接するトレンチ部は、ゲートトレンチ部 40 であってもよい。

[0042] ゲートトレンチ部 40 は、半導体基板の上面に平行であって配列方向と垂直な延伸方向（本例では X 軸方向）に沿って延伸する 2 つの延伸部分 39 と、2 つの延伸部分 39 を接続する接続部分 41 を有してよい。接続部分 41 の少なくとも一部は曲線状に形成されることが好ましい。ゲートトレンチ部 40 の 2 つの延伸部分 39 の端部を接続することで、延伸部分 39 の端部における電界集中を緩和できる。ゲートランナー 48 は、ゲートトレンチ部 40 の接続部分 41 において、ゲートトレンチ部 40 の内部に設けられたゲート導電部と接続してよい。

[0043] ダミートレンチ部 30 は、ゲートトレンチ部 40 と同様に半導体基板 10 の上面において U 字形状を有してよい。つまり、本例のダミートレンチ部 30 は、延伸方向に沿って延伸する 2 つの延伸部分 29 と、2 つの延伸部分 29 を接続する接続部分 31 を有する。他の例においては、ダミートレンチ部 30 は、接続部分 31 を有せずに延伸方向に延伸する直線形状を有してもよい。なお本明細書では、それぞれのトレンチ部の直線状の延伸部分（31、29）を、1 つのトレンチ部としている。

[0044] エミッタ電極 52 は、ゲートトレンチ部 40、ダミートレンチ部 30、ウェル領域 11、エミッタ領域 12、ベース領域 14 およびコンタクト領域 15 の上方に形成される。ウェル領域 11 は第 2 導電型（本例では P+ 型）で

あり、ゲート金属層 50 が設けられる側の活性領域の端部から、所定の範囲で形成される。ウェル領域 11 の拡散深さは、ゲートトレンチ部 40 およびダミートレンチ部 30 の深さよりも深くてよい。ゲートトレンチ部 40 およびダミートレンチ部 30 の、ゲート金属層 50 側の一部の領域はウェル領域 11 に形成される。ダミートレンチ部 30 の延伸方向の端の底は、ウェル領域 11 に覆われていてよい。

[0045] 各トレンチ部に挟まれた領域をメサ部 60 と称する。メサ部 60 とは、隣り合う 2 つのトレンチ部に挟まれた半導体基板の部分であって、半導体基板の上面から、各トレンチ部の最も深い底部の深さまでの部分であってよい。本明細書では、境界部 90 におけるメサ部 60 を、境界メサ部 60-1 と称する場合がある。メサ部 60 には、ベース領域 14 が形成される。ベース領域 14 は、ウェル領域 11 よりもドーピング濃度の低い第 2 導電型である。本例のベース領域 14 は P-型である。本例では、各メサ部 60 の X 軸方向における両端部には、ベース領域 14-e が配置されている（図 1 においては、X 軸方向の一方の端部のみを示している）。

[0046] メサ部 60 の上面には、ベース領域 14 よりもドーピング濃度の高い第 2 導電型のコンタクト領域 15 が選択的に形成される。本例のコンタクト領域 15 は P+型である。また、トランジスタ部 70 のメサ部 60 の上面には、半導体基板よりもドーピング濃度が高い第 1 導電型のエミッタ領域 12 が選択的に形成される。本例のエミッタ領域 12 は N+型である。本例では、それぞれのメサ部 60 の上面において、ベース領域 14-e に隣接する領域は、コンタクト領域 15 である。

[0047] エミッタ領域 12 は、メサ部 60 の上面においてゲートトレンチ部 40 と隣接して設けられる。また、一部のエミッタ領域 12 は、ダミートレンチ部 30 と隣接して設けられてもよい。

[0048] トランジスタ部 70 のコンタクト領域 15 は、メサ部 60 の上面においてエミッタ領域 12 と隣接して設けられてよい。エミッタ領域 12 およびコンタクト領域 15 のそれぞれは、コンタクトホール 54 により絶縁膜から露出

する部分を有する。

[0049] 本例のトランジスタ部70におけるエミッタ領域12およびコンタクト領域15は、半導体基板の上面においてトレンチ部の延伸方向(X軸方向)に延伸するストライプ形状に設けられている。ストライプ形状とは、トレンチ部の延伸方向(X軸方向)における長さが、トレンチ部の配列方向(Y軸方向)における幅よりも長いことを指す。長さおよび幅は、X軸方向およびY軸方向における最大の長さおよび最大の幅を指してよい。ストライプ形状とは、当該長さが、当該幅の2倍以上の形状を指してよく、4倍以上の形状を指してよく、10倍以上の形状を指してもよい。

[0050] 図1の例では、トランジスタ部70の各メサ部60において、ストライプ状のエミッタ領域12が、ゲートトレンチ部40の延伸部分39と隣接して設けられている。つまり、ストライプ状のエミッタ領域12が、各メサ部60のY軸方向の両端に配置されている。コンタクト領域15は、エミッタ領域12に挟まれて配置されている。なお、X軸方向において、エミッタ領域12とベース領域14-eとの間には、コンタクト領域15が設けられてよい。

[0051] それぞれのメサ部60に、コンタクトホール54が複数設けられてよい。一例として、トランジスタ部70の各メサ部60において、いずれかのコンタクトホール54は、コンタクト領域15とエミッタ領域12とのPN接合部分が絶縁膜から露出するように配置される。本例では、トランジスタ部70のそれぞれのメサ部60の上面に2つのPN接合部分が形成されるので、それぞれのPN接合部分に対応するコンタクトホール54が配置されている。また、メサ部60には、コンタクト領域15を絶縁膜から露出させるコンタクトホール54が設けられていてもよい。本例では、Y軸方向におけるコンタクト領域15の中央と対向する位置に、コンタクトホール54が設けられている。

[0052] 本例のダイオード部80のメサ部60には、エミッタ領域12が形成されていない。ダイオード部80のメサ部60には、コンタクト領域15または

ベース領域 14 が、メサ部 60 を挟む一方のダミートレンチ部 30 から、他方のダミートレンチ部 30 に渡って形成されている。つまり、半導体基板の上面において、ダイオード部 80 のメサ部 60 の Y 軸方向の幅と、ダイオード部 80 のメサ部 60 に設けられたコンタクト領域 15 またはベース領域 14 の Y 軸方向の幅は等しい。図 1 のダイオード部 80 の例では、メサ部 60 の上面においてベース領域 14 - e と隣接する領域にコンタクト領域 15 が配置されている。また、ベース領域 14 - e とは X 軸方向の逆側においてコンタクト領域 15 と隣接する領域にベース領域 14 が配置されている。

[0053] 境界部 90 の境界メサ部 60 - 1 の上面には、ベース領域 14 - e に挟まれた領域全体にコンタクト領域 15 が設けられている。一つの境界メサ部 60 - 1 の上面に露出するコンタクト領域 15 の面積は、ダイオード部 80 の一つのメサ部 60 の上面に露出するコンタクト領域 15 の面積より大きくてよい。なお、図 1 では境界部 90 における境界メサ部 60 - 1 が一つである例を示しているが、境界部 90 は、Y 軸方向において配列された複数の境界メサ部 60 - 1 を有してもよい。

[0054] ダイオード部 80 において、コンタクトホール 54 は、コンタクト領域 15 およびベース領域 14 の上方に形成される。境界メサ部 60 - 1 においてコンタクトホール 54 は、コンタクト領域 15 の上方に形成される。いずれのコンタクトホール 54 も、メサ部 60 の X 軸方向両端に配置されたベース領域 14 - e およびウェル領域 11 の上方には配置されていない。

[0055] なおダイオード部 80 は、半導体基板の下面側の領域において、第 1 導電型のカソード領域 82 を有する。本例のカソード領域 82 は N + 型である。図 1 においては、カソード領域 82 が形成される範囲を破線で示している。ダイオード部 80 は、カソード領域 82 を半導体基板の上面に投影した領域であってよい。カソード領域 82 を半導体基板の上面に投影した領域は、コンタクト領域 15 から + X 軸方向に離れていてよい。半導体基板の下面側の領域において、カソード領域 82 が形成されていない領域には、第 2 導電型のコレクタ領域が形成されてよい。トランジスタ部 70 は、コレクタ領域を

半導体基板の上面に投影した領域のうち、トレンチ部またはメサ部が形成されている領域であってよい。

[0056] 図2は、トランジスタ部70、ダイオード部80および境界部90におけるメサ部60を拡大して示す上面図である。図2に示すトランジスタ部70のメサ部60は、ダミートレンチ部30に挟まれたメサ部60であるが、ゲートトレンチ部40に隣接するメサ部60も同様の構造を有する。

[0057] それぞれのメサ部60において、半導体基板の内部には、第1導電型の第1の蓄積領域16と、第1導電型の第2の蓄積領域17とが設けられている。第1の蓄積領域16および第2の蓄積領域17は、半導体基板の内部において異なる深さ位置に形成されている。第1の蓄積領域16および第2の蓄積領域17は、半導体基板の上面には露出していない。図2においては、半導体基板の上面と平行な投影面において第1の蓄積領域16および第2の蓄積領域17が設けられる範囲を、破線で示している。本例の第1の蓄積領域16および第2の蓄積領域17は、当該投影面において、X軸方向の両端に配置された2つのベース領域14-eに挟まれた領域にストライプ状に配置されている。図2に示すように、第1の蓄積領域16と第2の蓄積領域17は、Z軸方向において一部の領域が重なるように配置されている。

[0058] 図3は、図1のa-a断面における半導体装置100の構造の一例を示す図である。a-a断面は、トランジスタ部70のエミッタ領域12を通過するYZ面である。本例の半導体装置100は、当該断面において、半導体基板10、層間絶縁膜38、エミッタ電極52およびコレクタ電極24を有する。エミッタ電極52は、半導体基板10および層間絶縁膜38の上面に形成される。

[0059] コレクタ電極24は、半導体基板10の下面23に形成される。エミッタ電極52およびコレクタ電極24は、金属等の導電材料で形成される。本明細書において、エミッタ電極52とコレクタ電極24とを結ぶ方向を深さ方向（Z軸方向）と称する。

[0060] 半導体基板10は、シリコン基板であってよく、炭化シリコン基板であっ

てよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板 10 はシリコン基板である。半導体基板 10 は、第 1 導電型のドリフト領域 18 を備える。本例のドリフト領域 18 は N 型である。ドリフト領域 18 は、他のドーピング領域が形成されずに残存した領域であってよい。

[0061] 半導体基板 10 には、半導体基板 10 の上面 21 とドリフト領域 18 との間に設けられ、コンタクト領域 15 よりもドーピング濃度の低い P 型のベース領域 14 が設けられる。ゲートトレンチ部 40 およびダミートレンチ部 30 は、半導体基板 10 の上面 21 から、ベース領域 14 を貫通して、半導体基板 10 の内部（本例ではドリフト領域 18）まで設けられる。

[0062] 上述したように、メサ部 60 は、半導体基板 10 の内部において 2 つのトレンチ部に挟まれた領域である。メサ部 60 を挟んで対向して設けられた 2 つのトレンチ部は、第 1 のトレンチ部および第 2 のトレンチ部の一例である。第 1 のトレンチ部は、ゲートトレンチ部 40 であってよく、ダミートレンチ部 30 であってもよい。第 2 のトレンチ部は、ゲートトレンチ部 40 であってよく、ダミートレンチ部 30 であってもよい。

[0063] 当該断面において、トランジスタ部 70 のメサ部 60 には、エミッタ領域 12、コンタクト領域 15、ベース領域 14、第 1 の蓄積領域 16、第 2 の蓄積領域 17 および中間領域 62 が設けられる。ベース領域 14 は、メサ部 60 を挟む 2 つのトレンチ部のうち、少なくとも第 1 のトレンチ部と隣接して設けられる。本例のベース領域 14 は、メサ部 60 の挟む 2 つのトレンチ部の両方に隣接して設けられる。蓄積領域は、ドリフト領域 18 と同じ導電型のドーパント（本例では N 型のドナー）が、ドリフト領域 18 よりも高い濃度で蓄積した領域である。

[0064] エミッタ領域 12 は、メサ部 60 の内部において半導体基板 10 の上面 21 とベース領域 14 との間に設けられる。本例のエミッタ領域 12 は、ゲートトレンチ部 40 またはダミートレンチ部 30 と隣接する領域において、ベース領域 14 と半導体基板 10 の上面 21 との間に設けられる。

[0065] コンタクト領域 15 は、メサ部 60 の内部において半導体基板 10 の上面

21とベース領域14との間に設けられる。本例のコンタクト領域15は、ゲートトレンチ部40およびダミートレンチ部30と隣接しない領域において、ベース領域14と半導体基板10の上面21との間に設けられる。

[0066] 第1の蓄積領域16は、ドリフト領域18よりもドーピング濃度の高いN+型の領域である。第1の蓄積領域16は、ベース領域14とドリフト領域18との間に設けられる。第1の蓄積領域16は、第1のトレンチ部（例えば、ゲートトレンチ部40）との間に間隙を有して配置されてよい。本例の第1の蓄積領域16は、メサ部60の両側に配置された2つのトレンチ部の両方に対して、間隙を有して配置されている。第1の蓄積領域16と、トレンチ部との間には、第2導電型の領域が設けられる。本例では、第1の蓄積領域16とトレンチ部との間には、P型のベース領域14が配置されている。

[0067] 第2の蓄積領域17は、ドリフト領域18よりもドーピング濃度の高いN+型の領域である。第2の蓄積領域17のドーピング濃度は、第1の蓄積領域16のドーピング濃度と同一であってよく、高くてもよく、低くてもよい。第2の蓄積領域17は、半導体基板10の深さ方向（Z軸方向）において、半導体基板10の上面からみて、第1の蓄積領域16よりも深い位置に設けられる。本例の第2の蓄積領域17は、第1の蓄積領域16とドリフト領域18との間に設けられる。第1の蓄積領域16および第2の蓄積領域17は、トレンチ部の下端よりも上側に配置されている。また、第2の蓄積領域17は、半導体基板10の深さ方向（Z軸方向）において、第1の蓄積領域16とトレンチ部との間の間隙と重なって設けられてよい。第2の蓄積領域17は、半導体基板10の上面からみて、第1の蓄積領域16よりも深い位置に配置された第1の開口部61を有する。本例の第1の開口部61は、第1の蓄積領域16とトレンチ部との間の間隙と重ならない位置に設けられている。第1の開口部61は、第2の蓄積領域17を貫通する。

[0068] 中間領域62は、半導体基板10の深さ方向（Z軸方向）において、第1の蓄積領域16と第2の蓄積領域17との間に設けられる。中間領域62は

、メサ部60の両側の2つのトレンチ部のそれぞれと隣接してよい。中間領域62は、第2導電型の領域である。中間領域62のドーピング濃度は、ベース領域14のドーピング濃度と同一であってよい。また、ベース領域14にN型の不純物を注入して第1の蓄積領域16を形成する場合に、第1の蓄積領域16の下側に残存したP型の領域を、中間領域62としてもよい。

[0069] 第2の蓄積領域17に設けられた第1の開口部61を介して、ドリフト領域18と中間領域62とが接続する。図3に示すように、第1の開口部61の内部に、ドリフト領域18と中間領域62との接合が配置されてよい。他の例では、第2の蓄積領域17の下側にドリフト領域18と中間領域62との接合が配置されてよい。この場合、第1の開口部61の内部全体に中間領域62が形成される。他の例では、第2の蓄積領域17の上側にドリフト領域18と中間領域62との接合が配置されてよい。この場合、第1の開口部61の内部全体にドリフト領域18が形成される。

[0070] 当該断面におけるダイオード部80のメサ部60は、エミッタ領域12およびコンタクト領域15が設けられない。他の構造は、トランジスタ部70のメサ部60と同様である。つまり、ダイオード部80のメサ部60には、ベース領域14、第1の蓄積領域16、第2の蓄積領域17および中間領域62が設けられる。ダイオード部80のメサ部60におけるベース領域14は、当該断面において、第1の蓄積領域16と半導体基板10の上面21との間の領域の全体に形成されている。

[0071] 当該断面における境界部90の境界メサ部60-1は、エミッタ領域12が設けられない。他の構造は、トランジスタ部70のメサ部60と同様である。つまり、境界メサ部60-1には、コンタクト領域15、ベース領域14、第1の蓄積領域16、第2の蓄積領域17および中間領域62が設けられる。境界メサ部60-1におけるコンタクト領域15は、境界メサ部60-1を挟む2つのトレンチ部の両方に隣接する。

[0072] 第1の蓄積領域16および第2の蓄積領域17を設けることで、キャリア

注入促進効果（I E 効果）を高めて、オン電圧を低減することができる。また、第1の蓄積領域16をトレンチ部から離して配置することで、ダイオード部80の逆回復時等における過渡的なコレクターゲート間容量を低減できる。

[0073] 第2の蓄積領域17を、第1の蓄積領域16およびトレンチ部の間の間隙を覆うように配置することで、トレンチ部に隣接する領域において、キャリアが過剰に引き抜かれることを抑制できる。このため、コレクターゲート間容量を低減させつつ、I E 効果を維持できる。更に、第2の蓄積領域17に第1の開口部61を設けることで、半導体装置100のオン時等においてトレンチ部に隣接する領域ではキャリアを蓄積することができ、ターンオフ時等においては第1の開口部61を介してキャリアを引き抜くことができる。このため、I E 効果を維持しつつ、ターンオフ損失を低減できる。なお、ダイオード部80および境界部90の少なくとも一方には、第1の蓄積領域16および第2の蓄積領域17の少なくとも一方が設けられていなくともよい。

[0074] トランジスタ部70、ダイオード部80および境界部90のそれぞれにおいて、ドリフト領域18の下側にはN+型のバッファ領域20が形成される。バッファ領域20のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。バッファ領域20は、ベース領域14の下面側から広がる空乏層が、P+型のコレクタ領域22およびN+型のカソード領域82に到達することを防ぐフィールドストップ層として機能してよい。

[0075] トランジスタ部70において、バッファ領域20の下側には、P+型のコレクタ領域22が形成される。ダイオード部80において、バッファ領域20の下側には、N+型のカソード領域82が形成される。境界部90において、バッファ領域20の下側には、コレクタ領域22が形成されてよく、カソード領域82が形成されてもよい。本例の境界部90には、コレクタ領域22が形成されている。

[0076] 一例としてダイオード部80は、半導体基板10の下面23に垂直な方向

においてカソード領域 8 2 と重なる領域である。また、トランジスタ部 7 0 は、半導体基板 1 0 の下面 2 3 に垂直な方向においてコレクタ領域 2 2 と重なる領域のうち、エミッタ領域 1 2 およびコンタクト領域 1 5 を含む所定の単位構成が規則的に配置された領域である。境界部 9 0 は、メサ部 6 0 の上面にエミッタ領域 1 2 が形成されておらず、且つ、メサ部 6 0 の上面の大部分（例えば、メサ部 6 0 の上面の半分以上）においてコンタクト領域 1 5 が形成された領域である。

[0077] 半導体基板 1 0 の上面 2 1 には、1 つ以上のゲートトレンチ部 4 0、および、1 つ以上のダミートレンチ部 3 0 が形成される。各トレンチ部は、半導体基板 1 0 の上面 2 1 から、ベース領域 1 4 を貫通して、ドリフト領域 1 8 に到達する。エミッタ領域 1 2、コンタクト領域 1 5、第 1 の蓄積領域 1 6、第 2 の蓄積領域 1 7 および中間領域 6 2 の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域 1 8 に到達してよい。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部に隣接してドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通しているものに含まれる。

[0078] ゲートトレンチ部 4 0 は、半導体基板 1 0 の上面 2 1 に形成されたゲートトレンチ、ゲート絶縁膜 4 2 およびゲート導電部 4 4 を有する。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁を覆って形成される。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 4 4 は、ゲートトレンチの内部においてゲート絶縁膜 4 2 よりも内側に形成される。つまりゲート絶縁膜 4 2 は、ゲート導電部 4 4 と半導体基板 1 0 とを絶縁する。ゲート導電部 4 4 は、ポリシリコン等の導電材料で形成される。

[0079] ゲート導電部 4 4 は、深さ方向において、ゲート絶縁膜 4 2 を挟んで、少なくとも隣接するベース領域 1 4 と対向する領域を含む。当該断面における

ゲートトレンチ部４０は、半導体基板１０の上面において層間絶縁膜３８により覆われる。ゲート導電部４４に所定の電圧が印加されると、ベース領域１４のうちゲートトレンチに接する界面の表層に電子の反転層によるチャンネルが形成される。

[0080] ダミートレンチ部３０は、当該断面において、ゲートトレンチ部４０と同一の構造を有してよい。ダミートレンチ部３０は、半導体基板１０の上面側に形成されたダミートレンチ、ダミー絶縁膜３２およびダミー導電部３４を有する。ダミー絶縁膜３２は、ダミートレンチの内壁を覆って形成される。ダミー導電部３４は、ダミートレンチの内部に形成され、且つ、ダミー絶縁膜３２よりも内側に形成される。ダミー絶縁膜３２は、ダミー導電部３４と半導体基板１０とを絶縁する。ダミー導電部３４は、ゲート導電部４４と同一の材料で形成されてよい。例えばダミー導電部３４は、ポリシリコン等の導電材料で形成される。ダミー導電部３４は、深さ方向においてゲート導電部４４と同一の長さを有してよい。当該断面におけるダミートレンチ部３０は、半導体基板１０の上面２１において層間絶縁膜３８により覆われる。なお、ダミートレンチ部３０およびゲートトレンチ部４０の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。

[0081] 図４は、メサ部６０のＹＺ断面の拡大図である。図４においては、トランジスタ部７０におけるメサ部６０を示している。本例において第１のトレンチ部はゲートトレンチ部４０－１であり、第２のトレンチ部はゲートトレンチ部４０－２である。

[0082] 第１の蓄積領域１６は、ゲートトレンチ部４０－１との間に第１の間隙６３を有する。第１の蓄積領域１６は、ゲートトレンチ部４０－２との間に第２の間隙６４を有する。第１の間隙６３および第２の間隙６４には、ベース領域１４が形成されてよい。第１の間隙６３および第２の間隙６４を介して、ベース領域１４と中間領域６２とが接続されている。

[0083] 第２の蓄積領域１７は、半導体基板１０の深さ方向において第１の間隙６３および第２の間隙６４の両方と重なって配置される。本例の第２の蓄積領

域 17 は、ゲートトレンチ部 40-1 およびゲートトレンチ部 40-2 の両方と接して設けられる。第 2 の蓄積領域 17 は、第 1 の間隙 63 および第 2 の間隙 64 の全体を少なくとも覆うように配置される。

[0084] 第 1 の開口部 61 は、半導体基板 10 の深さ方向において第 1 の間隙 63 および第 2 の間隙 64 の両方と重ならない位置に設けられている。本例の第 1 の開口部 61 は、メサ部 60 のメサ幅方向（すなわち、2 つのトレンチ部を結ぶ方向。本例では Y 軸方向）における中央を開口内に含むように配置されている。これにより、第 1 の開口部 61 とゲートトレンチ部 40 との距離を最大化して、ゲートトレンチ部 40 の近傍に蓄積されたキャリアが第 1 の開口部 61 を介して引き抜かれることを抑制できる。このため、半導体装置 100 のオン電圧を低減できる。

[0085] メサ幅方向において、第 1 の開口部 61 の幅 L_2 が、第 2 の蓄積領域 17 の幅 ($M - L_2$) よりも小さいことが好ましい。なお、メサ幅方向におけるメサ部 60 の幅を M とする。第 2 の蓄積領域 17 に比べて、第 1 の開口部 61 の幅 L_2 が大きくなると、ゲートトレンチ部 40 の近傍に蓄積されたキャリアが、第 1 の開口部 61 から引き抜かれやすくなる。このため、オン電圧が上昇してしまう。第 1 の開口部 61 の幅 L_2 は、第 2 の蓄積領域 17 の幅 ($M - L_2$) の半分以下であってよく、 $1/4$ 以下であってよく、 $1/10$ 以下であってもよい。また、第 1 の開口部 61 の幅 L_2 は、 $1\ \mu\text{m}$ 以下であってよく、 $0.5\ \mu\text{m}$ 以下であってよく、 $0.3\ \mu\text{m}$ 以下であってもよい。

[0086] 中間領域 62 は、半導体基板 10 の深さ方向において、第 1 の開口部 61 と重なって配置されてよい。つまり、半導体基板 10 の下面 23 側から Z 軸方向に第 1 の開口部 61 を見たときに、中間領域 62 の一部の領域が見えるように中間領域 62 が配置されてよい。これにより、ターンオフ時等において、キャリアを第 1 の開口部 61 から引き抜きやすくなる。図 4 に示すように、中間領域 62 は、第 1 の開口部 61 の内部にも設けられてよい。

[0087] また、第 1 の間隙 63 の幅を L_1 とした場合に、下式を満たすことが好ましい。

$$0 < L_1 / M \leq 0.1$$

第2の間隙64の幅は、第1の間隙63の幅と同一であってよい。ゲートコレクタ間容量を低減するには、第1の蓄積領域16と、ゲートトレンチ部40とが少しでも離れていればよい。また、第1の間隙63の幅 L_1 を大きくすると、ゲートトレンチ部40の近傍におけるキャリア蓄積効果が低減してしまう。 L_1 / M の上限は、0.05であってよく、0.025であってもよい。 L_1 / M の下限は、0.01であってよく、0.02であってもよい。一例として、メサ部60のメサ幅 M は、 $1\ \mu\text{m}$ 以上、 $10\ \mu\text{m}$ 以下程度である。第1の間隙63の幅 L_1 は、 $0.5\ \mu\text{m}$ 以下であってよく、 $0.3\ \mu\text{m}$ 以下であってよく、 $0.1\ \mu\text{m}$ 以下であってもよい。

[0088] また、第1の間隙63の幅と、第1の開口部61の幅 L_2 は、 $L_1 < L_2$ の関係を満たしてよい。第1の開口部61の幅 L_2 が小さくなりすぎると、キャリアの引き抜き効率が低下してしまう。幅 L_2 は、幅 L_1 の1.2倍以上であってよく、1.5倍以上であってもよい。ただし、 $L_2 < L_1$ であってもよい。

[0089] メサ幅方向において、第1の間隙63および第1の開口部61の間の距離を L_3 とする。つまり、距離 L_3 は、第1の間隙63の第1の開口部61側の端部から、第1の開口部61の第1の間隙63側の端部までの、Y軸上の距離である。本例において距離 L_3 は、第1の蓄積領域16と重なっている、第2の蓄積領域17の幅である。距離 L_3 およびメサ幅 M は、 $0.9 \times M / 2 \leq L_3$ を満たしてよい。これにより、第1の開口部61を、メサ部60のほぼ中心に配置して、ゲートトレンチ部40の近傍に蓄積されたキャリアが第1の開口部61を介して引き抜かれることを抑制できる。

[0090] 半導体基板10の上面21と垂直な深さ方向における、中間領域62の厚みを T_1 、エミッタ領域12の下側に設けられたベース領域14の厚みを T_2 、第1の蓄積領域16の厚みを T_3 、第2の蓄積領域17の厚みを T_4 とする。第1の開口部61の幅 L_2 は、中間領域62の厚み T_1 より大きくてよい。幅 L_2 は、厚み T_1 の2倍以上であってよく、3倍以上であってもよい。

い。中間領域 62 は、XY 面においてメサ部 60 のほぼ全体に形成されているので、Z 軸方向の厚みが小さくてもキャリアを通過させることができる。一方で、第 1 の開口部 61 の幅 L2 を小さくしすぎると、ドリフト領域 18 からキャリアを効率よく引き抜くことができなくなる。

[0091] ベース領域 14 の厚み T2 は、中間領域 62 の厚み T1 より大きくてよい。ベース領域 14 の厚み T2 は、深さ方向においてエミッタ領域 12 と第 1 の蓄積領域 16 に挟まれた領域の厚みを指す。ベース領域 14 を薄くしすぎると、チャンネル長が短くなり、各ドーピング領域の位置バラツキによる閾値電圧の変動が大きくなってしまう。厚み T2 は、厚み T1 の 2 倍以上であってよく、3 倍以上であってもよい。

[0092] 第 1 の蓄積領域 16 の厚み T3 は、中間領域 62 の厚み T1 より大きくてよい。厚み T3 は、厚み T1 の 2 倍以上であってよく、4 倍以上であってもよい。第 2 の蓄積領域 17 の厚み T4 は、中間領域 62 の厚み T1 より大きくてよい。厚み T4 は、厚み T1 の 3 倍以上であってよく、5 倍以上であってもよい。なお、ドリフト領域 18 のドーピング濃度の 2 倍となる位置を、第 2 の蓄積領域 17 とドリフト領域 18 との境界としてよい。それぞれの蓄積領域の厚みを大きくすることで、キャリアの蓄積効果を高めることができる。第 2 の蓄積領域 17 の厚み T4 は、第 1 の蓄積領域 16 の厚み T3 より大きくてよい。これにより、トレンチ部の下端近傍において、キャリアを効率的に蓄積できる。

[0093] 半導体基板 10 の上面 21 と垂直な深さ方向において、半導体基板 10 の上面 21 から第 1 の蓄積領域 16 の下端までの距離を D3、第 1 の蓄積領域 16 の下端から第 2 の蓄積領域 17 の下端までの距離を D2、第 2 の蓄積領域 17 の下端からゲートトレンチ部 40 の下端までの距離を D1 とする。距離 D1 は、距離 D2 と距離 D3 の和より大きくてよい。距離 D1 が小さくなると、ゲートトレンチ部 40 の下端近傍に蓄積されたキャリアが、第 1 の開口部 61 を介して引き抜かれやすくなり、オン電圧が上昇してしまう。距離 D1 は、距離 D2 + D3 の 1.2 倍以上であってよく、1.5 倍以上であつ

てもよい。距離D3は距離D2より大きくよい。距離D3は、距離D2の1.5倍以上であってよく、2倍以上であってもよい。

[0094] なお、本例のトランジスタ部70は、ゲートトレンチ部40の間に、ダミートレンチ部30を設けていない。つまり、複数のゲートトレンチ部40が、ダミートレンチ部30を挟まずに、Y軸方向において連続して配列されている。

[0095] 一般に、1つ以上のゲートトレンチ部40と、1つ以上のダミートレンチ部30とを交互に配列することで、キャリア蓄積効果を生じさせることができる。ダミートレンチ部30とゲートトレンチ部40との比率を変化させることで、スイッチング速度等の半導体装置100の特性を調整できる。また、Y軸方向に空乏層を伸ばして、半導体装置100の耐圧を向上できる。

[0096] これに対して半導体装置100においては、第1の蓄積領域16および第2の蓄積領域17を設けることでキャリア蓄積効果を生じさせることができる。また、第1の開口部61の幅または個数を変化させることで、スイッチング速度等の半導体装置100の特性を調整できる。また、第1の開口部61の近傍において中間領域62とドリフト領域18によるPN接合が設けられるので、第1の開口部61から空乏層を広げることができる。このため、ダミートレンチ部30と同様に、空乏層をY軸方向に伸ばすことができる。

[0097] つまり、ゲートトレンチ部40の間にダミートレンチ部30を設けなくとも、ダミートレンチ部30を設けた場合と同様の効果が生じる。そして、ゲートトレンチ部40の間にダミートレンチ部30を設けなくともよいので、ダミートレンチ部30のダミー絶縁膜32が所定の特性を有しているか等を試験するスクリーニング試験の工数を低減できる。

[0098] 図4の例においては、第2の蓄積領域17は、一部の領域がベース領域14と同一の深さ位置に設けられ、他の一部の領域がドリフト領域18と同一の深さ位置に設けられていた。他の例では、第2の蓄積領域17は、全体がドリフト領域18と同一の深さ位置に設けられていてもよい。

[0099] また、第1の蓄積領域16は、Z軸方向において第1の開口部61と重な

る範囲内に形成されてもよい。つまり、第1の蓄積領域16のY軸方向における両端は、第1の開口部61と重なる位置に設けられてよい。この場合、中間領域62は、第1の蓄積領域16と、第1の開口部61との間に配置されてよい。

[0100] また、第1の蓄積領域16は、隣りあう2つのゲートトレンチ部40のうち、少なくとも一方のゲートトレンチ部40と接していてもよい。つまり、第1の蓄積領域16と、少なくとも一つのゲートトレンチ部40との間には第1の間隙63が設けられなくともよい。

[0101] また、第1の間隙63の少なくとも一部の領域と、第1の開口部61の少なくとも一部の領域とは、Z軸方向において重なる位置に設けられてもよい。第1の間隙63および第1の開口部61のうちのいずれか一方の全体が、他方と重なるように設けられてもよい。この場合、第1の間隙63および第1の開口部61は、両方がゲートトレンチ部40と接していてもよく、両方が接していなくてもよく、いずれか一方だけがゲートトレンチ部40と接していてもよい。

[0102] 図5は、メサ部60のYZ断面の他の例の拡大図である。図4においては、トランジスタ部70におけるメサ部60を示している。本例のゲートトレンチ部40は、上側部分46と、下側部分47とを有する。

[0103] 図1および図2に示したように、ゲートトレンチ部40は半導体基板10の上面21において予め定められた延伸方向(X軸方向)に沿って延伸して設けられる。上側部分46は、延伸方向と垂直な断面(YZ面)において、側壁が直線状に形成された部分である。なお、上側部分46において半導体基板10の上面21と隣接する部分では、側壁が直線状でなくともよい。下側部分47は、上側部分46の下側に設けられ、側壁が曲線状に形成された部分である。下側部分47は、ゲートトレンチ部40の下端を含む。下側部分47の上端(上側部分46との境界)は、側壁の傾きが、上側部分46の側壁の傾きから変化し始める点である。

[0104] YZ断面において、下側部分47における側壁の上端と、中間領域62と

を、第2の蓄積領域17を通過せずに結ぶ最短経路65の距離をXとする。距離Xは、メサ部60の幅Mの半分より大きくてよい（すなわち、 $M/2 < X$ を満たしてよい）。ゲートトレンチ部40の下端近傍から中間領域62までの距離Xを大きくすることで、ゲートトレンチ部40の下端近傍に蓄積されたキャリアが、中間領域62を介して引き抜かれることを抑制できる。距離Xは、メサ幅Mの半分の1.2倍より大きくてよく、1.4倍より大きくてもよい。

[0105] また、下側部分47の上端が不明瞭な場合、ゲートトレンチ部40の下端と、中間領域62とを結ぶ最短経路の距離をXとしてもよい。ゲートトレンチ部40の下端は、ゲートトレンチ部40において最も下側に位置する点である。ゲートトレンチ部40の下端は、Y軸方向においてゲートトレンチ部40の中央に配置されてよい。

[0106] 本例の中間領域62は、第1の開口部61を通して、第2の蓄積領域17よりも下側に突出して設けられている。この場合、キャリアの引き抜きが容易になる。第2の蓄積領域17よりも下側に突出する中間領域62の部分の深さ方向における長さは、中間領域62の厚みT1より小さくてよく、大きくてもよい。中間領域62の突出長さに応じて、キャリアの引き抜き効率と、オン電圧とを調整できる。

[0107] 図6は、メサ部60のYZ断面の他の例の拡大図である。本例のメサ部60は、中間領域62の配置が、図4または図5に示したメサ部60と異なる。他の構造は、図4または図5に示したメサ部60と同一であってよい。

[0108] 本例の中間領域62は、半導体基板10の深さ方向において、第1の開口部61と重ならないように配置されている。つまり、第1の開口部61の端部66は、第1の蓄積領域16および第2の蓄積領域17の間において、第2の蓄積領域17の端部67よりも外側に配置されている。外側とは、隣接するゲートトレンチ部40により近い側を指す。

[0109] この場合、半導体基板10の下面23側から見て、中間領域62が露出していない。このため、ゲートトレンチ部40の下端近傍に蓄積したキャリア

が、中間領域 6 2 を介して引き抜かれることを抑制できる。本例では、第 1 の開口部 6 1 の内部全体にドリフト領域 1 8 が形成されている。ドリフト領域 1 8 は、第 1 の蓄積領域 1 6 および第 2 の蓄積領域 1 7 の間にも形成されてよい。

[0110] 本例においては、ゲートトレンチ部 4 0 の下側部分 4 7 の上端と、中間領域 6 2 とを結ぶ最短経路は、下側部分 4 7 の上端と第 1 の開口部 6 1 の端部 6 7 とを結ぶ部分 9 1 と、端部 6 7 に沿って第 2 の蓄積領域 1 7 を迂回する部分 9 2 と、端部 6 7 と中間領域 6 2 とを結ぶ部分 9 3 とを有する。

[0111] 図 7 は、メサ部 6 0 の Y Z 断面の他の例の拡大図である。本例のメサ部 6 0 は、第 1 の蓄積領域 1 6 の形状が、図 4 から図 6 に示したメサ部 6 0 と異なる。他の構造は、図 4 から図 6 に示したいずれかのメサ部 6 0 と同一であってよい。

[0112] 本例の第 1 の蓄積領域 1 6 は、半導体基板 1 0 の深さ方向において第 1 の開口部 6 1 と重なる第 2 の開口部 6 8 を有する。第 2 の開口部 6 8 は、第 1 の蓄積領域 1 6 を貫通する。第 2 の開口部 6 8 の内部には、ベース領域 1 4 と同一の導電型の領域が形成されている。このような構造により、半導体装置 1 0 0 のターンオフ時等において、正孔等のキャリアを、第 1 の開口部 6 1 および第 2 の開口部 6 8 を通って引き抜くことができる。第 1 の開口部 6 1 および第 2 の開口部 6 8 は、半導体装置 1 0 0 の深さ方向において、コンタクト領域 1 5 と重なる領域に形成されてよい。

[0113] Y 軸方向において、第 2 の開口部 6 8 の幅は、第 1 の開口部 6 1 の幅と同一であってよく、大きくてもよく、小さくてもよい。また、X 軸方向において、第 2 の開口部 6 8 の長さは、第 1 の開口部 6 1 の長さと同じであってよく、大きくてもよく、小さくてもよい。

[0114] 図 8 は、図 1 の a - a 断面における半導体装置 1 0 0 の構造の他の例を示す図である。本例の半導体装置 1 0 0 は、第 1 の開口部 6 1 の形状が、図 1 から図 7 において説明した半導体装置 1 0 0 と異なる。他の構造は、図 1 から図 7 において説明したいずれかの半導体装置 1 0 0 と同一であってよい。

[0115] 本例では、境界メサ部60-1における第1の開口部61のY軸方向における幅Y2は、トランジスタ部70のいずれかのメサ部60における第1の開口部61の幅Y1よりも大きい。境界メサ部60-1における第1の開口部61のY軸方向における幅Y2は、トランジスタ部70のいずれのメサ部60における第1の開口部61の幅Y1よりも大きくてよい。これにより、トランジスタ部70とダイオード部80との境界において、正孔等のキャリアを効率よく引き抜くことができる。このため、トランジスタ部70およびダイオード部80において、一方のキャリアが他方に影響を与えることを抑制できる。

[0116] また、ダイオード部80における第1の開口部61のY軸方向における幅Y3は、トランジスタ部70のメサ部60における第1の開口部61の幅Y1よりも大きくてよい。ダイオード部80における第1の開口部61の幅Y3は、トランジスタ部70から離れたメサ部60ほど大きくてよい。また、ダイオード部80における少なくとも一部のメサ部60の第1の開口部61の幅Y3は、境界メサ部60-1における第1の開口部61の幅Y2よりも大きくてよい。このような構造により、ダイオード部80において、第2の蓄積領域17による正孔等のキャリアの移動が阻害されるのを抑制できる。

[0117] 図9は、半導体装置100の上面の他の例を示す図である。本例では、トランジスタ部70のそれぞれのメサ部60のベース領域14-eに挟まれた領域において、コンタクト領域15とエミッタ領域12とがX軸方向に沿って交互に配置されている。Y軸方向において、コンタクト領域15およびエミッタ領域12の幅は、メサ部60の幅と等しい。つまり、コンタクト領域15およびエミッタ領域12は、それぞれのメサ部60において、メサ部60を挟む2つのトレンチ部の両方に隣接するように形成されている。他の構造は、図1および図2に示した半導体装置100と同一である。

[0118] 図10は、図9におけるa-a断面を示す図である。本例のa-a断面は、トランジスタ部70のエミッタ領域12を通過するYZ面である。本例のa-a断面は、トランジスタ部70のメサ部60において、エミッタ領域1

2が2つのトレンチ部に隣接するように配置されている点で、図1から図8に示した半導体装置100と相違する。他の構造は、図1から図8に示したいずれかの態様の半導体装置100と同一である。このような構造によっても、オン電圧の低下と、ターンオフ損失の低減を容易に両立できる。

[0119] 図11は、図9におけるa-a断面の他の例を示す図である。本例の半導体装置100は、図1から図10において説明したいずれかの半導体装置100の構成に加え、フローティング領域84を更に備える。フローティング領域84は、ダイオード部80において、カソード領域82の上方に形成されている。

[0120] フローティング領域84は、電氣的にフローティング状態である、第2導電型（本例ではP+型）の領域である。電氣的にフローティング状態とは、コレクタ電極24およびエミッタ電極52のいずれにも接触していない状態を指す。フローティング領域84を設けることにより、カソード領域82からの電子の注入を抑制できる。これにより、半導体基板10の下面側においてライフタイムキラーを形成しなくとも、半導体基板10の深さ方向におけるキャリア分布を調整できる。このため、半導体装置100の製造コストを低減でき、また、ライフタイムキラーに起因するリーク電流を低減できる。

[0121] なお、フローティング領域84は、カソード領域82を部分的に覆うように形成されている。フローティング領域84には、第3の開口部85が設けられてよい。つまり、カソード領域82の一部分は、フローティング領域84に覆われていない。これによりフローティング領域84を設けても、ダイオード部80がダイオード動作できる。電子の注入を抑制すべく、フローティング領域84は、カソード領域82の上面の半分より大きい範囲を覆って形成されてよい。

[0122] なお、フローティング領域84は、第1の開口部61と重なる位置には配置されなくともよい。つまり、第3の開口部85と、第1の開口部61とが重なる位置に配置されてよい。この場合、第1の開口部61の直下において、カソード領域82から電子が注入される。

- [0123] 図12は、図9におけるa-a断面の他の例を示す図である。本例の半導体装置100は、図11に示した半導体装置100に対して、フローティング領域84の配置が異なる。他の構造は、図11に示した半導体装置100と同一である。
- [0124] 本例のフローティング領域84は、第1の開口部61と重なる位置に配置されている。つまり、第3の開口部85と、第1の開口部61とが重ならないように、フローティング領域84が配置されている。この場合、第1の開口部61とはY軸方向においてずれた位置において、カソード領域82から電子が注入される。
- [0125] 図13は、メサ部60のYZ断面の他の例の拡大図である。本例のメサ部60は、ゲートトレンチ部40の構造が、図1から図12に示したいずれかの半導体装置100のゲートトレンチ部40と異なる。他の構造は、図1から図12に示したいずれかの半導体装置100と同一であってよい。
- [0126] 本例のゲートトレンチ部40は、ゲート絶縁膜42が薄い薄膜部72と、薄膜部72よりもゲート絶縁膜42が厚い厚膜部74とを有する。ゲート絶縁膜42の厚みは、Y軸方向における厚みを用いてよい。厚膜部74を設けることで、ゲートトレンチ部40の下端におけるゲートトレンチ部40の耐圧を向上できる。
- [0127] 本例では、中間領域62に沿って正孔がY軸方向に移動するので、正孔に引き寄せられて、電子電流がメサ部60の中央側にも広がりやすい。この場合、P型領域において電子電流の流れる経路長が長くなり、オン電圧が上昇する。本例においては、第1の蓄積領域16および中間領域62は、薄膜部72と対向して配置されることが好ましい。薄膜部72においては、電子がゲート導電部44に強く引き付けられるので、電子電流をゲートトレンチ部40に沿って流すことが容易になる。第2の蓄積領域17は、薄膜部72に対向して配置されてよく、厚膜部74に対向して配置されてよく、薄膜部72および厚膜部74の両方に跨って配置されてもよい。
- [0128] 図14は、半導体装置100におけるa-a断面の他の例を示す図である

。本例の半導体装置１００は、ダイオード部８０の構造が、図１から図１３において説明した半導体装置１００と異なる。トランジスタ部７０および境界部９０は、図１から図１３において説明したいずれかの態様のトランジスタ部７０および境界部９０と同一であってよい。図１４の例におけるトランジスタ部７０および境界部９０は、図１０に示したトランジスタ部７０および境界部９０と同一である。

[0129] 本例のダイオード部８０は、図１０に示したダイオード部８０に対して、第２の蓄積領域１７の構造が異なる。他の構造は、図１０に示したダイオード部８０と同一であってよい。本例のダイオード部８０の第２の蓄積領域１７は、Ｙ軸方向（メサ幅方向）に沿って配置された第１の開口部６１のメサ部６０一つ当たりの数が、トランジスタ部７０においてＹ軸方向に沿って配置された第１の開口部６１のメサ部６０一つ当たりの数よりも多い。本例では、トランジスタ部７０の各メサ部６０には、一つの第１の開口部６１が設けられており、ダイオード部８０の各メサ部６０には、複数の第１の開口部６１がＹ軸方向に沿って設けられている。

[0130] ダイオード部８０の各メサ部６０におけるいずれかの第１の開口部６１は、トランジスタ部７０の各メサ部６０における第１の開口部６１と対応する位置に配置されてよい。対応する位置とは、メサ部６０内におけるＹ軸方向の位置が同一であることを指す。本例では、トランジスタ部７０の各メサ部６０の第１の開口部６１は、各メサ部６０のＹ軸方向の中央に配置されており、ダイオード部８０の各メサ部６０のいずれかの第１の開口部６１も、各メサ部６０のＹ軸方向の中央に配置されている。境界メサ部６０－１における第１の開口部６１の配置は、トランジスタ部７０のメサ部６０と同一であってよく、ダイオード部８０のメサ部６０と同一であってよく、トランジスタ部７０およびダイオード部８０とは異なってもよい。

[0131] トランジスタ部７０の第２の蓄積領域１７における第１の開口部６１の数を比較的に少なくすることで、オン時におけるキャリアの蓄積効果を維持できる。また、ダイオード部８０の第２の蓄積領域１７に、より多くの第１の

開口部 61 を設けることで、アノード側からのキャリアの注入量を増加させて、ダイオード部 80 の順方向電圧を小さくできる。また、ターンオフ時等においてキャリアを容易に引き抜くことができる。また、ダイオード部 80 の第 2 の蓄積領域 17 に第 1 の開口部 61 を分散して設けることで、PN 接合を Y 軸方向に分散して配置することができ、空乏層が広がる起点を分散して設けることができる。このため、半導体装置 100 の耐圧を向上できる。

[0132] ダイオード部 80 における、それぞれの第 1 の開口部 61 の Y 軸方向における幅は、トランジスタ部 70 における第 1 の開口部 61 の Y 軸方向の幅と同一であってよく、異なってもよい。また、ダイオード部 80 におけるそれぞれの第 1 の開口部 61 の幅は、互いに同一であってよく、異なってもよい。

[0133] また、ダイオード部 80 の各メサ部 60 における第 1 の開口部 61 の Y 軸方向における個数は、互いに同一であってよく、異なってもよい。一例として、Y 軸方向におけるトランジスタ部 70 からの距離が大きいメサ部 60 ほど、第 1 の開口部 61 の数が少なくてもよい。

[0134] 本例のダイオード部 80 は、フローティング領域 84 を更に有する。フローティング領域 84 は、境界メサ部 60-1 との境界において、カソード領域 82 を露出させてよい。フローティング領域 84 は、ダイオード部 80 の第 1 の開口部 61 と Z 軸方向において重なるように設けられてよい。本例のフローティング領域 84 は、ダミートレンチ部 30 の下方に第 3 の開口部 85 を有しており、他の位置には第 3 の開口部 85 を有していない。図 14 の例では、フローティング領域 84 が一つのメサ部 60 に渡って設けられているが、フローティング領域 84 は、Y 軸方向に沿って複数のメサ部 60 に渡って連続して設けられてもよい。

[0135] ダイオード部 80 において、トレンチ部に接していない第 2 の蓄積領域 17 の、Y 軸方向における幅 L_a は、第 1 の開口部 61 の幅 L_b よりも長くてよい。この場合は、ダイオード部のアノード側からのキャリアの注入量を減少させて、ダイオード部 80 の逆回復損失を小さくできる。

- [0136] ダイオード部80において、トレンチ部に接していない第2の蓄積領域17の、Y軸方向における幅Laは、第1の開口部61の幅Lbよりも短くてよい。この場合は、ドリフト領域18とベース領域14とのPN接合をY軸方向に分散して広く配置することができ、空乏層が広がる起点を広く設けることができる。このため、半導体装置100の耐圧を向上できる。
- [0137] 境界部90に最も近く隣接するフローティング領域84において、境界部90側の端部の位置から、当該端部を半導体基板10の上面21に投影したメサ部60内部で、ダミートレンチ部30に接した第2の蓄積領域17のY軸方向端部までの長さWaは、 $5\mu\text{m}$ 以下であってよい。これにより、逆回復時の正孔の注入を担保し、サージ電圧を抑制する。
- [0138] 図15は、半導体装置100におけるa-a断面の他の例を示す図である。本例の半導体装置100は、ダイオード部80の構造が、図14において説明した半導体装置100と異なる。トランジスタ部70および境界部90は、図14において説明したいずれかの態様のトランジスタ部70および境界部90と同一であってよい。
- [0139] 本例のダイオード部80は、図14に示したダイオード部80に対して、フローティング領域84の構造が異なる。他の構造は、図14に示したダイオード部80と同一であってよい。フローティング領域84は、少なくとも一つの第3の開口部85が、ダイオード部80の第2の蓄積領域17に設けられたいずれかの第1の開口部61と、Z軸方向において重なる位置に配置されている。
- [0140] 図15の例では、フローティング領域84は、メサ部60のY軸方向の中央に配置された第1の開口部61-1と重なる第3の開口部85を有している。他の例では、フローティング領域84は、メサ部60のそれぞれの第1の開口部61と重なるように、一つのメサ部60内に複数の第3の開口部85をY軸方向において離散的に有してもよい。第1の開口部61と第3の開口部85とを重ねて配置することで、キャリアの注入を促進できる。
- [0141] 図16は、図14に示した半導体装置100の動作例を説明する図である

。図16は、ダイオード部80に順バイアスが印加されている状態を示している。また、図16において正孔（ホール）の注入を実線の矢印で示しており、電子の注入を破線の矢印で示している。

[0142] 本例では、ダイオード部80に複数の第1の開口部61を設けているので、順バイアス時において、アノード側からのホールの注入量を増加させることができる。このため、ダイオード部80の順バイアスを小さくできる。

[0143] 図17は、図14に示した半導体装置100の動作例を説明する図である。図17は、ダイオード部80が逆回復している状態を示している。本例では、ダイオード部80に複数の第1の開口部61を設けているので、逆回復時において、アノード側からのホールの引き抜き量を増加させることができる。このため、ダイオード部80の逆回復時間を短くできる。

[0144] 逆回復時には、フローティング領域84とカソード領域82とのpn接合は逆バイアス状態となり、アバランシェ降伏によるアバランシェ電流が発生する。そのため、正孔は当該pn接合からバッファ領域20、ドリフト領域18に向かって流れ、電子は当該pn接合からカソード領域82に向かって流れる。

[0145] なお、境界部90およびダイオード部80の境界における第3の開口部85のY軸方向の幅は、 $5\mu\text{m}$ 以下であってよい。これにより、電子が急激に引き抜かれることを抑制して、逆回復時におけるサージ電流を小さくできる。

[0146] 図18は、半導体装置100におけるa-a断面の他の例を示す図である。本例の半導体装置100は、ダイオード部80の構造が、図15において説明した半導体装置100と異なる。トランジスタ部70および境界部90は、図15において説明したいずれかの態様のトランジスタ部70および境界部90と同一であってよい。

[0147] 本例のダイオード部80は、図15に示したダイオード部80に対して、フローティング領域84の構造が異なる。他の構造は、図15に示したダイオード部80と同一であってよい。本例のフローティング領域84は、メサ

部60のそれぞれの第1の開口部61と重なるように、複数の第3の開口部85をY軸方向において離散的に有する。これにより、順バイアス時におけるキャリアの注入を促進して、順方向電圧を更に小さくできる。対応する第1の開口部61および第3の開口部85は、部分的に重なって配置されてよく、全体が重なって配置されてもよい。

[0148] 図19は、半導体装置100の上面の他の例を示す図である。本例の半導体装置100は、ダイオード部80の構造が、図1から図18において説明したいずれかの態様の半導体装置100と異なる。他の構造は、図1から図18において説明したいずれかの態様の半導体装置100と同一であってよい。図19に示した例においては、ダイオード部80以外の構造は、図9に示した半導体装置100と同一である。

[0149] 本例のダイオード部80の各メサ部60における半導体基板10の上面には、メサ幅方向とは垂直な方向（X軸方向）に沿って、P+型のコンタクト領域15と、コンタクト領域15よりも正孔の移動度が小さい調整領域19とが交互に配置されている。調整領域19は、コンタクト領域15よりもドーピング濃度の低いP型の領域であってよい。調整領域19のドーピング濃度は、ベース領域14と同一であってよく、異なってもよい。他の例では、調整領域19は、N型の領域であってよい。調整領域19のドーピング濃度は、エミッタ領域12と同一であってよく、異なってもよい。

[0150] ダイオード部80にコンタクト領域15を設けることで、ダイオード部80のドリフト領域18へのキャリアの注入量を増大させて、ダイオード部80の順方向電圧 V_f を小さくできる。特に、大電流動作時における順方向電圧 V_f を小さくできる。ただし、コンタクト領域15の面積を大きくすると、逆回復動作時に流れる逆電流のピーク値 I_{rp} が大きくなってしまう。ダイオード部80のメサ部60の上面に形成されるコンタクト領域15と、調整領域19との面積比を調整することで、ダイオード部80の順方向電圧 V_f および逆電流のピーク値 I_{rp} を調整できる。

[0151] 一例として、ダイオード部80におけるコンタクト領域15は、トランジ

スタ部 70 におけるコンタクト領域 15 に対して、X 軸方向において同一の位置および幅で設けられてよい。調整領域 19 は、トランジスタ部 70 のエミッタ領域 12 に対して、X 軸方向において同一の位置および幅で設けられてよい。これらの位置および幅は、半導体基板 10 の上面における位置および幅であってよい。

[0152] 他の例では、ダイオード部 80 におけるコンタクト領域 15 は、トランジスタ部 70 におけるコンタクト領域 15 に対して、X 軸方向における位置および幅の少なくとも一方が異なっていてよい。調整領域 19 は、トランジスタ部 70 のエミッタ領域 12 に対して、X 軸方向における位置および幅の少なくとも一方が異なっていてよい。これらの位置および幅を調整することで、ダイオード部 80 の順方向電圧 V_f および逆電流のピーク値 I_{rp} を調整できる。

[0153] 図 19 においては、コンタクト領域 15 および調整領域 19 が、X 軸方向に沿って交互に配置された例を示したが、コンタクト領域 15 および調整領域 19 の配置は図 19 の例に限定されない。それぞれのコンタクト領域 15 がコンタクトホール 54 を介してエミッタ電極 52 に接続できることを条件として、コンタクト領域 15 および調整領域 19 の配置を変更できる。

[0154] 図 20 は、図 19 に示した半導体装置 100 のトランジスタ部 70、ダイオード部 80 および境界部 90 におけるメサ部 60 の上面を拡大して示す上面図である。本例においては、第 2 の蓄積領域 17 が設けられる領域にドットでハッチングを付している。また、コンタクトホール 54 のハッチングを省略している。

[0155] それぞれのメサ部 60 には、図 2 に示した例と同様に、第 1 の蓄積領域 16、第 2 の蓄積領域 17、第 1 の間隙および第 1 の開口部 61 が、X 軸方向に沿ってストライプ状に配置されている。ただし、ダイオード部 80 のメサ部 60 においては、複数の第 1 の開口部 61 が Y 軸方向に沿って配列されている。なお、第 1 の蓄積領域 16 および第 2 の蓄積領域 17 の X 軸方向における端部は、コンタクトホール 54 の端部よりもベース領域 14 - e 側 (X

軸負側)に配置されていてよく、図2の例と同様にコンタクトホール54の端部に対してベース領域14-eとは逆側(X軸正側)に配置されていてもよい。

[0156] 図21は、図20に示したダイオード部80のメサ部60におけるb-b断面の一例を示す図である。上述したように、第2の蓄積領域17には、複数の第1の開口部61が設けられている。

[0157] 本例では、複数の第1の開口部61のうち、ダミートレンチ部30に最も近い第1の開口部61-1は、ダミートレンチ部30とは離れて設けられる。第1の開口部61-1は、第1の間隙63、64とは、Z軸方向において重ならず設けられてよい。第1の開口部61-1とダミートレンチ部30とのY軸方向における距離は、第1の間隙63のY軸方向における幅の2倍以上であってよく、3倍以上であってもよい。

[0158] なお、コンタクト領域15からベース領域14に注入された正孔は、第1の蓄積領域16を通過するよりも、第1の間隙63、64を通過しやすくなる。第1の間隙63、64を通過した正孔の大部分は、ダミートレンチ部30に最も近い第1の開口部61-1を介してドリフト領域18に注入される。このため、ダミートレンチ部30から最も離れた第1の開口部61-2を通過する正孔は、第1の開口部61-1を通過する正孔よりも少なくなる。

[0159] ただし、第1の開口部61-2を設けることで、空乏層が広がるPN接合を、Y軸方向における分散して配置できる。このため、ダイオード部80の耐圧を向上させることができる。なお、第1の開口部61-2は、正孔の通過量が比較的に少ないので、Y軸方向の幅が小さくてもよい。Y軸方向の幅が小さくても、空乏層が広がる起点として機能できる。一方で、第1の開口部61-1は、正孔を効率よく通過させるべく、ある程度の幅を有することが好ましい。ダミートレンチ部30に最も近い第1の開口部61-1のY軸方向における幅L4は、ダミートレンチ部30から最も離れた第1の開口部61-2のY軸方向における幅L5より大きくよい。幅L4は、幅L5の1.2倍以上であってよく、1.5倍以上であってよく、2倍以上であっても

よい。

[0160] 図22は、ダイオード部80のメサ部60の上面における、第1の開口部61の配置例を示す図である。図20に示した例では、ダイオード部80のメサ部60におけるそれぞれの第1の開口部61は、X軸方向に連続して形成されていた。本例では、ダイオード部80のメサ部60において、ダミートレンチ部30に最も近い第1の開口部61-1が、X軸方向に離散的に配置されている。第1の開口部61-2は、X軸方向に沿ってストライプ状に連続して設けられてよい。第1の開口部61-2は、X軸方向において、第1の開口部61-1よりも長く形成されてよい。第1の開口部61-2は、メサ部60においてX軸方向の両端に配置された2つのコンタクト領域15の間に連続して形成されてよい。

[0161] 第1の開口部61-1は、上面視においてコンタクト領域15と重なる領域に設けられてよい。第1の開口部61-1は、全体がコンタクト領域15と重なる領域に設けられてよく、一部の領域が調整領域19と重なる領域に設けられてもよい。つまり、第1の開口部61-1のX軸方向の長さは、コンタクト領域15のX軸方向の長さより小さくてよく、コンタクト領域15のX軸方向の長さ以上であってもよい。

[0162] 第1の開口部61-1を離散的に設けることで、第1の開口部61-1の面積を容易に調整して、正孔の注入量を調整できる。このため、ダイオード部80の順方向電圧を容易に調整できる。また、第1の開口部61-2をX軸方向に沿って連続して形成することで、空乏層が広がる起点を、X軸方向に沿って連続的に形成できる。このため、ダイオード部80の耐圧を向上できる。

[0163] 図23は、トランジスタ部70、ダイオード部80および境界部90におけるメサ部60の上面構造の他の例を示す図である。本例のダイオード部80は、調整領域19がX軸方向に沿ってストライプ状に形成されている。調整領域19の形状は、図2に示したトランジスタ部70のエミッタ領域12と同一であってよく、異なってもよい。

- [0164] 一例として調整領域 19 の Y 軸方向における幅は、エミッタ領域 12 の Y 軸方向における幅と同一であってよく、細くてよく、太くてもよい。調整領域 19 の形状を調整することで、コンタクト領域 15 の面積を調整できる。
- [0165] トランジスタ部 70 および境界部 90 の構造は、図 1 から図 22 において説明したいずれかの態様の半導体装置 100 のトランジスタ部 70 および境界部 90 と同一であってよい。図 23 の例におけるトランジスタ部 70 および境界部 90 では、図 2 に示したトランジスタ部 70 および境界部 90 と同一の構造を有する。
- [0166] 図 24 は、半導体装置 100 の b-b 断面の他の例を示す図である。本例のダイオード部 80 のメサ部 60 は、コンタクト領域 15 が Y 軸方向に沿って離散的に設けられている。それぞれのコンタクト領域 15 は、X 軸方向に沿ってストライプ状に設けられてよく、離散的に設けられてもよい。それぞれのコンタクト領域 15 は、コンタクトホール 54 の下方に設けられる。ダイオード部 80 のメサ部 60 の上面において、コンタクト領域 15 以外の調整領域は、ベース領域 14 であってよい。
- [0167] コンタクトホール 54 の内部には、メタルプラグ 94 が設けられてよい。メタルプラグ 94 は、エミッタ電極 52 と同一の材料で形成されてよく、タングステンで形成されてもよい。メタルプラグ 94 をタングステンで形成することで、微細なメサ部 60 に複数のメタルプラグ 94 を容易に形成できる。
- [0168] それぞれのコンタクト領域 15 において、メタルプラグ 94 と接する領域には、P 型の高濃度領域 95 が形成されてよい。高濃度領域 95 のドーピング濃度は、コンタクト領域 15 のドーピング濃度より高い。これにより、コンタクト領域 15 とメタルプラグ 94 との間の接触抵抗を低減できる。
- [0169] 少なくとも一つの第 1 の開口部 61 は、いずれかのコンタクト領域 15 と、Z 軸方向において少なくとも部分的に重なる位置に設けられてよい。図 24 の例では、全ての第 1 の開口部 61 が、いずれかのコンタクト領域 15 と少なくとも部分的に重なっている。

[0170] 図25は、半導体装置100の上面構造の他の例を示す図である。本例の半導体装置100は、図1から図24において説明した半導体装置100に対して、ダミートレンチ部30に代えてピラー領域26を備える。ピラー領域26は、半導体基板10の内部に形成されたP型の領域である。他の構造は、図1から図24において説明したいずれかの態様の半導体装置100と同一であってよい。図25では、図1に示した半導体装置100において、ダミートレンチ部30に代えてピラー領域26を設けた構成を示している。

[0171] ピラー領域26は、Y軸方向に沿って配列されている。本例のピラー領域26のY軸方向における間隔は、図1から図24において説明したダミートレンチ部30の延伸部分29の間隔と同一である。他の例では、ピラー領域26のY軸方向の間隔は、ゲートレンチ部40の延伸部分39の間隔よりも大きくてもよく、小さくてもよい。ピラー領域26のY軸方向における幅は、ゲートレンチ部40の延伸部分39の幅と同一であってよく、異なってもよい。

[0172] ピラー領域26の上面視における形状は、一例としてX軸方向に沿って延伸する直線形状である。ピラー領域26のX軸方向における端部は、ウェル領域11に設けられてよい。他の例では、ピラー領域26の上面視の形状は、ダミートレンチ部30と同様にU字形状であってもよい。

[0173] 図26は、図25におけるa-a断面の一例を示す図である。本例の半導体装置100は、ピラー領域26以外の構造は、図1から図24において説明したいずれかの態様の半導体装置100と同一である。

[0174] ピラー領域26は、半導体基板10の上面21から、ドリフト領域18に達するまで形成されている。ピラー領域26の上端は、層間絶縁膜38により覆われていてよい。つまり、ピラー領域26は、エミッタ電極52とは接続されていなくてよい。

[0175] ピラー領域26の少なくとも一部の領域は、ベース領域14と接している。トランジスタ部70に設けられたピラー領域26は、半導体基板10の上面において、ドリフト領域18よりもドーピング濃度の高いN型の高濃

度領域に挟まれてよい。本例における高濃度領域は、エミッタ領域 12 である。トランジスタ部 70 と境界部 90 との境界に設けられたピラー領域 26 は、トランジスタ部 70 側においてエミッタ領域 12 と接しており、境界部 90 側においてコンタクト領域 15 と接してよい。

[0176] ピラー領域 26 は、ゲートトレンチ部 40 と同一の深さ位置まで形成されてよく、より深い位置まで形成されてよく、より浅い位置まで形成されていてもよい。ピラー領域 26 の Z 軸方向の長さは、ゲートトレンチ部 40 の Z 軸方向の長さの 80% 以上、120% 以上であってよい。ただし、ピラー領域 26 は、第 2 の蓄積領域 17 よりも深い位置まで形成されることが好ましい。

[0177] 本例のピラー領域 26 は、ベース領域 14 よりもドーピング濃度の高い P+ 型である。ピラー領域 26 のドーピング濃度のピーク値は、 $5.0 \times 10^{17} / \text{cm}^3$ 以上、 $1.0 \times 10^{20} / \text{cm}^3$ 以下であってよい。ピラー領域 26 のドーピング濃度のピーク値は、コンタクト領域 15 のドーピング濃度のピーク値と同一であってよい。

[0178] このような構成によっても、ダミートレンチ部 30 を設けた場合と同様に、トランジスタ部 70 のオン電圧を低くできる。また、ゲートトレンチ部 40 とピラー領域 26 の割合を調整することで、スイッチング速度も調整できる。また、ダミートレンチ部 30 が無いので、ダミートレンチ部 30 の絶縁膜等のスクリーニング試験を行わなくてよい。このため、試験のコストを低減できる。

[0179] また、ダミートレンチ部 30 のスクリーニング用の配線およびパッドを半導体基板 10 に形成しなくてよいので、半導体基板 10 におけるトランジスタ部 70、ダイオード部 80 等の素子領域を拡大できる。また、ピラー領域 26 をエミッタ領域 12 等の高濃度の N 型領域で挟むことで、正孔に対するピラー領域 26 のインピーダンスを増加させることができ、正孔の引き抜きを抑制できる。

[0180] 図 27 は、トランジスタ部 70 のメサ部 60 と、ピラー領域 26 の Z 軸方

向におけるドーピング濃度分布の一例を示す図である。本例では、第1の蓄積領域16と、ピラー領域26との間に第1の間隙63、64が設けられている。

[0181] 図27では、Y軸方向におけるピラー領域26の中央を通る断面c-cでのドーピング濃度分布を示している。ピラー領域26のZ軸方向におけるドーピング濃度分布は、複数のピークを有してよい。図26の例では、ドーピング濃度分布は、深さ位置Z0、Z2およびZ4においてピークを有する。ピラー領域26は、異なる深さ位置にP型不純物を注入して熱処理することで形成されてよい。これにより、深さ方向に長いピラー領域26を容易に形成できる。

[0182] ピラー領域26のドーピング濃度分布が極小値となる深さ位置Z1、Z3は、いずれもエミッタ領域12、第1の蓄積領域16および第2の蓄積領域17とは重ならなくてよい。つまり、深さ位置Z1、Z3は、いずれも、高濃度のN型領域の上端から下端までの深さ位置の範囲に含まれない。

[0183] ドーピング濃度分布がピーク値となる深さ位置Z0、Z2、Z4の少なくとも一つは、エミッタ領域12、第1の蓄積領域16および第2の蓄積領域17と重なる位置に設けられてよい。つまり、深さ位置Z0、Z2、Z4の少なくとも一つは、高濃度のN型領域の上端から下端までの深さ位置の範囲に含まれる。

[0184] ピラー領域26において、ドーピング濃度が低い領域を、高濃度のN型領域に対向しないように配置することで、ピラー領域26内にN型不純物が拡散することを抑制できる。このため、ピラー領域26のY軸方向における幅を一定以上に維持できる。

[0185] エミッタ領域12と対向する位置に、ピラー領域26のドーピング濃度の最大値が配置されてよい。ピラー領域26の上端には、他の領域よりもドーピング濃度の高い高濃度領域27が設けられてよい。ピラー領域26は、第1の蓄積領域16および第2の蓄積領域17と接していなくてよい。この場合、ピラー領域26と各蓄積領域との間には、ベース領域14が設けられる

。ピラー領域 26 のドーピング濃度のピーク値は、半導体基板 10 の上面からの距離が大きいほど、小さくなってよい。他の例では、ピラー領域 26 のドーピング濃度のピーク値は、同一であってもよい。

[0186] 図 27 において破線で示されるピラー領域 26 のように、ドーピング濃度のピーク位置に対応して、ピラー領域 26 の Y 軸方向の幅が局所的に広がってよい。また、ドーピング濃度の極小の位置に対応して、ピラー領域 26 の Y 軸方向の幅が局所的に狭くてよい。局所的に狭い、とは、ドーピング濃度のピーク位置の深さの幅に比べて狭いとしてよい。なお、それぞれのピラー領域 26 が、図 27 において破線で示したような形状を有してよい。

[0187] さらに、第 2 の蓄積領域 17、および第 1 の蓄積領域 16 の深さを、ピラー領域 26 の幅が局所的に狭い深さと略一致させてよい。これにより、比較的高いドーピング濃度の第 1 または第 2 の蓄積領域と、比較的高いドーピング濃度のピラー領域 26 のピーク位置とが p n 接合を形成することを、回避することができる。その結果、当該 p n 接合における局所的な電界強度の増加を抑制でき、耐圧を高く確保できる。

[0188] 図 28 は、図 25 における a-a 断面の他の例を示す図である。本例の半導体装置 100 は、ピラー領域 26 の上端が層間絶縁膜 38 で覆われていない点で、図 26 の例とは相違する。他の構造は、図 26 および図 27 において説明したいずれかの態様の半導体装置 100 と同一であってもよい。この場合、ピラー領域 26 を介して、ドリフト領域 18 に対して正孔を注入および引き抜くことができる。

[0189] 図 29 は、図 25 における a-a 断面の他の例を示す図である。本例の半導体装置 100 は、ピラー領域 26 の上端の一部が層間絶縁膜 38 で覆われていない点で、図 26 の例とは相違する。つまり、ピラー領域 26 の上端は、エミッタ電極 52 に接続している。他の構造は、図 26 および図 27 において説明したいずれかの態様の半導体装置 100 と同一であってもよい。この場合も、ピラー領域 26 を介して、ドリフト領域 18 に対して正孔を注入および引き抜くことができる。

- [0190] 図30は、半導体装置100の上面構造の他の例を示す図である。本例の半導体装置100は、図25に示した半導体装置100に対して、トランジスタ部70の構造が異なる。本例のトランジスタ部70の構造は、図9に示したトランジスタ部70と同一である。トランジスタ部70以外の構造は、図25から図29において説明した半導体装置100と同一である。
- [0191] 図31は、図30におけるa-a断面の一例を示す図である。本例の半導体装置100は、図26に示した半導体装置100に対して、トランジスタ部70の構造が異なる。本例のトランジスタ部70の構造は、図10に示したトランジスタ部70と同一である。トランジスタ部70以外の構造は、図26において説明した半導体装置100と同一である。なお、図25から図31において説明した半導体装置100は、第1の蓄積領域16および第2の蓄積領域17を備えなくともよい。
- [0192] 図32は、本発明の実施形態に係る半導体装置200の一例のYZ断面を示す図である。半導体装置200は、図1から図31において説明したトランジスタ部70を備える。半導体装置200は、ダイオード部80および境界部90を備えていない。トランジスタ部70は、図1から図31において説明したいずれかの態様のトランジスタ部70と同一である。
- [0193] 図33は、本発明の実施形態に係る半導体装置300の一例のYZ断面を示す図である。半導体装置300は、図1から図31において説明したダイオード部80を備える。半導体装置300は、トランジスタ部70および境界部90を備えていない。ダイオード部80は、図1から図31において説明したいずれかの態様のダイオード部80と同一である。
- [0194] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

符号の説明

[0195] 10・・・半導体基板、11・・・ウェル領域、12・・・エミッタ領域、
14・・・ベース領域、15・・・コンタクト領域、16・・・第1の蓄積
領域、17・・・第2の蓄積領域、18・・・ドリフト領域、19・・・調
整領域、20・・・バッファ領域、21・・・上面、22・・・コレクタ領
域、23・・・下面、24・・・コレクタ電極、25・・・接続部、26・
・・・ピラー領域、27・・・高濃度領域、29・・・延伸部分、30・・・
ダミートレンチ部、31・・・接続部分、32・・・ダミー絶縁膜、34・
・・・ダミー導電部、38・・・層間絶縁膜、39・・・延伸部分、40・
・・・ゲートトレンチ部、41・・・接続部分、42・・・ゲート絶縁膜、44
・・・ゲート導電部、46・・・上側部分、47・・・下側部分、48・
・・・ゲートランナー、49・・・コンタクトホール、50・・・ゲート金属層
、52・・・エミッタ電極、54・・・コンタクトホール、56・・・コン
タクトホール、60・・・メサ部、61・・・第1の開口部、62・・・中
間領域、63・・・第1の間隙、64・・・第2の間隙、65・・・最短経
路、66・・・端部、67・・・端部、68・・・第2の開口部、70・
・・・トランジスタ部、72・・・薄膜部、74・・・厚膜部、80・・・ダイ
オード部、82・・・カソード領域、84・・・フローティング領域、85
・・・第3の開口部、90・・・境界部、91、92、93・・・部分、9
4・・・メタルプラグ、95・・・高濃度領域、100・・・半導体装置、
200・・・半導体装置、300・・・半導体装置

請求の範囲

- [請求項1] 第1導電型のドリフト領域を有する半導体基板と、
 前記半導体基板の上面から前記半導体基板の内部まで設けられた第1のトレンチ部と、
 前記半導体基板の上面と前記ドリフト領域との間において前記第1のトレンチ部と隣接して設けられた第2導電型のベース領域と、
 前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型の第1の蓄積領域と、
 前記第1の蓄積領域より深い位置に設けられた、前記ドリフト領域よりもドーピング濃度の高い第1導電型の第2の蓄積領域と、
 前記第1の蓄積領域と前記第2の蓄積領域との間に設けられた第2導電型の中間領域と
 を備え、
 前記第2の蓄積領域は、前記第1の蓄積領域より深い位置に設けられた第1の開口部を有する半導体装置。
- [請求項2] 前記第1の蓄積領域は、前記第1のトレンチ部との間に第1の間隙を有する
 請求項1に記載の半導体装置。
- [請求項3] 前記第2の蓄積領域は、前記半導体基板の深さ方向において前記第1の間隙と重なって設けられ、
 前記第1の開口部は前記第1の間隙と重ならない位置に設けられる
 請求項2に記載の半導体装置。
- [請求項4] 前記半導体基板の上面から前記半導体基板の内部まで設けられ、且つ、前記第1のトレンチ部と対向する第2のトレンチ部を更に備え、
 前記第1の蓄積領域は、前記第2のトレンチ部との間に第2の間隙を有し、
 前記第2の蓄積領域は、前記半導体基板の深さ方向において前記第2の間隙と重って設けられ、

前記第 1 の開口部は、前記半導体基板の深さ方向において前記第 2 の間隙と重ならない位置に設けられている

請求項 3 に記載の半導体装置。

[請求項 5]

前記第 1 のトレンチ部はゲートトレンチ部であり、

前記半導体基板の上面と前記ベース領域との間において前記第 1 のトレンチ部と隣接して設けられ、前記ドリフト領域よりもドーピング濃度の高い第 1 導電型のエミッタ領域を更に備える

請求項 4 に記載の半導体装置。

[請求項 6]

前記半導体基板の内部において前記第 1 のトレンチ部および前記第 2 のトレンチ部に挟まれた領域をメサ部とし、前記第 1 のトレンチ部および前記第 2 のトレンチ部を結ぶ方向をメサ幅方向とした場合に、

前記メサ幅方向において、前記第 1 の開口部の幅が、前記第 2 の蓄積領域の幅よりも小さい

請求項 4 または 5 に記載の半導体装置。

[請求項 7]

前記第 1 の開口部が、前記メサ部の前記メサ幅方向における中央を含むように配置されている

請求項 6 に記載の半導体装置。

[請求項 8]

前記中間領域は、前記半導体基板の深さ方向において前記第 1 の開口部と重なる

請求項 1 から 7 のいずれか一項に記載の半導体装置。

[請求項 9]

前記中間領域は、前記第 1 の開口部の内部にも設けられている

請求項 8 に記載の半導体装置。

[請求項 10]

前記中間領域は、前記第 1 の開口部を通して、前記第 2 の蓄積領域よりも下側に突出して設けられている

請求項 8 または 9 に記載の半導体装置。

[請求項 11]

前記中間領域は、前記半導体基板の深さ方向において前記第 1 の開口部と重ならないように配置されている

請求項 1 から 7 のいずれか一項に記載の半導体装置。

- [請求項12] 前記第1の蓄積領域は、前記第1の開口部と重なる領域に、第2の開口部を有する
- 請求項1から11のいずれか一項に記載の半導体装置。
- [請求項13] 前記メサ幅方向において、前記第1の間隙の幅を L_1 とし、前記メサ部の幅を M とした場合に、
- $$0 < L_1 / M \leq 0.1$$
- である請求項6または7に記載の半導体装置。
- [請求項14] 前記第1のトレンチ部は、前記半導体基板の上面において予め定められた延伸方向に沿って延伸して設けられ、
- 前記第1のトレンチ部は、前記延伸方向と垂直な断面において、側壁が直線状に形成された上側部分と、前記上側部分の下側に設けられ側壁が曲線状に形成された下側部分とを有し、
- 前記延伸方向と垂直な断面において、前記第1のトレンチ部の下側部分の上端と、前記中間領域とを、前記第2の蓄積領域を通過せずに結ぶ最短経路の距離を X とし、前記メサ部の幅を M とした場合に、
- $$M / 2 < X$$
- である請求項6または7に記載の半導体装置。
- [請求項15] 前記メサ幅方向において、前記第1の間隙の幅を L_1 とし、前記第1の開口部の幅を L_2 とした場合に、
- $$L_1 < L_2$$
- である請求項6または7に記載の半導体装置。
- [請求項16] 前記メサ幅方向において、前記第1の間隙および前記第1の開口部の間の距離を L_3 とし、前記メサ部の幅を M とした場合に、
- $$0.9 \times M / 2 \leq L_3$$
- である請求項6または7に記載の半導体装置。
- [請求項17] 前記メサ幅方向における前記第1の開口部の幅が、前記半導体基板の上面と垂直な深さ方向における前記中間領域の厚みより大きい
- 請求項6または7に記載の半導体装置。

- [請求項18] 前記半導体基板の上面と垂直な深さ方向において、前記エミッタ領域の下側に設けられた前記ベース領域の厚みが、前記中間領域の厚みより大きい
- 請求項5に記載の半導体装置。
- [請求項19] 前記半導体基板の上面と垂直な深さ方向において、前記第1の蓄積領域の厚みが、前記中間領域の厚みより大きい
- 請求項1から18のいずれか一項に記載の半導体装置。
- [請求項20] 前記半導体基板の上面と垂直な深さ方向において、前記第2の蓄積領域の厚みが、前記中間領域の厚みより大きい
- 請求項1から19のいずれか一項に記載の半導体装置。
- [請求項21] 前記半導体基板は、前記ゲートトレンチ部を含むトランジスタ部と、ダイオードが形成されたダイオード部とを含み、
- 前記ダイオード部は、前記半導体基板の上面から前記半導体基板の内部まで設けられたダミートレンチ部を複数有し、
- 前記ダイオード部の前記半導体基板の内部において前記ダミートレンチ部に挟まれた領域をメサ部とした場合に、前記ダイオード部の前記メサ部は、前記ベース領域、前記第1の蓄積領域、前記第2の蓄積領域および前記中間領域を有する
- 請求項5に記載の半導体装置。
- [請求項22] 前記半導体基板は、前記トランジスタ部と、前記ダイオード部との間に配置された境界メサ部を更に備え、
- 前記境界メサ部は、前記ベース領域、前記第1の蓄積領域、前記第2の蓄積領域および前記中間領域を有し、
- 前記境界メサ部における前記第1の開口部の幅は、前記トランジスタ部のいずれかの前記メサ部における前記第1の開口部の幅よりも大きい
- 請求項21に記載の半導体装置。
- [請求項23] 前記ダイオード部の前記メサ部における前記第1の開口部の幅は、

前記トランジスタ部の前記メサ部における前記第1の開口部の幅よりも大きい

請求項21または22に記載の半導体装置。

[請求項24]

前記半導体基板の下面に配置されたコレクタ電極と、

前記トランジスタ部の前記半導体基板の内部に設けられ、前記コレクタ電極と電氣的に接続されている第2導電型のコレクタ領域と、

前記ダイオード部の前記半導体基板の内部に設けられ、前記コレクタ電極と電氣的に接続されている第1導電型のカソード領域と、

前記半導体基板の内部において、前記カソード領域の上方に形成され、前記コレクタ電極と接触していない、第2導電型のフローティング領域と

を更に備える請求項21から23のいずれか一項に記載の半導体装置。

[請求項25]

前記フローティング領域は第3の開口部を有し、

前記第3の開口部は、前記ダイオード部の前記第2の蓄積領域に設けられた前記第1の開口部と重なる位置に配置されている

請求項24に記載の半導体装置。

[請求項26]

前記ダイオード部の前記第2の蓄積領域に設けられた前記第1の開口部の個数は、前記トランジスタ部の前記第2の蓄積領域に設けられた前記第1の開口部の個数よりも多い

請求項21から25のいずれか一項に記載の半導体装置。

[請求項27]

前記半導体基板の内部において2つの前記ダミートレンチ部に挟まれた領域をメサ部とし、2つの前記ダミートレンチ部を結ぶ方向をメサ幅方向とした場合に、

前記ダイオード部の前記第2の蓄積領域において、前記メサ幅方向に沿って複数の前記第1の開口部が配置されている

請求項26に記載の半導体装置。

[請求項28]

前記ダイオード部の前記第2の蓄積領域において前記メサ幅方向に

沿って配置された複数の前記第1の開口部のうち、前記ダミートレンチ部に最も近い前記第1の開口部の幅が、前記ダミートレンチ部から最も離れた前記第1の開口部の幅より大きい

請求項27に記載の半導体装置。

[請求項29] 前記ダイオード部の前記メサ部における前記半導体基板の上面には、前記メサ幅方向とは垂直な方向に沿って第2導電型のコンタクト領域と、前記コンタクト領域よりも正孔の移動度が小さい調整領域とが交互に配置され、

前記ダイオード部の前記第2の蓄積領域において前記メサ幅方向に沿って配置された複数の前記第1の開口部のうち、前記ダミートレンチ部に最も近い前記第1の開口部は、前記コンタクト領域と重なるように、前記メサ幅方向と垂直な方向に沿って離散的に配置されている

請求項27または28に記載の半導体装置。

[請求項30] 前記半導体基板は、ダイオードが形成されたダイオード部を更に備え、

前記ダイオード部は、

前記ベース領域と、

前記第1の蓄積領域と、

前記第2の蓄積領域と、

前記中間領域と、

前記ベース領域と接して、且つ、前記半導体基板の上面から前記ドリフト領域まで形成された、前記ベース領域よりもドーピング濃度の高い第2導電型のピラー領域と

を有する請求項1から20のいずれか一項に記載の半導体装置。

[請求項31] 前記半導体基板の上面において、前記ピラー領域は、前記ドリフト領域よりもドーピング濃度の高い高濃度領域に挟まれている

請求項30に記載の半導体装置。

[請求項32] 前記半導体基板の深さ方向における前記ピラー領域のドーピング濃

度分布は複数のピークを有する

請求項 30 または 31 に記載の半導体装置。

[請求項33] 前記ピラー領域の前記ドーピング濃度分布が極小値となる深さ位置は、前記第2の蓄積領域とは重ならない

請求項 32 に記載の半導体装置。

[請求項34] 前記ピラー領域のドーピング濃度のピーク値は、 $5.0 \times 10^{17} / \text{cm}^3$ 以上、 $1.0 \times 10^{20} / \text{cm}^3$ 以下である

請求項 30 から 33 のいずれか一項に記載の半導体装置。

補正された請求の範囲

[2018年8月16日 (16.08.2018) 国際事務局受理]

- [請求項1] 第1導電型のドリフト領域を有する半導体基板と、
前記半導体基板の上面から前記半導体基板の内部まで設けられた第1のトレンチ部と、
前記半導体基板の上面と前記ドリフト領域との間において前記第1のトレンチ部と隣接して設けられた第2導電型のベース領域と、
前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型の第1の蓄積領域と、
前記第1の蓄積領域より深い位置に設けられた、前記ドリフト領域よりもドーピング濃度の高い第1導電型の第2の蓄積領域と、
前記第1の蓄積領域と前記第2の蓄積領域との間に設けられた第2導電型の中間領域と
を備え、
前記第2の蓄積領域は、前記第1の蓄積領域より深い位置に設けられた第1の開口部を有する半導体装置。
- [請求項2] 前記第1の蓄積領域は、前記第1のトレンチ部との間に第1の間隙を有する
請求項1に記載の半導体装置。
- [請求項3] 前記第2の蓄積領域は、前記半導体基板の深さ方向において前記第1の間隙と重なって設けられ、
前記第1の開口部は前記第1の間隙と重ならない位置に設けられる
請求項2に記載の半導体装置。
- [請求項4] 前記半導体基板の上面から前記半導体基板の内部まで設けられ、且つ、前記第1のトレンチ部と対向する第2のトレンチ部を更に備え、
前記第1の蓄積領域は、前記第2のトレンチ部との間に第2の間隙を有し、
前記第2の蓄積領域は、前記半導体基板の深さ方向において前記第

2の間隙と重って設けられ、

前記第1の開口部は、前記半導体基板の深さ方向において前記第2の間隙と重ならない位置に設けられている

請求項3に記載の半導体装置。

[請求項5]

前記第1のトレンチ部はゲートトレンチ部であり、

前記半導体基板の上面と前記ベース領域との間において前記第1のトレンチ部と隣接して設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型のエミッタ領域を更に備える

請求項4に記載の半導体装置。

[請求項6]

前記半導体基板の内部において前記第1のトレンチ部および前記第2のトレンチ部に挟まれた領域をメサ部とし、前記第1のトレンチ部および前記第2のトレンチ部を結ぶ方向をメサ幅方向とした場合に、

前記メサ幅方向において、前記第1の開口部の幅が、前記第2の蓄積領域の幅よりも小さい

請求項4または5に記載の半導体装置。

[請求項7]

前記第1の開口部が、前記メサ部の前記メサ幅方向における中央を含むように配置されている

請求項6に記載の半導体装置。

[請求項8]

前記中間領域は、前記半導体基板の深さ方向において前記第1の開口部と重なる

請求項1から7のいずれか一項に記載の半導体装置。

[請求項9]

前記中間領域は、前記第1の開口部の内部にも設けられている

請求項8に記載の半導体装置。

[請求項10]

前記中間領域は、前記第1の開口部を通して、前記第2の蓄積領域よりも下側に突出して設けられている

請求項8または9に記載の半導体装置。

- [請求項11] 前記中間領域は、前記半導体基板の深さ方向において前記第1の開口部と重ならないように配置されている
請求項1から7のいずれか一項に記載の半導体装置。
- [請求項12] (補正後)
前記半導体基板の上面から前記半導体基板の内部まで設けられ、且つ、前記第1のトレンチ部と対向する第2のトレンチ部を備え、
前記第2の蓄積領域は、前記第1のトレンチ部および前記第2のトレンチ部の両方と接して設けられ、
前記第1の蓄積領域は、前記第1の開口部と重なる領域に、第2の開口部を有する
請求項1から11のいずれか一項に記載の半導体装置。
- [請求項13] 前記メサ幅方向において、前記第1の間隙の幅を L_1 とし、前記メサ部の幅を M とした場合に、
 $0 < L_1 / M \leq 0.1$
である請求項6または7に記載の半導体装置。
- [請求項14] 前記第1のトレンチ部は、前記半導体基板の上面において予め定められた延伸方向に沿って延伸して設けられ、
前記第1のトレンチ部は、前記延伸方向と垂直な断面において、側壁が直線状に形成された上側部分と、前記上側部分の下側に設けられ側壁が曲線状に形成された下側部分とを有し、
前記延伸方向と垂直な断面において、前記第1のトレンチ部の下側部分の上端と、前記中間領域とを、前記第2の蓄積領域を通過せずに結ぶ最短経路の距離を X とし、前記メサ部の幅を M とした場合に、
 $M / 2 < X$
である請求項6または7に記載の半導体装置。
- [請求項15] 前記メサ幅方向において、前記第1の間隙の幅を L_1 とし、前記第1の開口部の幅を L_2 とした場合に、

$$L_1 < L_2$$

である請求項6または7に記載の半導体装置。

[請求項16] 前記メサ幅方向において、前記第1の間隙および前記第1の開口部の間の距離を L_3 とし、前記メサ部の幅を M とした場合に、

$$0.9 \times M / 2 \leq L_3$$

である請求項6または7に記載の半導体装置。

[請求項17] 前記メサ幅方向における前記第1の開口部の幅が、前記半導体基板の上面と垂直な深さ方向における前記中間領域の厚みより大きい請求項6または7に記載の半導体装置。

[請求項18] 前記半導体基板の上面と垂直な深さ方向において、前記エミッタ領域の下側に設けられた前記ベース領域の厚みが、前記中間領域の厚みより大きい

請求項5に記載の半導体装置。

[請求項19] 前記半導体基板の上面と垂直な深さ方向において、前記第1の蓄積領域の厚みが、前記中間領域の厚みより大きい

請求項1から18のいずれか一項に記載の半導体装置。

[請求項20] 前記半導体基板の上面と垂直な深さ方向において、前記第2の蓄積領域の厚みが、前記中間領域の厚みより大きい

請求項1から19のいずれか一項に記載の半導体装置。

[請求項21] 前記半導体基板は、前記ゲートトレンチ部を含むトランジスタ部と、ダイオードが形成されたダイオード部とを含み、

前記ダイオード部は、前記半導体基板の上面から前記半導体基板の内部まで設けられたダミートレンチ部を複数有し、

前記ダイオード部の前記半導体基板の内部において前記ダミートレンチ部に挟まれた領域をメサ部とした場合に、前記ダイオード部の前記メサ部は、前記ベース領域、前記第1の蓄積領域、前記第2の蓄積領域および前記中間領域を有する

請求項5に記載の半導体装置。

- [請求項22] 前記半導体基板は、前記トランジスタ部と、前記ダイオード部との間に配置された境界メサ部を更に備え、
前記境界メサ部は、前記ベース領域、前記第1の蓄積領域、前記第2の蓄積領域および前記中間領域を有し、
前記境界メサ部における前記第1の開口部の幅は、前記トランジスタ部のいずれかの前記メサ部における前記第1の開口部の幅よりも大きい
請求項21に記載の半導体装置。
- [請求項23] 前記ダイオード部の前記メサ部における前記第1の開口部の幅は、前記トランジスタ部の前記メサ部における前記第1の開口部の幅よりも大きい
請求項21または22に記載の半導体装置。
- [請求項24] 前記半導体基板の下面に配置されたコレクタ電極と、
前記トランジスタ部の前記半導体基板の内部に設けられ、前記コレクタ電極と電氣的に接続されている第2導電型のコレクタ領域と、
前記ダイオード部の前記半導体基板の内部に設けられ、前記コレクタ電極と電氣的に接続されている第1導電型のカソード領域と、
前記半導体基板の内部において、前記カソード領域の上方に形成され、前記コレクタ電極と接触していない、第2導電型のフローティング領域と
を更に備える請求項21から23のいずれか一項に記載の半導体装置。
- [請求項25] 前記フローティング領域は第3の開口部を有し、
前記第3の開口部は、前記ダイオード部の前記第2の蓄積領域に設けられた前記第1の開口部と重なる位置に配置されている
請求項24に記載の半導体装置。
- [請求項26] 前記ダイオード部の前記第2の蓄積領域に設けられた前記第1の開口部の個数は、前記トランジスタ部の前記第2の蓄積領域に設けられ

た前記第1の開口部の個数よりも多い

請求項21から25のいずれか一項に記載の半導体装置。

[請求項27] 前記半導体基板の内部において2つの前記ダミートレンチ部に挟まれた領域をメサ部とし、2つの前記ダミートレンチ部を結ぶ方向をメサ幅方向とした場合に、

前記ダイオード部の前記第2の蓄積領域において、前記メサ幅方向に沿って複数の前記第1の開口部が配置されている

請求項26に記載の半導体装置。

[請求項28] 前記ダイオード部の前記第2の蓄積領域において前記メサ幅方向に沿って配置された複数の前記第1の開口部のうち、前記ダミートレンチ部に最も近い前記第1の開口部の幅が、前記ダミートレンチ部から最も離れた前記第1の開口部の幅より大きい

請求項27に記載の半導体装置。

[請求項29] 前記ダイオード部の前記メサ部における前記半導体基板の上面には、前記メサ幅方向とは垂直な方向に沿って第2導電型のコンタクト領域と、前記コンタクト領域よりも正孔の移動度が小さい調整領域とが交互に配置され、

前記ダイオード部の前記第2の蓄積領域において前記メサ幅方向に沿って配置された複数の前記第1の開口部のうち、前記ダミートレンチ部に最も近い前記第1の開口部は、前記コンタクト領域と重なるように、前記メサ幅方向と垂直な方向に沿って離散的に配置されている

請求項27または28に記載の半導体装置。

[請求項30] 前記半導体基板は、ダイオードが形成されたダイオード部を更に備え、

前記ダイオード部は、

前記ベース領域と、

前記第1の蓄積領域と、

前記第2の蓄積領域と、

前記中間領域と、

前記ベース領域と接して、且つ、前記半導体基板の上面から前記ドリフト領域まで形成された、前記ベース領域よりもドーピング濃度の高い第2導電型のピラー領域と

を有する請求項1から20のいずれか一項に記載の半導体装置。

[請求項31] 前記半導体基板の上面において、前記ピラー領域は、前記ドリフト領域よりもドーピング濃度の高い高濃度領域に挟まれている

請求項30に記載の半導体装置。

[請求項32] 前記半導体基板の深さ方向における前記ピラー領域のドーピング濃度分布は複数のピークを有する

請求項30または31に記載の半導体装置。

[請求項33] 前記ピラー領域の前記ドーピング濃度分布が極小値となる深さ位置は、前記第2の蓄積領域とは重ならない

請求項32に記載の半導体装置。

[請求項34] 前記ピラー領域のドーピング濃度のピーク値は、 $5.0 \times 10^{17} / \text{cm}^3$ 以上、 $1.0 \times 10^{20} / \text{cm}^3$ 以下である

請求項30から33のいずれか一項に記載の半導体装置。

[請求項35] (追加)

前記半導体基板の上面から前記半導体基板の内部まで設けられ、且つ、前記第1のトレンチ部と対向する第2のトレンチ部を備え、

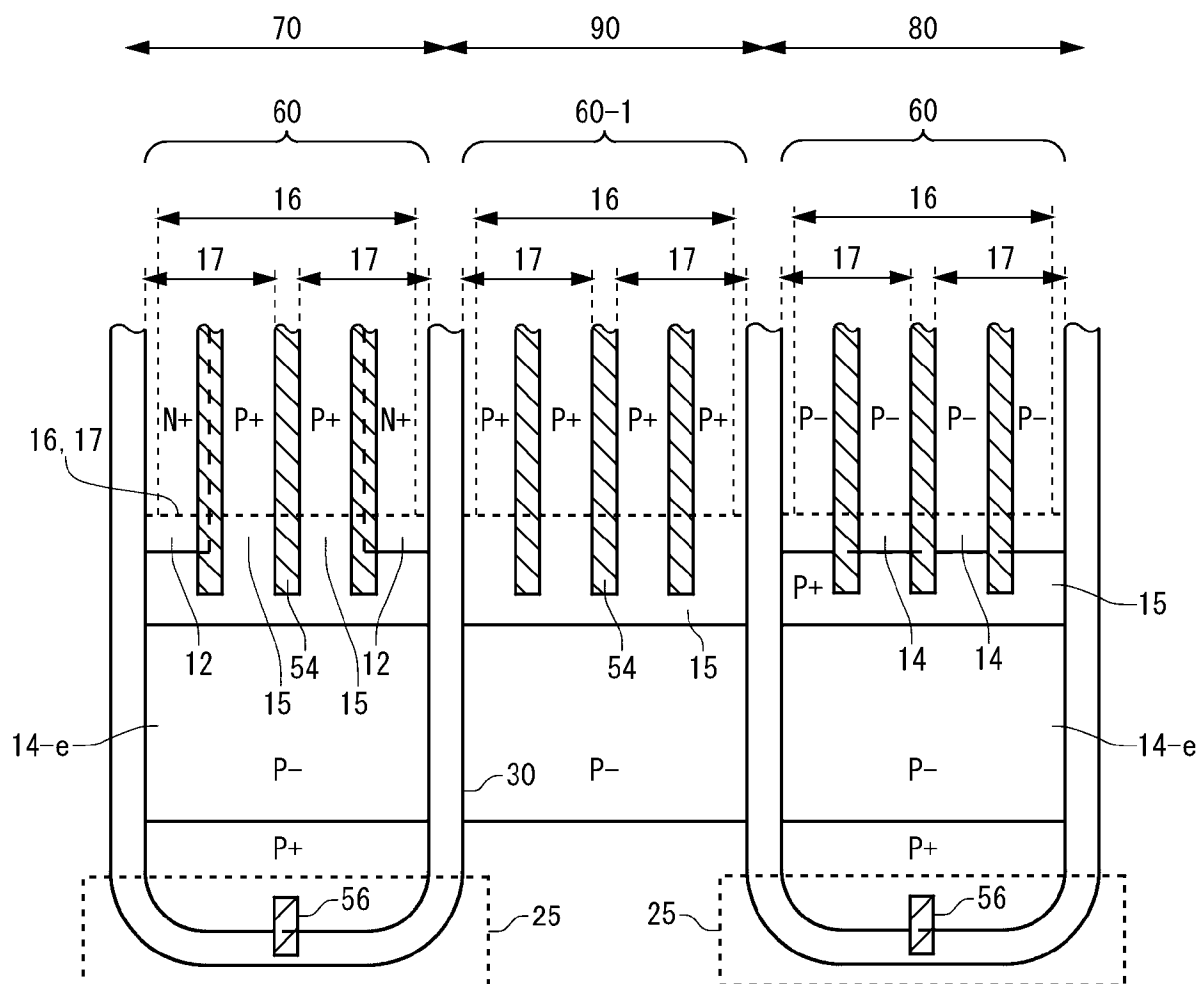
前記半導体基板の内部において前記第1のトレンチ部および前記第2のトレンチ部に挟まれた領域をメサ部とし、前記第1のトレンチ部および前記第2のトレンチ部を結ぶ方向をメサ幅方向とした場合に、

前記第1の開口部が、前記メサ部の前記メサ幅方向における中央を含むように配置されており、

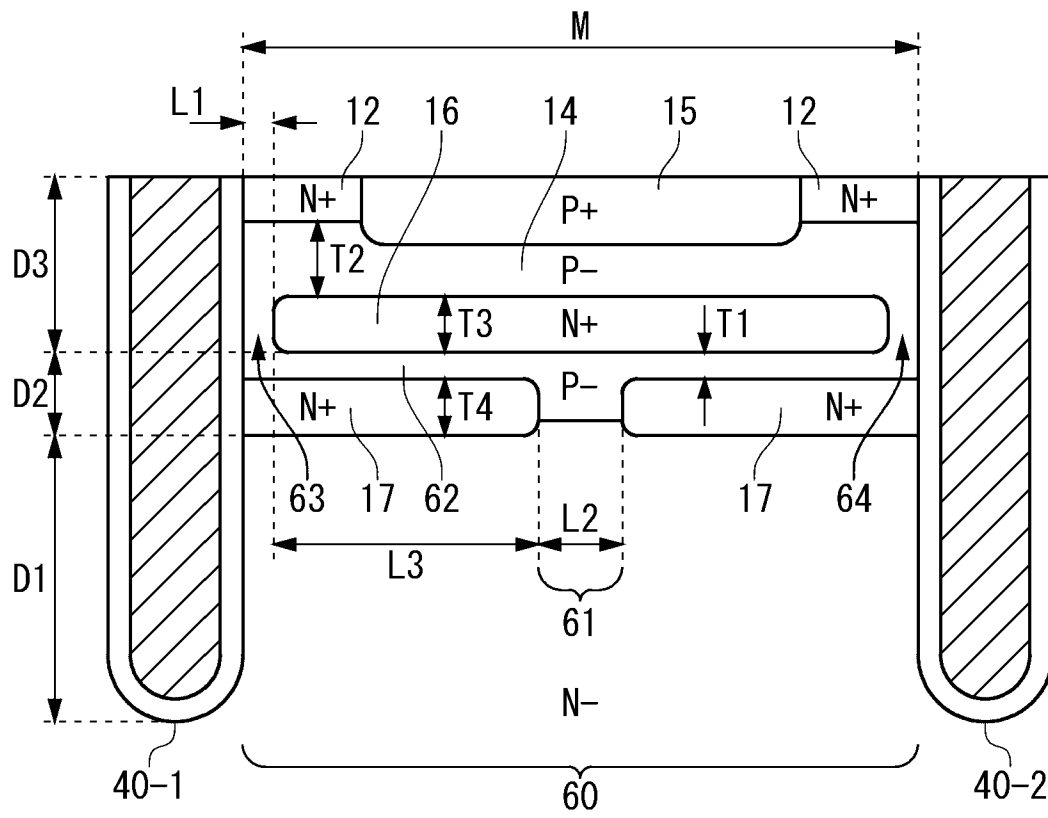
前記第1の開口部と前記第1の間隙の間において、前記第1の蓄積領域と前記第2の蓄積領域とが重なるように配置されている

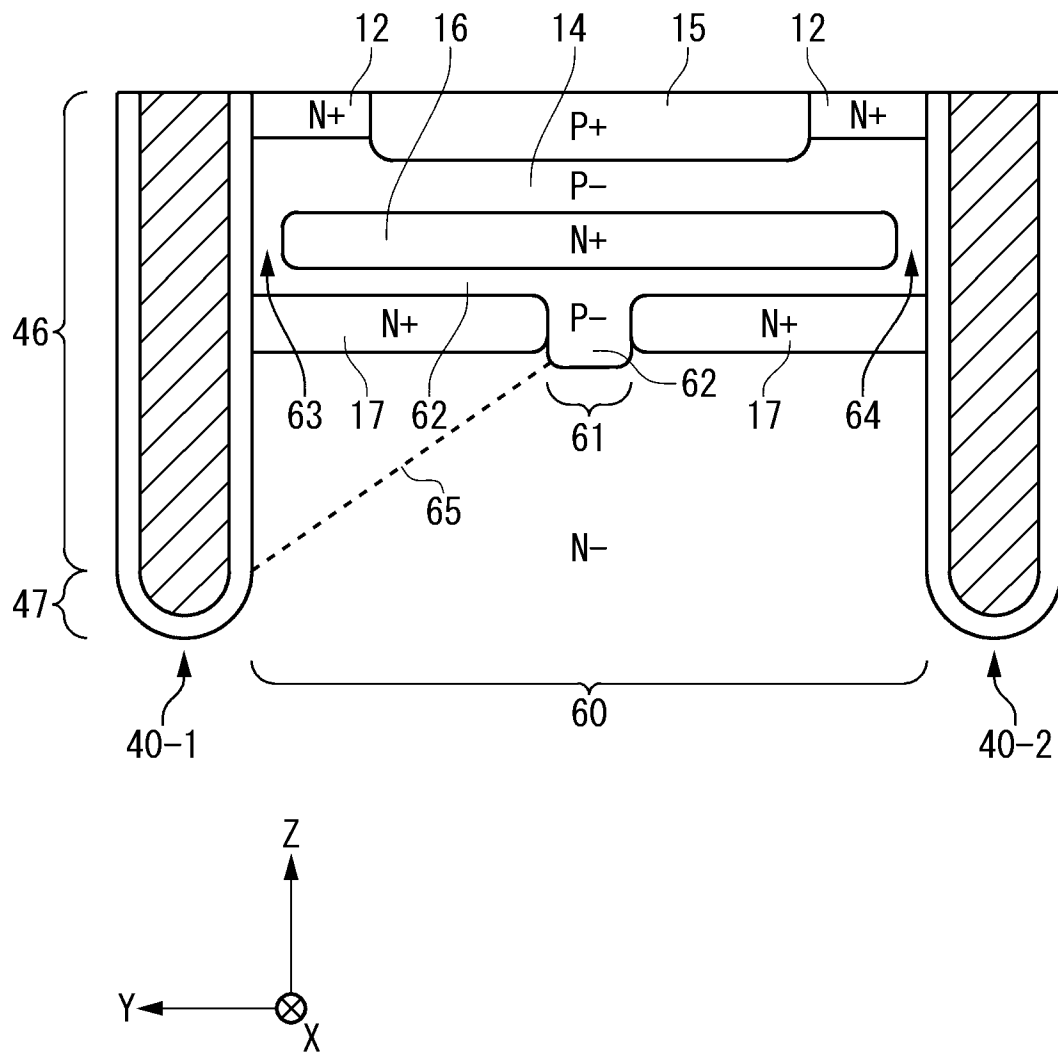
請求項 1 から 20 のいずれか一項に記載の半導体装置。

[図2]

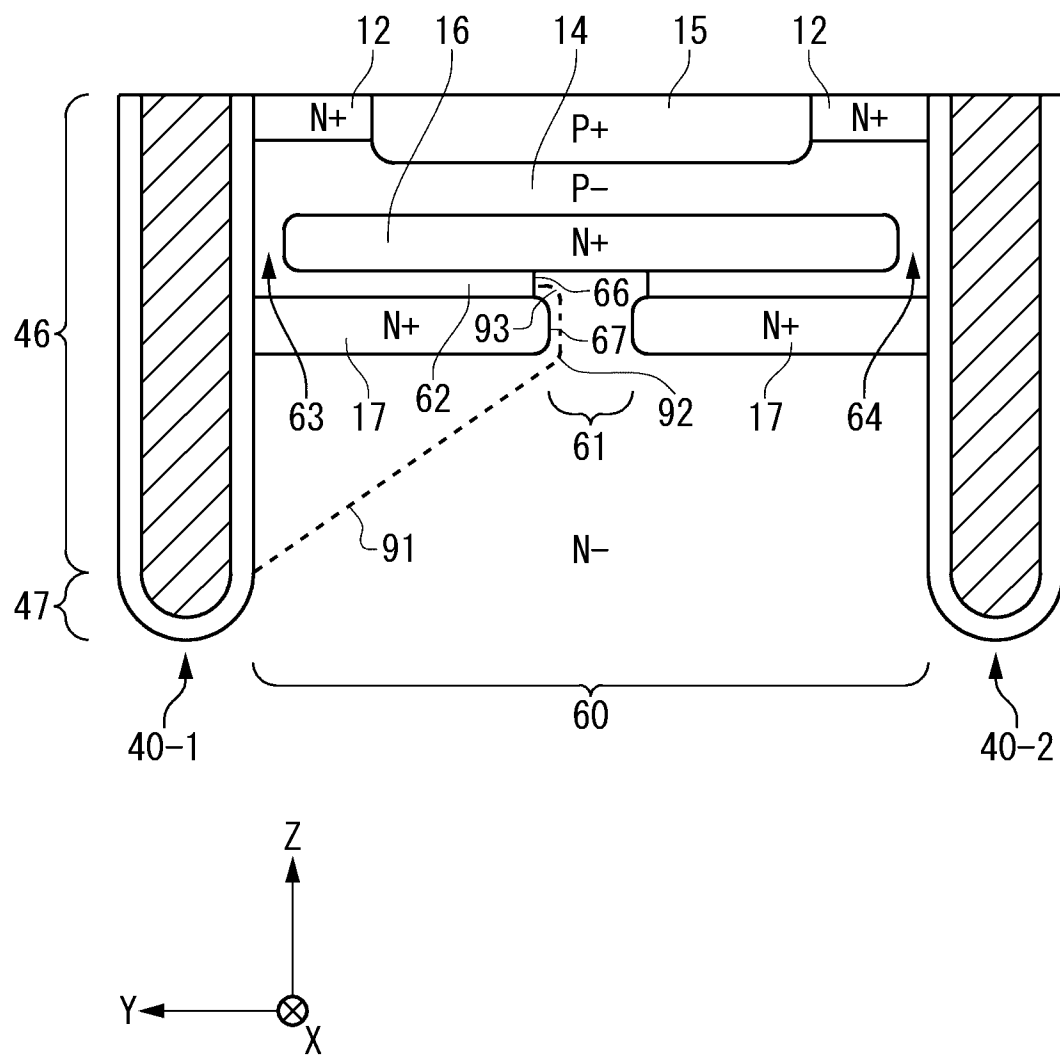


[図4]

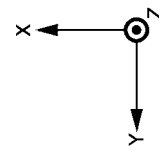
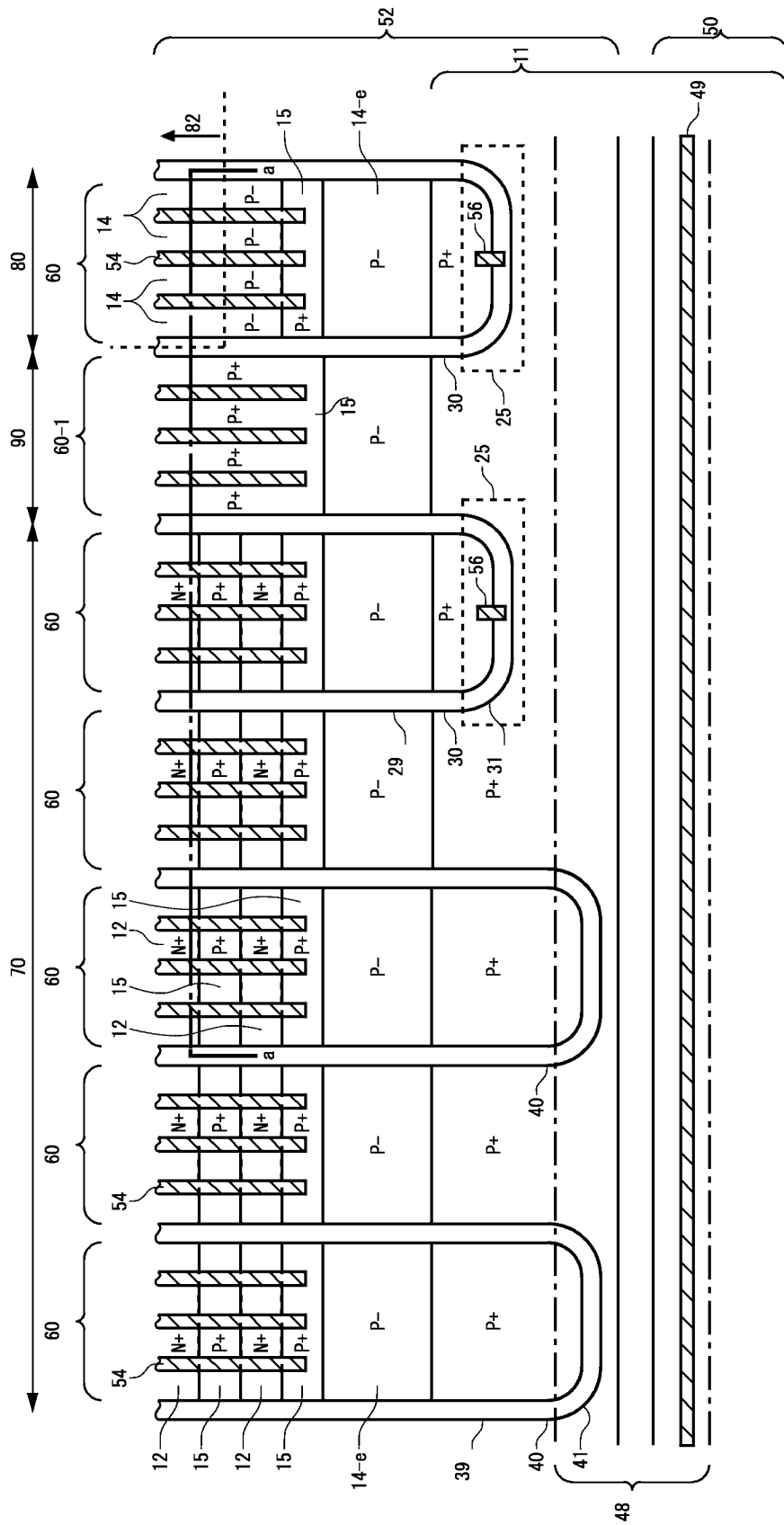




[図6]

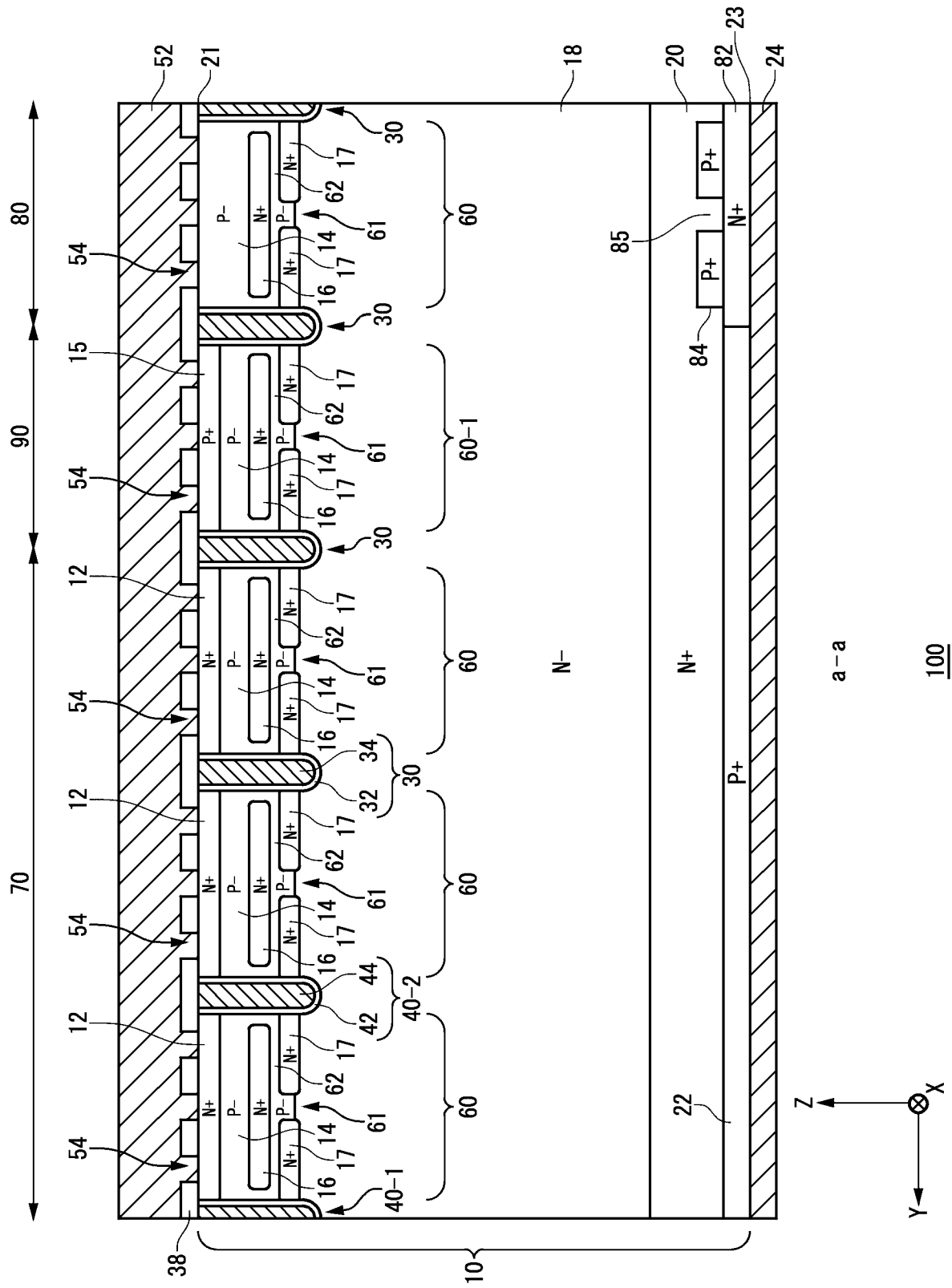


[図9]

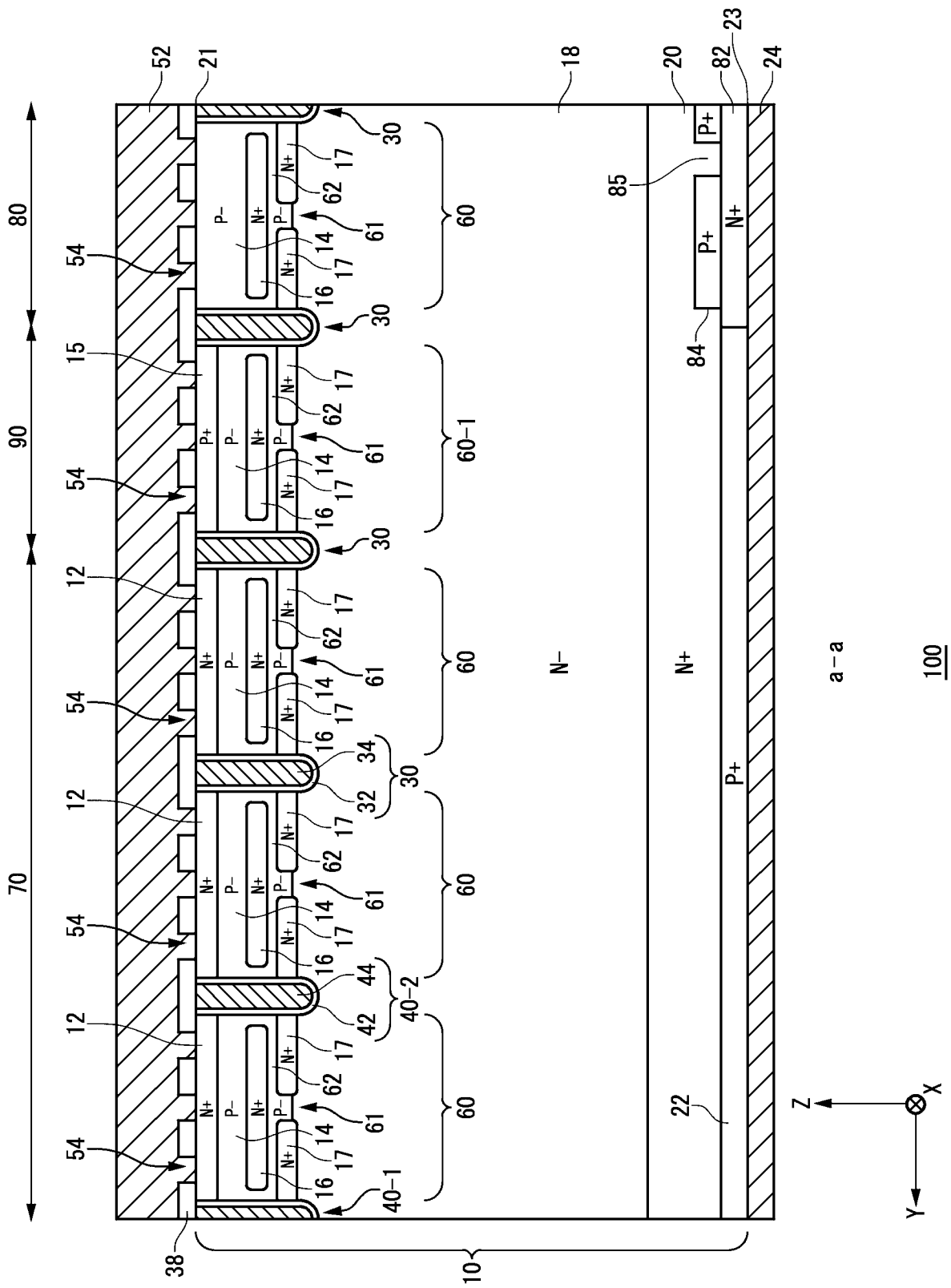


100

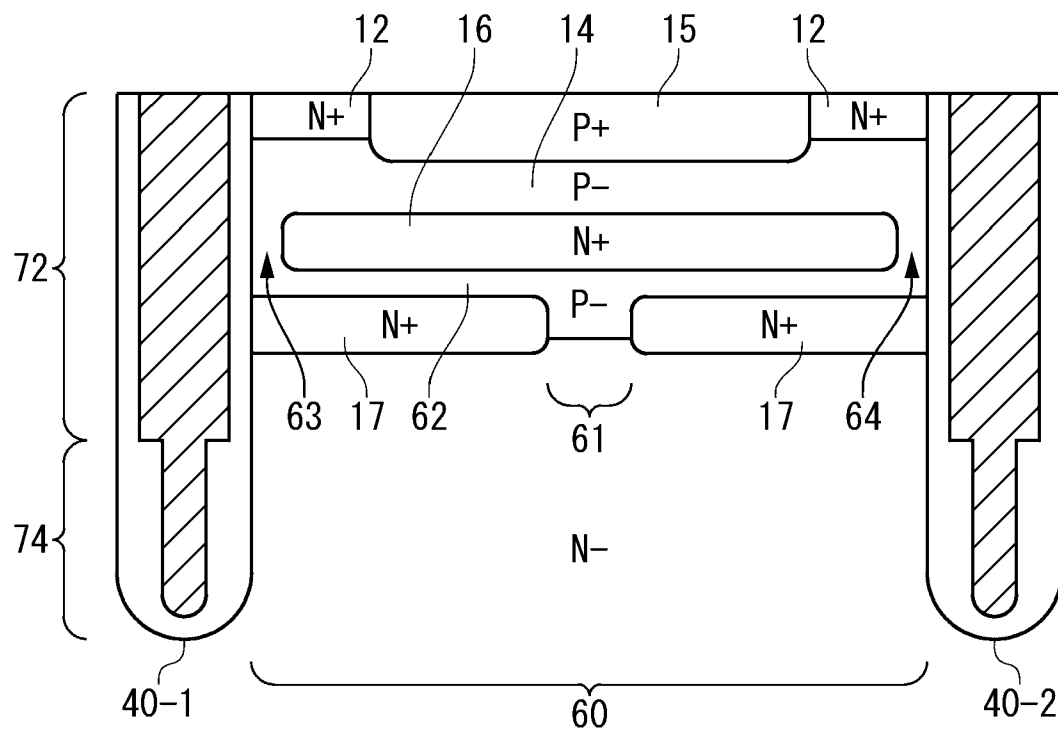
[図11]



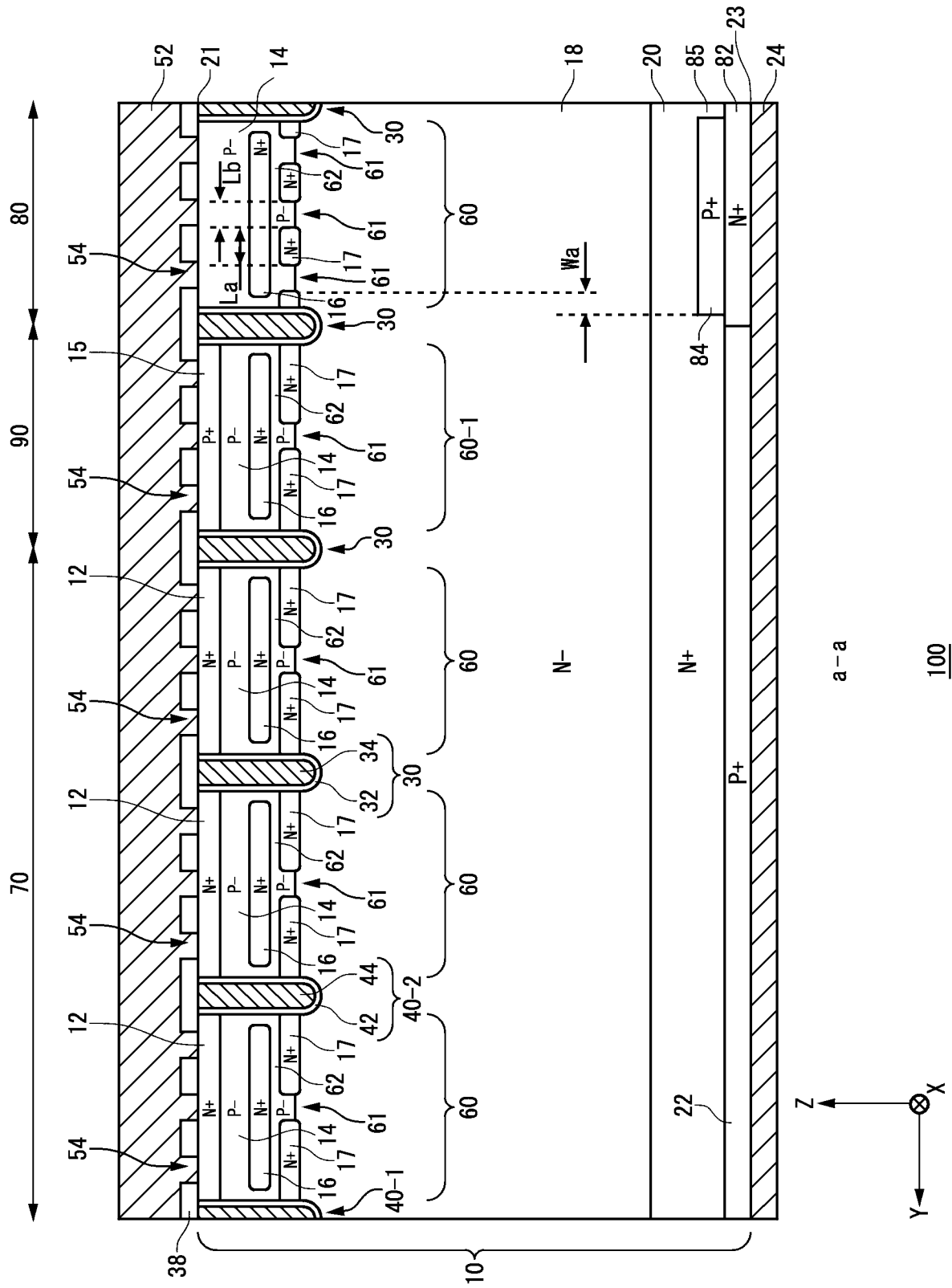
[図12]



[図13]

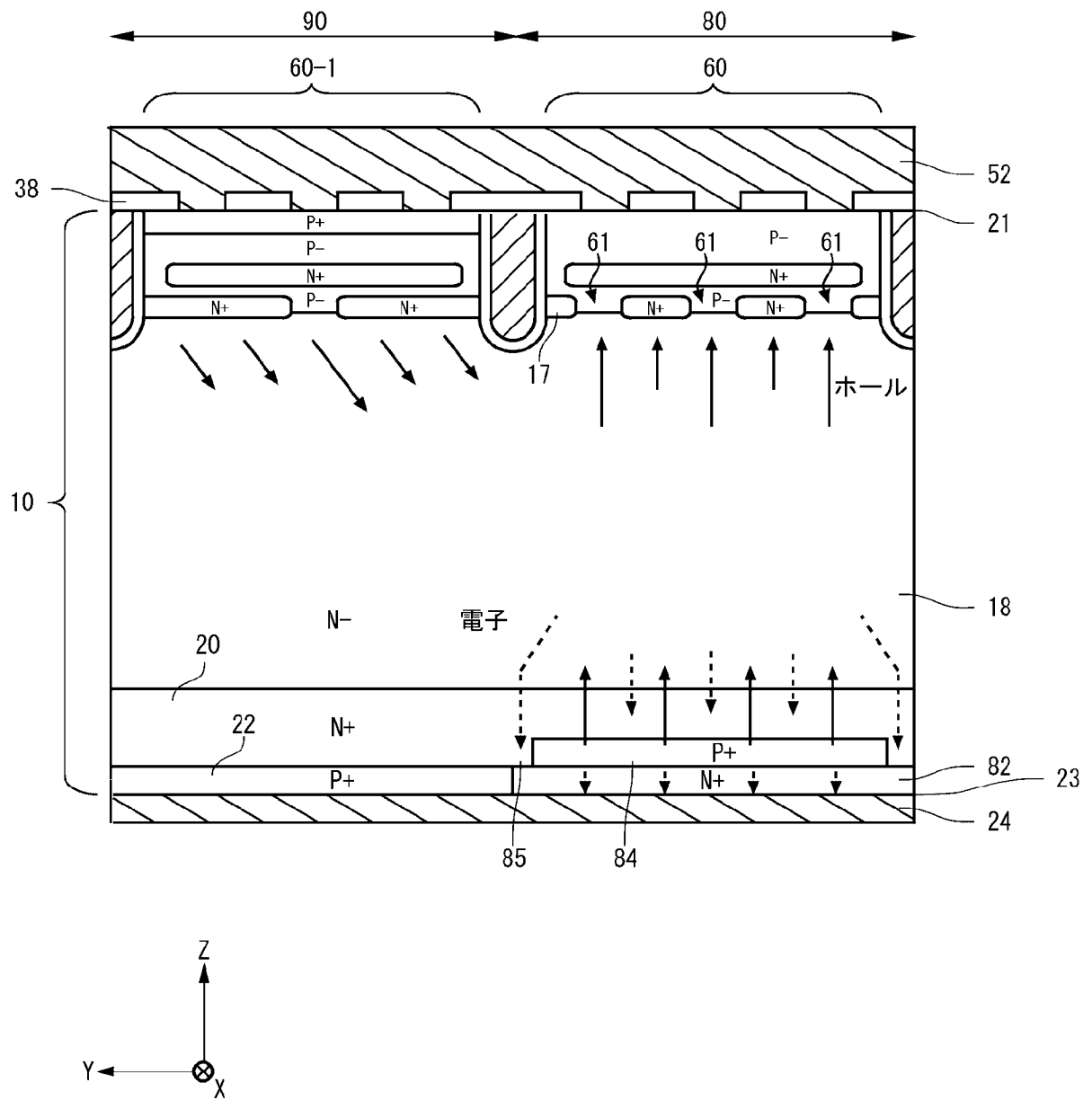


[図14]

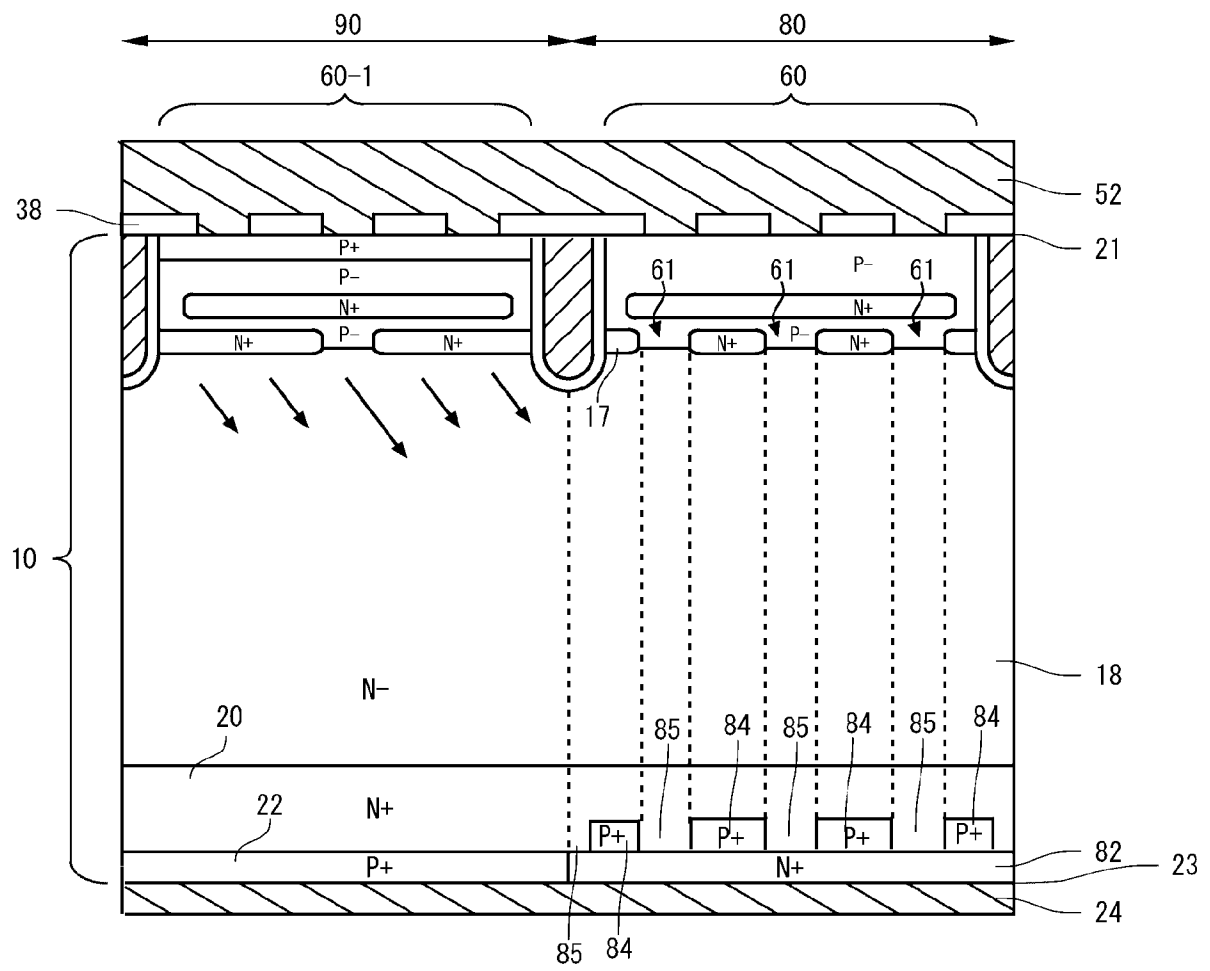


[illegible]

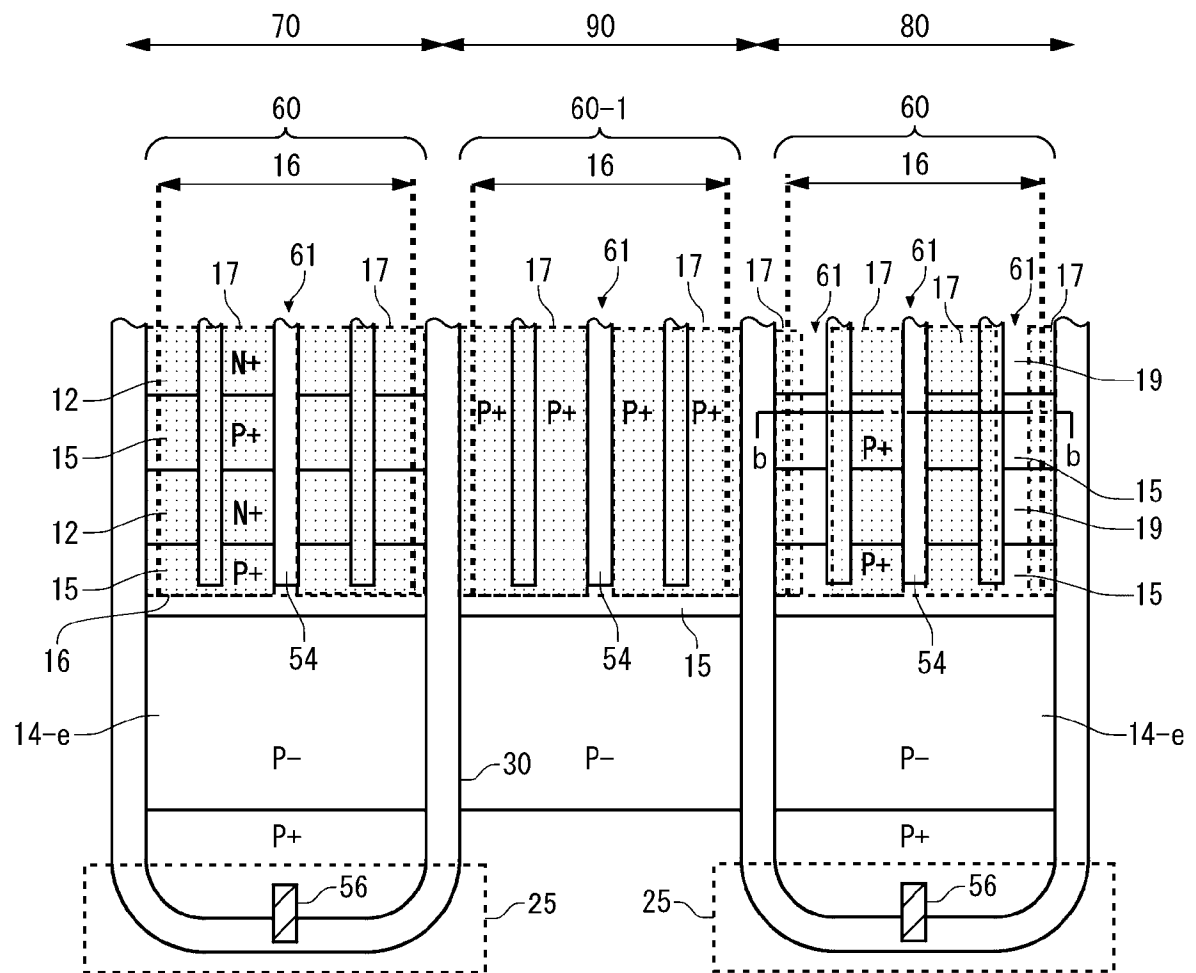
[図17]



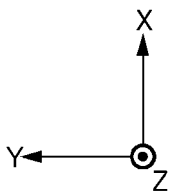
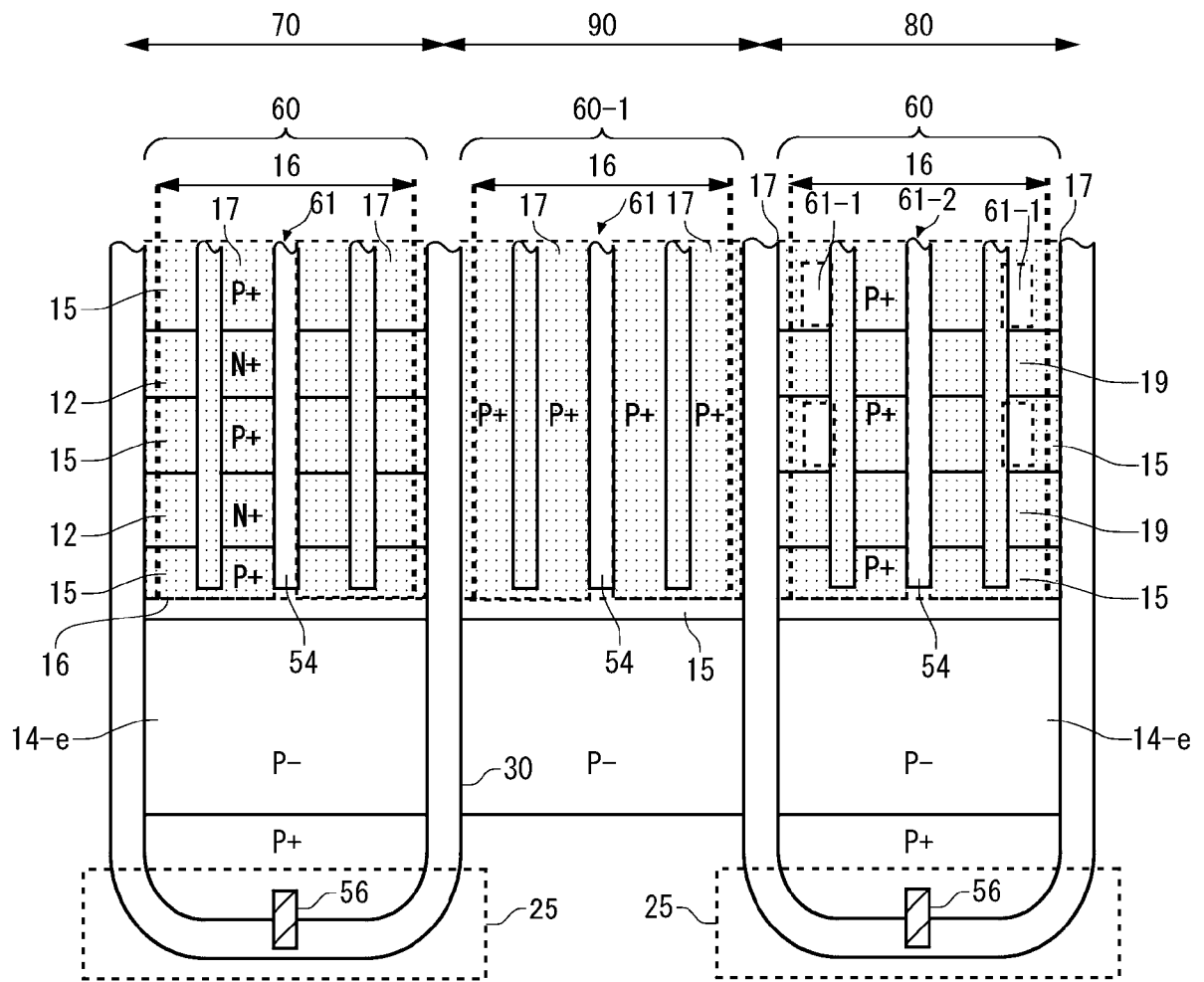
[図18]



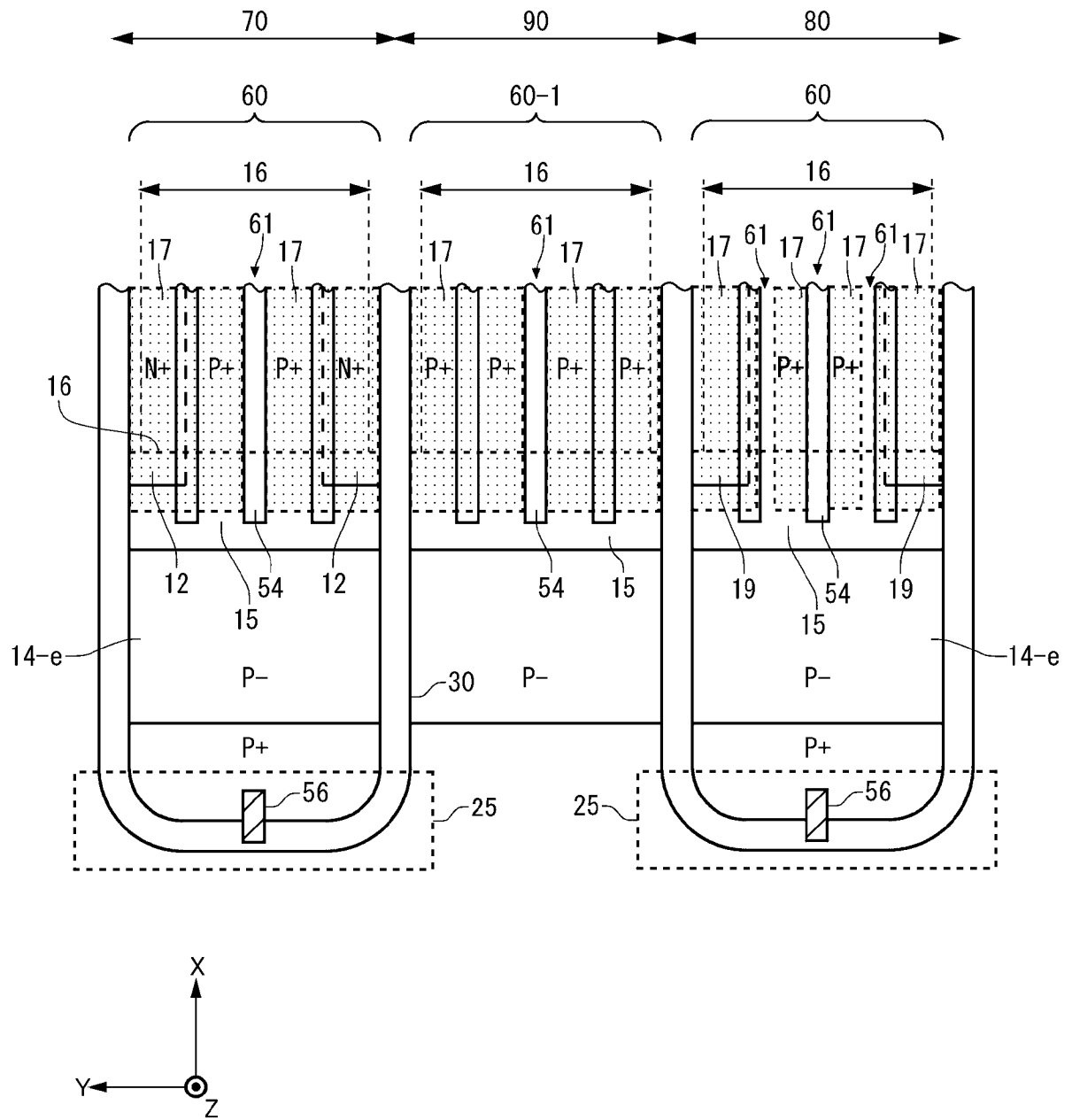
[図20]



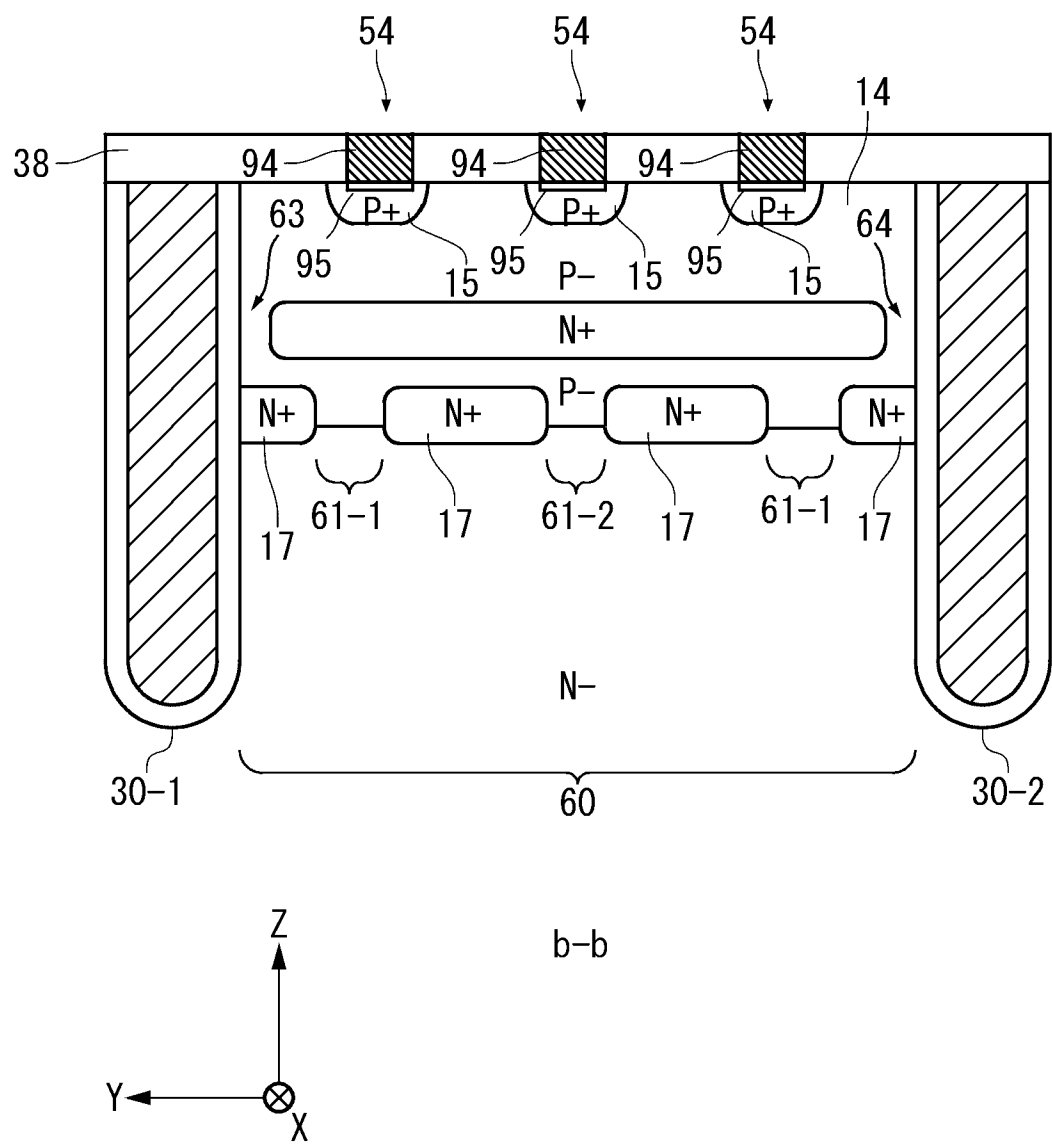
[図22]



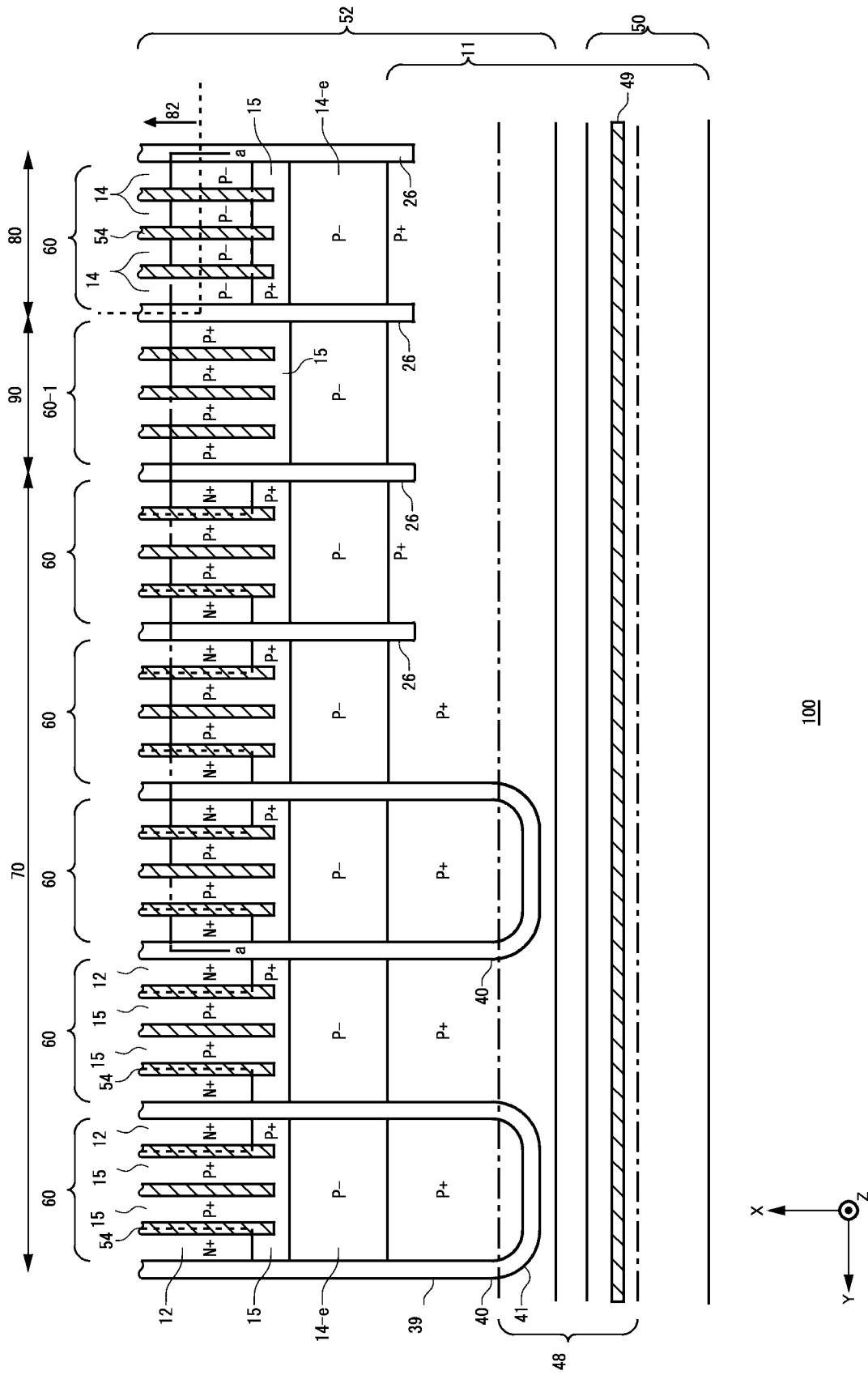
[図23]



[図24]

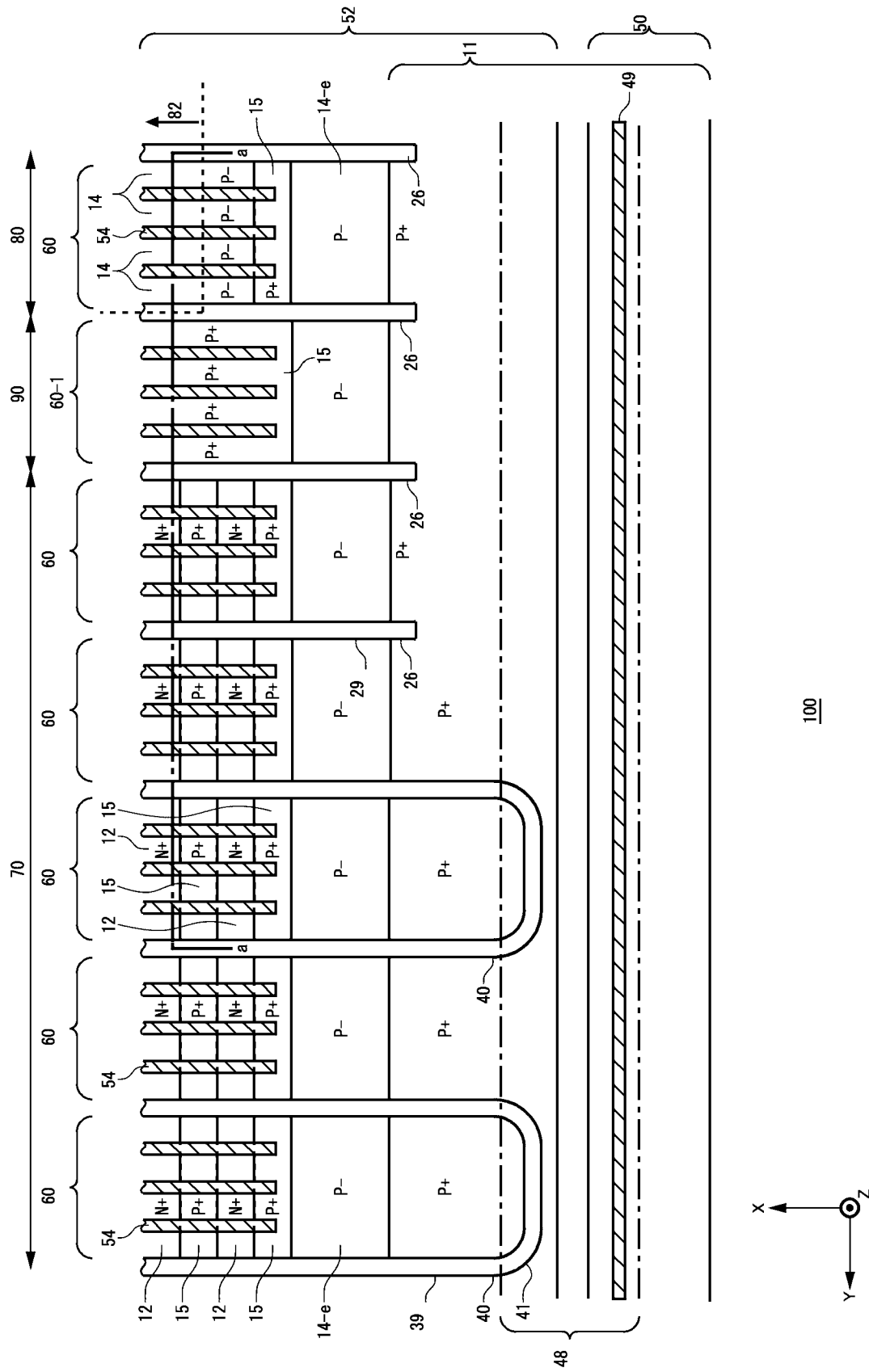


[図25]

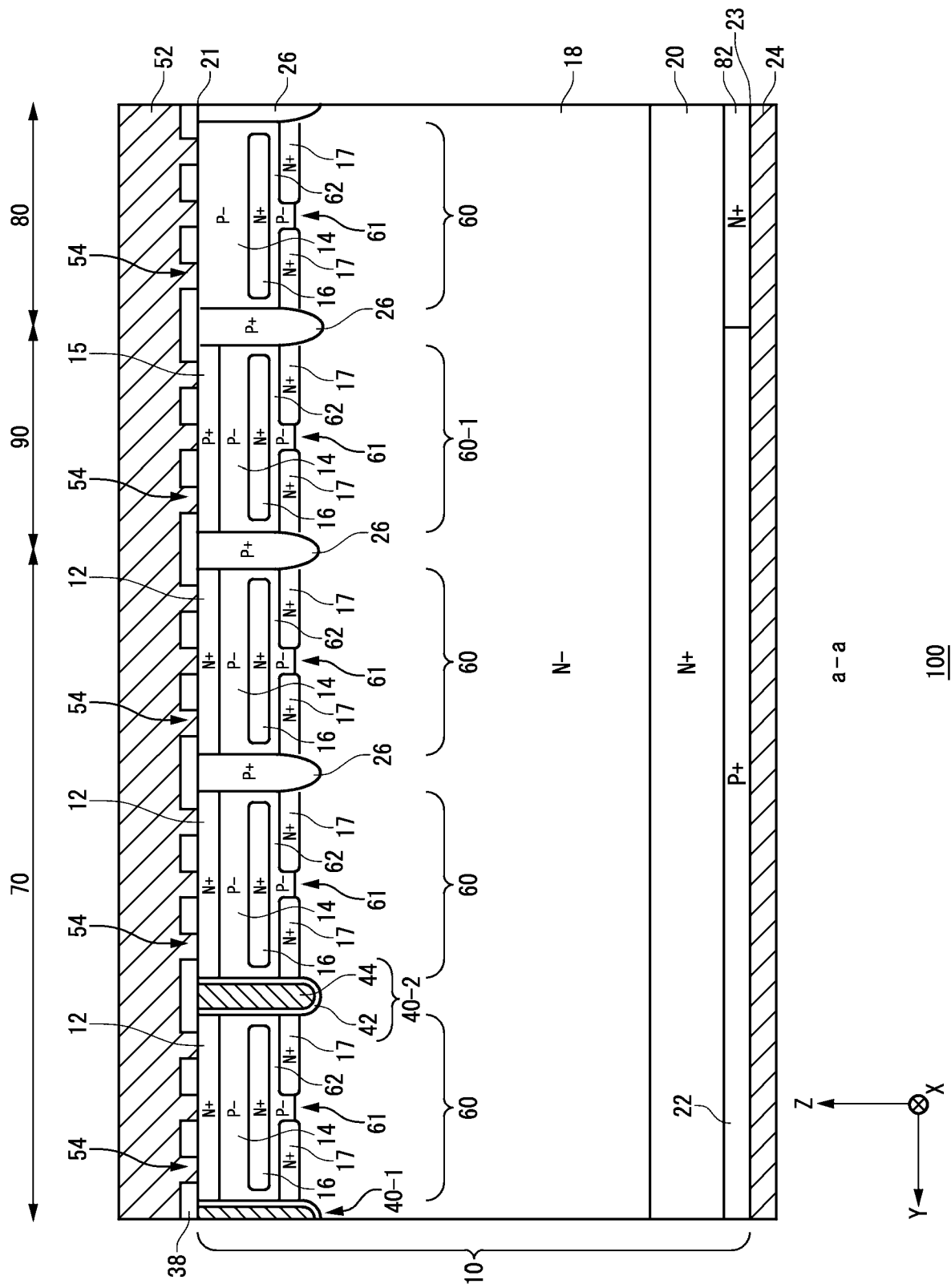


[illegible]

[図30]

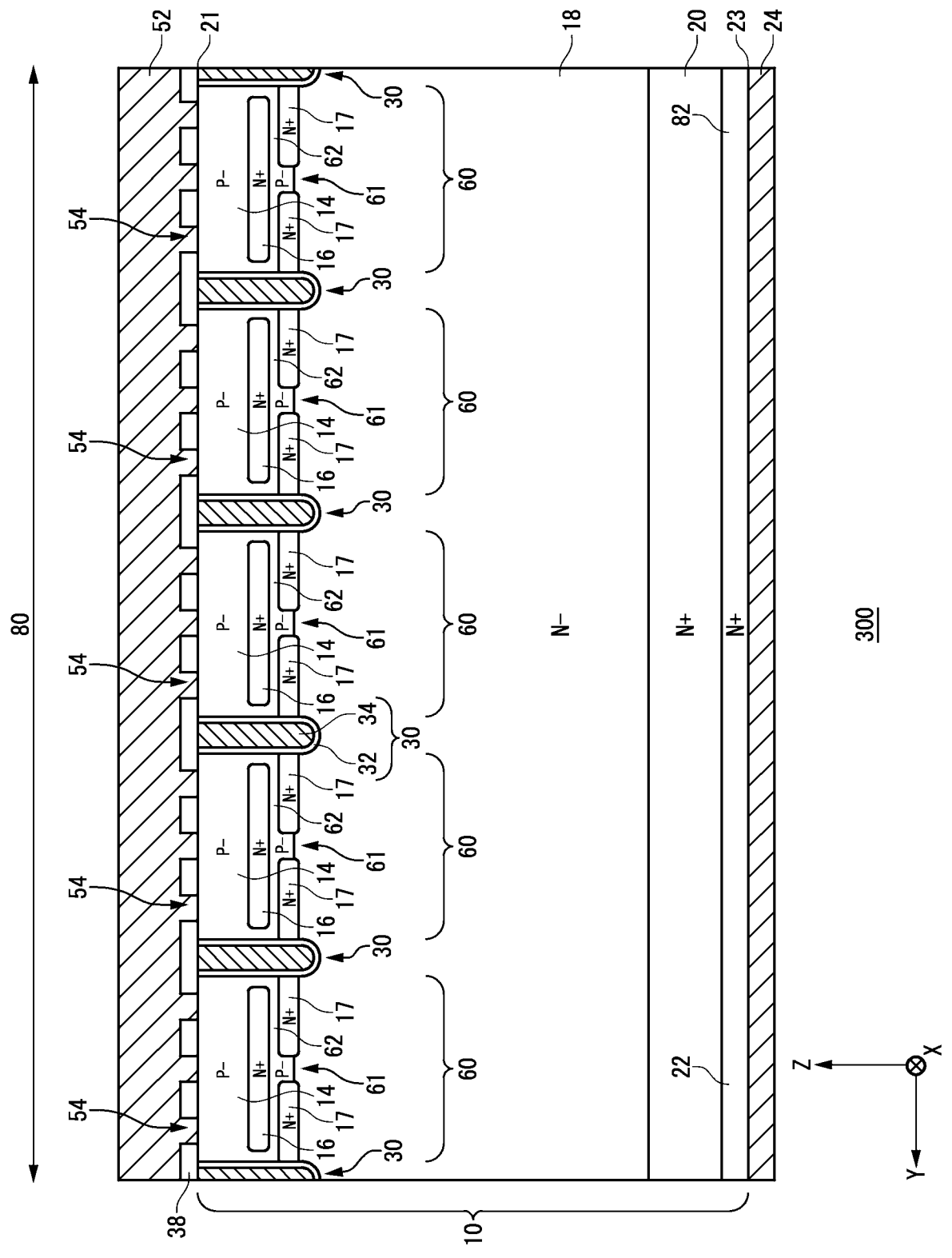


[図31]



This diagram shows a cross-section of a semiconductor device 200 along the Z-axis. The device features a substrate 24 with a P+ layer 23 and an N+ layer 20. A series of unit regions 60 are arranged along the Y-axis, separated by isolation regions 70. Each unit region 60 contains a central channel 18 flanked by source/drain regions 16 and 17. Above the channel, there are gate structures 12 and 14, and a p-type region 15. The top surface is covered by a passivation layer 52. A contact pad 38 is located at one end of the device. The overall structure is labeled 200.

[図33]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/038825

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/78(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/78, H01L21/8234, H01L27/06, H01L29/739, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2017
Registered utility model specifications of Japan 1996-2017
Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-210047 A (TOYOTA CENTRAL RES & DEV; TOYOTA MOTOR CORP.) 04 August 2005, paragraphs [0024], [0037], fig. 3, 12 & US 2007/0114598 A1, paragraphs [0096]-[0103], [0142]-[0144], fig. 3, 12 & WO 2005/062385 A1 & EP 1697995 A1 & EP 2146377 A2 & KR 10-2006-0127075 A & CN 1890813 A	1-5, 8, 9, 12 21, 27 6, 7, 10, 11, 13-20, 22-26, 28-34
Y A	JP 2010-118642 A (DENSO CORP.) 27 May 2010, paragraphs [0112]-[0119], fig. 11 & US 2010/0090248 A1, paragraphs [0103]-[0109], fig. 11 & DE 102009049051 A1 & CN 101728386 A	21, 27 1-20, 22-26, 28-34
A	WO 2016/063683 A1 (FUJI ELECTRIC CO., LTD.) 28 April 2016, paragraphs [0081], [0082], fig. 7 & US 2017/0047319 A1, paragraphs [0094]-[0097], fig. 7	1-34



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
27.11.2017

Date of mailing of the international search report
12.12.2017

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/038825

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-251573 A (TOYOTA CENTRAL RESEARCH AND DEVELOPMENT LABORATORIES, INC.) 17 September 1999, paragraphs [0010]-[0019], fig. 1 (Family: none)	1-34
A	JP 2012-138567 A (DENSO CORP.) 19 July 2012, paragraphs [0149]-[0151], fig. 22 & US 2012/0146091 A1, paragraphs [0137]-[0139], fig. 22 & JP 2014-197702 A	1-34

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/8234, H01L27/06, H01L29/739, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2005-210047 A (株式会社豊田中央研究所, トヨタ自動車株式会社) 2005.08.04, 段落[0024], [0037], 図 3, 12 & US 2007/0114598 A1, 段落[0096]-[0103], [0142]-[0144], 図 3, 12 & WO 2005/062385 A1 & EP 1697995 A1 & EP 2146377 A2 & KR 10-2006-0127075 A & CN 1890813 A	1-5, 8, 9, 12 21, 27 6, 7, 10, 11, 13-20, 22-26, 28-34

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

27.11.2017

国際調査報告の発送日

12.12.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 和彦

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-118642 A (株式会社デンソー) 2010. 05. 27, 段落[0112]-[0119], 図 11 & US 2010/0090248 A1, 段落[0103]-[0109], 図 11 & DE 102009049051 A1 & CN 101728386 A	21, 27 1-20, 22-26, 28-34
A	WO 2016/063683 A1 (富士電機株式会社) 2016. 04. 28, 段落[0081]-[0082], 図 7 & US 2017/0047319 A1, 段落[0094]-[0097], 図 7	1-34
A	JP 11-251573 A (株式会社豊田中央研究所) 1999. 09. 17, 段落[0010]-[0019], 図 1 (ファミリーなし)	1-34
A	JP 2012-138567 A (株式会社デンソー) 2012. 07. 19, 段落[0149]-[0151], 図 22 & US 2012/0146091 A1, 段落[0137]-[0139], 図 22 & JP 2014-197702 A	1-34