

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年11月8日(2012.11.8)

【公表番号】特表2012-504327(P2012-504327A)

【公表日】平成24年2月16日(2012.2.16)

【年通号数】公開・登録公報2012-007

【出願番号】特願2011-528256(P2011-528256)

【国際特許分類】

H 01 L	29/78	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	29/786	(2006.01)

【F I】

H 01 L	29/78	3 0 1 S
H 01 L	27/08	3 2 1 E
H 01 L	27/08	3 2 1 C
H 01 L	29/78	6 1 8 Z
H 01 L	29/78	6 1 6 K
H 01 L	29/78	6 1 6 V
H 01 L	29/78	6 1 6 T
H 01 L	29/78	6 1 7 A

【手続補正書】

【提出日】平成24年9月24日(2012.9.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体デバイスのトランジスタのゲート電極構造に隣接するシリコン含有結晶性半導体領域内にキャビティを形成するステップであって、前記ゲート電極構造はその側壁に隣接して形成されるオフセットスペーサを備えており、前記キャビティは少なくとも前記オフセットスペーサの下に延びるアンダーエッチングされた領域を備えているところのステップと、

前記アンダーエッチングされた領域を備えている前記キャビティを形成した後に、前記キャビティの露出させられた全ての表面上に保護層を形成するステップと、

前記保護層を形成した後に、昇温された第1の温度でのプロセス環境内に前記半導体デバイスを導入するステップと、

前記プロセス環境がより低い第2の温度を有するように調節するステップと、

前記プロセス環境内で前記保護層を除去するステップと、

前記第2の温度にある前記プロセス環境内で前記キャビティ内に半導体合金を形成するステップとを備えた方法。

【請求項2】

前記キャビティを形成するステップは、プラズマ環境を備えている第1のエッチングプロセスを実行することと、ウェットエッチング薬品を備えている第2のエッチングプロセスを実行することとを備えている、請求項1の方法。

【請求項 3】

前記ウエットエッティング薬品は結晶学的に異方性の除去速度を有している、請求項 2 の方法。

【請求項 4】

前記ウエットエッティング薬品はテトラメチルアンモニウムヒドロキシド (TMAH) を備えている、請求項 3 の方法。

【請求項 5】

前記保護層を形成することは前記キャビティの前記露出させられた表面上に酸化物層を形成することを備えている、請求項 1 の方法。

【請求項 6】

前記酸化物層は概ね 750 未満の温度の酸化性ガス雰囲気内で形成される、請求項 5 の方法。

【請求項 7】

前記酸化物層はウエット化学的酸化プロセスを実行することによって形成される、請求項 5 の方法。

【請求項 8】

前記半導体合金内に少なくとも部分的にドレイン及びソース領域を形成するステップを更に備えた、請求項 1 の方法。

【請求項 9】

前記半導体合金は前記トランジスタのチャネル領域内に圧縮歪を誘起するように形成される、請求項 1 の方法。

【請求項 10】

前記半導体合金はシリコン及びゲルマニウムから構成される、請求項 9 の方法。

【請求項 11】

前記昇温された第 1 の温度は概ね 800 以上である、請求項 1 の方法。

【請求項 12】

プラズマ環境を備えている第 1 のエッティングプロセス及びウエットエッティング薬品を備えている第 2 のエッティングプロセスを実行することによってトランジスタのゲート電極構造に対して横方向にオフセットされるキャビティを結晶性半導体領域内に形成するステップであって、前記キャビティは少なくとも前記ゲート電極構造の側壁スペーサ構造の下に延びるアンダーエッティングされた領域を備えているところのステップと、

前記キャビティの露出させられた全ての表面上に保護層を形成するステップと、

前記保護層を形成した後に、歪誘起半導体合金を形成するために用いられるプロセス環境内に前記トランジスタを導入するステップと、

前記プロセス環境内で前記保護層を除去するステップと、

前記キャビティ内に前記歪誘起半導体合金を形成するステップと、

前記半導体領域内にドレイン及びソース領域を形成するステップとを備えた方法。

【請求項 13】

前記保護層を除去するのに先立ち前記プロセス環境内の堆積温度を確立することを更に備えた、請求項 12 の方法。

【請求項 14】

前記堆積温度は概ね 750 以下である、請求項 13 の方法。

【請求項 15】

前記保護層は二酸化シリコン材質として形成される、請求項 12 の方法。

【請求項 16】

前記第 2 のエッティングプロセスの前記ウエットエッティング薬品は結晶学的に異方性のエッティング挙動を有している、請求項 12 の方法。

【請求項 17】

前記半導体合金はゲルマニウム及び錫の少なくとも一方を備えている、請求項 12 の方法。