

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 9 月 25 日 (25.09.2014)



(10) 国际公布号
WO 2014/146362 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01) *H01L 21/77* (2006.01)
H01L 27/12 (2006.01) *G02F 1/1368* (2006.01)
- (21) 国际申请号: PCT/CN2013/077519
- (22) 国际申请日: 2013 年 6 月 20 日 (20.06.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310089718.8 2013 年 3 月 20 日 (20.03.2013) CN
- (71) 申请人: 北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路 8 号, Beijing 100176 (CN)。

- (72) 发明人: 张文余 (ZHANG, Wenyu); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 谢振宇 (XIE, Zhenyu); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 李婧 (LI, Jing); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 田宗民 (TIAN, Zongmin); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: ARRAY SUBSTRATE AND PREPARATION METHOD THEREOF, AND DISPLAY PANEL

(54) 发明名称: 阵列基板及其制备方法和显示面板

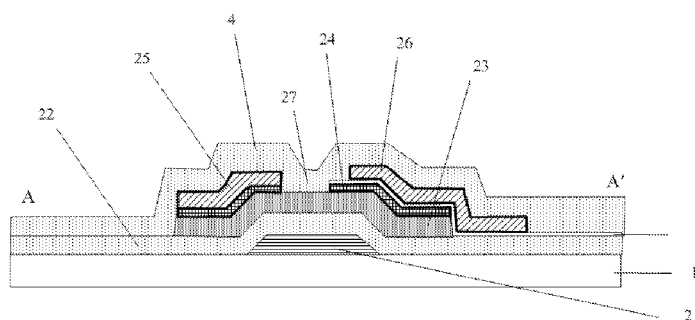


图 3 / FIG.3

(57) Abstract: An array substrate and a preparation method thereof, and a display panel. The array substrate comprises a pixel unit arranged in a matrix mode, the pixel unit comprises a thin film transistor (2) and a pixel electrode (3), the thin film transistor (2) comprises a grid electrode (21), a grid insulating layer (22), an active layer (23), an ohmic contact layer (24), a conducting channel (27), a source electrode (25) and a drain electrode (26), wherein the pixel electrode (3) extends to the region of the thin film transistor (2), and the pixel electrode (3) extending to the region of the thin film transistor (2) partially covers the ohmic contact layer (24) below the drain electrode (26) and is partially formed on the grid insulating layer (22); the length of the conducting channel (27) is smaller than the distance between the source electrode (25) and the drain electrode (26). The length of the conducting channel (27) is designed to be smaller than the distance between the source electrode (25) and the drain electrode (26), thus the length of the conducting channel is reduced so as to improve the breakover current and the properties of the thin film transistor (2).

(57) 摘要:

[见续页]



WO 2014/146362 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板及其制备方法和显示面板。该阵列基板, 包括矩阵排列的像素单元, 所述像素单元包括薄膜晶体管(2)和像素电极(3), 所述薄膜晶体管(2)包括栅极(21)、栅绝缘层(22)、有源层(23)、欧姆接触层(24)、导电沟道(27)、源极(25)和漏极(26), 其中, 所述像素电极(3)延伸至薄膜晶体管(2)区域, 并且延伸至薄膜晶体管(2)区域的像素电极(3)部分覆盖漏极(26)下方的欧姆接触层(24), 部分形成在栅绝缘层(22)上; 所述导电沟道(27)的长度小于源极(25)和漏极(26)之间的距离。通过使导电沟道(27)长度小于源极(25)和漏极(26)之间的距离, 缩短了导电沟道的长度, 从而提高了薄膜晶体管(2)的导通电流和特性。

阵列基板及其制备方法和显示面板

技术领域

5 本发明的实施例涉及一种阵列基板及其制备方法和显示面板。

背景技术

目前，在边缘场模式的液晶显示面板中，阵列基板的结构如图 1 所示，包括横向排列的栅线 10 和纵向排列的数据线 20 以及由栅线 10 和数据线 20 交叉形成的像素单元，其中每一像素单元包括薄膜晶体管（TFT）和像素电极 3'。具体的，沿图 1 中虚线 A-A' 的阵列基板的剖面结构如图 2 所示，在玻璃基板 1 之上，依次形成有栅极 21、栅绝缘层 22、像素电极 3'、有源层 23、欧姆接触层 24、源极 25 和漏极 26 以及钝化层 4。在源极 25 与漏极 26 之间形成导电沟道 27'。导电沟道的长宽比决定了 TFT 器件的功能特性，在沟道的宽度一定的条件下，减小沟道的长度有利于提高 TFT 器件的开态电流，从而提高器件的性能。因此，缩短沟道的长度对于高分辨率的产品来说是非常必要的；且缩短沟道的长度可以减小 TFT 的设计尺寸，对于提高像素开口率以及降低外围电路的设计尺寸（例如，利于窄边框）都有重要意义。

20 发明内容

本发明的一个实施例提供一种阵列基板，其包括矩阵排列的像素单元，所述像素单元包括薄膜晶体管和像素电极，所述薄膜晶体管包括栅极、栅绝缘层、有源层、欧姆接触层、源极、漏极和导电沟道，其中，所述像素电极延伸至薄膜晶体管区域，并且延伸至薄膜晶体管区域的像素电极部分覆盖漏极下方的欧姆接触层，部分形成在栅绝缘层上；所述导电沟道的长度小于源极和漏极之间的距离。

本发明的另一实施例提供一种显示面板，其包括上述阵列基板。

本发明的另一实施例提供一种阵列基板的制造方法，其包括：在基板上形成包括栅极的图案；在形成有上述图案的基板上形成栅绝缘层；在形成有栅绝缘层的基板上形成有源层和欧姆接触层；在形成有有源层和欧姆接触层

的基板上形成像素电极，其中，所述像素电极延伸至 TFT 区域，并且延伸至 TFT 区域的像素电极部分覆盖漏极下方的欧姆接触层，部分形成在栅绝缘层上；在形成有像素电极的基板上形成包括源极和漏极的图案；在形成有源极和漏极的基板上通过刻蚀欧姆接触层形成导电沟道，所述导电沟道的长度小于源极和漏极之间的距离；以及在形成有导电沟道的基板上形成钝化层。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为现有技术中阵列基板的俯视平面示意图；

图 2 为图 1 所示的阵列基板中 TFT 的细节结构示意图；

图 3 为本发明实施例提供的一种阵列基板中 TFT 的结构示意图；

图 4 为本发明实施例提供的一种阵列基板的俯视平面结构示意图；

图 5 为制备图 3 所示的 TFT 的过程中形成有源层后的结构示意图；

图 6 为在图 5 所示结构的基板上形成像素电极后的结构示意图；

图 7 为在图 6 所示结构的基板上形成金属层并且进行掩膜曝光后的结构示意图；

图 8 为在图 7 所示结构的基板上形成漏极和源极后的结构示意图；

图 9 为在图 8 所示结构的基板上形成导电沟道后的示意图；以及

图 10 为在图 9 所示结构的基板上形成钝化层后的结构示意图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

本发明实施例提供了一种阵列基板及其制备方法和显示面板，用以减小 TFT 的导电沟道的长度，提高 TFT 的导通电流和 TFT 特性，进而提高显示

效果。

下面结合附图和示例性实施例对本发明进行详细说明。

本发明实施例提供了一种阵列基板,图3为所述阵列基板的结构剖面图,图4为所述阵列基板的平面俯视图,且图3为沿图4中虚线A-A'方向的剖面图。所述阵列基板可以包括矩阵排列的像素单元,所述像素单元包括公共电极、薄膜晶体管(TFT)和像素电极。如图3所示,所述阵列基板包括玻璃基板1、形成在玻璃基板1之上的TFT2和像素电极3以及形成在所述TFT2和像素电极3之上的钝化层4,所述TFT2包括栅极21、栅绝缘层22、有源层23、欧姆接触层24、源极25和漏极26。所述像素电极3延伸至TFT区域,并且延伸至TFT区域的像素电极3部分覆盖漏极26下方的欧姆接触层24,部分形成在栅绝缘层上22。所述阵列基板还包括形成于源极25与漏极26之间的导电沟道27,所述导电沟道27是通过刻蚀欧姆接触层24形成的,其长度等于像素电极3和源极25之间的距离,且该长度小于源极和漏极之间的距离。

在本发明实施例中,所述导电沟道27的长度小于 $4\mu\text{m}$ 。现有技术中,一般的,当漏极和源极形成之后,导电沟道即形成,因此现有技术中导电沟道的长度一般即为源极和漏极之间的距离,且一般大于 $4\mu\text{m}$ 。

在本发明实施例中,例如,所述导电沟道27的长度为 $2.5\mu\text{m}$ 。本发明实施例通过像素电极将部分欧姆接触层覆盖,从而在后续刻蚀的过程中像素电极保护了部分欧姆接触层不被刻蚀,进而可以获得长度小于漏极和源极之间的距离的导电沟道。在本发明实施例中,通常可以获得长度小于 $4\mu\text{m}$ 的导电沟道,但考虑到对位精度的叠层效果,导电沟道的长度不可过短,例如,可以形成长度为 $2.5\mu\text{m}$ 的导电沟道。

在本发明实施例中,所述阵列基板还包括交叉设置的数据线和栅线,其中数据线和栅线围设形成矩阵排列的像素单元。例如,如图4所示的平面结构示意图,栅线10沿第一方向排列,数据线20沿第二方向排列,每两栅线10和每两数据线20交叉形成一像素单元。图中的像素电极3延伸至TFT的欧姆接触层(图中未示出),图中所示像素电极3的边缘即为导电沟道27的边界。

需要说明的是,在本发明实施例中,欧姆接触层与漏极通过像素电极电

性连接，由此引起的电阻及电容的改变并不会影响 TFT 的特性；同时，像素电极的厚度可以与现有技术中相同，在此情况下，由于像素电极的厚度相对于 TFT 较小，因此对 TFT 的源极和漏极高度的一致性的影响并不会减弱 TFT 的特性，并且，由于 TFT 之上钝化层的保护，也不会对面板的均匀性造成影响。

下面结合附图详细说明本发明实施例提供的阵列基板的制备方法，同时进一步说明本发明实施例提供的阵列基板的结构。

本发明实施例提供了一种阵列基板的制备方法，其包括：

在基板上形成包括栅极的图案；

10 在形成有上述图案的基板上形成栅绝缘层；

在形成有栅绝缘层的基板上形成有源层和欧姆接触层；

在形成有有源层和欧姆接触层的基板上形成像素电极层，其中，所述像素电极延伸至 TFT 区域，并且延伸至 TFT 区域的像素电极部分覆盖漏极下方的欧姆接触层，部分形成在栅绝缘层上；

15 在形成有像素电极层的基板上形成包括源极和漏极的图案；

在形成有源极和漏极的基板上通过刻蚀欧姆接触层形成导电沟道，所述导电沟道的长度小于源极和漏极之间的距离；以及

在形成有导电沟道的基板上形成钝化层。

20 在本发明实施例中，以图 3 所示的阵列基板的结构为例，其制备过程包括如下步骤。

在玻璃基板 1 上形成包括栅极 21 的图案，其工艺包括沉积、涂胶、掩膜曝光、刻蚀和剥离，该过程中的步骤可以与现有技术中相同，在此不再赘述。

在形成有上述图案的基板上沉积形成栅绝缘层 22。

25 在形成有栅绝缘层 22 的基板上沉积形成有源层 23（非晶硅）和欧姆接触层 24，其工艺包括等离子体增强化学气相沉积（PECVD）等，再经过涂胶、掩膜曝光、刻蚀和剥离等来形成有源层和欧姆接触层的图案，如图 5 所示，为完成此步骤后的剖面结构示意图。

30 在形成有有源层 23 和欧姆接触层 24 的基板上形成像素电极 3 的图案，其工艺同样包括沉积、涂胶、掩膜曝光、刻蚀和剥离，其中像素电极的材料为氧化铟锡或氧化铟锌等透明导电材料，所述像素电极 3 延伸至 TFT 区域，

并且延伸至 TFT 区域的像素电极部分覆盖漏极 26 下方的欧姆接触层 24，部分形成在栅绝缘层上 22，如图 6 所示。

在形成有像素电极 3 的基板上形成包括源极和漏极的图案，其中首先沉积源极和漏极以及数据线（图中未示出）的金属层 5，采用光阻剂 6 涂胶和掩膜曝光后，形成如图 7 所示的结构，然后通过刻蚀形成数据线（图中未示出）、源极 25 和漏极 26 的图案，如图 8 所示，其中刻蚀的方法可以为干法刻蚀或湿法刻蚀，方法不做限定。

在形成有源极 25 和漏极 26 的图案的基板上，通过刻蚀欧姆接触层 24 而形成导电沟道 27，如图 9 所示，其中导电沟道 27 的长度小于源极 25 和漏极 26 之间的距离，即图 9 中所示，像素电极 3 的边缘相对于漏极 25 的边缘凸出至导电沟道，因此形成的导电沟道的长度小于现有技术中由源极和漏极形成的导电沟道的长度。在此步骤中，由于像素电极的材料与欧姆接触层的材料不同，因此在刻蚀的过程中，像素电极可以用作刻蚀阻挡层，使得不能将像素电极以及像素电极覆盖的欧姆接触层刻蚀，而没有被像素电极覆盖并且没有被光阻剂保护的欧姆接触层被刻蚀，因此形成了小于源极和漏极的距离的导电沟道。

将光阻剂剥离后，在形成有导电沟道 27 的基板上沉积钝化层 4，如图 10 所示。

本发明实施例提供了一种显示面板，其包括上述的阵列基板。

综上所述，本发明实施例提供的一种阵列基板及其制备方法和显示面板，通过将像素电极部分覆盖漏极下方的欧姆接触层，在制备的过程中，由像素电极覆盖的欧姆接触层将不能被刻蚀，因此形成的导电沟道的长度将小于现有技术中由源极和漏极形成的导电沟道，从而缩短了导电沟道的长度，提高了 TFT 的导通电流和 TFT 的特性。

以上实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

权利要求书

- 1、一种阵列基板，包括矩阵排列的像素单元，所述像素单元包括薄膜晶体管
- 5 和像素电极，所述薄膜晶体管包括栅极、栅绝缘层、有源层、欧姆接触层、源极、漏极和导电沟道，其中，所述像素电极延伸至薄膜晶体管区域，并且延伸至薄膜晶体管区域的像素电极部分覆盖漏极下方的欧姆接触层，部分形成在栅绝缘层上；所述导电沟道的长度小于源极和漏极之间的距离。
- 2、根据权利要求 1 所述的阵列基板，其中，所述导电沟道的长度小于 4 μm 。
- 10 3、根据权利要求 1 所述的阵列基板，其中，所述导电沟道的长度为 2.5 μm 。
- 4、根据权利要求 1~3 中任一权利要求所述的阵列基板，还包括交叉设置的数据线和栅线，其中数据线和栅线围设形成矩阵排列的像素单元。
- 5、一种显示面板，包括权利要求 1~4 中任一权利要求所述的阵列基板。
- 6、一种阵列基板的制备方法，包括：
- 15 在基板上形成包括栅极的图案；
- 在形成有上述图案的基板上形成栅绝缘层；
- 在形成有栅绝缘层的基板上形成有源层和欧姆接触层；
- 在形成有有源层和欧姆接触层的基板上形成像素电极，其中，所述像素电极延伸至 TFT 区域，并且延伸至 TFT 区域的像素电极部分覆盖漏极下方
- 20 的欧姆接触层，部分形成在栅绝缘层上；
- 在形成有像素电极的基板上形成包括源极和漏极的图案；
- 在形成有源极和漏极的基板上通过刻蚀欧姆接触层形成导电沟道，所述导电沟道的长度小于源极和漏极之间的距离；以及
- 在形成有导电沟道的基板上形成钝化层。
- 25 7、根据权利要求 6 所述的阵列基板的制备方法，其中，在通过刻蚀欧姆接触层形成导电沟道期间，所述像素电极用作蚀刻阻挡层，使得被像素电极覆盖的部分欧姆接触层没有被刻蚀。

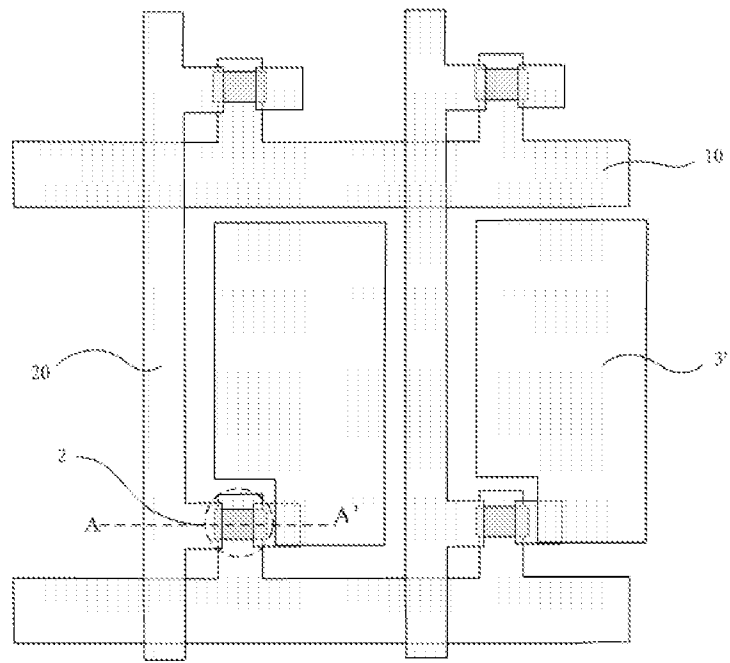


图 1

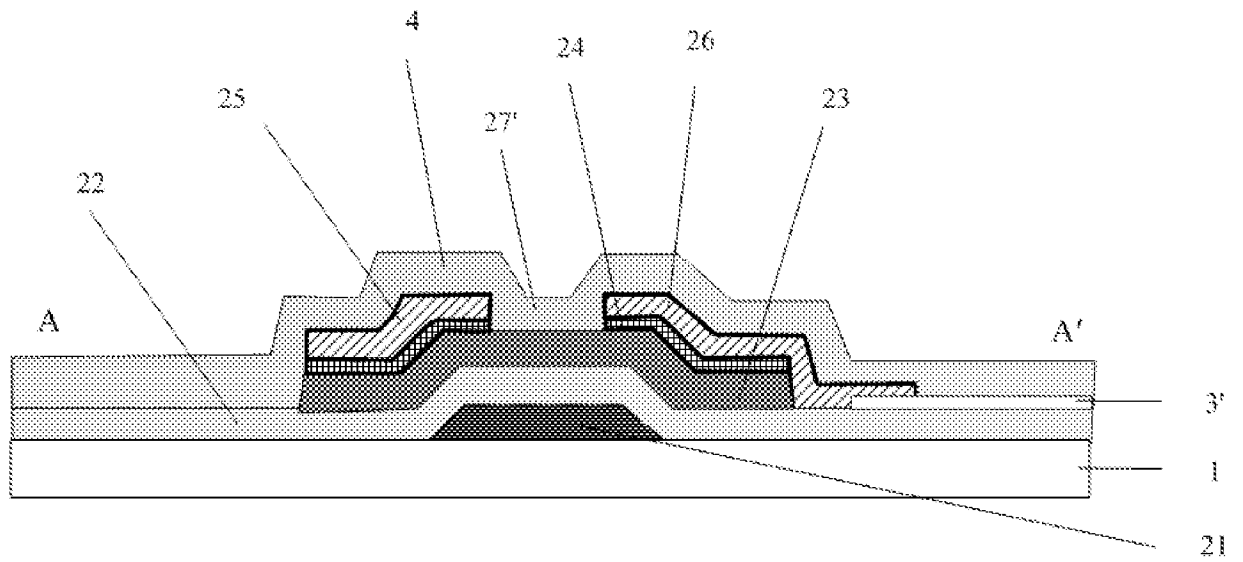


图 2

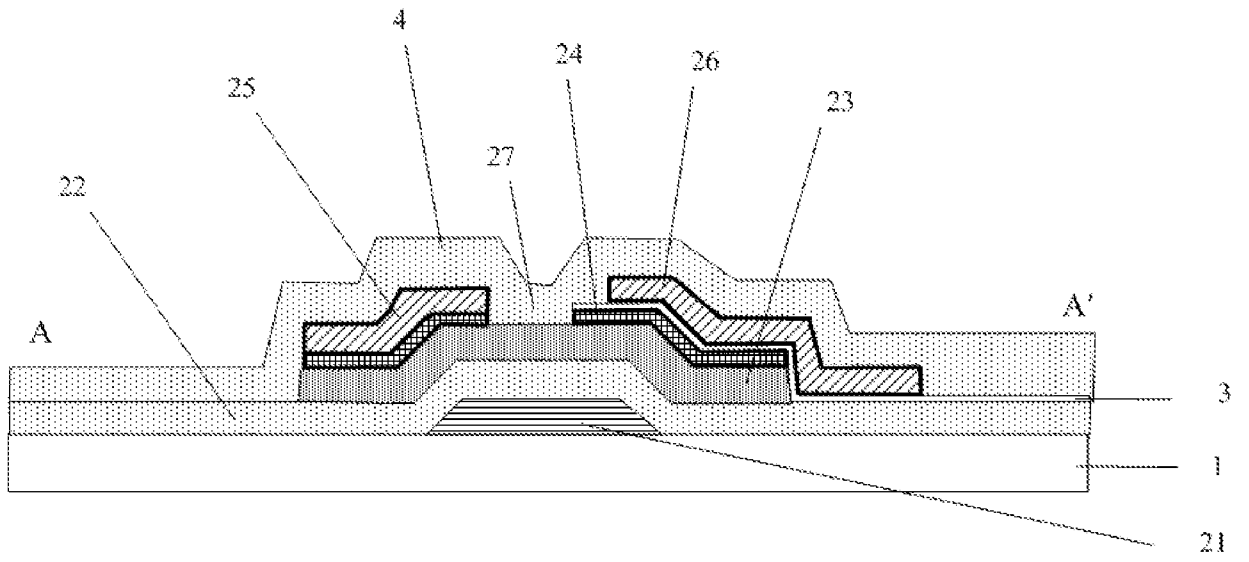


图 3

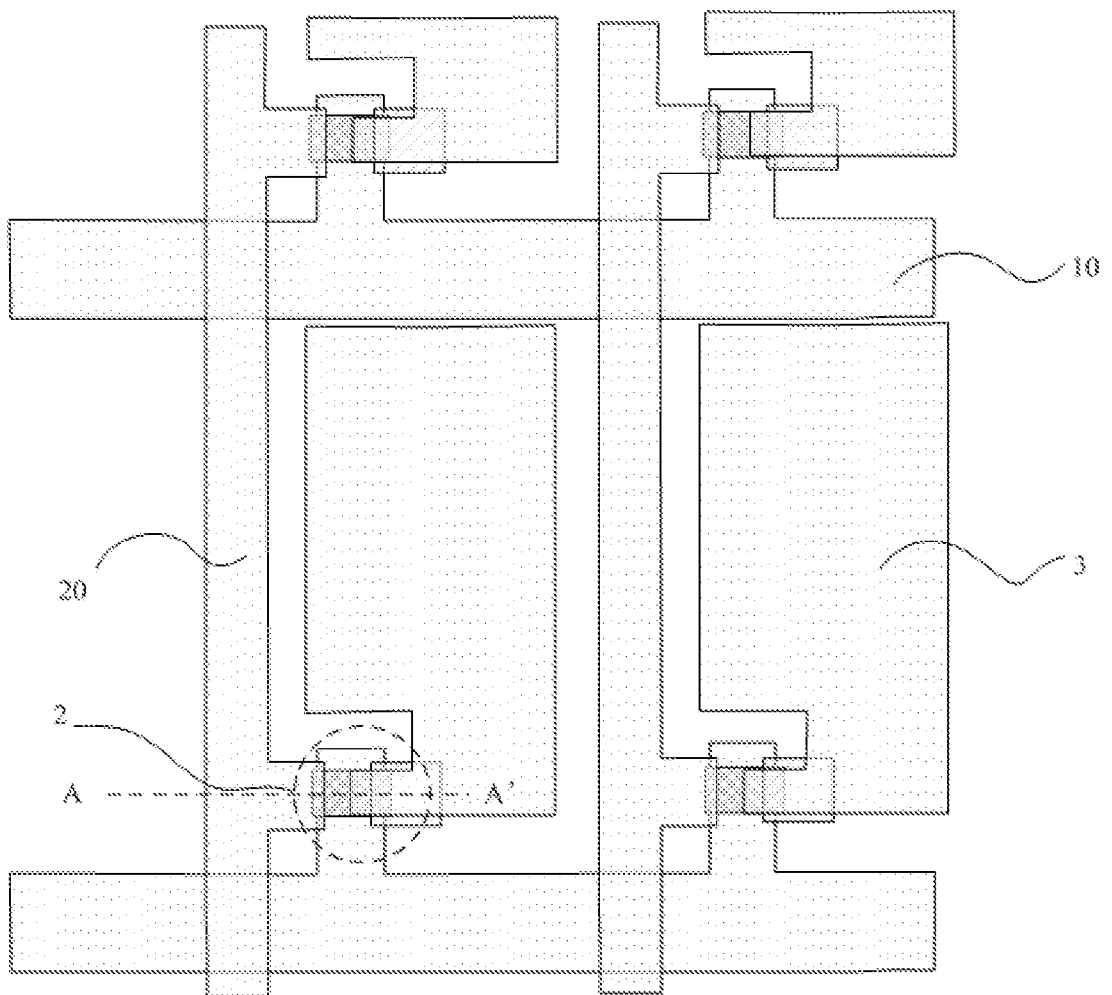


图 4

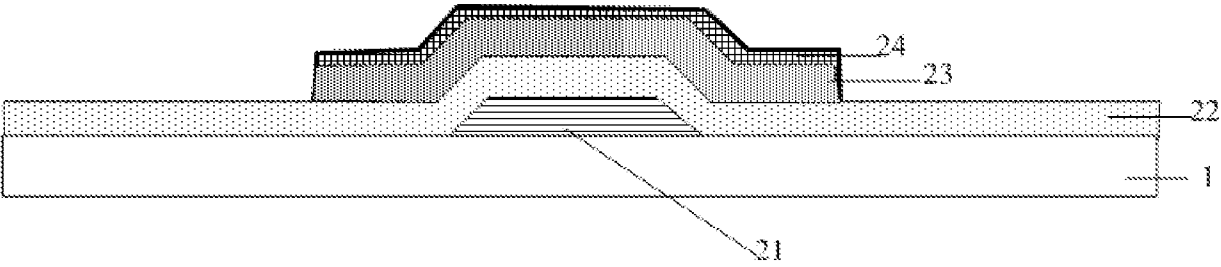


图 5

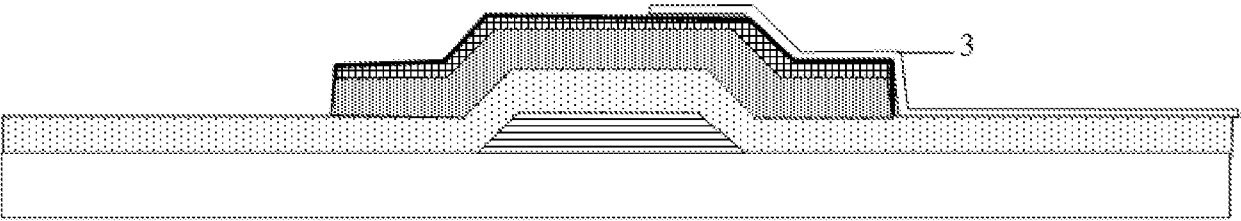


图 6

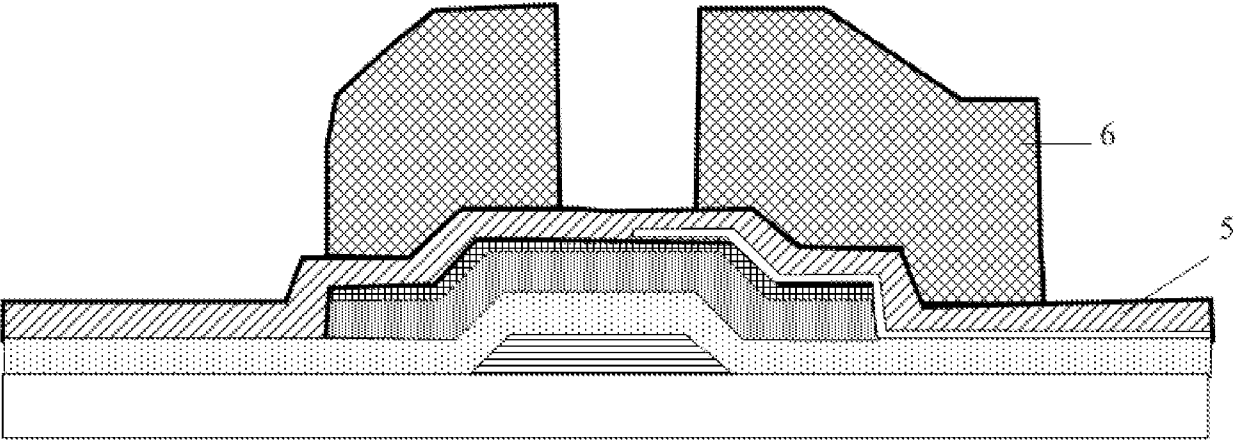


图 7

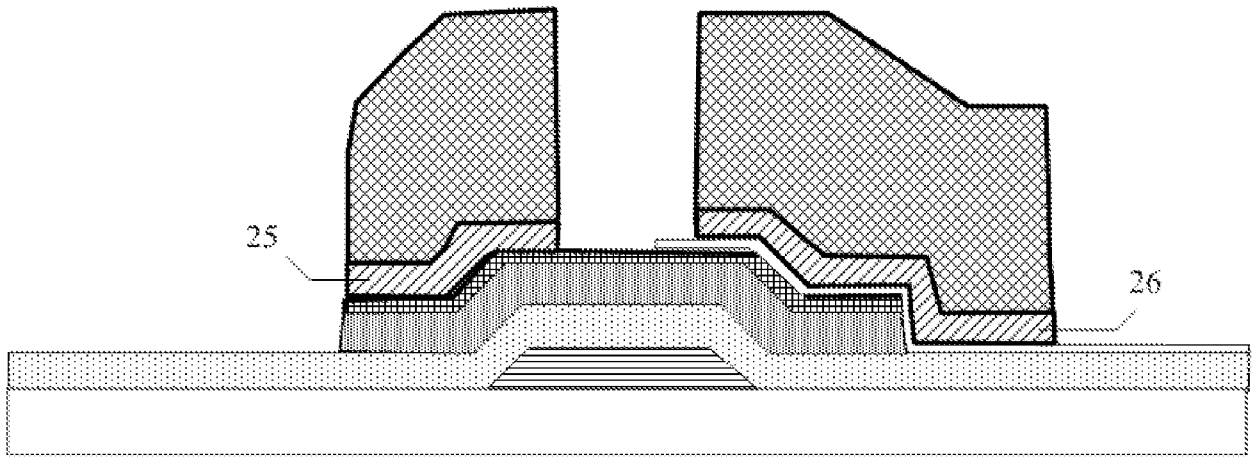


图 8

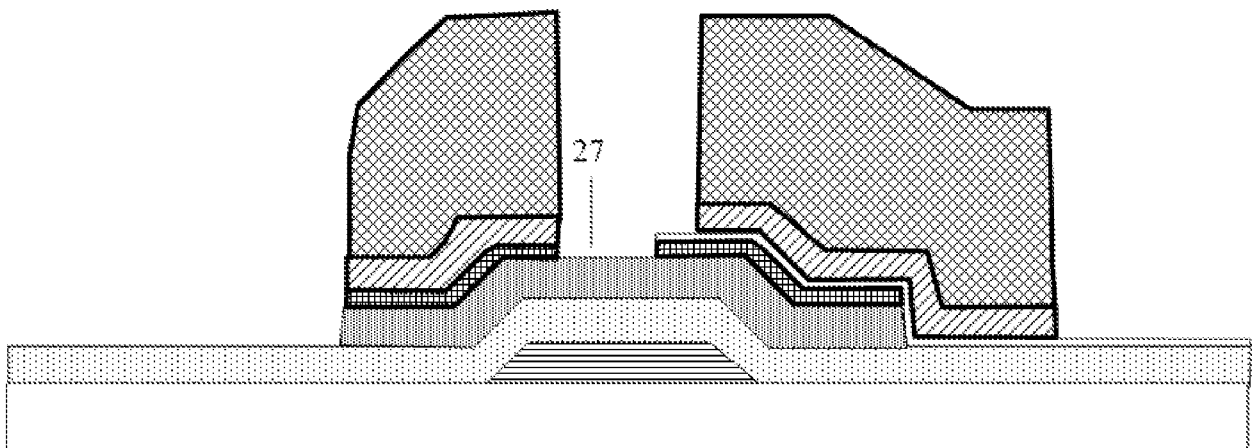


图 9

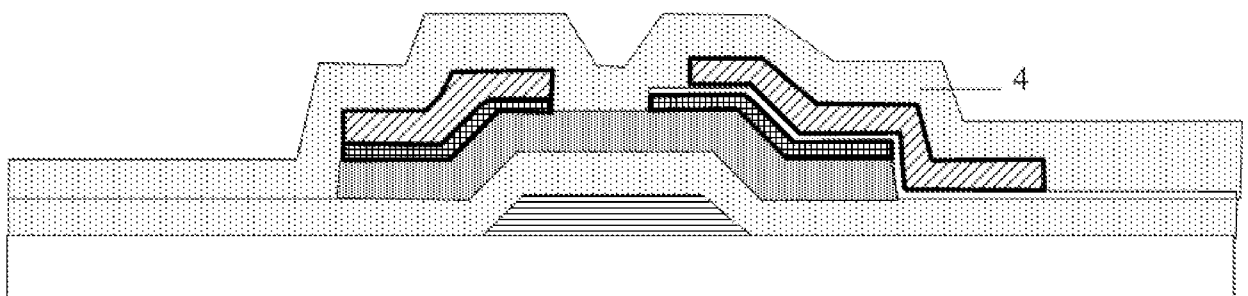


图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/077519

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 29/-; H01L 27/-; H01L 21/-; G02F 1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, WPI, EPODOC, CNABS: TFT, thin w film w transistor, pixel 2w electrode+, channel+, ohmic contact

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101425481 B (CHUNGHWA PICTURE TUBES CO., LTD.) 15 September 2010 (15.09.2010) description, paragraphs [0049]-[0073], and figures 2 and 3	1-7
Y	CN 101060123 A (BOE TECHNOLOGY GROUP CO., LTD.) 24 October 2007 (24.10.2007) description, pages 5 and 6, and figures 5, 11 and 13	1-7
A	CN 101770121 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 07 July 2010 (07.07.2010) the whole document	1-7
A	US 2010/0022055 A1 (BAE, Yang-Ho et al.) 28 January 2010 (28.01.2010) the whole document	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 November 2013 (26.11.2013)	Date of mailing of the international search report 26 December 2013 (26.12.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Baorong Telephone No. (86-10) 62413616

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/077519

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101425481 B	15.09.2010	CN 101425481 A	06.05.2009
CN 101060123 A	24.10.2007	CN 101078843 A	28.11.2007
		CN 100544004 C	23.09.2009
		US 2007246707 A1	25.10.2007
		JP 2007294970 A	08.11.2007
		US 7952099 B2	31.05.2011
		JP 2011155303 A	11.08.2011
		KR 100898694 B1	22.05.2009
		CN 100489631 C	20.05.2009
		KR 20070104296 A	25.10.2007
		US 2011223700 A1	15.09.2011
		US 8354305 B2	15.01.2013
		US 2013122624 A1	16.05.2013
CN 101770121 A	07.07.2010	CN 101770121 B	21.11.2012
US 2010/0022055 A1	28.01.2010	US 7879662 B2	01.02.2011
		US 2008191213 A1	14.08.2008
		US 7719010 B2	18.05.2010
		KR 20080047089 A	28.05.2008

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/077519

Continuation of : A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i

H01L 27/12 (2006.01) i

H01L 21/77 (2006.01) i

G02F 1/1368 (2006.01) i

国际检索报告

国际申请号
PCT/CN2013/077519

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 29/-, H01L 27/-, H01L 21/-, G02F 1/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, WPI, EPODOC, CNABS: 薄膜晶体管, 像素电极, 沟道, 沟渠, 欧姆接触, TFT, thin w film w transistor, pixel 2w electrode+, channel+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 101425481 B (中华映管股份有限公司) 15.9 月 2010 (15.09.2010) 说明书第【0049】段-第【0073】段、附图 2-3	1-7
Y	CN 101060123 A (京东方科技集团股份有限公司) 24.10 月 2007 (24.10.2007) 说明书第 5 页-第 6 页、附图 5,11,13	1-7
A	CN 101770121 A (北京京东方光电科技有限公司) 07.7 月 2010 (07.07.2010) 全文	1-7
A	US 2010/0022055 A1 (BAE, Yang-Ho 等) 28.1 月 2010 (28.01.2010) 全文	1-7

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
26.11 月 2013 (26.11.2013)

国际检索报告邮寄日期
26.12 月 2013 (26.12.2013)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

刘宝荣
电话号码: (86-10) **62413616**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/077519

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 101425481 B	15.09.2010	CN 101425481 A	06.05.2009
CN 101060123 A	24.10.2007	CN 101078843 A	28.11.2007
		CN 100544004 C	23.09.2009
		US 2007246707 A1	25.10.2007
		JP 2007294970 A	08.11.2007
		US 7952099 B2	31.05.2011
		JP 2011155303 A	11.08.2011
		KR 100898694 B1	22.05.2009
		CN 100489631 C	20.05.2009
		KR 20070104296 A	25.10.2007
		US 2011223700 A1	15.09.2011
		US 8354305 B2	15.01.2013
		US 2013122624 A1	16.05.2013
CN 101770121 A	07.07.2010	CN 101770121 B	21.11.2012
US 2010/0022055 A1	28.01.2010	US 7879662 B2	01.02.2011
		US 2008191213 A1	14.08.2008
		US 7719010 B2	18.05.2010
		KR 20080047089 A	28.05.2008

续：A. 主题的分类

H01L 29/786 (2006.01) i

H01L 27/12 (2006.01) i

H01L 21/77 (2006.01) i

G02F 1/1368 (2006.01) i