

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS
PATENT- OCH REGISTERSTYRELSEN
FINNISH PATENT AND REGISTRATION OFFICE

(10) **FI 891802 A7**

(12) **JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application **891802**

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification (IPC⁵)
H04L 5/14
H04B 3/23

(22) Tekemispäivä - Ingivningsdag - Filing date **29.07.1988**

(23) Saapumispäivä - Ankomstdag - Reception date **14.04.1989**

(41) Tullut julkiseksi - Blivit offentlig - Available to the public **14.04.1989**

(43) Julkaisupäivä - Publiceringsdag - Publication date **12.06.2019**

(86) Kansainvälinen hakemus - **29.07.1988** PCT/GB1988/000626
Internationell ansökan - International
application

(32) (33) (31) Etuoikeus - Prioritet - Priority

14.08.1987 GB 8719307

(71) Hakija - Sökande - Applicant

1 •GEC Plessey Telecommunications Limited, P.O.Box 53, Telephone Road Coventry, TOWN UNKNOWN, ISO-BRITANNIA, (GB)

(72) Keksijä - Uppfinnare - Inventor

1 •Dedic, Ian Juso, United Kingdom, ISO-BRITANNIA, (GB)

(74) Asiamies - Ombud - Agent

Berggren Oy Ab, Antinkatu 3 C, 00100 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Kaiun poistaja

Eko upphävare

Kaiun poistaja

5 Keksintö koskee kaiun poistajaa täydellisen duplexi/kaksisuuntaisen dataviestinnän aikaansaamiseksi lähetin/vastaanotinlaitteessa sen ollessa kytkettynä hybridin piirin kautta kaksijohtimisen linjan toiseen päähän.

10 Keksintö koskee tarkemmin sanoen sellaista kaiun poistajaa, jossa muistiyksikölle osoitetaan databittisarja, joka on lähetetty ennalta määrätyn datavälin kautta, jossa muistiyksikkö sisältää sarjan digitaalisia arvioita datan lähellä olevan pään kaiusta, joka data on lähetetty mainitun datavälin kautta, sarjan
15 jokaisen digitaalisen arvioinnin vastatessa yhtä tietystä määrästä näytejaksoja databittijaksoa kohden ja yhtä mahdollisista mainituista databittisarjoista, jossa kerran näytejaksoa kohden mainittu yksi digitaalinen arvio annetaan muistiyksiköstä ja syötetään
20 digitaali/analogiamuuntimen kautta analogiasummaajapiirille yhdessä vastaanotetun signaalin kanssa poistamaan vastaanotetussa signaalissa olevan mainitun lähipääkaiun, ja jossa virhesignaali piiri saa analogiasummauspiirin ulostulosta virhesignaalin, joka syötetään muistiyksikköön siten, että kerran näytejaksoa kohden tallennetaan virhetarkastettu digitaalinen arvio muistiyksikköön.

Em. kaiun poistaja on tunnettu patentin kuulutusjulkaisusta GB Nro 2,007,946 B (ks. kuviot 10 ja 12). Se tunnetaan myös artikkelista, jonka ovat kirjoittaneet N.
30 Holte ja S. Stueflotten, julkaisu IEEE Transactions on Communications, Vol. COM-29., No. 11, November 1981, s. 1573-1580. Holten artikkeli on esimerkkinä periaatteesta, jota käytetään tässä kaiun poistajassa muistin kompensatio-
35 tionä vastakohtana ennestään tunnetuille kaiun poistajille, joissa käytetään digitaalista poikittaissuodinta kompensointipiirinä. Näin muistikompensaation kanssa käyte-

tään databittisarjaa osoittamaan muisti, joka tallentaa todelliset digitaaliset kaikuarvioinnit, vastakohtana poikittaissuodinkompensoinnille, jossa databittisarjan merkit määrittävät suotimen tallentamien kertoimien yhteenlaskun tai vähentämisen syntetisoidakseen näin digitaaliset kaikuarviot.

Holten artikkeli kuvailee kaiun poistajaa, joka voi olla tehokas linjadata nopeudella 80 kbit/s linjan pituuden ollessa 7 km. Tällä taajuudella vastaanotetun signaalin vaimentaminen tällä linjan pituudella voi olla jopa 30 dB. Lähetetyn signaalin lähimpään kaiku vaimennetaan hybridillä ainakin 10 dB:llä. Näin tyydyttävän 20dB signaalikohinasuhteen varmistamiseksi vastaanotetulle signaalille tarvitaan kaiun poistopiiri vaimentamaan lähimpään kaiku signaalissa, joka on vastaanotettu hybridin kautta 40dB:llä. Holte ilmoittaa, että tällä 80 kbit/s-taajuudella linjan kaiun impulssivaste, joka täytyy kattaa antamaan 40 dB vaimennus, vaimennuksen kesto on 5 databittia, ja Holte esittää 8 näytteen kompensatiota databittijaksossa kohden ollen jokaisessa kaikuarviossa 12 bitin sana. Sen luku- ja kirjoitusmuistin RAM digitaalisen muistin koko, joka tarvitaan säilyttämään 5 databitin osoittamat kaikuarviot, on siten $2^8 \times 8 \times 12 = 3$ kbittia.

Monipalveluverkkoa (ISDN) varten tarvitaan nyt sellainen tilaaajan lähetin/vastaanotinlaite, joka pystyy toimimaan linjan datanopeudella 160 kbit/s. Artikkelin, jonka ovat kirjoittaneet R.P. Colbeck ja P.B. Gillingham julkaisussa IEEE Transactions on Circuits and Systems, Vol. CAS-33, No. 2, February 1986, s. 175-182, selostaa integroidun piirin lähetin/vastaanotinlaitetta, jonka muistikompensaation kaiun poistaja pystyy toimimaan 160 kbit/s linjanopeudella. Tämä käyttää 14-bittisiä sanoja RAM-muistissa, 5 databittihistorialla osoitettuna, 8 näytettä per baud. Muistin koko on siten $2^8 \times 8 \times 14 = 3,5$ kbits. Tä-

män sanotaan antavan 45 dB kaiun poistamisen, joka 10dB:n hybridin kaikuvoimenuksella ja tarvittavalla signaali-kohinasuhteella vastaanotettua 15 dB signaalia kohden, mahdollistaa 40 dB suuruisen vastaanotetun signaalin kaapelivoimenuksen, joka peittää 80 kbit/s vastaanotetun signaalin, linjapituuden ollessa yli 5 km tai 160 kbit/s vastaanotetun signaalin linjapituuden ollessa 4 km. Näin kaiun poistamiseen, kun tilaajan linjapituus on täyttä aluetta kohden aina 7 km:iin asti vaadittavalla linjatanopeudella 160 kbit/s, ei päästä likellekään Colbeckin mallilla edes silloin, kun signaali-kohinasuhde on vain 15 dB. Tällaisten tilaajan lähetin/vastaanotinyksiköiden on oltava suuritehoisia, hinnaltaan edullisia laitteita, jolloin kustannukset määrää suurelta osin integroidun piirin sirun ala. Colbeckin artikkelissa kuvio 8 esittää noin neljänneksen muistissa olevasta sirun alasta. Voidaan olla sitä mieltä, että halutun 20 dB signaali-kohinasuhteen saamiseksi 7 km:n linjapituutta kohden 160 kbit/s linjanopeudella on suotavaa, että on ainakin 9 bittidatan historia. Colbeckin mallilla tämä kasvattaisi muistialaa 16-kertaiseksi ja täten kokonaissirualaa n. nelinkertaiseksi, mitä ei selvästi voida hyväksyä.

Eräessä T. Svenssonin artikkelissa, joka on julkaistu Ericsson Review'ssa, No. ISDN, Vol. 61, May 1984, kuvataan kaiun poistajaa käytettäväksi 160 kbit/s nopeudella, mistä käytetään nimitystä kaksois-RAM-suodin. Näin RAM-muistin jakamisella kahteen osastoon toteutettu muistikompensaatio. Muistiin osoitetaan 7 bitin datahistoria, jossa käytetään 3 bittiä yhtä osastoa kohden ja 4 bittiä toista osastoa kohden. Mainittujen kahden RAMin ulostulot lisätään ennen käyttöä digitaali-analogiamuuntimeen. On esitetty, että kaksois-RAM-kokoonpanon etuna yksinkertaiseen RAM-kokoonpanoon nähden on se, että kokonais-RAM-koko tulee olemaan huomattavasti pienempi. Sanojen bittipituutta RAMissa ja näytteiden lukumäärää databittijaksoa kohden ei ole annettu, mutta jos ne olisivat 14 bit-

tiä ja 8 näytettä, kuten edellä esitetyssä Colbeckin artikkelissa, tästä saataisiin $(2^3 + 2^4) \times 8 \times 14 = 2688$ bitin muistikoko. Niiden piirien laatua, joita on käytetty laskemaan yhteen mainitut kaksi RAM-ulostuloa, ei ole annettu. Olettaen kuitenkin, että käytetään rinnakkaisväyliä, kuten Holte ja Colbeck esittävät, yhdessä rinnakkaisyhteenlaskimen kanssa, tämä piiri joutuu saamaan si-
 5 rualueen rangaistuksen poiketukseen osittain vähennyksen osituksella saadussa muistialueessa. Edelleen, kuten
 10 edellä on esitetty, voidaan ajatella, että on suotavaa olla ainakin 9 bitin historia. Svenssonin mallissa kaksi RAMia, joille osoitetaan vastaavasti 4 bittiä ja 5 bittiä, kaksinkertaistaisivat muistikoon n. 5 kilobittiin samoin kuin niiden piiri saisi aluerangaistuksen yhteen-
 15 laskemisesta, mikä ei ole hyväksyttävää. Tässä yhteydessä on ajateltu Svenssonin mallin ekstrapoloinnin mahdollisuutta osittamalla lisää muisti kolmeen osastoon, joista jokaiselle osoitetaan kolme databittiä. Tällöin voitaisiin saada mahtumaan 9 bitin historia samaan muistikokoon
 20 kuin Svenssonin esittämässä kahdeksi jaetussa muistissa, mutta se lisäisi suuresti piirin aluerangaistusta yhteenlaskemisen takia ja olisi siten yhä epäsuotavaa.

Keksinnön eräänä tavoitteena on saada aikaan parannettu
 25 kaiun poistaja, joka ratkaisee edellä esitetyn ongelman liittyen toimintaan aina 160 kbit/s täydellä alueella tilaajan linjapituuksia.

Keksinnön ensimmäisen kohdan mukaan kaiun poistaja täydellisen dupleksidigitaalidatayhteyden saamiseksi on lä-
 30 hetin/vastaanotinyksikössä sen ollessa kytketty hybridi-
 piirin kautta kaksijohtimisen linjan toiseen päähän, jonka muistiyksikössä on muistiosastoja, joista jokaiselle annetaan databittisarja lähetettynä osan ennalta
 35 määrätyn datavälin kautta, jossa kerran näytejaksoa kohden luetaan suoraan jokaisesta muistiosastosta digitaalinen arvio koskien sen datan lähipääkaikua, joka lähetetty

mainitun datavälin vastaavan osan kautta, jossa samanaikaisesti luetut mainitut digitaaliset arviot muistiyksikössä lasketaan yhteen antamaan mainitun datavälin kautta lähetetyn datan täydellisen lähipääkaiun digitaalinen arvio, jossa jokainen mainittu digitaalinen täydellinen kaikuarvio syötetään digitaali/analogimuuntimen kautta analogiasummainpiiriin yhdessä vastaanotetun signaalin kanssa poistamaan vastaanotetussa signaalissa oleva mainittu lähipään kaiku, ja jossa virhesignaaliin saa analogiasummaajapiirin ulostulosta virhesignaalin, joka syötetään muistiyksikölle niin, että kerran näytejaksoa kohden virhetarkastettu digitaalinen arvio tallennetaan jokaiseen muistiosastoon, tunnettu siitä, että on ainakin kolme muistiosastoa, joista yhdelle osoitetaan viimeisimmäksi lähetetty data, jonka antaa ainakin kolmen databitin jono, ja mainittu dataväli on ainakin yhdeksän databitin jakso; siitä että digitaalisten arvioiden yhteenlaskeminen muistiosastoista tapahtuu sarja-aritmeettisellä yksiköllä, ja jokainen täydellinen kaikuarvio syötetään analogiasummainpiiriin näytejaksojen kokonaislukumäärien aikana, sen jälkeen kun vastaavat digitaaliset arviot on luettu muistin osastoista; siitä että lähipään kaiun reitti lähetettyä dataa varten sisältää laitteet, jotka viivyttävät lähipään kaikua niin, että jokainen täydellinen kaikuarvio syötetään analogiasummainpiiriin yhdessä sen lähipään kaiun kanssa, jonka se on aikonut poistaa; ja siitä, että muistiyksikössä on laite syöttämään jokaisen digitaalisen arvion, joka on luettu jostain muistin osastosta virhesummaimeen, joka on olemassa sitä osastoa varten siten, että jokainen virhesignaali lähetetään mainitulle virhesummaimelle yhdessä sen digitaalisen arvion kanssa, joka sen on pitänyt tarkistaa, ja jokainen tarkistettu digitaalinen arvio on tallennettu sen vastaavaan muistiosastoon sen jälkeen, kun se on luettu sieltä.

35

Edellä selostetussa, keksinnön mukaisessa kaiun poista-

jassa ositettua muistia käytetään yhdessä sarja-aritme-
 tiikan ja toimintojen limittämisen kanssa. Kumpikin tek-
 niikka tunnetaan sinänsä täysin digitaalijärjestelmissä.
 Voidaan olla kuitenkin sitä mieltä, että niiden yhteis-
 5 käyttöön muistikompensaation kaiun poistajassa osittain
 digitaalisessa ja osittain analogiajärjestelmässä osite-
 tun muistin koko potentiaalin toteuttamiseksi liittyy
 keksinnöllinen vaihe. Sarja-aritmetiikan etuna lasket-
 taessa yhteen muistiosastojen ulostuloja on tähän yhteen-
 10 laskuun tarvittavan sirualueen saaminen mahdollisimman
 pieneksi. Sarja-aritmetiikan haittana on se, että se it-
 sessään on hitaampi kuin tähän tarkoitukseen käytettävä
 rinnakkaisaritmetiikka. Jos käytettäisiin riittävän suur-
 ta kellonopeutta sarja-aritmetiikkaan kompensoimaan tätä
 15 sille ominaista hitautta, tehon kulutus kasvaisi luvat-
 toman paljon. Tämä ongelma ratkeaa käyttämällä limittä-
 mällä toimintoja; eli muistin osastojen ulostulojen ase-
 mesta, joita säädetään ja tallennetaan eli kirjoitetaan
 takaisin yhden näytejakson aikana, analogiasummaus ja
 20 takaisinkirjoitus kumpikin tapahtuvat näyteperiodien ko-
 konaislukumäärän jälkeen, ja viiveet otetaan käyttöön
 synkronoimaan kaikuarvion analogiasummausta kaiun kanssa,
 synkronoimaan virhesignaali kaikuarvioiden kanssa sum-
 mausta varten, ja kirjoittamaan tarkastetut kaikuarviot
 25 takaisin oikeisiin muistipaikkoihin.

Keksinnön mukaisessa kaiun poistajassa osittamista voi-
 daan käyttää edullisesti jopa neljän muistiosaston saami-
 seksi, missä tapauksessa tarvitaan vain kolme yhden bitin
 30 summainta niiden ulostulojen laskemiseksi yhteen. Jokai-
 sessa neljässä muistinosastossa voi jokaiselle osoittaa
 kolme databittiä, missä tapauksessa käytetään 12-bittistä
 datahistoriaa käytetään, millä saadaan enemmän kuin
 riittävä kaiun poisto 160 kbit/s nopeudella pisimmillä
 35 tarvittavilla linjoilla. Riittävänä pidetään neljää näy-
 tettä databittijaksoa kohden, ja jokaisessa digitaalis-
 sa arvioissa pitäisi olla ainakin yksi 12-bittinen sana.

Jos käytettäisiin 16-bittisiä sanoja, silloin kokonaismuistikoko voisi olla jopa $2^3 \times 4 \times 4 \times 16 = 2 \text{ k}$ bittiä.

5 Lähipään kaiun polussa olevaan laitteeseen lähetettyä dataa varten, joka viivyttää lähipään kaikua, voi kuulua laite, joka viivyttää jokaisen databitin lähettämistä hybridin piirin kautta näytejaksojen kokonaislukumäärällä, sen jälkeen kun databitti on syötetty muistiyksikköön
10 muistin osastoille osoittamiseksi .

Samaan aikaan muistin osastoista luetut digitaaliset arviot voidaan lisätä mainitulla sarja-aritmetiikkayksiköllä yhden näytejakson aikana, jolloin tuloksena saatava
15 digitaalinen täydellinen kaikuarvio muunnetaan mainitulla digitaali-analogiamuuntimella seuraavan näytejakson aikana.

Laitteeseen, jota käytetään lähettämään jokainen digitaalinen arvio virhesummaajaan, voi kuulua viivelaitteet,
20 joihin sen digitaalisen arvion bitit syötetään sarjamuodossa samaan aikaan, kuin ne viedään mainittuun sarja-aritmetiikkayksikköön, ja josta sen digitaalisen arvion bitit otetaan ulos sarjamuodossa viivytettyinä näyte-
25 jaksoiden kokonaislukumäärällä. Tällä vältetään hyvin välttämättä se, että digitaaliset arviot tarvitsee lukea uudelleen osastoista, jos halutaan antaa ne oikeaan aikaan virhesummaajalle.

30 Laitteeseen voi kuulua sarja/rinnakkaisrekisteri jokaista muistin osastoa kohden, digitaalinen arvio, joka on luettu siitä muistin osastosta rinnakkaismuodossa ollen otettu ulos siitä rekisteristä sarjamuodossa sarja-aritmetiikkayksikköön, kun tarkastettu digitaalinen arvio, joka
35 on kirjoitettava siihen muistin osastoon, syötetään siihen rekisteriin sarjamuodossa vastaavasta virhesummaajasta. Tällä saadaan sarja lukemaan ja kirjoittamaan digi-

taalisia arvioita rinnakkaismuodossa niihin liittyvien osoitteiden muutosten kanssa olemaan vaivattomasti annettavissa jokaisena näytejaksona.

- 5 Virhesignaali piiri voi olla analogia-digitaalinen muunnin, joka muuntaa analogiasummauspiirin näytteenä otetut ulostulot digitaalisiksi virhesignaaliksi näytejaksojen tietyn kokonaislukumäärän aikana. Tässä tapauksessa sekä digitaalinen virhesignaali että jokainen digitaalinen
10 arvio, joka sen on määrä tarkastaa, voidaan lähettää sarjamuodossa vastaavalle virhesummaajalle.

- Sekä Holten että Colbeckin edellä kerrotuissa tunnetuissa artikkeleissa on tunnustettu, että tallennettujen digitaalisen kaikuarvioiden nopeaan säätämiseen päästäisiin satunnaisella iteroivalla algoritmilla, eli siinä analogia-digitaalimuuntimen pitäisi antaa virhesignaali positiivisena tai negatiivisena arvona suhteessa analogiasummauspiirin ulostulon suuruuteen. Sekä Holten että Colbeckin artikkelissa tähän sovellusmenetelmään tarvittava piirin kompleksisuus ja siruala on kuitenkin hylätty hitaamman, mutta yksinkertaisemman etumerkkialgoritmin hyväksi, eli siinä on komparaattori antamaan positiivisen tai negatiivisen virhesignaalin, joka lisää tai vähentää
20 tallennetut digitaaliset arviot vaihe kerrallaan.

- Keksinnön mukaista kaiun poistajaa varten ehdotetaan valinnaisena piirteenä yksinkertaista analogia-digitaalimuunninta, jolla voidaan saada edullinen kompromissi täysin suhteessa olevan stokaistisen adaptaation ja etumerkkiadaptaatio kesken. Täten viimeistä edellisessä kappaleessa esitetyssä kaiun poistajassa digitaalinen virhesignaali voi olla exponentiaalisti kvantitioitu, ja se saadaan siten, että analogia-digitaalimuunninissa analogiasummauspiirin näyteulostulo syötetään syöttöjännitteenä varaamaan kondensaattoriyhdistelmä tiettyyn alkujännitteeseen, jota verrataan vertailujännitteeseen, an-
35

tamaan muuntimen vähiten merkitsevä bittiulostulo, jonka jälkeen jokaisessa perättäisessä vaiheessa kondensaattoriyhdistelmässä jännite puolitetaan ja sitä puolitettua jännitettä verrataan mainittuun vertailujännitteeseen, 5
niin että saadaan muuntimen seuraavaksi merkitsevempi bittiulostulo.

Juuri kuvatussa kaiun poistajassa jokainen digitaalinen arvio, jota sen on tarkoitus tarkistaa, voidaan syöttää 10
kyseiselle virhesummaajalle sarjamuodossa ja digitaalinen virhesignaali voidaan muodostaa yhden näytejakson aikana, ja jokaisen digitaalisen virhesignaalin bitit syötetään virhesummaajiin sitä mukaa, kuin ne muodostetaan sarjamuodossa odottamatta mainitun signaalin tuleamista valmiiksi. 15

Toiseksi viimeisessä kappaleessa esitettyssä kaiun poistajassa erityisesti analogia-digitaalimuunnin voi sisältää yhden ainoan komparaattorin ja kytkentälaitteiston, 20
jonka avulla mainittu syöttöjännite syötetään ensin komparaattorille sen syöttöjännitteen etumerkin määrittämiseksi ja muodostamaan mainittua etumerkkiä ilmaisevan muuntimen bitin ulostulo, joka vertailujännite ja alkujännite kondensaattoriyhdistelmässä ollen riippuvainen 25
syöttöjännitteen mainitusta määritetystä etumerkistä syötetään komparaattorin sopiviin syöttöihin antamaan muuntimen mainitut vähiten merkitsevät ja seuraavat muuntimen bittiulostulot, joka mainittu etumerkkibitti ja mainitut vähiten merkitsevät ja seuraavat bitit yhdistetään antamaan analogia-digitaalimuuntimen tulos ennalta määrätystä 30
kaksinapaisessa koodissa. Analogia-digitaalimuunnin, joka sisältää vain yhden komparaattorin, on erityisen taloudellinen em. vaadittavalla sirualueella.

35 Yhteinen kaksinapainen koodi on näiden kahden komplementtikoodi. Jos tätä käytetään edellä selostetussa kaiun poistajassa, silloin virhesummaajiin tarvittava sirualue

- voidaan edullisesti minimoida yhdistelmällä, jossa jokainen virhesummaaaja on yhden bitin summaaaja, jossa digitaalisia arvioita syötetään yhden bitin virhesummaajiin kahden komplementtikoodin sarjamuodossa ja jossa virhesignaalin vähiten merkitsevien ja seuraavien bittien yhdistelmän virhesignaalin etumerkkibitin kanssa suorittavat yhden bitin summaajat antamaan analogia-digitaalimuuntuloksen kahden komplementtikoodin muodossa.
- 5
- 10 Sitä analogia-digitaalimuunninta, jota edellä ehdotettiin kompromissin aikaansaamiseksi täysin suhteutetun satunnaisen adaptaation ja etumerkkiadaptaation välillä koskien sitä, onko sillä vai ei edellä selostettu tietty yksi ainoa komparaattori ja kytkentälaitteisto, voidaan
- 15 käyttää edullisesti kaiun poistajissa, jotka eivät välttämättä rajoitu tiettyyn ositetun muistikompensaation kaiun poistajaan, joka käyttää sarja-aritmetiikkaa ja toimintojen limittämistä keksinnön ensimmäisen kohdan mukaan edellä kuvatulla tavalla. Täten sitä voitaisiin
- 20 käyttää edellä kuvatun Holte tai Colbeck-tyyppisen muistikompensaation kaiun poistaja, eli jossa on muistiyksikkö, joka sisältää sarjan lähipääkaiun digitaalisia arvioita, joista sarjan jokainen digitaalinen arvio vastaa yhtä näytejaksojen tiettyjä databittijaksoja kohden ja
- 25 yhtä mahdollista databittien täydellisistä käytetyistä sekvensseistä ja jossa virhesignaali syötetään muistiyksikköön sellaisena, että kerran näytejaksoa kohden virhetarkastettu digitaalinen arvio tallennetaan muistiyksikköön. Edelleen voidaan olla sitä mieltä, että tätä
- 30 analogia-digitaalimuunninta voitaisiin käyttää ei vain muistikompensoinnin kaiun poistajassa vaan myös poikittaisessa suotimen kaiun poistajassa. Kaikissa tapauksissa virhesignaalin analogia-digitaalimuuntaminen nopeuttaa kaiun poistajan tarkastamista, mikä on erityisen tärkeää
- 35 suurella 160 kbit/s linjadatanopeudella, kun lähetin/vastaanotin voi vastaavasti joutua varaamaan linjan vain lyhyeksi ajaksi kerrallaan.

Täten esillä olevan keksinnön toisen kohdan mukaan keksintöön kuuluu kaiun poistaja, jonka avulla pystytään täydelliseen dupleksi-digitaaliseen datayhteyteen lähetin/vastaanotinyksikössä, kun se on kytketty hybridin piirin kautta kaksijohtimisen linjan yhteen päähän, jossa kompensointiyksikölle osoitetaan databittisarja, joka on välitetty ennalta määrätyn datavälin kautta, jossa kompensointiyksikkö sisältää informaatiota, josta jokaisessa useasta näytejaksosta databittijaksoa kohden on mainitun datavälin kautta lähetetyn datan lähipään kaiun digitaalinen arvio, jossa jokainen mainittu digitaalinen arvio lähetetään digitaali-analogiamuuntimen kautta analogiasummauspiiriin yhdessä vastaanotetun signaalin kanssa poistamaan vastaanotetussa signaalissa oleva mainittu lähipää kaiku ja jossa virhesignaali piiri saa analogiasummauspiirin tulostuksesta virhesignaalin, joka lähetetään kompensointiyksikölle siten, että kerran näytejaksoa kohden kompensointiyksikössä oleva informaatio tarkastetaan, tunnettu siitä, että virhesignaali piirinä on analogia-digitaalimuunnin, joka muuntaa analogiasummainpiirin näyteulostulon eksponentiaalisesti kvantitoiduksi digitaaliseksi virhesignaaliksi, ja siitä, että analogia-digitaalimuuntimessa analogiasummauspiirin näyteulostulo syötetään syöttöjännitteenä varaamaan kondensaattori-yhdistelmä tiettyyn alkujännitteeseen, jota verrataan vertailujännitteen kanssa antamaan muuntimen vähiten merkitsevä bittiulostulo, jonka jälkeen jokaisessa perättäisessä vaiheessa kondensaattoriyhdistelmässä oleva jännite puolitetaan ja sitä puolitettua jännitettä verrataan mainittuun vertailujännitteeseen muuntimen seuraavan merkitsevän bittiulostulon saamiseksi.

Keksintöä selostetaan nyt yksityiskohtaisesti viitaten oheisiin piirustuksiin, joissa

kuvio 1 esittää keksinnön mukaisen kaiun poistajan, joka

kuuluu lähetin/vastaanotinlaitteeseen, joka on kytketty hybridin piirin kautta kaksijohtimisen linjan toiseen päähän täydellisen dupleksin digitaalisen datayhteyden saamiseksi;

5

kuvio 2 esittää osaa kaiun poistajasta kuvion 1 mukaan yksityiskohtaisemmin, ja

10

kuvio 3 esittää kuvioiden 1 ja 2 esittämän poistajan ajastuskaavioita.

Kuviossa 1 on esitetty tilaajan lähetin/vastaanotinlaite, joka on sopiva toteutettavaksi yhtenä ainoana integroidun piirin siruna ja joka sisältää lähetin-TX:n, vastaanotin-
15 RX:n ja kaiun poistajan 1 täydellisen digitaalisen datayhteyden saamiseksi laitteessa, kun se on kytketty hybridin piirin 2 kautta kaksijohtimisen linjan 3 toiseen päähän.

20 Lähetin/vastaanotinlaite on sopiva käytettäväksi monipalveluverkossa (ISDN) ja joka pystyy toimimaan 160 kbit/s linjadatanopeudella siihen kuuluen esimerkiksi kaksi 64 kbit/s digitoitua puhekanavaa, yksi 16 kbit/s datainformaatiokanava ja 16 kbit/s taahdistusinformaatiota. Binääri-
25 ilinjakoodia kuten kaksivaiheista WALI-koodia käytetään lähetettyihin databitteihin.

30 Signaalin kaapelivaimennus, joka on lähetetty 160 kbit/s nopeudella pisimmän, 7-8 km tilaajalinjan kautta, voi olla jopa 45 dB. Vastaanottimen RX:n vastaanottama signaali käsittää olennaisesti kaapelivaimennetun signaalin, joka on lähetetty kaksijohtimisen linjan 3 kaukaisemmasta päästä yhdessä lähettimen TX lähettämän signaalin lähipään kaiun kanssa, jota voidaan vaimentaa jopa niin vähällä kuin 10dB:llä hybridipiirillä 2. Näin 20dB:n signaalikohinasuhdetta varten vastaanottimessa RX kaiun
35 poistajan 1 tarvitsee vaimentaa lähipään kaiku 55 dB:llä.

Näin 20 dB:n signaalikohinasuhdetta varten vastaanottajan RX:ssä kaiun poistajan 1 pitää vaimentaa lähipään kaiua 55 dB:llä. Näiden tilaajalinjojen impulssivaste näillä taajuuksilla on sellainen, että tämänasteisesta kaiun poistoa varten kaiun poistajassa pitäisi olla arvio datan lähipään kaiusta, joka on lähetetty ainakin 9 databittijaksovälän aikana.

Kaiun poistaja 1 käyttää 12-bittistä datahistoriaa, joka on siis enemmän kuin riittävä mainittuun tarkoitukseen.

10

Kaiun poistajan 1 muistiyksikössä 4 on neljä muistiosastoa 41-44, joista jokaiselle osoitetaan vaihtorekisterin 5 kautta kolmen databitin sekvenssi lähetettynä 12 bitin datavälän kautta, muistiosastolle 41 lähetetään kolme viimeksi lähetettyä databittiä jne. Vastaanotin RX ottaa näytteet vastaanotetusta signaalista neljästi jokaista databittijaksoa kohden, ja kerran jokaista näytettä kohden luetaan suoraan jokaisesta muistiosastosta 41-44 12 bitin datavälän vastaavan osaston kautta lähetetyn datan lähipään kaiun digitaalinen arvio. Kukin muistiosasto 41-44 tallentaa täten $2^3 \times 4 \times 4 \times 14 = 448$ bittiä ja muistiyksikön 4 kokonaismuistikoko on 1792 bittiä. Voitaisiin saada enemmän kuin 14 bittiä jokaista kaiun arviosanaa kohden, esimerkiksi 16 bittiä. Kaiun poistamisen hyvän tarkkuuden saamiseksi digitaalisissa kaikuarviosanoissa pitäisi olla ainakin 12 bittiä. Alle 2 kbitin muistikoko on tärkeä pienissä integroitujen piirien sirualueella alan saamiseksi ja siten poistolaitteen halvan kustannuksen takia.

30

Jokainen neljän digitaalisen arvion sarja luettuna samanaikaisesti muistin osastoista 41-44 lasketaan yhteen sarja-aritmetikkayksiköllä, johon kuuluu kolme yhden bitin summainta 61-63 14 bitin digitaalisen arvion saamiseksi sen datan täydellisestä lähipään kaiusta, joka on lähetetty 12 bitin datavälän kautta, ja jokainen digitaalinen täydellinen kaikuarvio lähetetään digitaali-analogiamuun-

35

timen 7 kautta analogiasummauspiiriin 8 yhdessä vastaan-
 otetun signaalin kanssa poistamaan vastaanotetussa sig-
 naalissa oleva lähipään kaiku. Jokainen täydellinen kai-
 kuarvio lähetetään analogiasummauspiirille 8 näytejakso-
 5 jen tietyn kokonaislukumäärän aikana, sen jälkeen kun
 vastaavat digitaaliset arviot on luettu muistiosastoista
 41-44. Lähipään kaikupolku lähetettyä dataa varten sisäl-
 tää laitteet, jotka viivyttävät lähipääkaikua niin, että
 jokainen täydellinen kaikuarvio lähetetään analogiasum-
 10 mauspiiriin 8 yhdessä sen lähipääkaiun kanssa, joka sen
 on tarkoitus poistaa. Virhesignaaliin 9 saa analogia-
 summauspiirin 8 ulostulosta virhesignaalin, joka syöte-
 tään muistiyksikköön 4 siten, että kerran yhtä näytejak-
 soa kohden kirjoitetaan virhetarkastettu digitaalinen
 15 arvio jokaiseen muistiosastoon 41-44, joista jokainen
 tarkastettu digitaalinen arvio, joka on kirjoitettu vas-
 taavaan muistiosastoon näytejaksojen tietyn kokonaisluku-
 määrä aikana, sen jälkeen kun se oli luettu sieltä. Sig-
 naalin käyttö vastaanottimelle RX virhesignaalina johtuu
 20 ei-korreloiduista lähetetyistä ja vastaanotetuista sig-
 naaleista ja on kaiunpoistajien tunnettu ominaisuus lähe-
 tin/vastaanotinlaitteissa, joissa on sopivia datamuokkai-
 mia ja datamuokkaimien poistajia (ei esitetty).

25 Kaiun poiston muistikompensointimenetelmän etuna, jossa
 menetelmässä todelliset täydelliset digitaaliset kaiku-
 arviot tallennetaan suoraan vastakohtana kaiunpoiston
 poikittaiselle suodinkompensointimenetelmälle, jossa tar-
 vitaan kertoimien synteesi datasekvenssin jokaisesta bi-
 30 tistä, on se, että mikä tahansa epälineaarisuus digitaali-
 analogiamuuntimessa kompensoituu automaattisesti ja
 täydellisesti virhesignaalisäädön normaalilla toiminnal-
 la. Ositetun muistin kompensointimenetelmä on tässä suh-
 teessa kompromissi siten, että digitaali-analogiamuunti-
 35 men epälineaarisuus kompensoituu vain jokaisen osaston
 sisällä. Epälineaarisen kompensoinnin suurin tarve koskee
 kuitenkin ensimmäistä osastoa, joka tuottaa suurimman

kaikuarviokomponentin viimeksi lähetettyihin databitteihin nähden. Mielestämme epälineaarisuuden alennettu kompensatio digitaali-analogiamuuntimessa on hyväksyttävää, jos ensimmäiselle muistiosastolle, jolle lähetetään viimeksi lähetetty data, osoitetaan ainakin kolmen databitin sarja. Eräässä mahdollisessa vaihtoehtoisessa ositusjärjestelyssä riittävän kaiunpoiston saamiseksi linjadatanopeudella 160 kbit/s linjan pituuden ollessa 7-8 km olisi neljä osastoa, joista kahdelle ensimmäiselle osoitetaan 3 databittiä ja kumpaisellekin kahdelle seuraavista osoitetaan 2 databittiä. Neljälle yhtä databittijaksoa kohden ja 14 bitin sana-arviolle tämä tuottaisi muistikoon $2 \times 4 \times 14 \times (2^3 + 2^3) = 1344$ bittiä käyttäen 10-bittistä datahistoriaa. Toisessa mahdollisessa tyydyttävässä ositetussa järjestelyssä olisi kolme ositusta, joista ensimmäiselle osoitetaan 4 databittiä ja toiselle ja kolmannelle kullekin osoitetaan 3 databittiä. Jälleen 4 näytettä varten jokaista databittijaksoa ja 14 bittisana-arviota kohden tämä tuottaisi muistikoon $4 \times 14 \times (2^4 + (2 \times 2^3)) = 1792$ bittiä. Tämä olisi sama muistikoko kuin kuvion 1 järjestelyä varten oleva käyttäen lyhyempää databittihistoriaa mutta saaden paremman kompensaaation epälineaarisuutta varten digitaali-analogiamuuntimessa.

25 Palaten takaisin kuvioon 1 digitaali-analogiamuunnin 7 voisi olla sarjamuunnin siten, että summaimien 61-63 sarjayhteenlasku ja muuntimen 7 muuntaminen suoritetaan loppuun yhden näytejakson aikana. Edullisesti muistin osista 41-44 samanaikaisesti luetut digitaaliset arviot laske-

30 taan yhteen summaimilla 61-63 ja viedään sarja/rinnanrekisteriin muunninta 7 varten yhden näytejakson aikana, ja sitä seuraavana näytejaksona digitaalinen täydellinen kaikuarvio ladataan siitä rekisteristä lukkopiiriin ja

35 lukittu digitaalinen arvio muunnetaan digitaali-analogiamuuntimella 7. Vaivattomimmin ne laitteet, jotka viivyttävät lähipään kaikua, sisältävät digitaalisen viiveen D1, joka viivyttää jokaisen databitin lähettämistä lähe-

tys-TX:stä hybridipiirin kautta näytejaksojen tietyn kokonaislukumäärän aikana sen jälkeen, kun se databitti on lähetetty muistiyksikköön 4 osoittamaan muistiosastoihin 41-44. Siten siellä, missä muuntimella 7 suoritettu digitaalitaal-analogiakonversio ja analogiasummauspiirin 8 asettaminen on saatu suoritetuksi, kaksi näytejaksoa digitaalisten arvioiden jälkeen luetaan muistin osastoista 41-44, silloin digitaalinen viive D1 on kahden näytejakson viive.

10

Muistiyksikössä 4 on neljä yhden bitin virhesummaajaa 64-67, yksi kutakin muistinosastoa kohden, ja muistiyksikössä 4 on laitteet D21-D24 lähettämään jokainen muistiyksiköstä luettu digitaalinen arvio vastaavalle virhesummaajalleen siten, että jokainen virhesignaali lähetetään kullekin virhesummaajalle 64-67 yhdessä sen vastaavan digitaalisen arvion keralla, jota sen on tarkoitus säätää. Olisi mahdollista lukea digitaaliset arviot uudelleen mainituista osastoista niiden esittämiseksi oikeaan aikaan virhesummaajille 64-67, mutta tämä vältetään laitteilla D21-D24, joihin kuuluu yksi yksittäinen viivytyslaite jokaista osastoa kohden, johon vastaavan digitaalisen arvion bitit on syötetty sarjamuodossa samanaikaisesti kun ne viedään sarja-aritmetikkayksikköön 61-63, ja josta mainitun digitaalisen arvion bitit tulostetaan sarjamuodossa viivytettyinä näytejaksojen tietyn kokonaislukumäärän aikana.

Edulliset laitteet antamaan ne digitaaliset arviot, jotka luetaan muistin osastoista sarjamuodossa sarja-aritmetikkayksikölle 61-63 ja viivästyslaitteille D21-D24, ja edulliset laitteet niiden tarkastettujen digitaalisten arvioiden tallentamiseksi, jotka on saatu virhesummaajista 64-67, oikeaan paikkaansa muistin osastoissa, kuvailaan myöhemmin viitatun kuvioihin 2 ja 3. Virhesignaali-
piiriin 9 voisi kuulua komparaattori, joka olisi yksinkertaisesti antamassa positiivisen tai negatiivisen vir-

35

hesignaalin, joka lisää tai vähentää digitaalisia arvioita vaihe kerrallaan. Kuitenkin eräs edullinen virhesignaalinpiirin 9 muoto, jota selostetaan myöhemmin yksityiskohtaisesti liittyen kuvioon 2, on analogia-digitaalinen muunnin, joka muuntaa analogiasummauspiirin 8 digitaaliseksi virhesignaaliksi näytejaksojen tietyn kokonaislukumäärän aikana. Tässä tapauksessa ja missä tarkastettavat digitaaliset arviot syötetään sarjamuodossa viivästyslaitteista D21-D24 kyseisiin virhesummaajiin 64-10 67, digitaalinen virhesignaali syötetään myös sarjamuodossa kuhunkin virhesummaajaan 64-67.

On jo mainittu, että osastojen 41-44 pieni muistikoko on tärkeä pienen integroidun piirin sirualueen takia. Sirualue, jonka aritmetiikka tarvitsee neljää muistin osastoa varten, on pieni johtuen siitä, että tarvitaan vain seitsemän yhden bitin summaajia 61-67 ja niiden toimintaa varten sarjaväylien kautta.

20 Kaiun poistajan toiminta, esitetty kuviossa 1, kuvaillaan nyt yksityiskohtaisemmin viitaten lisäksi kuvioihin 2 ja 3. Hybridipiiristä 2 vastaanotetusta 160 kbit/s datasi-
 25 gnaalista annetaan tavalla, jota ei ole esitetty, mutta joka on tunnettu, 10,24 MHz kellosignaali. Tästä kellosignaalista saadaan ajatussignaalit säätelämään kaiun poistajaa. Kuvio 3 esittää signaalin T, jossa on $6 \mu s$ jakso, joka on se databittijakso, joka vastaa 160 kbit/s linjadanopeutta, ja signaaleissa T/2 ja T/4 on jaksot vastaavasti puoli ja neljäsosa signaalin T jaksoa. Siten
 30 signaalin T/4 jakso on $1,5 \mu s$ näytejakso ja jokaisen näytejakson piirissä on 16 kellosignaali-jaksoa. Kuvion 3 viiva DB esittää kuviossa 1 esitetystä lähettimestä TX lähtevää tämänhetkistä databittiä (CDB) samassa linjassa signaalin T kanssa, jota edeltää edellinen databitti PDB ja jota seuraa seuraava databitti NDB. Ohjaussignaalit
 35 varmistavat, että tämänhetkinen databitti syötetään vaihtorekisterin 5 ensimmäiseen vaiheeseen, ENTER (CDB), ja

vaihtorekisterin 5 sisältö muutetaan vastaavasti databittijakson kahdeksannellaosalla meneillään olevan databittijakson alkamisen jälkeen. Samoin seuraava databitti syötetään vaihtorekisterin 5 ensimmäiseen vaiheeseen ,

5 ENTER (NDB) databittijakson kahdeksannellaosalla sen alkamisen jälkeen. Signaalit T ja T/2 antavat kahden bitin näytevaihekoodin neljän seuraavan digitaaliarvion sijainnin määrittämiseksi luettavaksi jokaisesta osastosta 41-44 jokaisena databittijaksona. Signaali T/4 määrää luku-

10 vaiheen R ja tallennusvaiheen W jokaisessa näytejaksossa. Rekisteristä 5 kaikki kolme databittiä, joita käytetään osoittamaan jokaiselle osastolle 41-44 lukeminen ja tallentaminen, säädetään signaalilla DBA, joka on syötetty databittiosoitteenohjauspiireille rekisterin 5 ja osastojen 41-44 välille. Kuvio 2 esittää tällaisen databittiosoitteenohjauspiirin 51 osastoa 41 varten.

Ensimmäinen 14 bitin digitaalinen arvio, joka on tarkoitettu luettavaksi jokaisesta osastosta 41-44 sen jälkeen,

20 kun meneillään oleva databitti on syötetty, ENTER (CDB), luetaan aikana RIC, joka on toisen näytejakson ensimmäisessä kellosignaaliyksössä, sen jälkeen kun nykyinen databittijakso on aloitettu. Signaalilla aikana RIC on vaihe CA, eli kolmen ensimmäisen databitin määrittämä

25 nykyinen osoite rekisterissä 5 annetaan ohjauspiirin 51 kautta osastolle 41, databittien 4-6 määrittämä nykyinen osoite annetaan osastolle 42 jne. Aikana RIC mainitut ensimmäiset digitaaliset arviot luetaan jokaisen osaston muistista rinnakkaismuodossa rinnakkais/sarjarekisteriin,

30 joka on sitä osastoa varten. Kuvio 2 esittää muistin 411 ja rinnakkais/sarjarekisterin 412 osastoa 41 varten. Jokaisessa seuraavassa neljässätoista kellosignaaliyksössä jokaisen ensimmäisen digitaalisen arvion yksi bitti otetaan ulos rinnakkais/sarjarekisteristä 412 ja muiden

35 osastojen 42-44 vastaavista rinnakkais/sarjarekistereistä, ja nämä neljä bittiä lasketaan yhteen sarja-aritmetiikkayksiköllä, jossa on mainitut kolme yhden bitin sum-

maajaa 61-63 ja niitä yhdistävät sarjaväylät, ja ensimmäisen täydellisen digitaalisen kaikuarvion tuloksena oleva yksi bitti vietään sarja/rinnakkaisrekisteriin 71, yhteydessä digitaali/analogiamuuntimeen 7. Myös jokai-

5 senä näinä neljänätoista kellosignaali-jaksona ne bitit, jotka otetaan ulos rinnakkais/sarjarekisteristä 412 ja vastaavista muiden osastojen 42-44 rinnakkais/sarjarekistereistä, vietään vastaaviin viivästyslaitteisiin D21-D24, joista jokaisessa on vaihtorekisteri, johon mahtuu

10 kaksi digitaalista arviota. Nämä neljätoista kellosignaali-jaksoa on esitetty viitteellä IC (61-63) kuviossa 3.

Toinen 14 bittidigitaaliarvio, joka luetaan jokaisesta osastosta 41-44 meneillään olevan databittijakson aikana,

15 luetaan aikana R2C, joka on kolmannen näytejakson ensimmäinen kellosignaali-jakso meneillään olevan databittijakson alkamisen jälkeen, ja seuraavina neljänätoista kellosignaali-
periodina nämä toiset digitaaliset arviot vietään ulosa rekistereistä 412 jne. summaajien 61-63 kautta

20 rekisteriin 71 ja rekistereihin D21-D24. Myös tämän kolmannen näytejakson aikana ensimmäinen täydellinen digitaalinen kaikuarvio siirretään rekisteristä lukkorekisteriin 72, joka on olemassa digitaali/analogiamuunninta 7 varten, muunnetaan analogiamuotoon muuntamispierillä 73

25 ja otetaan ulos analogiayhteenlaskupiiriin 8. Tämä kolmas näytejakso on esitetty viitteellä IC (7 AND 8) kuviossa 3.

Kolmas 14 bitin digitaalinen arvio, joka luetaan jokaisesta osastosta 41-44 meneillään olevan databittijakson aikana, luetaan aikana R3C, joka on neljännen näytejakson ensimmäinen kellosignaali-jakso meneillään olevan databittijakson alkamisen jälkeen, ja seuraavina neljänätoista kellosignaali-jaksona nämä kolmannet digitaaliset arviot

30 vietään ulos rekisteristä 412 jne. summaajien 61-63 kautta rekisteriin 71 ja rekistereihin D21-D24. Myös tämän neljännen näytejakson aikana toinen täydellinen digitaal-

liarvio siirretään rekisteristä 71 lukkorekisteriin 72,
 piirin 73 muuntamana ja otettuna ulos analogiasummauspii-
 riin 8. Myös tämän neljännen näytejakson aikana, kuten
 esitetään viitteellä 1C (9 AND 64-67) kuviossa 3, analo-
 5 giasummauspiirin 8 näyteulostulo muunnetaan digitaaliseksi
 virhesignaalksi virhesignaaliin 9. Tavalla,
 joka selitetään yksityiskohtaisesti myöhemmin, digitaali-
 set virhesignaaliin 9 tuotetaan sarjamuotoon ja syöte-
 10 tään jokaiseen yhden bitin virhesummaajaan 64-67 sitä
 mukaa, kuin ne tulevat valmiiksi, odottamatta, että vir-
 hesignaali tulee valmiiksi. Piirin 9 muodostama digitaalinen
 virhesignaali neljännessä näytejaksossa on analo-
 giasummaajapiirin 8 näyteulostulosta muodostettu asete-
 15 tusta analogiasta muunnettu ensimmäinen täydellinen digi-
 taalinen kaikuarvio. Neljännen näytejakson aikana ne en-
 simmäiset digitaaliset arviot, jotka on viety vaihtore-
 kistereihin D21-D24 ja jotka aiotaan tarkistaa virhesig-
 naalilla, joka on muodostettu tämän näytejakson aikana,
 otetaan ulos niistä vaihtorekistereistä D21-D24 kyseisiin
 20 yhden bitin virhesummaajiin 64-67. Siten tämän neljännen
 näytejakson aikana tarkistettu ensimmäinen digitaalinen
 arvio muodostetaan sarjamuodossa jokaisesta virhesummaa-
 jasta 64-67 ja syötetään sarjamuodossa vastaaviin rinnak-
 kais/sarjarekistereihin 412 jne. samaan aikaan kuin kol-
 25 mannet digitaaliset arviot luetaan pois rekistereistä 412
 jne. Meneillään olevan databittijakson neljännen näyte-
 jakson viimeisen kellosignaaliin alussa rekistereihin
 412 jne. mahtuu valmiit tarkastetut ensimmäiset digitaal-
 30 liset arviot ja aikana W12 tämän ensimmäisen viimeisen
 kellosignaaliin aikana nämä tarkastetut ensimmäiset
 digitaaliset arviot tallennetaan rekistereistä 412 jne.
 muistiosastojen 41-44 muisteihin 411 jne.

Neljännet 14 bitin digitaaliset arviot, jotka luetaan
 35 osastoista 41-44, yhä käyttäen samoja databittejä rekis-
 teristä 5, luetaan aikana R4C seuraavan näytejakson alus-
 sa ja ennen kuin seuraava databitti viedään rekisteriin 5

(ENTER NDB).

Oikeat muistiosasto-osoitteet kirjoittamaan/tallentamaan takaisin tarkastetut ensimmäiset digitaaliset arviot aikana W1C saadaan siten kuin seuraavassa selitetään. Näytevaiheosoite neljännen näytejakson aikana ja signaalin T/4:n lukuvaiheen R aikana on se, jonka signaalit T ja T/2 antavat lukemaan kolmannet digitaaliset arviot aikana R3C. Signaalin T/4 seuraavassa tallennusvaiheessa W signaalien T ja T/2 antama näytevaiheosoite muutetaan logiikalla (ei esitetty) siihen, mitä se oli aikana R1C, eli kaksi näytejaksoa ennen aikaa R3C. Aikana W1C signaali DBA:lla on vaihe CA, eli rekisterin 5 ohjauspiirien 5i jne. kautta määräämät osoitteet ovat samat kuin aikana R1C.

Jokaisena ajoista W4P, W3P ja W2P, eli kolmannen, toisen ja ensimmäisen näytejakson viimeisinä kellosignaaliyksinä, vast. nykyisen databittin CDB alkamisen jälkeen, tarkastetut digitaaliset arviot tallennetaan myös takaisin oikeisiin muistipaikkoihinsa muistiosastoissa 41-44. Näissä tapauksissa tallentamista varten näytevaiheosoite viedään jälleen taaksepäin kahdella vaiheella, ennen kuin niitä viedään eteenpäin yhdellä vaiheella seuraavaa luku- toimintoa varten. Jokaisessa näistä kolmesta tapauksesta signaalilla DBA on kuitenkin vaihe PA, eli viedäkseen taaksepäin täydellisen osoitteen kirjoittamista varten kahdella vaiheella rekisterin 5 määräämät osoitteet ohjaussignaalin 5i jne. kautta on vietävä taaksepäin yhdellä vaiheella. Siten jokaisessa näistä kolmesta tapauksesta rekisterissä 5 olevien toisten, kolmansien ja neljänsien bittien antamat edelliset osoitteet annetaan ohjauspiirin 5i kautta osastolle 41, databittien 5-7 määräämät edelliset osoitteet annetaan osastolle 42 jne.

35

Mahdollisena vaihtoehtona osastojen 41-44 erityisjärjestelyille ja toiminnalle, joka on edellä selostettu ja

viitaten kuvioihin 2 ja 3, on se, että jokaisen osaston muisti saadaan vaihtorekisterien lohkoksi, esimerkiksi 32 rekisteriä jokaisessa osastossa samaa muistikokoa varten kuin edellä on esitetty. Tästä olisi se etu, että saadaan
 5 itsenäinen lukeminen ja kirjoittaminen, eli yksi digitaalinen arvio voitaisiin lukea sarjassa yhdestä rekisteristä, kun tarkastettua digitaalista arviota kirjoitetaan sarjassa takaisin toiseen rekisteriin.

10 Seuraavassa selostetaan yksityiskohtaisesti analogia-digitaalimuuntimen virhesignaaliipiiriä 9. Kuten on jo mainittu, analogiasummaajapiirin 8 näyteulostulo muunnetaan joka kerran digitaalseksi virhesignaaliksi yhden näytejakson aikana, jolloin digitaalisen virhesignaalin bitit
 15 muodostetaan sarjamuotoon ja syötetään jokaiselle yhden bitin virhesummaajalle 64-67 sitä mukaa kuin ne muodostetaan odottamatta, että virhesignaali tulee valmiiksi. Virhesignaaliipiiriin 9 kuuluu olennaisesti laite SH ottamaan näyte analogiasummauspiirin 8 ulostulosta kerran
 20 näytejakson aikana, ollen siinä yhdistelmä, jossa on kolme yhtäläistä kondensaattoria C1, C2, C3, kytkentälaitteisto SW1, SW2, SW3 ja yksi ainoa komparaattori COMP, jossa on vertailujännite V_R . Digitaalinen virhesignaali on eksponentiaalisesti kvantioitu vastaten sen sisääntulosignaalia, joka on ilmaisti vertailujännitteen V_R kerrannaista, katkaistuna lähimpään kahden potenssiin.

Laitteella SH otettu syöttöjännite syötetään ensin näytteenottohetkellä differentiaaliottona komparaattorille
 30 COMP määrittämään syöttöjännitteen etumerkki ja antamaan muuntimen ulostulobitti, joka ilmaisee mainitun etumerkin. Syöttösignaali syötetään myös varaamaan kondensaattori C1. Riippuen näytesyöttöjännitteen määritelmästä etumerkistä vertailujännite V_R ja alkujännite kondensaattorissa C1 syötetään komparaattorin COMP sopiville syötöille kytkentäpiirin SW3:n kautta. Ensimmäisen kellokierroksen lopussa etumerkkibitin määrittämisen jälkeen

kondensaattorissa C1 olevaa jännitettä verrataan vertailujännitteeseen V_R antamaan muuntimen vähiten merkitsevä ulostulo. Seuraavalla kellokierroksella kondensaattorissa C1 oleva varaus jaetaan yhtä suurella kondensaattorilla C2 ja puolitetut syöttöjännitteet verrataan taas V_R :n kanssa antamaan muuntimen seuraavaksi merkitsevempi bittiulostulo. Seuraavassa kellokierroksessa, kytkimien SW1 ja SW2 kautta, kondensaattori C2 puretaan maahan ja kondensaattori C3 kytketään rinnan kondensaattorin C1 kanssa puolittamaan jälleen näytesyöttöjännite, jota taas verrataan vertailujännitteeseen V_R . Seuraavassa kellokierroksessa kondensaattori C3 maattovahvistetaan ja kondensaattori C2 kytketään uudelleen rinnan kondensaattorin C1 kanssa jne. Vertailujännite V_R asetetaan arvoon, joka on noin puolet pisimmän linjan huippusignaali-jännitteestä. Muuntimen vähiten merkitsevä bittiulostulo vastaa syöttöjännitteen suuruutta kondensaattorilla C1 ollen suurempi kuin V_R . Kun syöttöjännitettä puolitetaan peräkkäisillä kellokierroksilla, komparaattorin COMP antama ulostulobitti pysyy samana, kunnes syöttöjännitteestä tulee pienempi kuin V_R , kun ulostulobitti muuttuu.

Kondensaattoreiden C1, C2 ja C3 erityisjärjestely, kytkentälaitteisto SW1, SW2, SW3 ja vertailujännite V_R , esitettyinä kuviossa 2, voivat vaihdella käytännön toteutuksissa. Voi olla esimerkiksi hyvä, että saadaan kaksi kolmen kondensaattorin sarjaa, joissa syöttöjännite kytketään yhteen niistä sen määritetyn etumerkin mukaan. Yhtä ainoaa vertailujännitettä voidaan käyttää kondensaattoriyhdistelmän kanssa tai voidaan syöttää yhtä suurista mutta vastakkaismerkkisiä vertailujännitteitä komparaattoriin syöttöjännitteen määritetyn etumerkin mukaan. Kolmen yhtä suuren kondensaattorin asemesta kondensaattoriyhdistelmään voi kuulua kaksi kondensaattoria, joista toisessa on kolmannes toisen kapasitanssista, ja sopiva kytkentälaitteisto voi olla sellainen, että kummatkin kondensaattorit ovat aluksi varattuja ja sitten joka kerran pienempi kon-

5 densaattori puretaan varauksesta ja kytketään jälleen puolittamaan alkujännite. Kaikissa tapauksissa käytetään yhtä ainoaa komparaattoria ja ulostulo muodostetaan sarjamuotoon yhtenä näytejaksona muuntoajan ollessa tehollisesti nolla.

Virhesignaaliin 9 ensimmäinen ulostulosignaali yhdistetään seuraaviin ulostulobitteihin yhden bitin virhesummaajissa 64-67 antamaan analogia-digitaalimuuntimen tuloksen kahden komplementtikoodin muodossa, vähiten merkitsevä bitti ensimmäisenä. Digitaaliarvioiden sarjadataformaattiosastoista 41-44, jotka syötetään virhesummaajiin 64-67 viivästysvaihtorekistereiden D21-D24 kautta, ovat vastaavasti kahden komplementteja, vähiten merkitsevä bitti ensimmäisenä. Kuten edellä on esitetty, digitaalinen virhesignaali on eksponentiaalisesti kvantitoitu lähimpään 2 potenssiin, eli se vastaa tuloksia ± 1 , ± 2 , ± 4 , ± 8 jne. Jos tarvitaan kaikkupoistajan erilaista järjestelyä, muuntimen vähiten merkitsevät ja seuraavat bititulostulot voidaan muodostaa komparaattorista positiivisia ja negatiivisia virhesignaaleja varten ja yhdistää etumerkkiulostuloon siten, että saadaan analogia-digitaalimuuntimen tulos, toisina tunnettuina kaksinapaisina koodeina, joka kerran eksponentiaalisesti kvantioituna.

10
15
20

Patenttivaatimukset

1. Kaiun poistaja (1) täydellisen dupleksin digitaali-
 datayhteyden mahdollistamiseksi lähetin/vastaanotinlait-
 5 teessa, kun se on kytketty hybridin piirin (2) kautta
 kaksijohtimisen linjan (3) toiseen päähän, jossa muisti-
 yksikössä (4) on muistiosastot (41-44), joista jokaiselle
 osoitetaan databittijakso, joka on lähetetty ennalta mää-
 rätyn datavälin osan kautta, jossa luetaan kerran näyte-
 10 jaksoa kohden suoraan jokaisesta muistiosastosta (41-44)
 sen datan lähipään kaiun digitaalinen arvio, joka on lä-
 hetetty mainitun datavälin vastaavan osan kautta, jossa
 muistiyksikössä (4) samaan aikaan luetut mainitut digi-
 taaliset arviot lasketaan yhteen sen datan täydellisen
 15 lähipään kaiun digitaalisen arvion saamiseksi, joka on
 lähetetty mainitun datavälin kautta, jossa jokainen digi-
 taalinen täydellinen kaiun arvio lähetetään digitaali-
 analogiamuuntimen (7) kautta analogiasummauspiirille (8)
 yhdessä vastaanotetun signaalin kanssa poistamaan vas-
 20 taanotetussa signaalissa oleva mainittu lähipään kaiku ja
 jossa virhesignaali (9) saa analogiasummauspiirin
 ulostulosta virhesignaalin, joka syötetään muistiyksik-
 köön (4) niin, että kerran näytejaksoa kohden virhesää-
 detty digitaalinen arvio tallennetaan jokaiseen muisti-
 25 osastoon (41-44), t u n n e t t u siitä, että on aina-
 kin kolme muistiosastoa (41-44), joista yhdelle osoite-
 taan viimeisimäksi lähetetty data lähetettynä ainakin
 kolmen databitin jaksona ja mainittu dataväli on ainakin
 yhdeksän databitin jaksoinen, siitä, että digitaalisten
 30 arvioiden yhteenlaskeminen muistiosastoista tapahtuu sar-
 ja-aritmetiikkayksiköllä (61-63), ja jokainen täydellinen
 kaikuarvio lähetetään analogiasummauspiiriin (8) näyte-
 jaksosten tietyn kokonaislukumäärän aikana, sen jälkeen
 kun vastaavat digitaaliset arviot on luettu muistiosas-
 35 toista (41-44), siitä, että lähipään kaikupolku lähetet-
 tävää dataa varten sisältää laitteet (DI), jotka viiväs-
 tyttävät lähipään kaikua siten, että jokainen täydellinen

- kaikuarvio syötetään analogiayhteenlaskupiiriin (8) näytejaksojen tietyn kokonaislukumäärän aikana sen jälkeen, kun vastaavat digitaaliset arviot on luettu muistiosastoista (41-44), siitä, että lähetettyä dataa varten oleva
- 5 lähipään kaikupolkuun kuuluu laitteita (D1), jotka viivästyttävät lähipään kaikua niin, että jokainen täydellinen kaikuarvio syötetään analogiayhteenlaskupiiriin (8) yhdessä sen lähipään kaiun kanssa, joka sen on tarkoitus poistaa, ja siitä, että muistiyksikössä on laitteet (D21-
- 10 D24) syöttämään jokaisen digitaalisen arvion, joka on luettu muistiosastosta (41-44), virhesummaajaan (64-67), joka on varustettu mainittua osastoa varten siten, että jokainen virhesignaali syötetään mainittuun virhesummaajaan (64-67) yhdessä sen digitaalisen arvion kanssa, jota
- 15 sen on tarkoitus tarkistaa, ja jokainen tarkistettu digitaalinen arvio on tallennettu sen kyseiseen muistiosastoon (41-44) näytejaksojen tietyn kokonaislukumäärän aikana, sen jälkeen kun se oli luettu sieltä.
- 20 2. Patenttivaatimuksen 1 mukainen kaiun poistaja, t u n n e t t u siitä, että siinä on neljä muistiosastoa (41-44).
3. Patenttivaatimuksen 2 mukainen kaiun poistaja,
- 25 t u n n e t t u siitä, että siinä mainittuun sarja-aritmetiikkayksikköön digitaalisten arvioiden laskemiseksi yhteen muistiosastoista kuuluu kolme yhden bitin summaimia (61-63).
- 30 4. Patenttivaatimuksen 2 tai 3 mukainen kaiun poistaja, jossa jokaiselle muistiosastolle osoitetaan kolmen databitin sarja.
5. Jonkin patenttivaatimuksista 1-4 mukainen kaiun poistaja, t u n n e t t u siitä, että siihen kuuluu neljä näytejaksoa databittijaksoa kohden ja vastaavasti neljä erilaista digitaalista arviota luetaan jokaisesta muis-

tiosastosta (41-44) databittijaksoa kohden.

6. Jonkin patenttivaatimuksista 1-5 mukainen kaiun poistaja, t u n n e t t u siitä, että jokainen digitaalinen arvio on sana, jossa on ainakin 12 bittiä.

7. Jonkin patenttivaatimuksista 1-6 mukainen kaiun poistaja, t u n n e t t u siitä, että mainittuihin laitteisiin (D1), jotka viivästyttävät lähipään kaikua, kuuluu 10 laitteet, jotka viivästyttävät jokaisen databitin lähettämistä hybridin piirin (2) kautta näytejaksojen tietyn kokonaislukumäärän aikana sen jälkeen, kun databitti on lähetetty muistiyksikköön muistiosastoihin (41-44) osoittamiseksi.

15

8. Jonkin patenttivaatimuksen 1-7 mukainen kaiun poistaja, t u n n e t t u siitä, että mainitut digitaaliset arviot, jotka on luettu muistiosastoista (41-44) samaan aikaan, laskee yhteen mainittu sarja-aritmetikkayksikkö 20 (61-63) yhden näytejakson aikana, ja siitä, että tulokseksi saadun digitaalisen täydellisen kaiun arvion muuntaa mainittu digitaalinen analoginen muunnin (7) seuraavana näytejaksona.

25 9. Jonkin patenttivaatimuksista 1-8 mukainen kaiun poistaja, t u n n e t t u siitä, että mainitut laitteet, joita käytetään syöttämään jokainen digitaalinen arvio virhesummaimeen, koostuu viivästyslaitteista (D21-D24), joihin sen digitaalisen arvion bitit syötetään sarjamuodossa samaan aikaan, kuin ne on asetettu mainittuun sarja-aritmetikkayksikköön (61-63), ja josta sen digitaalisen arvion bitit otetaan ulos sarjamuodossa viivästettyinä näytejaksojen tietyn kokonaislukumäärän aikana.

35

10. Jonkin patenttivaatimuksista 1-9 mukainen kaiun poistaja, t u n n e t t u siitä, että on varattu

sarja/rinnakkaisrekisteri (412) jokaista muistiosastoa (41-44) varten, digitaalinen arvio, joka on luettu siitä muistiosastosta rinnakkaismuodossa, joka otetaan ulos mainitusta rekisteristä (412) sarjamuodossa sarja-aritmetiikkayksikköön (61-63), samanaikaisesti kuin tarkistettu digitaalinen arvio, joka aiotaan tallentaa siihen muistiosastoon (41-44) rinnakkaismuodossa, syötetään siihen rekisteriin (412) sarjamuodossa kyseisestä virhesummaajasta (64-67).

10

11. Jonkin patenttivaatimuksista 1-10 mukainen kaiun poistaja, t u n n e t t u siitä, että virhesignaali-piiri (9) on analogia-digitaalimuunnin, joka muuntaa analogiayhteenlaskupiirin näyteulostulon digitaaliselle virhesignaalille näytejaksojen jonkin kokonaislukumäärän aikana.

15

12. Patenttivaatimuksen 11 mukainen kaiun poistaja, t u n n e t t u siitä, että sekä digitaalinen virhesignaali että jokainen digitaalinen arvio, joka sen on tarkoitus tarkistaa, syötetään sarjamuodossa kyseiselle virhesummaajalle.

20

13. Patenttivaatimuksen 11 mukainen kaiun poistaja, t u n n e t t u siitä, että digitaalinen virhesignaali on eksponentiaalisesti kvantitoitu, että analogia-digitaalimuuntimessa (9) analogiasummauspiirin (8) näyteulostulo syötetään syöttöjännitteenä varaamaan kondensaattoriyhdistelmä (C1-C3) tiettyyn alkujännitteeseen, jota verrataan vertailujännitteeseen (V_R) muuntimen vähiten merkitsevän bittiulostulon saamiseksi, jonka jälkeen jokaisessa seuraavassa vaiheessa kondensaattoriyhdistelmän (C1-C3) jännite puolitetaan, ja että puolitettua jännitettä verrataan mainittuun vertailujännitteeseen (V_R) antamaan muuntimen seuraavaksi merkitsevämpi bittiulostulo.

25

30

35

14. Patenttivaatimuksen 13 mukainen kaiun poistaja, t u n n e t t u siitä, että jokainen digitaalinen arvio, jota se on tarkoitettu tarkistamaan, syötetään kyseiselle virhesummaajalle (64-67) sarjamuodossa, ja että mainittu digitaalinen virhesignaali muodostetaan yhden näytejakson aikana, jolloin jokaisen digitaalisen virhesignaalin bitit syötetään virhesummaajiin, kun niitä muodostetaan sarjamuodossa odottamatta, että se signaali tulee valmiiksi.

10

15. Patenttivaatimuksen 13 mukainen kaiun poistaja, t u n n e t t u siitä, että analogia-digitaalimuunnin (9) sisältää yhden ainoan komparaattorin (COMP) ja kytkinlaitteiston (SW1-SW3), jonka avulla mainittu syöttöjännite syötetään ensin komparaattorille (COMP) sen syöttöjännitteen etumerkin määrittämiseksi ja antamaan muuntimen ulostulobitti, joka ilmaisee sen merkin, joka vertailujännite (V_R) ja joka alkujännite kondensaattoriyhdistelmässä (C1-C3) syötetään sitten syöttöjännitteen mainitusta merkistä riippuen komparaattorin (COMP) sopiville syötöille muuntimen mainittujen vähiten merkitsevien ja niitä seuraavien ulostulobittien saamiseksi, ja että mainittu merkkibitti ja mainitut vähiten merkitsevät ja seuraavat bitit yhdistetään analogia-digitaalisen muuntamisen tuloksen saamiseksi ennalta määrätyssä kaksinapaisessa koodissa.

16. Patenttivaatimuksen 15 mukainen kaiun poistaja, t u n n e t t u siitä, että jokainen virhesummaaja (64-67) on yhden bitin summaaja, että digitaaliset arviot syötetään yhden bitin virhesummaajiin kahden komplementtikoodin sarjamuodossa, ja että virhesignaaliyhdistelmä, vähiten merkitsevät ja seuraavat bitit virhesignaali-merkkibitin kanssa saadaan aikaan yhden bitin summaajilla (64-67) antamaan analogia-digitaalimuuntamisen tulos kahden komplementtikoodin muodossa.

35

17. Kaiun poistaja (1) täydellisen duplexi-digitaalisen datayhteyden saamiseksi lähetin/vastaanotinlaitteessa ollen se kytkettynä hybridin (2) piirin kautta kaksijoh-

5 yksikölle (4) osoitetaan ennalta määrätyn datavälin kaut-
ta lähetetty databittien sarja, jossa kompensointiyksi-
kössä (4) on informaatiota, josta jokaisessa tietystä
määrästä näytejaksoja databittijaksoa kohden annetaan
digitaalinen arvio mainitun datavälin kautta lähetetyn
10 datan lähipään kaiusta, jossa jokainen mainittu digitaalinen arvio syötetään digitaali-analogiamuuntimen (7)
kautta analogiasummauspiirille (8) yhdessä vastaanotetun
signaalin kanssa poistamaan mainittu vastaanotetussa sig-
naalissa oleva lähipään kaiku, ja jossa virhesignaali-
15 piiri (9) saa analogiasummauspiirin ulostulosta virhesig-
naalin, joka syötetään kompensointiyksikköön (4) siten,
että kerran yhtä näytejaksoa kohden tarkistetaan kompen-
sointiyksikössä oleva informaatio, t u n n e t t u siit-
tä, että virhesignaali (9) on analogia-digitaalimuun-
20 muunnin, joka muuntaa analogiasummauspiirin näyteulos-
tulon eksponentiaalisesti kvantitoiduksi digitaaliseksi
virhesignaali, ja siitä, että analogia-digitaalimuun-
timessa analogiasummauspiirin (8) näyteulostulo (SH) syö-
tetään syöttöjännitteenä varaamaan kondensaattoriyhdis-
25 telmä (C1-C3) tiettyyn alkujännitteeseen, jota verrataan
vertailujännitteeseen (V_R) muuntimen vähiten merkitsevän
bittiulostulon saamiseksi, jonka jälkeen jokaisessa seu-
raavassa vaiheessa kondensaattoriyhdistelmässä (C1-C3)
oleva jännite puolitetaan ja että sitä puolitettua jänni-
30 tettä verrataan mainittuun vertailujännitteeseen (V_R)
muuntimen seuraavan merkitsevemmän bittiulostulon saami-
seksi.

18. Patenttivaatimuksen 17 mukainen kaiun poistaja,
35 t u n n e t t u siitä, että kompensointiyksikkö on muisi-
tyksikkö (41), jossa on mainitun lähipääkaiun digitaali-
sia arvioita käsittävä sarja, joista sarjan jokainen di-

gitaalinen arvio vastaa jotakin näytejaksojen mainittua lukua ja yhtä databittien mahdollisia mainittuja sarjoja, ja siitä, että virhesignaali syötetään muistiyksikköön (4) siten, että kerran jokaista näytejaksoa kohden tallennetaan virhetarkistettu digitaalinen arvio muistiyksikköön.

19. Patenttivaatimuksen 17 mukainen kaiun poistaja, t u n n e t t u siitä, että kompensointiyksikkö on muistiyksikkö (4), jossa on muistin osastoja (41-44), joista jokaiseen osoitetaan databittien sarja, joka on lähetetty osan mainittua dataväliä kautta, että kerran näytejaksoa kohden jokaisesta muistiosastosta (41-44) luetaan suoraan digitaaliarvio koskien mainitun datavälin vastaavan osan kautta lähetetyn datan lähipään kaikua, että muistiyksikössä mainitut samaan aikaan luetut digitaaliset arviot lasketaan yhteen (61-63) antamaan mainitun datavälin kautta lähetetyn datan lähipään kaiun mainittu digitaalinen arvio, ja että virhesignaali syötetään muistiyksikköön niin, että kerran yhtä näytejaksoa kohden virhetarkastettu digitaalinen arvio tallennetaan jokaiseen muistiosastoon (41-44).

20. Jonkin patenttivaatimuksista 17-19 mukainen kaiun poistaja, t u n n e t t u siitä, että analogia-digitaalimuunnin (9) sisältää yhden ainoan komparaattorin (COMP) ja kytkentälaitteiston (SW1-SW3), jonka välityksellä mainittu syöttöjännite syötetään ensin komparaattoriin (COMP) syöttöjännitteen merkin määrittämiseksi ja antamaan muuntimen sitä merkkiä tarkoittava ulostulobitti, joka vertailujännite (V_R) ja joka kondensaattoriyhdistelmässä (C1-C3) oleva alkujännite syötetään sitten syöttöjännitteen mainitusta merkistä riippuen sopiville komparaattorin (COMP) syötöille antamaan muuntimen vähiten merkitsevät ja seuraavat ulostulobitit, ja että mainittu merkkibitti ja mainitut vähiten merkitsevät ja seuraavat bitit yhdistetään analogia-digitaalimuuntimen tuloksen

saamiseksi ennalta määrättyssä kaksinapaisessa koodissa.

Fig.1

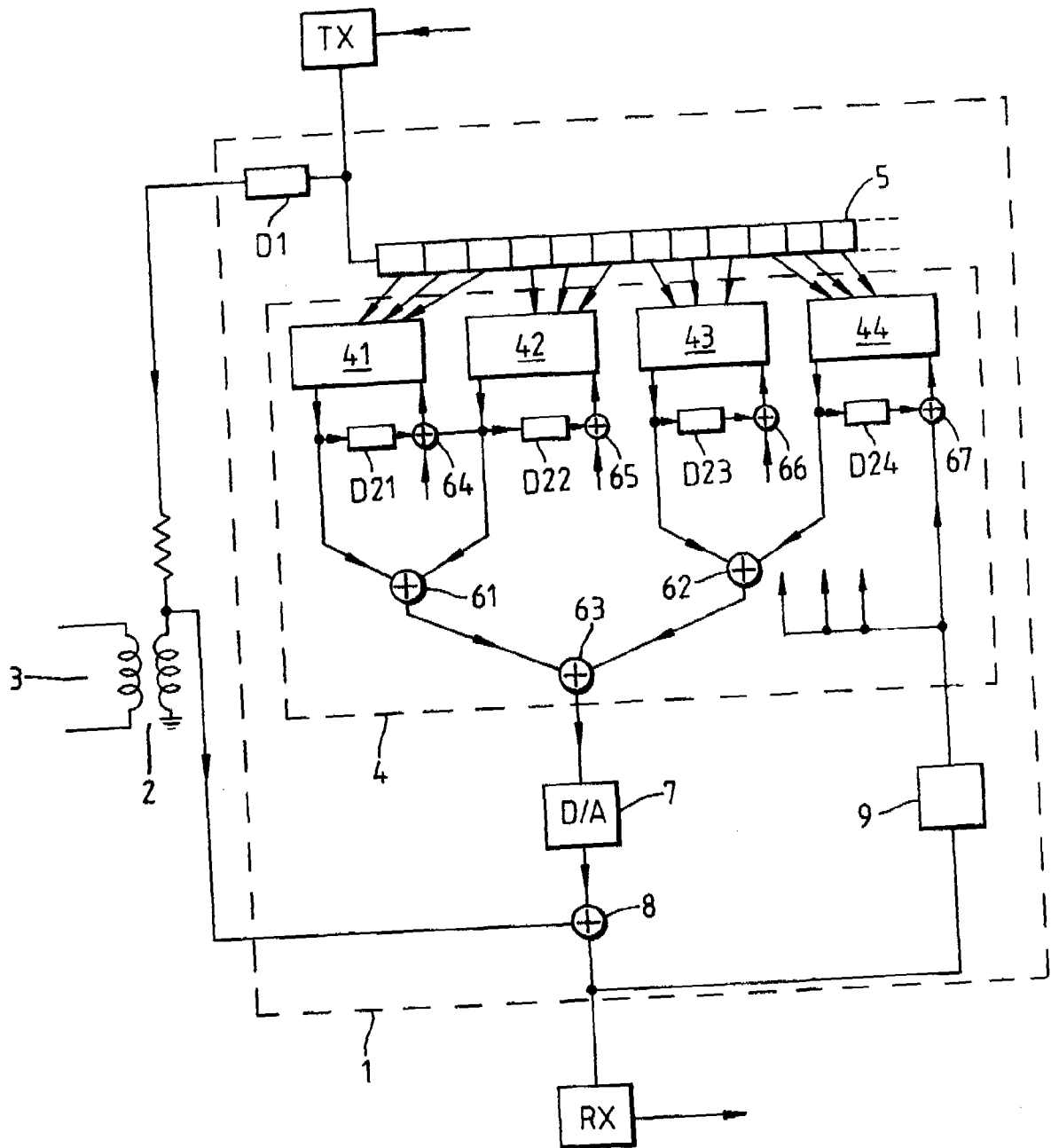


Fig.2

