

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4077111号
(P4077111)

(45) 発行日 平成20年4月16日 (2008. 4. 16)

(24) 登録日 平成20年2月8日 (2008. 2. 8)

(51) Int. Cl.

F I

H O 4 N 1/00 (2006. 01)

H O 4 N 1/00 1 O 6 C

H O 4 L 12/423 (2006. 01)

H O 4 L 12/423

請求項の数 5 (全 21 頁)

(21) 出願番号 特願平11-116083
 (22) 出願日 平成11年4月23日 (1999. 4. 23)
 (65) 公開番号 特開2000-307789 (P2000-307789A)
 (43) 公開日 平成12年11月2日 (2000. 11. 2)
 審査請求日 平成17年8月30日 (2005. 8. 30)

(73) 特許権者 591044164
 株式会社沖データ
 東京都港区芝浦四丁目11番22号
 (74) 代理人 100082050
 弁理士 佐藤 幸男
 (74) 代理人 100102923
 弁理士 加藤 雄二
 (72) 発明者 川村 康文
 東京都港区芝浦四丁目11番地22号 株
 式会社 沖データ内

審査官 渡辺 努

最終頁に続く

(54) 【発明の名称】 機器用制御回路

(57) 【特許請求の範囲】

【請求項 1】

信号線、制御線及びクロック信号線のそれぞれにより直列に接続されている複数のセンサ基板と、最前段の前記センサ基板の入力側と前記制御線及び前記クロック信号線により接続され、最後段の前記センサ基板の出力側と前記信号線により接続され、前記クロック信号線にクロック信号を出力する主制御基板とを備え、前記複数のセンサ基板はそれぞれ前記信号線を介して検出信号を出力するセンサを有する機器用制御回路において、

前記複数のセンサ基板のひとつは、前段のセンサ基板からの検出信号を受信するために必要な時間に対応させたセンサ有効信号を該前段のセンサ基板から前記制御線を介して受信すると、該センサ有効信号を自己の検出信号の出力時間分だけ伸長して後段のセンサ基板に前記制御線を介し前記クロック信号に基づき出力する伸長回路と、前段のセンサ基板からの前記センサ有効信号の受信時間内で該前段のセンサ基板からの検出信号を前記信号線を介して受信し、かつ該検出信号に自己の検出信号を付加して成る検出信号列を前記伸長したセンサ有効信号の出力時間内で前記信号線を介して後段のセンサ基板に前記クロック信号に基づき出力する信号列出力回路とを有し、

前記主制御基板は、最前段の前記センサ基板に前記制御線を介して初期のセンサ有効信号を出力し、かつ最後段の前記センサ基板から前記全てのセンサ基板からの検出信号を含む検出信号列を前記信号線を介して取り込む、

ことを特徴とする機器用制御回路。

【請求項 2】

10

20

請求項 1 に記載の機器用制御回路において、
前記複数のセンサ基板のいずれかのセンサ基板は、アナログセンサを搭載し、
前記主制御基板は、前記取り込むべき検出信号列をデジタル信号に変換するアナログ・デジタル変換器を備えたことを特徴とする機器用制御回路。

【請求項 3】

請求項 1 に記載の機器用制御回路において、
前記主制御基板は、
前記複数のセンサ基板から取り込んだ少なくとも前回の検出信号列を記憶する状態情報メモリ部と、

今回の前記検出信号列と前記状態情報メモリ部に記憶された前回の検出信号列とを比較して一致、不一致を判定するセンサチェック回路部とを備え、

前記主制御基板の制御部は、前記センサチェック回路部が不一致と判定すると今回の検出信号列に基づく制御を行うことを特徴とする機器用制御回路。

【請求項 4】

請求項 1 に記載の機器用制御回路において、
前記センサ基板は、一方の面に前記センサを搭載し、他方の面に制御回路を集積したペアチップを搭載した集積回路基板であることを特徴とする機器用制御回路。

【請求項 5】

請求項 1 に記載の機器用制御回路において、
前記センサ基板の入力側に入力インピーダンス調整用のターミネータを備えたことを特徴とする機器用制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ファクシミリ、プリンタ等の情報機器に用いられる制御回路に関する。

【0002】

【従来の技術】

ファクシミリ、プリンタ等、情報機器は、その内部に、機器制御用の各種センサ、各種スイッチ等を多数備えている。例えば記録紙や原稿の有無を検出するセンサや、走行位置検出に利用される反射型センサ等がある。

上記の情報機器内部で、多数のセンサ、スイッチは、入出力ポートの入力端子に 1 対 1 に並列に接続され、更に、この入出力ポートを介して CPU (Central Processing Unit) に接続されていた。

【0003】

【発明が解決しようとする課題】

ところで、上記のような従来の技術には、次のような解決すべき課題があった。
多数のセンサ、スイッチは、入出力ポートの入力端子に 1 対 1 に並列に接続されていたため、機器内配線に用いられるケーブルの総使用量は、大量になっていた。それに伴って、機器内部の配線設計の難しさ、機器組立工数の増大、故障時における故障個所周辺に配線されたケーブルによる作業妨害等の弊害が発生していた。

【0004】

【課題を解決するための手段】

本発明は以上の点を解決するため次の構成を採用する。

構成 1

信号線、制御線及びクロック信号線により直列に接続されている複数のセンサ基板と、最前段の上記センサ基板の入力側と上記制御線及び上記クロック信号線により接続され、最後段の上記センサ基板の出力側と上記信号線により接続され、上記クロック信号線にクロック信号を出力する主制御基板とを備え、上記複数のセンサ基板はそれぞれ上記信号線を介して検出信号を出力するセンサを有する機器用制御回路において、上記複数のセンサ基板のひとつは、前段のセンサ基板からの検出信号を受信するために必要な時間に対応さ

10

20

30

40

50

せたセンサ有効信号を該前段のセンサ基板から上記制御線を介して受信すると、該センサ有効信号を自己の検出信号の出力時間分だけ伸長して後段のセンサ基板に上記制御線を介し上記クロック信号に基づき出力する伸長回路と、前段のセンサ基板からの上記センサ有効信号の受信時間内で該前段のセンサ基板からの検出信号を上記信号線を介して受信し、かつ該検出信号に自己の検出信号を付加して成る検出信号列を上記伸長したセンサ有効信号の出力時間内で上記信号線を介して後段のセンサ基板に上記クロック信号に基づき出力する信号列出力回路とを有し、上記主制御基板は、最前段の上記センサ基板に上記制御線を介して初期のセンサ有効信号を出力し、かつ最後段の上記センサ基板から上記全てのセンサ基板からの検出信号を含む検出信号列を上記信号線を介して取り込むことを特徴とする機器用制御回路。

10

【 0 0 0 5 】

構成 2

構成 1 に記載の機器用制御回路において、上記複数のセンサ基板のいずれかのセンサ基板は、アナログセンサを搭載し、上記主制御基板は、上記取り込むべき検出信号列をデジタル信号に変換するアナログ・デジタル変換器を備えたことを特徴とする機器用制御回路。

【 0 0 0 6 】

構成 3

構成 1 に記載の機器用制御回路において、上記主制御基板は、上記複数のセンサ基板から取り込んだ少なくとも前回の検出信号列を記憶する状態情報メモリ部と、今回の上記検出信号列と上記状態情報メモリ部に記憶された前回の検出信号列とを比較して一致、不一致を判定するセンサチェック回路部とを備え、上記主制御基板の制御部は、上記センサチェック回路部が不一致と判定すると今回の検出信号列に基づく制御を行うことを特徴とする機器用制御回路。

20

【 0 0 0 7 】

構成 4

構成 1 に記載の機器用制御回路において、上記センサ基板は、一方の面に上記センサを搭載し、他方の面に制御回路を集積したベアチップを搭載した集積回路基板であることを特徴とする機器用制御回路。

【 0 0 0 8 】

構成 5

構成 1 に記載の機器用制御回路において、上記センサ基板の入力側に入力インピーダンス調整用のターミネータを備えたことを特徴とする機器用制御回路。

30

【 0 0 0 9 】

【 発明の実施の形態 】

以下、本発明の実施の形態を具体例を用いて説明する。

具体例 1 の構成

図 1 は、具体例 1 の構成のブロック図である。

具体例 1 による機器用制御回路は、主制御基板 1 と、N 個のセンサ基板 2 と、機器内直列配線 3 を備える。更に主制御基板 1 は、制御部 4 と、入出力ポート部 5 を備える。

40

図に示すように主制御基板 1 の内部で、制御部 4 と、入出力ポート部 5 はバスで接続されている。センサ基板 2 [1] ~ センサ基板 2 [N] は、それぞれ順番に機器内直列配線 3 によって直列に接続される。ここで [1] ~ [N] は、それぞれ機器内直列配線 3 によって直列に接続される接続順を表している。

【 0 0 1 0 】

この直列に接続されたセンサ基板 2 [1] ~ センサ基板 2 [N] の先端部と後端部は、それぞれ入出力ポート部 5 の出力端子及び入力端子にそれぞれ接続される。主制御基板 1 は、内部に制御部 4 と、入出力ポート部 5 を備え、機器用制御回路の制御を受け持つ基板である。

制御部 4 は、機器用制御回路全体を制御する CPU である。上記直列に接続されたセンサ

50

基板 2 [1] ~ センサ基板 2 [N] に対して、センサの状態読み取り開始を指示するセンサ読み取り起動信号 S o を送出する部分である。

更に、上記直列に接続されたセンサ基板 2 [1] ~ センサ基板 2 [N] から、それぞれのセンサ状態を示すセンサ出力信号を受け入れて必要な制御動作を実行する部分でもある。

【 0 0 1 1 】

入出力ポート部 5 は、制御部 4 から制御信号（センサ読み取り起動信号等）を受け入れてセンサ基板 2 [1] ~ センサ基板 2 [N] へ転送し、センサ基板 2 [1] ~ センサ基板 2 [N] から受け入れたデータ（センサ出力信号等）を制御部 4 へ転送する部分である。

センサ基板 2 [1] ~ センサ基板 2 [N] は、内部にセンサと、センサ制御回路を備え、記録紙や原稿の有無等を検出する部分である。図を用いて、その構成について詳細に説明する

10

【 0 0 1 2 】

図 2 は、センサ基板の回路構成図である。

センサ基板 2 は、センサ 1 1 と、フリップフロップ A と、フリップフロップ B と、バッファ A と、バッファ B と、バッファ C と、インバータ A と、インバータ B と、インバータ C と、オアゲート A と、オアゲート B と、アンドゲート A と、アンドゲート B を備える。

【 0 0 1 3 】

センサ 1 1 は、機器内部の各種特性を検出してその状態を示すセンサ出力信号 S s をアンドゲート A へ送出する部分である。

フリップフロップ A とフリップフロップ B とオアゲート A は、機器内直列配線 3 によって直列に接続される前段のセンサ基板 2 からクロック信号 C L K と、自己の基板内部で自己の基板に搭載されているセンサ 1 1 の状態が読み取りできる状態であることを示すセンサ有効信号 S a をそれぞれインバータ A とバッファ B を介して受け入れる。受け入れたセンサ有効信号 S a の有効期間を 1 クロック分伸張して次段のセンサ基板 2 へ送出する部分である。

20

【 0 0 1 4 】

但し、センサ基板 2 [1] の場合は、主制御基板 1 からクロック信号 C L K とセンサ読み取り起動信号 S o をそれぞれインバータ A とバッファ B を介して受け入れる。受け入れたセンサ読み取り起動信号 S o を 1 クロック分伸張したセンサ有効信号 S a に変換して次段のセンサ基板 2 へ送出する部分である。

30

【 0 0 1 5 】

フリップフロップ A とフリップフロップ B （上記と共用）とインバータ C とアンドゲート B は、上記センサ有効信号 S a の 1 クロック分伸張した期間にセンサゲート信号 S g を生成してアンドゲート A へ送出する部分である。

アンドゲート A は、上記センサゲート信号 S g を受け入れて上記センサ 1 1 の状態を検出してセンサ出力信号 S s をオアゲート B に送出する部分である。

【 0 0 1 6 】

オアゲート B は、バッファ A を介して前段のセンサ出力信号 S s を受け入れて、その後自己のセンサ出力信号 S s を形成して続けて出力して次段のセンサ基板 2 へセンサ出力信号 S s の信号列を送出する部分である。

40

インバータ B は、フリップフロップ A とフリップフロップ B で用いるクロック信号 C L K を反対極性にするためのゲートである。

バッファ C は、段間整合用のゲートである。

次に図を用いて動作について詳細に説明する。

【 0 0 1 7 】

具体例 1 の動作

最初に本具体例の動作の概要について図 1 と図 2 を用いて説明する。

主制御基板 1 （図 1 ）から上記複数のセンサ基板 2 [1] ~ センサ基板 2 [N] （図 1 ）に対して、センサの状態読み取り開始を指示するセンサ読み取り起動信号 S o （図 2 ）と、動作のタイミングを制御するためのクロック信号 C L K （図 2 ）が送出される。この両信号

50

を受け入れた上記複数のセンサ基板 2[1]～センサ基板 2[N](図 1)は、自己の基板内部で自己の基板に搭載されているセンサの状態が読み取りできる状態であることを示すセンサ有効信号 S_a(図 2)を有効にして待機する。

【0018】

上記直列に接続された複数センサ基板の先頭の位置に接続されているセンサ基板 2[1](図 1)は、自己の基板に搭載されたセンサの状態を示すセンサ出力信号 S_s(図 2)を所定の時間前記機器内直列配線 3(図 1)に出力し後端部に接続されている前記主制御基板 1(図 1)に送出した後上記センサ有効信号 S_a(図 2)を無効にして自己のセンサの状態を読み取りできない状態に切り換え、後に続くセンサ読み取り起動信号 S_oを受け入れるまで待機する。

10

【0019】

続いて次の順位にあるセンサ基板 2[2](図 1)は、先頭のセンサ基板 2[1](図 1)がセンサ有効信号 S_a(図 2)を無効にしたことを検出した後、自己の基板に搭載されたセンサの状態を示すセンサ出力信号 S_s(図 2)を所定の時間、上記機器内直列配線 3(図 1)に出力し、後端部に接続されている前記主制御基板 1(図 1)に送出した後上記センサ有効信号 S_a(図 2)を無効にして自己のセンサの状態を読み取りできない状態に切り換え、後に続くセンサ読み取り起動信号 S_oを受け入れるまで待機する。

【0020】

続いて次の順位にあるセンサ基板 2[3](図 1)から最後の順位にあるセンサ基板 2[N](図 1)まで、同様の動作を順番に繰り返す。以上の結果、主制御基板 1(図 1)は、直列に接続されている複数のセンサ基板の全てからそれぞれ接続順にしたがって各々のセンサ基板に搭載されているセンサの状態を示すセンサ出力信号 S_s(図 2)を得ることができる。

20

以下、具体例 1 の動作の詳細について説明する。

【0021】

図 3 は、具体例 1 の動作説明図である。

(1) は、クロック信号 CLK を表している。

(2) は、反転クロック信号 (-) CLK を表している。

(3) は、センサ基板 2[1]のセンサ読み取り起動信号 S_oを表している。

(4) は、センサ基板 2[1]のフリップフロップ A の D₁ 入力を表している。

30

【0022】

(5) は、センサ基板 2[1]のフリップフロップ A の Q₁ 出力を表している。(6) は、センサ基板 2[1]のフリップフロップ B の Q₂ 出力を表している。

(7) は、センサ基板 2[1]のセンサ有効信号 S_{a1}を表している。

(8) は、センサ基板 2[1]のセンサゲート信号 S_{g1}を表している。

(9) は、センサ基板 2[1]のセンサ出力信号 S_{s1}を表している。

【0023】

(10) は、センサ基板 2[2]のフリップフロップ A の D₁ 入力を表している。

(11) は、センサ基板 2[2]のフリップフロップ A の Q₁ 出力を表している。

(12) は、センサ基板 2[2]のフリップフロップ B の Q₂ 出力を表している。

40

(13) は、センサ基板 2[2]のセンサ有効信号 S_{a2}を表している。

(14) は、センサ基板 2[2]のセンサゲート信号 S_{g2}の信号列を表している。

(15) は、センサ基板 2[2]のセンサ出力信号 S_{s2}を表している。

【0024】

(16) は、センサ基板 2[N]のフリップフロップ A の D₁ 入力を表している。

(17) は、センサ基板 2[N]のフリップフロップ A の Q₁ 出力を表している。

(18) は、センサ基板 2[N]のフリップフロップ B の Q₂ 出力を表している。

(19) は、センサ基板 2[N]のセンサ有効信号 S_{aN}を表している。

(20) は、センサ基板 2[N]のセンサゲート信号 S_{gN}を表している。

(21) は、センサ基板 2[1]のセンサ出力信号 S_{s1}～センサ基板 2[N]のセンサ出力

50

信号 $S \leq N$ までの信号列を表している。

(22) は、時刻を表している。(1) ~ (22) まで全てについて縦軸にレベルを横軸に時間をそれぞれ表し、そのタイミングは、一致させてある。

【0025】

図2と図3を用いて具体例1の動作について説明する。

尚、センサ基板2[1](図1)~センサ基板2[N](図1)まで全てのセンサ基板は内部に備えるセンサ11(図2)の機能が異なるのみであり他の構成は全く同様なので、ここでは1枚のセンサ基板の回路構成図(図2)のみを用いて以下の説明を行う。

【0026】

以下、時刻(図3(22))順に沿ってセンサ基板(図2)の回路動作について説明する。最初にセンサ基板2[1]のみに限定して説明する。

10

【0027】

*時刻T1

主制御基板1(図1)の制御部4(図1)から入出力ポート部5(図1)及び機器内直列配線3(図1)を介してセンサ読み取り起動信号 S_o (図3(3))がセンサ基板2[1]に送出される。この S_o はバッファB(図2)を通してフリップフロップA(図2)のD1入力とオアゲートA(図2)に送られる。その結果D1入力とセンサ有効信号 S_a1 がオンになる(図3の(4)と(7))。

【0028】

*時刻T2

20

フリップフロップA(図2)がインバータA(図2)を通った反転クロック信号(-)CLK(図3(2))を受け入れて、その立ち上がり部分でD1入力(図3(4))を読み取ってQ1に出力する。その結果Q1出力がオンする(図3(5))。このQ1出力がそのままフリップフロップB(図2)のD2入力に転送される。

【0029】

*時刻T3

フリップフロップB(図2)がインバータA(図2)及びインバータB(図2)を通ったクロック信号CLK(図3(1))を受け入れて、その立ち上がり部分でQ1出力(図3(5))を読み取ってQ2に出力する。その結果Q2出力がオンする(図3(6))。このQ2出力がそのままアンドゲートB(図2)とオアゲートA(図2)に転送される。一方上記センサ読み取り起動信号 S_o がこの時点でオフになる(図3(3))。その結果アンドゲートB(図2)はオンになってセンサゲート信号 S_g をアンドゲートA(図2)に向けて送出する(図3(8))。このセンサゲート信号 S_g を受け入れたアンドゲートA(図2)は、オンになってセンサ出力信号 S_s1 を出力する(図3(9))。このセンサ出力信号 S_s1 は、オアゲートB(図2)を通して次段のセンサ基板2[2](図1)へ送出される。

30

【0030】

*時刻T4

フリップフロップA(図2)がインバータA(図2)を通った反転クロック信号(-)CLK(図3(2))を受け入れて、その立ち上がり部分でD1入力(図3(4))を読み取ってQ1に出力する。その結果Q1出力がオフする(図3(5))。

40

【0031】

*時刻T5

フリップフロップB(図2)がインバータA(図2)及びインバータB(図2)を通ったクロック信号CLK(図3(1))を受け入れて、その立ち上がり部分でQ1出力(図3(5))を読み取ってQ2に出力する。その結果Q2出力がオフする(図3(6))。この時点でオアゲートA(図2)の入力は全てオフになるのでオアゲートA(図2)は、オフしてセンサ有効信号 S_a1 (図3(7))を無効にして次段のセンサ基板2[2](図1)へ送出する。同時にアンドゲートB(図2)もオフするのでセンサゲート信号 S_g1 (図3(8))もオフする。その結果センサ出力信号 S_s1 (図3(9))もオフする。

50

【 0 0 3 2 】

続いてセンサ基板 2 [2] の動作について説明する。

センサ基板 2 [2] のセンサ基板は内部に備えるセンサ 1 1 (図 2) の機能が異なるのみで、他の構成はセンサ基板 2 [1] と全く同様なので再度図 2 と図 3 を用いて説明する。

【 0 0 3 3 】

* 時刻 T 1

主制御基板 1 (図 1) の制御部 4 (図 1) から入出力ポート部 5 (図 1) 及び機器内直列配線 3 (図 1) を介してセンサ読み取り起動信号 S o (図 3 (3)) がセンサ基板 2 [1] を通過してセンサ基板 2 [2] に送出される。この S o はバッファ B (図 2) を通ってフリップフロップ A (図 2) の D 1 入力とオアゲート A (図 2) に送られる。その結果 D 1 入力とセンサ有効信号 S a 2 がオンになる (図 3 の (1 0) と (1 3)) 。

10

【 0 0 3 4 】

* 時刻 T 2

フリップフロップ A (図 2) がインバータ A (図 2) 通った反転クロック信号 (-) C L K (図 3 (2)) を受け入れて、その立ち上がり部分で D 1 入力 (図 3 (1 0)) を読み取って Q 1 に出力する。その結果 Q 1 出力がオンする (図 3 (1 1)) 。この Q 1 出力がそのままフリップフロップ B (図 2) の D 2 入力に転送される。

【 0 0 3 5 】

* 時刻 T 3

フリップフロップ B (図 2) がインバータ A (図 2) 及びインバータ B (図 2) を通ったクロック信号 C L K (図 3 (1)) を受け入れて、その立ち上がり部分で Q 1 出力 (図 3 (1 1)) を読み取って Q 2 に出力する。その結果 Q 2 出力がオンする (図 3 (1 2)) 。この Q 2 出力がそのままアンドゲート B (図 2) とオアゲート A (図 2) に転送される。一方上記センサ読み取り起動信号 S o がこの時点でオフになる (図 3 (3)) 。この時点で上記センサ基板 2 [1] ではアンドゲート B (図 2) はオンになってセンサゲート信号 S g をアンドゲート A (図 2) に向けて送出した (図 3 (8)) 。しかしセンサ基板 2 [2] では、センサ基板 2 [1] (図 1) から受け入れているセンサ有効信号 S a 1 (図 3 (7)) がまだ有効なのでアンドゲート B は、オフ状態なのでセンサゲート信号 S g をアンドゲート A (図 2) に向けて送出することはない。

20

【 0 0 3 6 】

* 時刻 T 4

変化なし。

* 時刻 T 5

センサ基板 2 [1] (図 1) から受け入れているセンサ有効信号 S a 1 (図 3 (7)) が、この時点でオフになりフリップフロップ A (図 2) の D 1 入力 (図 3 (1 0)) がオフになる。その結果アンドゲート B (図 2) はオンになってセンサゲート信号 S g 2 をアンドゲート A (図 2) に向けて送出する (図 3 (1 4)) 。このセンサゲート信号 S g 2 を受け入れたアンドゲート A (図 2) は、オンになってセンサ出力信号 S s 2 を出力する (図 3 (1 5)) 。このセンサ出力信号 S s 2 は、オアゲート B (図 2) を通って上記センサ出力信号 S s 1 と共にセンサ出力信号列を形成して次段のセンサ基板 2 [3] (図 1) へ送出される。

30

40

【 0 0 3 7 】

* 時刻 T 6

フリップフロップ A (図 2) がインバータ A (図 2) を通った反転クロック信号 (-) C L K (図 3 (2)) を受け入れて、その立ち上がり部分で D 1 入力 (図 3 (1 0)) を読み取って Q 1 に出力する。その結果 Q 1 出力がオフする (図 3 (1 1)) 。

【 0 0 3 8 】

* 時刻 T 7

フリップフロップ B (図 2) がインバータ A (図 2) 及びインバータ B (図 2) を通ったクロック信号 C L K (図 3 (1)) を受け入れて、その立ち上がり部分で Q 1 出力 (図 3

50

(1 1)) を読み取って Q 2 に出力する。その結果 Q 2 出力がオフする (図 3 (1 2)) 。この時点でオアゲート A (図 2) の入力は全てオフになるのでオアゲート A (図 2) は、オフしてセンサ有効信号 S a 2 (図 3 (1 3)) を無効にして次段のセンサ基板 2 [3] (図 1) へ送出する。

【 0 0 3 9 】

同時にアンドゲート B (図 2) もオフするのでセンサゲート信号 S g 2 (図 3 (1 4)) もオフする。その結果センサ出力信号 S s 2 もオフする。

以上の動作によってセンサの状態を検出する動作がセンサ基板 2 [1] (図 1) からセンサ基板 2 [2] (図 1) を通ってセンサ基板 2 [3] (図 1) へ移行した。以下同様にしてセンサの状態を検出する動作がセンサ基板 2 [N] (図 1) まで接続順に移行する。

10

【 0 0 4 0 】

図 3 の (1 6) ~ (2 1) にその状態を示す。

センサ基板を一枚通過する毎に 1 クロックずつ伸張されたセンサ有効信号 S a N は時刻 T N + 3 で無効になる (図 3 (1 9)) 。この 1 クロック前の時刻 T N + 1 で前段のセンサ有効信号 S a (N - 1) が無効になる (図 3 (1 6) と等価) 。ここで、センサゲート信号 S g N がオンして (図 3 (2 0)) 、センサ出力信号 S s N を出力する。その結果センサ基板 2 [1] ~ センサ基板 2 [N] が出力するセンサ出力信号列 (図 3 (2 1)) を得る。

【 0 0 4 1 】

具体例 1 の効果

以上説明した構成を備えることにより以下の効果を得る。

20

1 . 機器内直列配線を用いてその先端部を主制御基板に接続し、複数のセンサ基板をそれぞれ直列に接続して、後端部を主制御基板に接続する簡便な構成を採用することが可能になり、ケーブルの総使用量を大幅に低減することが可能になる。

2 . 機器内部の配線設計の難しさ、機器組立工数の増大、故障時における故障個所周辺に位置するケーブルによる作業妨害等の弊害が発生するのを防止できる。

【 0 0 4 2 】

3 . 複数のセンサ基板をそれぞれ直列に接続するので、接続されるセンサ基板の数量に制限がなくなる。

4 . 機器内配線に用いられるケーブルが少なくなるので、このケーブルから漏洩する電磁ノイズの発生も少なくなる。

30

【 0 0 4 3 】

具体例 2

具体例 1 では、センサ基板 2 [1] (図 1) ~ センサ基板 2 [N] (図 1) までの回路の組立構造については触れなかった。しかし、具体例 1 によって、機器内配線だけを少なくしても、センサ基板の組立構造が大きければ効果が低減する。そこで具体例 2 では、上記具体例 1 によるセンサ基板を I C 化し、本発明の効果をより一層増大させるために、I C 化センサを構成する。以下に図を用いて詳細に説明する。

【 0 0 4 4 】

図 4 は、フォトインタラプタの構造図 (一例) である。

(a) は、正面図を、(b) は、平面図を、(c) は、側面図を、それぞれ表している。このフォトインタラプタは図 2 の A 部である。

40

【 0 0 4 5 】

(a) よりフォトインタラプタは、内部に備える発光素子 2 0 が発する光線 2 1 を内部に備える受光素子 2 2 が受光する。もし用紙 2 3 等がこの光線 2 1 を遮蔽したとき受光素子が用紙 2 3 の介在検出する。その検出信号をピン 2 5 から出力する。

【 0 0 4 6 】

図 5 は、I C 搭載基板の説明図である。

基板 2 6 は、ガラスエポキシ材料等によって構成される集積回路基板である。基板 2 6 の上に I C 化ベアチップ 2 7 が搭載される。この I C 化ベアチップ 2 7 は、上記具体例 1 に示すセンサ基板の回路 (図 2) の中から A 部を除いた全ての回路素子 I C 化したベアチッ

50

プである。

【 0 0 4 7 】

コネクタ部 2 8 は、ＩＣ化ベアチップ 2 7 からワイアボンディング等によってベアチップと接続される。このＩＣ化センサを機器に電氣的に接続するためのコネクタである。フォトインタラプタ取り付け用スルーホール 2 9 は、上記フォトインタラプタ（図 4）と基板 2 6 とを電氣的に接続する部分である。装置実装用取り付け穴 3 0 は、ＩＣ化センサを機器に機械的に取り付ける部分である。

【 0 0 4 8 】

図 6 は、ＩＣ化センサの斜視図である。

以上説明したフォトインタラプタ（図 4）と、ＩＣ搭載基板（図 5）を結合して具体例 2 によるＩＣ化センサを構成する。図 6 は、その斜視図を示している。

10

【 0 0 4 9 】

具体例 2 の効果

- 1．センサ基板が小型化されるため、機器内配線がより一層容易になり、かつ機器へのセンサ基板の着脱が容易になり機器の保守点検が容易になる。
- 2．センサ基板内の信号線の引き回しが短くなるため機器内に放射される電磁ノイズがより一層低減される。

【 0 0 5 0 】

具体例 3

上記具体例 1 のセンサ基板の回路、あるいは具体例 2 のＩＣ化センサの回路には、通常Ｃ—ＭＯＳ構造のＩＣが用いられる。このＣ—ＭＯＳ構造のＩＣは、入力インピーダンスが大きいため外来ノイズを受け入れ易いという欠点を持っている。

20

具体例 3 では、この欠点の緩和を目的として、入力インピーダンスを調整するためにセンサ基板の入力部に抵抗マトリクスで構成されるターミネータを挿入する。以下に、その詳細について説明する。

【 0 0 5 1 】

図 7 は、具体例 3 のセンサ基板のブロック図である。

図 7 より具体例 3 のセンサ基板は、センサ部 4 1 と、センサ制御回路 4 2 とターミネータ 4 3 とを備える。

センサ部 4 1 は、図 2 に示すセンサ基板の A 部を表している。即ち具体例 2 におけるフォトインタラプタ（図 4）を表している。

30

【 0 0 5 2 】

センサ制御回路 4 2 は、図 2 に示すセンサ基板の内、A 部を除いた全ての回路部分を表している。即ち、具体例 2 におけるＩＣ化ベアチップ 2 7（図 5）を表している。

ターミネータ 4 3 は、入力インピーダンスを調整するための抵抗マトリクスである。図を用いて詳細について説明する。

【 0 0 5 3 】

図 8 は、ターミネータの回路図である。

図 8 より、ターミネータ 4 3 は、抵抗値 R 1、抵抗値 R 2 の行を複数列備える抵抗マトリクスである。この抵抗値 R 1 と抵抗値 R 2 の値は、回路の状況に合わせて任意に設定される。

40

図 8 に示すように、抵抗値 R 1、抵抗値 R 2 の接続点をセンサ制御回路 4 2 の入力線に接続し、他の端部を電源電圧（5 V）、及びアース（GND）に接続する。従って、入力インピーダンスは、 $(R1 \cdot R2) / (R1 + R2)$ に低減される。

【 0 0 5 4 】

その結果、センサ基板 n は、ノイズを受け入れにくくなる。

ここでは、センサ基板 n の入力部分のみに接続した場合について説明したが、必要に応じて出力部分に接続することも可能である（図 7 の一点鎖線部）。

更に、このターミネータ 4 3 をセンサ基板 [N] へ接続した状態について説明する。

【 0 0 5 5 】

50

図 9 は、具体例 3 による IC 化センサの斜視図である。

図 9 に示すように、具体例 2 による IC 化センサ（図 5）のコネクタ部分にターミネータ用コネクタ 4 4 を装着してモジュール化したターミネータ 4 3 を挿入することも可能である。

【 0 0 5 6 】

具体例 3 の効果

以上説明したように、センサ基板の入力部分にターミネータを挿入することにより以下の効果を得る。

1．センサ基板の入力インピーダンスを低下させることができるため外来ノイズからの影響を低減できる。

2．更に、ターミネータをモジュール化して着脱可能な構造にすることによって装置のコストアップを防ぐことができる。

【 0 0 5 7 】

具体例 4 の構成

上記具体例 1 では、制御部 4（図 1）がセンサ基板 2 [1]（図 1）～センサ基板 2 [N]（図 1）までのセンサ出力信号の全てを絶えず監視している。従って制御部 4（図 1）への負荷が過大になる。具体例 4 は、この課題を解決するために以下の構成を備える。

主制御基板に状態情報メモリ部とセンサチェック回路部とを備える。

【 0 0 5 8 】

状態情報メモリ部は、センサ基板 2 [1]～センサ基板 2 [N]までの複数のセンサ基板の監視周期毎のセンサ状態を示すセンサ出力信号列を受け入れて、監視周期毎に記憶する。

センサチェック回路部は、監視周期毎に受け入れたセンサ出力信号列を直前の監視周期で受け入れたセンサ出力信号列と比較して、データの一致、不一致を監視する。不一致を検出したとき割り込み信号を生成して制御部へ送出する。制御部は、この割り込み信号を受け入れたときセンサ出力信号列を受け入れて必要とされている制御を行う。以上の機能を備えるために具体例 4 の制御装置は、以下のように構成される。

【 0 0 5 9 】

図 1 0 は、具体例 4 の構成のブロック図である。

具体例 4 による機器用制御回路は、主制御基板 4 5 と、N 個のセンサ基板 2 と、機器内直列配線 3 を備える。更に主制御基板 4 5 は、制御部 4 と、入出力ポート部 5 と、状態情報メモリ部 4 6 と、センサチェック回路部 4 7 によって構成される。主制御基板 4 5 の内部で、制御部 4 と、入出力ポート部 5 はバスで接続されている。センサ基板 2 [1]～センサ基板 2 [N]は、それぞれ順番に機器内直列配線 3 によって直列に接続される。ここで [1]～[N]は、それぞれ機器内直列配線 3 によって直列に接続される接続順を表している。

【 0 0 6 0 】

この直列に接続されたセンサ基板 2 [1]～センサ基板 2 [N]の先端部と後端部は、それぞれ入出力ポート部 5 の出力端子及び入力端子にそれぞれ接続されている。

主制御基板 4 5 は、内部に制御部 4 と、入出力ポート部 5 と、状態情報メモリ部 4 6 センサチェック回路部 4 7 とを備え、機器用制御回路の制御を受け持つ基板である。

【 0 0 6 1 】

制御部 4 と、入出力ポート部 5 と、機器内直列配線 3 と、センサ基板 2 [1]～センサ基板 2 [N]は、具体例 1 と全く同様なので説明を割愛する。

状態情報メモリ部 4 6 は、センサ基板 2 [N]からセンサ出力信号列を受け入れて一時的に記憶しておくレジスタである。

センサチェック回路部 4 7 は、状態情報メモリ部 4 6 に一時的に記憶されているセンサ出力信号列を受け入れてセンサの状態変化を検出する部分である。更に、センサの状態を検出したとき、その時刻のセンサ出力信号列を制御部 4 へ転送する部分でもある。

【 0 0 6 2 】

以下に状態情報メモリ部 4 6 とセンサチェック回路部 4 7 の構成について図を用いて詳細に説明する。

図 1 1 は、状態情報メモリ部及びセンサチェック回路部のブロック図である。状態情報メモリ部 4 6 は、センサ出力信号記憶部 A とセンサ出力信号記憶部 B とセンサ出力信号記憶部 C によって構成される。

【 0 0 6 3 】

センサ出力信号記憶部 A は、センサ出力信号 $S_s 1 \sim$ センサ出力信号 $S_s N$ までのセンサ出力信号列（図 3 の（ 2 1 ））を後に説明するサンプルクロック生成部 5 2 の出力するセンササンプルクロック $CL S$ に基づいて監視周期毎にセンサ基板 2 [N] から受け入れて一時記憶しておくシフトレジスタである。この監視周期は、制御部 4（図 1 0）が出力するセンサ読み取り起動信号 S_o （図 3 の（ 3 ））によって制御される。

【 0 0 6 4 】

センサ出力信号記憶部 B は、1 監視周期前のセンサ出力信号列を一時記憶しておくシフトレジスタである。また、後に説明する不一致検出・割り込み生成部 5 3 が、センサ出力信号記憶部 A が記憶する最新のセンサ出力信号列と、センサ出力信号記憶部 B が記憶する 1 監視周期前のセンサ出力信号列とを比較して、不一致を検出したとき、その最新のセンサ出力信号列をセンサ出力信号記憶部 A から並列出力で受け入れる。この最新のセンサ出力信号列で自己の記憶する 1 監視周期前のセンサ出力信号列を更新する部分でもある。

【 0 0 6 5 】

センサ出力信号記憶部 C は、上記センサ出力信号記憶部 B が、最新のセンサ出力信号列で置き換えられるときに同時に、自己が記憶しているセンサ出力信号列をこの最新のセンサ出力信号列で更新する部分である。即ちこのセンサ出力信号記憶部 C には、センサ基板 2 [1] ~ センサ基板 2 [N] までの最新のセンサの状態が記憶されている。更に、この更新した最新のセンサ出力列を後に説明する出力データ選択部へ転送する部分でもある。

【 0 0 6 6 】

センサチェック回路部 4 7 は、上限カウンタ部 5 1 と、サンプルクロック生成部 5 2 と、不一致検出・割り込み生成部 5 3 と、R / W 制御部 5 4 によって構成される。上限カウンタ部 5 1 は、センサ基板 2 の数量、即ち予め定められている N の値を制御部 4 から R / W 制御部 5 4 を介して設定されるカウンタである。N の値によってセンサ信号出力列の長さが特定される。更に、後に説明するサンプルクロック生成部 5 2 が生成するサンプルクロックの数量を N の値に限定して設定する部分でもある。このサンプルクロックの数量が N に限定されることによって上記センサ出力信号記憶部 A、センサ出力信号記憶部 B、センサ出力信号記憶部 C の最上桁が N に定まる。

【 0 0 6 7 】

サンプルクロック生成部 5 2 は、センサ出力信号記憶部 A がセンサ出力信号 $S_s 1 \sim$ センサ出力信号 $S_s N$ までのセンサ出力信号列（図 3 の（ 2 1 ））を監視周期毎にセンサ基板 2 [N] から受け入れて一時記憶するときの書き込み信号（以後センササンプルクロック $CL S$ と記す）を生成出力する部分である。反転クロック信号（ - ） CLK （図 3 の（ 2 ））を受け入れて N 個、センサ出力信号列（図 3 の（ 2 1 ））のタイミングに合わせて出力するゲート回路である。このゲート回路のゲートを開くタイミングは、センサ読み取り起動信号 S_o によって制御され、ゲートを閉じるタイミングは、上記上限カウンタ部 5 1 が設定する N によって制御される。

【 0 0 6 8 】

不一致検出・割り込み生成部 5 3 は、サンプルクロック生成部 5 2 の制御に基づいて、監視周期毎にセンサ出力信号記憶部 B に記憶されているセンサ信号出力列とセンサ出力信号記憶部 A が受け入れた最新のセンサ信号出力列を比較してその一致、不一致を調べる比較回路である。もし不一致を検出したとき制御部 4 へ割り込み信号 S_i を出力する部分でもある。

【 0 0 6 9 】

R / W 制御部 5 4 は、制御部 4 の制御に基づいて上限カウンタ部 5 1 に、センサ基板 2 の数量、即ち予め定められている N の値を設定する部分である。更に、制御部 4 の制御に基

10

20

30

40

50

づいてセンサ出力信号記憶部 B とセンサ出力信号記憶部 C と後に説明する出力データ選択部 55 のデータ受け入れタイミングを制御する部分である。

【0070】

出力データ選択部 55 は、不一致検出・割り込み生成部 53 が制御部 4 へ送出する割り込み信号 S_i の一部を受け入れたとき、即ち不一致検出・割り込み生成部 53 が不一致を検出したとき R/W 制御部 54 の制御に基づいてセンサ出力信号記憶部 C から最新のセンサ信号出力列を受け入れて制御部 4 へ転送する部分である。

以上で具体例 4 の構成についての説明を終了して、次に図を用いて具体例 4 の動作について説明する。

【0071】

具体例 4 の動作

図 12 は、具体例 4 の動作説明図である。

(1) は、クロック信号 CLK を表している。

(2) は、センサ基板 2[1] のセンサ読み取り起動信号 S_o を表している。

(3) は、センサ基板 2[N] のセンサ有効信号 S_{aN} を表している。

(4) は、センサ出力信号列 $S_{s1} \sim S_{sN}$ を表している。

(5) は、センササンプルクロック CLS を表している。

(6) は、割り込み信号 S_i を表している。

(7) は、反転クロック信号 (-) CLK を表している。

(8) は、時刻を出力を表している。

(1) ~ (8) まで全てについて縦軸にレベルを横軸に時間をそれぞれ表し全てのタイミングは一致させてある。

【0072】

図 12 を用いて具体例 4 の動作について説明する。

具体例 4 の主制御基板 45 (図 10) の電源スイッチがオンされるとリセット信号 R_s によってセンサ出力信号記憶部 A (図 11)、センサ出力信号記憶部 B (図 11)、センサ出力信号記憶部 C (図 11) が、それぞれ初期化される。同時に、制御部 4 (図 11) によって R/W 制御部 54 に N の値が設定される。R/W 制御部 54 は、上限カウンタ部 51 に、センサ基板 2 の数量 N を設定する。以上の予備動作を経て以下に記す最初の監視周期動作へ移行する。

【0073】

*時刻 T1

サンプルクロック生成部 52 は制御部 4 (図 11) から最初のセンサ読み取り起動信号 S_o (図 12 (2)) を受け入れる。同時にセンサ基板 2[N] (図 10) からセンサ有効信号 S_{aN} (図 12 (3)) を受け入れる。

【0074】

*時刻 T3

センサ読み取り起動信号 S_o (図 12 (2)) がオフする。センサ基板 2[N] (図 10) からセンサ出力信号記憶部 A (図 11) にセンサ出力信号列 $S_{s1} \sim S_{sN}$ (図 12 (4)) が送られてくる。同時にサンプルクロック生成部 52 (図 11) が、ゲート回路のゲートを開く。

【0075】

*時刻 T4

サンプルクロック生成部 52 (図 11) が、センササンプルクロック CLS (図 12 (5)) の出力を開始する。このセンササンプルクロック CLS (図 12 (5)) の立ち上がり部分でセンサ出力信号列 $S_{s1} \sim S_{sN}$ (図 12 (4)) のセンサ出力信号 S_{s1} がセンサ出力信号記憶部 A (図 10) に記憶される。

【0076】

*時刻 T5 ~ 時刻 T_N + 2

同様にサンプルクロック生成部 52 (図 11) が、センササンプルクロック CLS (

10

20

30

40

50

図 1 2 (5)) の出力を上限 N 個に達する (時刻 $T_N + 2$) まで出力し続ける。このセンササンプルクロック CLS (図 1 2 (5)) の立ち上がり部分でセンサ出力信号列 $S_s 1 \sim S_s N$ (図 1 2 (4)) のセンサ出力信号 $S_s 2 \sim$ センサ出力信号 $S_s N$ がセンサ出力信号記憶部 A (図 1 1) に記憶される。

【 0 0 7 7 】

* 時刻 $T_N + 3$

センサ有効信号 $S_a N$ (図 1 2 (3)) とセンササンプルクロック CLS (図 1 2 (5)) がそれぞれオフする。

以上で最初の監視周期の動作説明を終了し、続いて後に続く次の監視周期の動作について説明する。

10

【 0 0 7 8 】

後に続く次の監視周期の動作も最初の監視周期の動作と類似しているので再度図 1 2 を用いて説明する。

* 時刻 T_1

サンプルクロック生成部 5 2 は制御部 4 (図 1 1) から後に続くセンサ読み取り起動信号 S_o (図 1 2 (2)) を受け入れる。同時にセンサ基板 2 [N] (図 1 0) からセンサ有効信号 $S_a N$ (図 1 2 (3)) を受け入れる。

同時に、 R/W 制御部 5 4 を介した制御部 4 の制御によって上記最初の監視周期でセンサ出力信号記憶部 A (図 1 1) に記憶されたセンサ出力信号列 $S_s 1 \sim S_s N$ (図 1 2 (4)) は、そのまま並列データの状態でセンサ出力信号記憶部 B (図 1 0) 及びセンサ出力信号記憶部 C (図 1 1) へ転送される (図 1 2 には記されていない) 。

20

【 0 0 7 9 】

* 時刻 $T_3 \sim$ 時刻 $T_N + 3$

上記最初の監視周期の動作と全く同様の動作によって。センサ基板 2 [N] (図 1 0) からセンサ出力信号記憶部 A (図 1 0) に後に続く次の監視周期のセンサ出力信号列 $S_s 1 \sim S_s N$ (図 1 2 (4)) が記憶される。

【 0 0 8 0 】

* 時刻 $T_N + 3$

センサ有効信号 $S_a N$ (図 1 2 (3)) とセンササンプルクロック CLS (図 1 2 (5)) がそれぞれオフする。

30

同時に不一致検出・割り込み生成部 5 3 (図 1 0) が、センサ出力信号記憶部 A (図 1 1) に記憶された最新のセンサ出力信号列 $S_s 1 \sim S_s N$ とセンサ出力信号記憶部 B (図 1 1) に記憶されている 1 監視周期前の最初の監視周期のセンサ出力信号列 $S_s 1 \sim S_s N$ (図 1 2 (4)) を読み出して比較する。その結果不一致が検出されたとき、不一致検出・割り込み生成部 5 3 (図 1 1) は、割り込み信号 S_i (図 1 2 (6)) を制御部 4 へ送出する。

【 0 0 8 1 】

更に、このとき R/W 制御部 5 4 を介した制御部 4 の制御によって後に続く最新の監視周期のセンサ出力信号列 $S_s 1 \sim S_s N$ (図 1 2 (4)) は、そのまま並列データの状態でセンサ出力信号記憶部 B (図 1 1) 及びセンサ出力信号記憶部 C (図 1 1) へ転送される (図 1 2 には記されていない) 。但し不一致が検出されなかったときは、割り込み信号 S_i (図 1 2 (6)) は送出されない。

40

【 0 0 8 2 】

以下、後に続くセンサ読み取り起動信号 S_o が送出される毎に同様の動作が繰り返される。

その結果監視周期の前後間でセンサ出力信号列 $S_s 1 \sim S_s N$ (図 1 2 (4)) に差が発生した時のみ制御部はセンサ出力信号列 $S_s 1 \sim S_s N$ (図 1 2 (4)) を受け入れて必要とされる対応制御を行うことになる。

尚、センサ出力信号列 $S_s 1 \sim S_s N$ (図 1 2 (4)) を受け入れる時、特定のセンサの出力のみ選択して受け入れることも可能である。

50

【 0 0 8 3 】

更に、説明の都合上具体例 1 による機器用制御回路への適用例のみに限定して説明したが、本具体例の適用例は、かかる例のみに限定されるものではない。即ち、センサ出力信号が、時系列的に続く信号列として出力される機器用制御回路である限りいかなる機器用制御回路であっても適用可能である。

【 0 0 8 4 】

具体例 4 の効果

以上説明したように具体例 4 では、主制御基板にセンサチェック回路部と状態情報メモリ部を備えることにより以下の効果を得る。

1 . 監視周期の前後間でセンサ出力信号列に差が発生した時のみ制御部が、センサ出力信号列を受け入れて、必要とされる対応制御を行うため、制御部の負荷を低減することができる。

10

【 0 0 8 5 】

2 . また、上記構成をハードウェアで構成することによりセンサの状態信号を受け入れ可能な限りにおいて、クロック信号を高速化できる。

3 . 更に、制御部は、上記 N 個のセンサ出力信号列の中から必要なセンサの出力信号のみを選択して受け入れることも可能になるためより一層制御部の負荷を低減することができる。

【 0 0 8 6 】

具体例 5 の構成

20

上記具体例 1 又は具体例 4 では、センサ基板 2 [1] ~ センサ基板 2 [N] に搭載されるセンサをフォトインタラプタ、反射型フォトセンサ等、所謂ディジタル型センサに限定して説明した。

しかし、機器によっては、温度センサ等のアナログセンサが要求される場合もある。

かかる場合に対処するために本具体例による機器制御回路は、以下のように構成される。

【 0 0 8 7 】

図 1 3 は、具体例 5 の構成のブロック図である。

一例として上記具体例 1 に適合させた場合について説明する。

具体例 5 による機器用制御回路は、主制御基板 6 1 と、N 個のセンサ基板 2 と、n 個のアナログセンサ基板と、機器内直列配線 3 を備える。更に主制御基板 1 は、制御部 4 と、入出力ポート部 5 と、A / D 変換器 6 2 を備える。

30

【 0 0 8 8 】

主制御基板 6 1 の内部で、制御部 4 と、入出力ポート部 5 と、A / D 変換器 6 2 はバスで接続されている。センサ基板 2 [1] ~ センサ基板 2 [N]、及びアナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] は、それぞれ順番に機器内直列配線 3 によって直列に接続される。ここで [1] ~ [N]、[a] ~ [n] は、それぞれ機器内直列配線 3 によって直列に接続される接続順を表している。

【 0 0 8 9 】

この直列に接続されたセンサ基板 2 [1] ~ センサ基板 2 [N]、及びアナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] の先端部と後端部は、それぞれ入出力ポート部 5 の出力端子及び入力端子にそれぞれ接続される。

40

主制御基板 6 1 は、内部に制御部 4 と、入出力ポート部 5 と、A / D 変換器 6 2 を備え、機器用制御回路の制御を受け持つ基板である。

【 0 0 9 0 】

制御部 4 は、機器用制御回路全体を制御する CPU である。上記直列に接続されたセンサ基板 2 [1] ~ センサ基板 2 [N]、及びアナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] に対して、センサの状態読み取り開始を指示するセンサ読み取り起動信号 S o を送出する部分でもある。更に、上記、直列に接続されたセンサ基板 2 [1] ~ センサ基板 2 [N]、及びアナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] からそれぞれのセンサ状態を示すセンサ出力信号列 S s 1 ~ S s n を受け入れて必要な制御動作を実行する部分

50

である。

【 0 0 9 1 】

入出力ポート部 5 は、制御部 4 から制御信号（センサ読み取り起動信号等）を受け入れてセンサ基板 2 [1] ~ センサ基板 2 [N] 、及びアナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] へ転送し、センサ基板 2 [1] ~ センサ基板 2 [N] 、及びアナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] から受け入れたデータ（センサ出力信号等）を制御部 4 へ転送する部分である。

【 0 0 9 2 】

センサ基板 2 [1] ~ センサ基板 2 [N] は、内部にフォトインタラプタ等のディジタルセンサと、センサ制御回路を備え、記録紙や原稿の有無等、を検出する部分である。

10

アナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] は、サーミスタ等のアナログセンサと、センサ制御回路を備え、機器内温度等機器内の環境の変化に応じてレベルの異なるセンサ出力を出力する部分である。図を用いて、その構成について詳細に説明する。

【 0 0 9 3 】

図 1 4 は、アナログセンサ基板の回路構成図である。

アナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] は、センサ 6 3 と、アナログスイッチ 6 4 と、アンプ A と、アンプ B と、フリップフロップ A と、フリップフロップ B と、バッファ B と、バッファ C と、インバータ A と、インバータ B と、インバータ C と、オアゲート A と、アンドゲート B を備える。

【 0 0 9 4 】

20

センサ 6 3 は、機器内部の各種特性を測定してその状態を出力レベルの大小で示すセンサ出力信号 S_s をアナログスイッチ 6 4 へ送出する部分である。例えば機器内温度の高低等を出力レベルの大小で示すセンサ出力信号 S_s をアナログスイッチ 6 4 へ送出する部分である。

アナログスイッチ 6 4 は、センサゲート信号 S_g を受け入れて、センサ 6 3 の状態を検出するセンサ出力信号 S_s をアンプ B に送出する部分である。

アンプ A は、前段のセンサ出力信号 S_s を受け入れてアンプ B へ送る段間結合増幅器である。

【 0 0 9 5 】

アンプ B は、アンプ A を介して前段のセンサ出力信号 S_s を受け入れて、その後に自己のセンサ出力信号 S_s を続けて出力し、次段のセンサ基板 2 へセンサ出力信号 S_s の信号列として送出する部分である。尚、アンプ A とアンプ B の合計した増幅率は通常 1 に設定される。

30

上記以外の構成部分は、全て具体例 1 と全く同様なので説明を割愛する。

【 0 0 9 6 】

具体例 5 の動作

図 1 5 は、具体例 5 の動作説明図である。

(1) は、クロック信号 CLK を表している。

(2) は、センサ基板 2 [1] のセンサ読み取り起動信号 S_o を表している。

(3) は、アナログセンサ基板 2 [n] のセンサ有効信号 S_{an} を表している。

40

(4) は、センサ出力信号列 $S_{s1} \sim S_{sn}$ を表している。

(5) は、センササンプルクロック CLS を表している。

(6) は、反転クロック信号 (-) CLK を表している。

(7) は、A / D 変換器出力の 2 の 0 乗の出力を表している。

(8) は、A / D 変換器出力の 2 の 1 乗の出力を表している。

(9) は、A / D 変換器出力の 2 の 2 乗の出力を表している。

(1 0) は、A / D 変換器出力の 2 の 3 乗の出力を表している。

(1 1) は、時刻を表している。

(1) ~ (1 1) まで全てについて縦軸にレベルを横軸に時間を取り、タイミングを一致させてある。

50

【 0 0 9 7 】

具体例 1 の動作との差異のみについて説明する。

具体例 1 の動作との差異は、アナログセンサ基板 2 [n] の出力が A / D 変換器 6 2 (図 1 3) を介して入出力ポート部 5 へ送られる動作のみである。

尚、具体例 1 におけるセンサ出力信号列 $Ss1 \sim SsN$ (図 3 の (2 1)) は 1 又は 0 を示すデジタルシンボルのみであるが、本具体例のセンサ出力信号列 $Ss1 \sim Ssn$ (図 1 5 の (4)) は、レベルの異なる多値シンボルを含んでいる。この差異は以下の通りである。

【 0 0 9 8 】

即ちこの差異は、本具体例には、アナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] が配置されているからに他ならない。尚、このセンサ出力信号列 $Ss1 \sim Ssn$ (図 1 5 の (4)) が生成される動作は具体例 1 の動作と全く同様である。

以下に A / D 変換器 6 2 の動作について説明する。

【 0 0 9 9 】

以下時刻 (図 1 5 (1 1)) 順に沿って A / D 変換器 6 2 (図 1 3) の動作について説明する。説明の都合上センサ基板 2 [1] ~ センサ基板 2 [4] までデジタルセンサを搭載した基板とアナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] までアナログセンサを搭載した基板が直列に接続されているものとする。更に、ここで A / D 変換器 6 2 (図 1 3) は、4 ビットの A / D 変換器が採用されているものとする。

【 0 1 0 0 】

* 時刻 T 3 ~ 時刻 T 1 0

A / D 変換器 6 2 (図 1 3) がアナログセンサ基板 2 [n] からセンサ出力信号列 $Ss1 \sim Ssn$ の受け入れを開始する。同時に受け入れた信号を A / D 変換して、そのデジタルデータを入出力ポート部 5 へ出力をする。 $Ss1 \sim Ss4$ (図 1 5 (4)) までは、上記前提条件からデジタル出力であり、その出力レベルはフルレベルなので A / D 変換器出力 2 (0) (図 1 5 (7))、A / D 変換器出力 2 (1) (図 1 5 (8)) A / D 変換器出力 2 (2) (図 1 5 (9))、A / D 変換器出力 2 (3) (図 1 5 (1 0)) は、それぞれオンになる。時刻 T 3 ~ 時刻 T 1 0 まで同一状態が続く。

【 0 1 0 1 】

* 時刻 T 1 1 ~ 時刻 T N + 1

A / D 変換器 6 2 (図 1 3) は、アナログセンサ基板 2 [n] からセンサ出力信号列 $Ssa \sim Ssn$ を受け入れる。このセンサ出力信号列 $Ssa \sim Ssn$ は、上記前提よりアナログ出力であり、その出力レベルはセンサ 6 3 (図 1 4) の状態に応じてその出力レベルが異なるので A / D 変換器出力 2 (0) (図 1 5 (7))、A / D 変換器出力 2 (1) (図 1 5 (8)) A / D 変換器出力 2 (2) (図 1 5 (9))、A / D 変換器出力 2 (3) (図 1 5 (1 0)) もそれぞれ出力レベルに応じたデータを出力する。

【 0 1 0 2 】

* 時刻 T 1 1

センサ有効信号 $Ssan$ がオフする。同時にセンササンプルクロック CLS は、直列接続されている全てのセンサ基板の枚数分に相当するパルス個数の出力を完了する。以上の結果制御部 4 は、入出力ポート部 5 (図 1 3) を介して A / D 変換器 6 2 (図 1 3) から A / D 変換器出力 2 (1) (図 1 5 (8)) ~ A / D 変換器出力 2 (3) (図 1 5 (1 0)) までの受け入れを完了する。制御部 4 は、これらのデータを受け入れて、必要とされる対応制御を行うことになる。

【 0 1 0 3 】

以上の説明では説明の都合上センサ基板 2 [1] ~ センサ基板 2 [4] と、アナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] をそれぞれ一括して直列接続したが、状況によっては、センサ基板 2 [1] ~ センサ基板 2 [4] と、アナログセンサ基板 2 [a] ~ アナログセンサ基板 2 [n] をそれぞれ入り乱れた状態に接続することも可能である。

【 0 1 0 4 】

10

20

30

40

50

尚、センサ基板 2[1]～センサ基板 2[4]と、アナログセンサ基板 2[a]～アナログセンサ基板 2[n]が、それぞれ入り乱れた状態に接続されていても、制御部 4 に予めその接続状態を認識させておく、等の方法によってアナログデータとデジタルデータの誤認を容易に防止することができる。あるいは、アナログデータとデジタルデータのレベル差を予め設定しておくこと等によっても防止することが可能である。

【0105】

具体例 5 の効果

以上説明したように入出力ポートの前に A/D 変換器を備えることによりセンサ基板にアナログセンサを搭載することも可能になり、本発明による機器用制御回路の応用範囲が拡大する。

10

【図面の簡単な説明】

【図 1】具体例 1 の構成のブロック図である。

【図 2】センサ基板の回路構成図である。

【図 3】具体例 1 の動作説明図である。

【図 4】フォトインタラプタの構造図（一例）である。

【図 5】IC 搭載基板の説明図である。

【図 6】IC 化センサの斜視図である。

【図 7】具体例 3 のセンサ基板のブロック図である。

【図 8】ターミネータの回路図である。

【図 9】具体例 3 による IC 化センサの斜視図である。

20

【図 10】具体例 4 の構成のブロック図である。

【図 11】状態情報メモリ部及びセンサチェック回路部のブロック図である。

【図 12】具体例 4 の動作説明図である。

【図 13】具体例 5 の構成のブロック図である。

【図 14】アナログセンサ基板の回路構成図である。

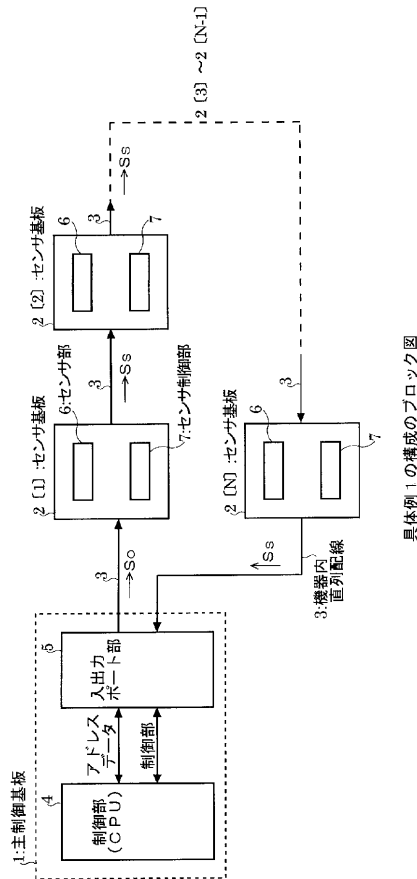
【図 15】具体例 5 の動作説明図である。

【符号の説明】

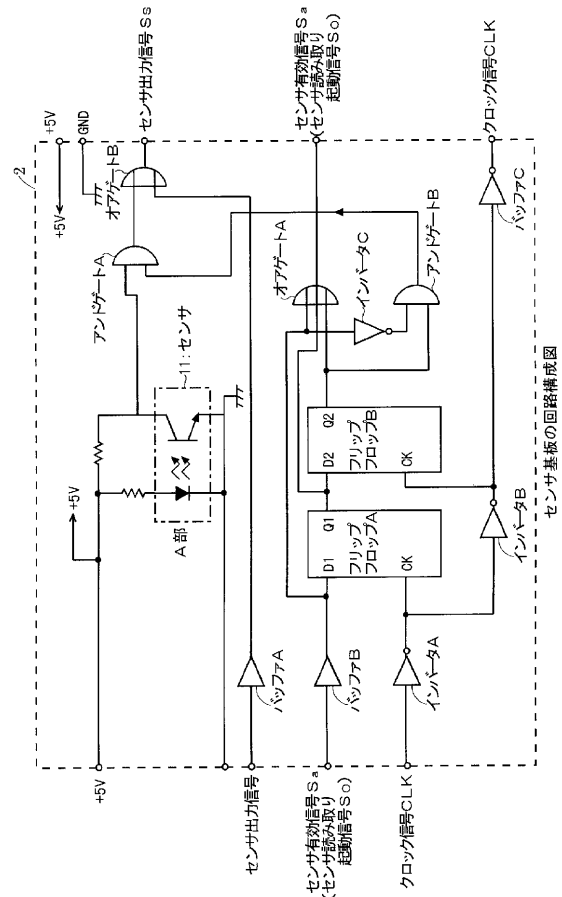
- 1 主制御基板
- 2 センサ基板
- 3 機器内直列配線
- 4 制御部
- 5 入出力ポート部
- 6 センサ部
- 7 センサ制御部

30

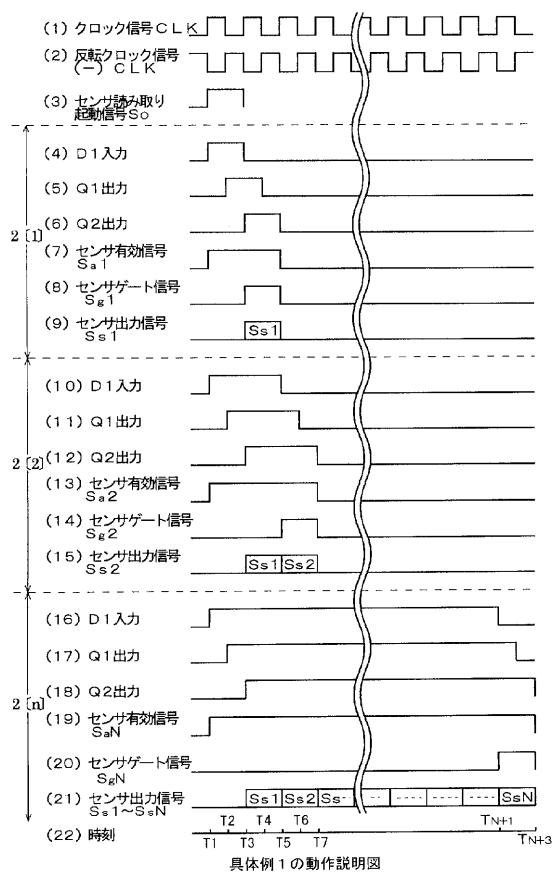
【 図 1 】



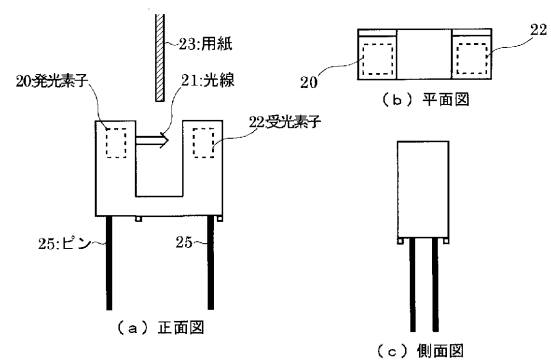
【 図 2 】



【圖 3】

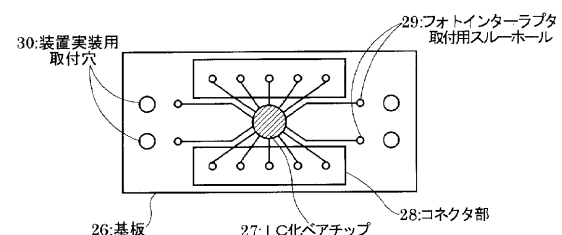


【 図 4 】



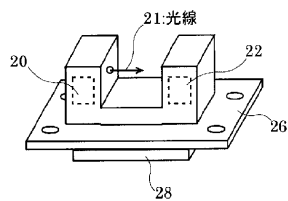
フォトインタラプタの構造図

【 図 5 】



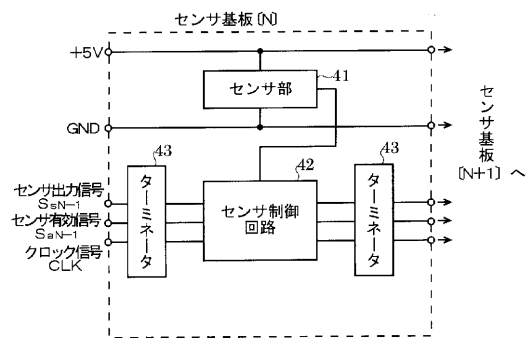
1 C搭載基板の説明図

【圖 6】



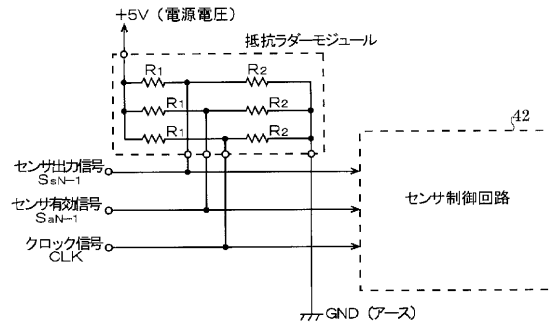
IC化センサの斜視図

【圖 7】



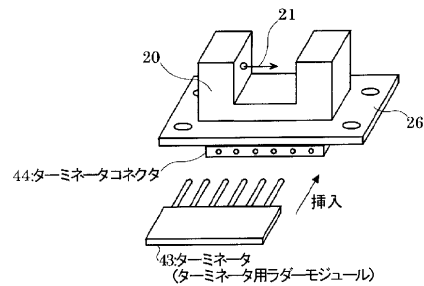
具体例 3 のセンサ基板のブロック図

【 図 8 】



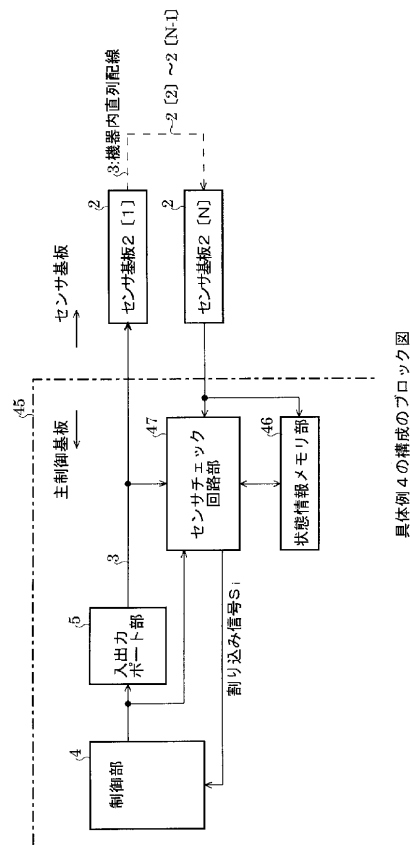
ターミネータの回路例

【圖 9】



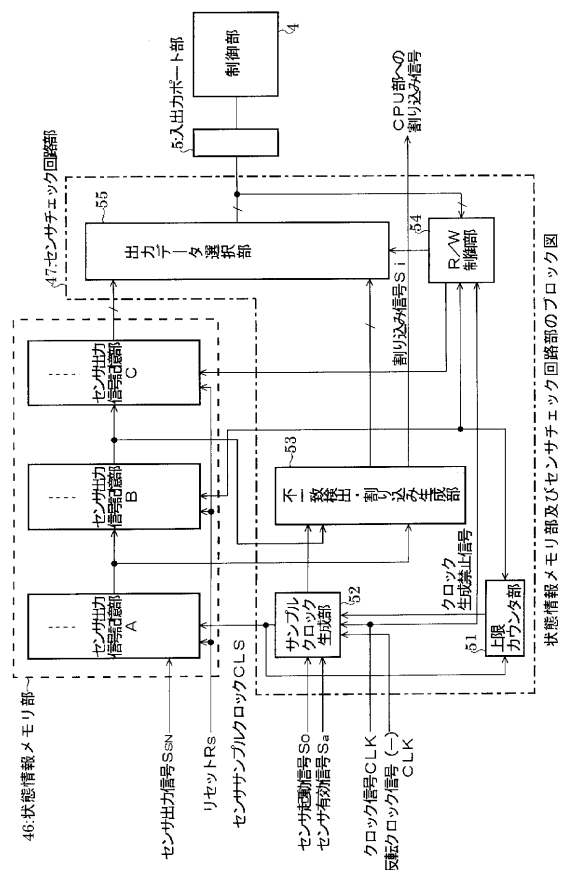
具体例 3 による IC 化センサの斜視図

【 図 1 0 】



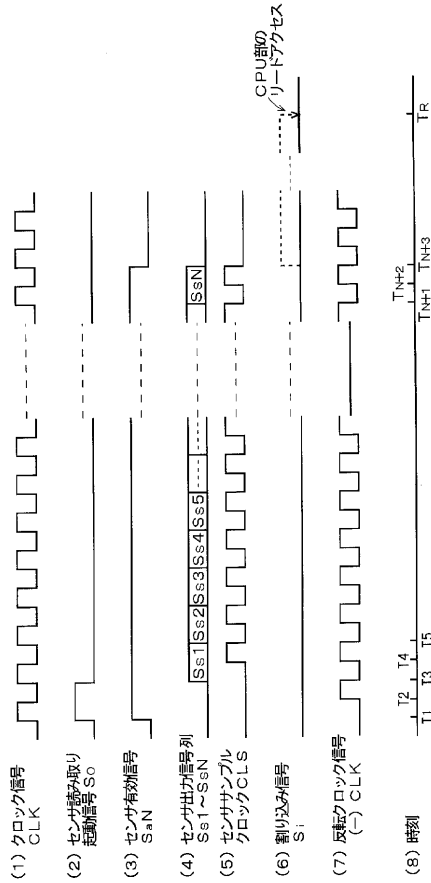
具体例 4 の構成のブロック図

【 図 1 1 】



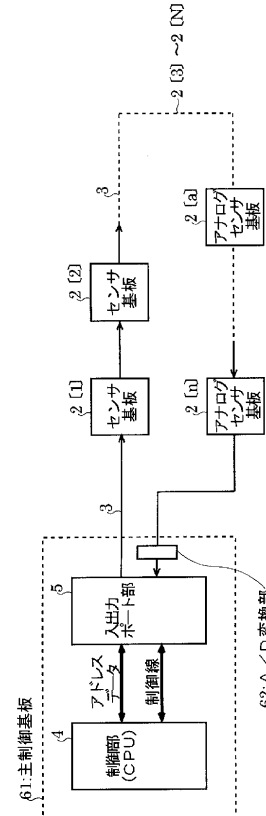
状態情報メモリ部及びセンサチェック回路部のブロック図

【図 1 2】



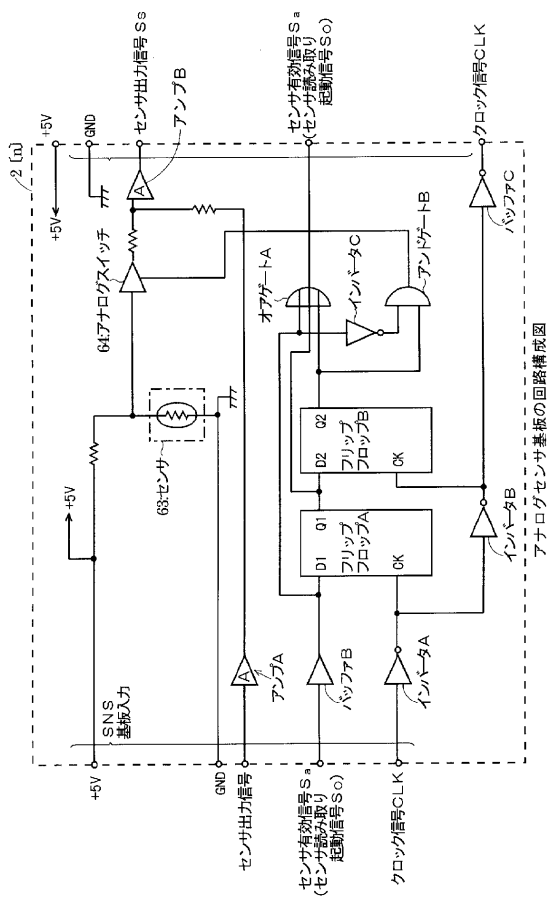
具体例 4 の動作説明図

【図 1 3】

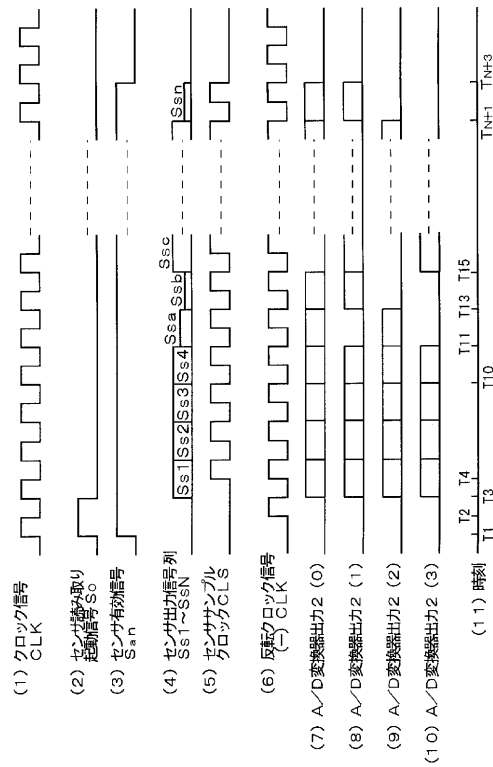


具体例 5 の構成のブロック図

【図 1 4】



【図 1 5】



具体例 5 の動作説明図

フロントページの続き

(56)参考文献 特開平 0 3 - 2 0 5 9 9 8 (J P , A)
特開平 0 2 - 1 1 0 6 9 4 (J P , A)
特開平 0 1 - 1 6 1 4 9 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H04N 1/00

H04L 12/423