

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6886301号
(P6886301)

(45) 発行日 令和3年6月16日 (2021.6.16)

(24) 登録日 令和3年5月18日 (2021.5.18)

(51) Int.Cl.

F I

G 0 6 F 13/28 (2006.01)

H 0 4 N 1/21 (2006.01)

G 0 6 F 13/362 (2006.01)

G 0 6 F 13/28 3 1 0 F

H 0 4 N 1/21

G 0 6 F 13/28 3 1 0 E

G 0 6 F 13/28 3 1 0 G

G 0 6 F 13/28 3 1 0 Y

請求項の数 17 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2017-12541 (P2017-12541)
 (22) 出願日 平成29年1月26日 (2017.1.26)
 (65) 公開番号 特開2018-120490 (P2018-120490A)
 (43) 公開日 平成30年8月2日 (2018.8.2)
 審査請求日 令和2年1月27日 (2020.1.27)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 110003281
 特許業務法人大塚国際特許事務所
 (72) 発明者 合田 淳一
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 新藤 泰士
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 審査官 松平 英

最終頁に続く

(54) 【発明の名称】 メモリアクセスシステム、その制御方法、プログラム、及び画像形成装置

(57) 【特許請求の範囲】

【請求項1】

メモリアクセスシステムであって、

メモリと、

複数の画像処理を実行する画像処理手段と、

原稿を読み取って画像データを生成するスキャナと、

前記スキャナによる画像データの生成に基づく前記メモリへのアクセスを内部バスを介して実行する第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む複数のマスターと、

前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで使用する所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間あたりのデータ量を合計する監視手段と、

前記監視手段によって監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第1マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減する制御手段とを備えることを特徴とするメモリアクセスシステム。

【請求項2】

10

20

前記制御手段は、前記複数の第2マスターによる前記メモリへのアクセスを停止させることにより、アクセスを減少させることを特徴とする請求項1に記載のメモリアクセスシステム。

【請求項3】

前記制御手段は、前記複数の第2マスターに前記メモリへアクセスする際のバースト長を短くさせることにより、アクセスを減少させることを特徴とする請求項1に記載のメモリアクセスシステム。

【請求項4】

前記複数の第2マスターは、非リアルタイムでの前記メモリへのアクセスによるデータ転送を実行するマスターであり、

前記第1マスターは、リアルタイムでの前記メモリへのアクセスによるデータ転送を実行するマスターであることを特徴とする請求項1乃至3の何れか1項に記載のメモリアクセスシステム。

【請求項5】

前記制御手段は、DMA(Direct Memory Access)コントローラであることを特徴とする請求項1乃至4の何れか1項に記載のメモリアクセスシステム。

【請求項6】

前記監視手段は、所定時間あたりの前記監視した複数のデータ量を合計し、

前記所定の条件は、前記所定時間あたりの前記監視した複数のデータ量の前記合計が第1の閾値以上である場合に満たされることを特徴とする請求項1乃至5の何れか1項に記載のメモリアクセスシステム。

【請求項7】

前記制御手段は、

前記複数の第2マスターによる前記メモリへのアクセスを減少させた後に、前記所定時間あたりの前記監視した複数のデータ量の前記合計が前記第1の閾値より低い第2の閾値以下であるか否かを判断し、

前記合計が前記第2の閾値以下であると判断すると、前記複数の第2マスターによる前記メモリへのアクセスを減少させないことを特徴とする請求項6に記載のメモリアクセスシステム。

【請求項8】

前記メモリと前記複数のマスターとの間に、メモリコントローラを有し、

前記メモリコントローラは、前記制御手段から前記メモリへのアクセスを減少させる信号を受け付けることに基づいて前記メモリへのアクセスを減少させることを特徴とする請求項6に記載のメモリアクセスシステム。

【請求項9】

前記メモリと前記複数のマスターとの間に、メモリコントローラを有し、

前記メモリコントローラは、前記制御手段から前記メモリへのアクセスを許可する信号を受け付けることに基づいて前記メモリへのアクセスを減少させないことを特徴とする請求項7に記載のメモリアクセスシステム。

【請求項10】

前記監視手段は、前記メモリと前記複数のマスターの各々の間で、所定時間あたりのデータ量を監視することを特徴とする請求項1乃至9の何れか1項に記載のメモリアクセスシステム。

【請求項11】

前記複数のマスターに対して個別に前記第1の閾値が設けられ、

前記制御手段は、各マスターに割り当てられた前記第1の閾値に基づいて、当該マスターによるメモリへのアクセスを減少させることを特徴とする請求項6に記載のメモリアクセスシステム。

【請求項12】

前記メモリから読み出された画像データに基づいて記録媒体へ画像を形成するプリンタ

10

20

30

40

50

を有し、

前記複数のマスターは、前記プリンタで用いる画像データ読み出すために内部バスを介して前記メモリにアクセスする第3マスターを含み、

前記制御手段は、前記監視手段によって監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第3マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減することを特徴とする請求項1乃至11のいずれか1項に記載のメモリアクセスシステム。

【請求項13】

メモリと、複数の画像処理を実行する画像処理手段と、原稿を読み取って画像データを生成するスキャナと、前記スキャナによる画像データの生成に基づく前記メモリへのアクセスを内部バスを介して実行する第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む複数のマスターとを備えるメモリアクセスシステムの制御方法であって、

監視手段が、前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで
使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間
あたりのデータ量を合計する監視工程と、

制御手段が、前記監視工程で監視された前記複数のマスターの合計のデータ量に関する
所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスター
を、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第
1マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象と
することなく、前記メモリへのアクセスを削減する制御工程と
を含むことを特徴とするメモリアクセスシステムの制御方法。

【請求項14】

メモリと、複数の画像処理を実行する画像処理手段と、原稿を読み取って画像データを生成するスキャナと、前記スキャナによる画像データの生成に基づく前記メモリへのアクセスを内部バスを介して実行する第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む複数のマスターとを備えるメモリアクセスシステムの制御方法における各工程をコンピュータに実行させるためのプログラムであって、前記制御方法は、

監視手段が、前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで
使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間
あたりのデータ量を合計する監視工程と、

制御手段が、前記監視工程で監視された前記複数のマスターの合計のデータ量に関する
所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスター
を、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第
1マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象と
することなく、前記メモリへのアクセスを削減する制御工程と
を実行することを特徴とするプログラム。

【請求項15】

画像形成装置であって、

メモリと、

複数の画像処理を実行する画像処理手段と、

前記メモリから読み出された画像データに基づいて記録媒体へ画像を形成するプリンタと

前記プリンタで用いる画像データを読み出すために内部バスを介して前記メモリにアクセスする第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む

10

20

30

40

50

複数のマスターと、

前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間あたりのデータ量を合計する監視手段と、

前記監視手段によって監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第1マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減する制御手段と、

を備えることを特徴とする画像形成装置。

10

【請求項16】

前記画像処理手段に関わる処理は、非リアルタイムでの前記メモリへのアクセスによるデータ転送を実行し、

前記プリンタに関わる処理は、リアルタイムでの前記メモリへのアクセスによるデータ転送を実行することを特徴とする請求項15に記載の画像形成装置。

【請求項17】

前記制御手段は、前記複数の第2マスターによる前記メモリへのアクセスを停止させることにより、アクセスを減少させることを特徴とする請求項15又は16に記載の画像形成装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、メモリアクセスシステム、その制御方法、プログラム、及び画像形成装置に関するものである。

【背景技術】

【0002】

メモリアクセスシステムを備える現行の画像形成装置には、スキャナ機能、プリンタ機能、コピー機能、ネットワーク機能、及びFAX送受信といった様々な機能を兼備えるデジタル複合機がある。デジタル複合機における機能動作は、通常、コントローラと称される画像入出力制御部により制御されている。

30

【0003】

このようなコントローラでは、コストダウンのためCPU及び上記機能を実現する複数の機能処理部が1つのチップ内に集約されている。さらに、CPUのワークメモリ及び上記機能を実現する画像データ転送を行うためのメインメモリも集約されてきており、メインメモリへのデータアクセス量が非常に増大してきている。メインメモリへのデータアクセス量を増大させる要因には、スキャン性能及びプリント性能の高速化も挙げられる。特に、スキャンやプリントといった処理は、一度動作を開始すると、少なくとも処理中のページの入出力が完了するまでは停止することができないリアルタイム性が要求される処理である。つまり、コントローラとしては、リアルタイム処理が必須な画像処理に対するメインメモリへのアクセスは常に一定の転送帯域を保証しつつ、非リアルタイム処理機能もできる限り平行に動作させることが望ましい。言い換えれば、リアルタイム処理が必須な画像処理に対するメインメモリへのアクセスの転送帯域が保証できなくなる状況が発生しないようにコントローラは制御を行う必要がある。従って、全ての機能を動作させてもメモリ転送性能が十分保証できる高周波数・多ビット幅のメモリを使用し十分なメモリ転送性能を確保する必要がある。

40

【0004】

しかし、高周波数のメモリを使用することはメモリのコストアップ及び消費電力の増加に繋がり、多ビット幅のメモリを使用することはチップのピン数増加によるチップ単価のコストアップに繋がってしまう。そこで、メモリの高周波数化及び多ビット化を抑制しつつ、リアルタイム処理機能のメインメモリへの転送帯域を確保すべく、リアルタイム処理

50

機能部や非リアルタイム処理機能部とメインメモリ間の転送帯域をモニターし、メモリアクセスを制御する発明がある。

【0005】

例えば、特許文献1には、予め設定された転送帯域を超えそうになった場合に非リアルタイム処理機能部からのアクセスを受け付けないように制御する技術が提案されている。これにより、リアルタイム処理部が全て動作しメインメモリの使用メモリ帯域が増大する状態において、非リアルタイム処理部の転送を受け付けないう制御することで帯域を抑制し、リアルタイム処理の転送帯域を保証することが可能となる。

【0006】

また、特許文献2には、リアルタイム処理機能部及び非リアルタイム処理機能部からのデータ転送単位を短くし、転送帯域に応じてそれぞれの処理機能部からのアクセスに対して、短くしたデータ転送単位毎にバス使用权を解放する技術が提案されている。これにより、リアルタイム処理部及び非リアルタイム処理部の転送が同時に起こる場合においても、リアルタイム処理の転送帯域を保証することが可能となる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2014-160341号公報

【特許文献2】特開2009-75942号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上記従来技術には以下に記載する課題がある。例えば、上記従来技術では、メインメモリへのアクセスが集中していない状態でも非リアルタイム処理部の転送帯域がある閾値を超えそうになると転送帯域が抑制されてしまう。また、メインメモリへのアクセスが集中していない状態でも短いデータ転送単位でのバス使用权の解放が行われてしまう。これらの場合には、メインメモリが有するメモリ転送性能を十分に使いきることができない可能性が高い。

【0009】

また、SDRAM等に代表されるメモリは、1つのアドレスを指定するだけで次に続くアドレスのデータを連続して転送するバースト転送によりメモリへの高速データ転送を実現しており、バースト長を長くすることでメモリ転送性能を向上することが可能となる。しかし、メインメモリへアクセスする全ての処理部のバースト長を長くしてしまうと、メインメモリに転送するデータ量が多くなり、各処理部によるメモリバスを占有する時間が大きくなってしまう。

【0010】

本発明は、上述の問題に鑑みて成されたものであり、メモリで使用されている使用メモリ帯域を監視して、メモリが有する転送性能を最大限使用しつつ、リアルタイム処理部の必要帯域を確保するように制御する仕組みを提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、メモリアクセスシステムであって、メモリと、複数の画像処理を実行する画像処理手段と、原稿を読み取って画像データを生成するスキャナと、前記スキャナによる画像データの生成に基づく前記メモリへのアクセスを内部バスを介して実行する第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む複数のマスターと、前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間あたりのデータ量を合計する監視手段と、前記監視手段によって監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記

10

20

30

40

50

複数の第２マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第１マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減する制御手段とを備えることを特徴とする。

【発明の効果】

【００１３】

本発明によれば、メモリで使用されている使用メモリ帯域を監視して、メモリが有する転送性能を最大限使用しつつ、リアルタイム処理部の必要帯域を確保するように制御することができる。

【図面の簡単な説明】

10

【００１４】

【図１】一実施形態に係る画像形成装置のブロック図。

【図２】一実施形態に係るコントローラ部のブロック図。

【図３Ａ】、

【図３Ｂ】一実施形態に係るコントローラ部の画像パス制御を示す図。

【図４】一実施形態に係る帯域例を示す図。

【図５】一実施形態に係る帯域モニターのブロック図。

【図６】一実施形態に係るＤＭＡＣのブロック図。

【図７】一実施形態に係る帯域制御用制御フローチャート。

【図８】一実施形態に係るＤＭＡＣのブロック図。

20

【図９】一実施形態に係るＤＭＡＣのブロック図。

【図１０】一実施形態に係る帯域制御用制御フローチャート。

【図１１Ａ】、

【図１１Ｂ】一実施形態に係るＲＡＭ制御に関するタイミングチャート。

【発明を実施するための形態】

【００１５】

以下に本発明の一実施形態を示す。以下で説明される個別の実施形態は、本発明の上位概念、中位概念及び下位概念など種々の概念を理解するために役立つであろう。また、本発明の技術的範囲は、特許請求の範囲によって確立されるのであって、以下の個別の実施形態によって限定されるわけではない。

30

【００１６】

< 第１の実施形態 >

< 画像形成装置の構成 >

以下では、本発明の第１の実施形態について説明する。まず、図１を参照して、本実施形態に係る画像形成装置１００の構成例について説明する。なお、本実施形態では、メモリアクセスシステムの一例として画像形成装置を例に説明を行う。なお、本発明を画像形成装置に限定する意図はない。即ち、本発明は、以下で説明する特徴的なメモリアクセスシステムを有する装置であれば適用可能である。

【００１７】

画像形成装置１００は、スキャナ部１１０、コントローラ部１２０、操作部１３０、及びプリンタ部１４０を備える。スキャナ部１１０は、原稿画像を光学的に読み取り、画像データに変換する。また、スキャナ部１１０は、原稿を読取るための機能を持つ原稿読取部１１２と、原稿用紙を搬送するための機能を持つ原稿給紙部１１１とを備える。プリンタ部１４０は、記録紙を搬送し、その上に画像データを可視画像として印字して装置外に排出する。プリンタ部１４０は、複数種類の記録紙カセットを持つ給紙部１４２と、画像データを記録紙に転写、定着させる機能を持つ転写定着部１４１と、印字された記録紙をソート、ステイプルして機外へ出力する機能を持つ排紙部１４３とを備える。

40

【００１８】

コントローラ部１２０は、スキャナ部１１０及びプリンタ部１４０と電氣的に接続され、さらにＬＡＮ、ＩＳＤＮ、インターネット／イントラネット等のネットワーク１５０と

50

接続されている。コントローラ部 120 は、スキャナ部 110 を制御して、原稿の画像データを読み込み、プリンタ部 140 を制御して画像データを記録用紙に出力してコピー機能を提供する。

【0019】

また、コントローラ部 120 は、スキャナ部 110 から読み取った画像データを、コードデータに変換し、ネットワーク 150 を介して図示しないホストコンピュータへ送信するスキャナ機能を提供する。さらに、コントローラ部 120 は、ホストコンピュータからネットワーク 150 を介して受信したコードデータを画像データに変換し、プリンタ部 140 に出力するプリンタ機能を提供する。また、コントローラ部 120 は、ISDN からデータを受信してプリントする FAX 受信機能や ISDN へスキャンしたデータを送信する FAX 送信機能を提供する。また、これらスキャンやプリント、FAX 送受信といった処理をジョブと称し、画像形成装置 100 はこれらジョブを操作者からの指示に従って制御・処理するものである。操作部 130 は、コントローラ部 120 に接続され、液晶タッチパネルで構成され、画像形成装置 100 を操作するためのユーザインタフェースを提供する。

10

【0020】

<コントローラ部の構成>

次に、図 2 を参照して、本実施形態に係るコントローラ部 120 の構成例について説明する。コントローラ部 120 に備えられる内部ブロックのそれぞれについて詳細に説明する。

20

【0021】

コントローラ部 120 は、CPU 200、ROMC 210、ROM 211、ネットワーク IF (NW__IF) 220、インターコネクト 230、231、DMAC 240~246、スキャン処理部 250、回転処理部 251、変倍処理部 252、RIP 処理部 253、圧縮処理部 254、伸張処理部 255、プリント処理部 256、MEMC 260、RAM 270、及び帯域モニター 280 を備える。CPU (Central Processing Unit) 200 は、システム全体を制御するプロセッサである。

【0022】

CPU 200 は、RAM 270 に展開された OS や制御プログラムに従ってプリント処理やスキャン処理といったジョブに関わる処理を統括的に制御する。ROMC 210 は、システムのブートプログラムを格納している ROM 211 にアクセスするための制御モジュール (ROM コントローラ) である。画像形成装置 100 の電源が ON されたときに、CPU 200 は ROM コントローラ 210 を介して ROM 211 にアクセスし、CPU 200 がブートする。RAM 270 は CPU 200 が動作するためのシステムワークメモリであり、画像データを一時記憶するための画像メモリでもある。本実施形態では一例として SDRAM で構成されるものとする。

30

【0023】

MEMC 260 は、システムの制御プログラムや画像データが格納される RAM 270 にアクセスするための制御モジュール (Memory コントローラ) である。MEMC 260 は、RAM 270 の設定や制御を行うためのレジスタを備えており、このレジスタは、CPU 200 からアクセス可能である。MEMC 260 の詳細な構成については後述する。

40

【0024】

ネットワーク IF 220 は、ネットワーク 150 に接続し、外部のホストコンピュータと画像データなどの情報の入出力を行う処理部である。インターコネクト 230、231 は、CPU 200 や各処理部と MEMC 260 を接続する。

【0025】

DMAC 240~246 は、メモリアクセス制御手段として機能し、MEMC 260 を介して RAM 270 へアクセスするメモリアクセスマスターとなる DMA (Direct Memory Access) コントローラである。後述する各処理部 250~256

50

と R A M 2 7 0 間のデータ転送を行う。D M A C 2 4 0 ~ 2 4 6 は C P U 2 0 0 により制御され、どのメモリアドレスに対し読み書きをするか、及び D M A 転送を行うタイミングを制御する機能を有する。本実施形態において詳細は後述するが、D M A C 2 4 0 ~ 2 4 6 は、C P U 2 0 0 からの設定により、メモリへの画像転送要求を発行しないよう制御する機能を有する。

【 0 0 2 6 】

以下で説明するスキャン処理部 2 5 0、回転処理部 2 5 1、変倍処理部 2 5 2、R I P 処理部 2 5 3、圧縮処理部 2 5 4、伸張処理部 2 5 5、及びプリント処理部 2 5 6 についても、C P U 2 0 0 によって統括的に制御される。また、各処理部を説明する上で画像データとは、圧縮されていない画像のことを示し、圧縮画像データとは、何らかの圧縮方式で圧縮された画像のことを示す。

10

【 0 0 2 7 】

スキャン処理部 2 5 0 は、C P U 2 0 0 により設定された設定に従い、スキャナ部 1 1 0 から入力される画像データに対し、シェーディング補正処理、M T F 補正処理、入力ガンマ補正やフィルタ処理等の画像処理を行い、D M A C 2 4 0 に画像データを出力する。回転処理部 2 5 1 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 1 から入力される画像データに対し 9 0 度、1 8 0 度、2 7 0 度の回転処理を行い、D M A C 2 4 1 に画像データを出力する。変倍処理部 2 5 2 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 2 から入力される画像データに対し 1 / 2 倍、1 / 4 倍等任意の倍率に変倍し、D M A C 2 4 2 に画像データを出力する。R I P 処理部 2 5 3 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 3 から入力される P D L 画像に対しレンダリング処理を行い、D M A C 2 4 3 に画像データを出力する。

20

【 0 0 2 8 】

圧縮処理部 2 5 4 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 4 から入力される画像データに対し J P E G、J B I G といった画像圧縮処理を行い、D M A C 2 4 4 に圧縮画像データを出力する。伸張処理部 2 5 5 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 5 から入力される J P E G、J B I G のような圧縮画像データに対し伸張処理を行い、D M A C 2 4 5 に伸張後の画像データを出力する。プリント処理部 2 5 6 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 5 から入力される画像データに対し、色空間変換処理、フィルタ処理、ハーフトーン処理等の画像処理を行い、プリンタ部 1 4 0 に画像データを出力する。

30

【 0 0 2 9 】

ここまで説明した D M A C 及びインターコネクタと M E M C 間のバス 2 9 0 ~ 2 9 8 は、標準バスである A X I _ B U S 等で接続されているものとする。

【 0 0 3 0 】

次に、M E M C 2 6 0 の内部構成について説明する。バッファ 2 6 1 ~ 2 6 4 は、各 D M A C 及びインターコネクタからの受信データ、及び、送信データを一時的にバッファリングするバッファである。各バッファ 2 6 1 ~ 2 6 4 は、バス 2 9 0 ~ 2 9 3 で一度にバースト転送可能なバッファサイズを少なくとも有する。また、各バッファ 2 6 1 ~ 2 6 4 は、バス 2 9 0 ~ 2 9 3 の動作周波数とバスコンバータの動作周波数が異なる場合には非同期対応バッファにもなる。バスコンバータ 2 6 5 は、各バッファ 2 6 1 ~ 2 6 4 のアクセス権をラウンドロビンで調停する調停機能と、R A M 2 7 0 へアクセスするためのプロトコルへの変換を行う。

40

【 0 0 3 1 】

帯域モニター 2 8 0 は、バス 2 9 0 ~ 2 9 3 の転送データ量をモニターし、転送データの合計帯域を算出する。合計帯域とは、R A M 2 7 0 に対する使用メモリ帯域を示す。算出した使用メモリ帯域は C P U 2 0 0 から読み出し可能である。また、帯域の閾値を C P U 2 0 0 から設定可能であり、使用メモリ帯域が設定された閾値以上か、或いは合計帯域が設定された閾値以下であることを検知することも可能である。詳細については、図 5 の帯域モニター 2 8 0 の詳細ブロック図を用いて後述する。

50

【 0 0 3 2 】

< 画像バス及びアクセス制御 >

次に、図 3 A 及び図 3 B を参照して、本実施形態における画像バスと、本実施形態を適用した場合に、どのように画像データ転送が抑制されるかについて説明する。ここで、画像バスとは、コントローラ部 1 2 0 内部の画像データの流れることを示す。なお、画像データの送受信や転送に関わる主体は、図 3 A 及び図 3 B に示す矢印を通過する各ブロックとなる。なお、図 3 A には、図 3 (a)、図 3 (b)、及び図 3 (c) が含まれ、図 3 B には、図 3 (d) 及び図 3 (e) が含まれる。

【 0 0 3 3 】

まず、図 3 (a) 乃至図 3 (e) の図を説明する上での前提について説明する。各画像処理部と画像処理部間で画像を転送する場合は、必ず R A M 2 7 0 を介して画像データの転送が行われる。また、各図に示す太い矢印は、リアルタイム処理が必須である画像バス（以下では、リアルタイム画像バスと称する。）を示し、細い矢印は非リアルタイム処理である画像バス（以下では非リアルタイム画像バスと称する。）を示す。本実施形態におけるリアルタイム画像バスは、スキャナ部 1 1 0 から画像データの入力開始され R A M 2 7 0 に画像データを転送するバスと、R A M 2 7 0 に格納された画像データをプリンタ部 1 4 0 に転送するバスである。

【 0 0 3 4 】

スキャナ部 1 1 0 は原稿画像を読み取るため、一度読み出しを開始すると途中で停止することができない。よって、スキャナ部 1 1 0 からコントローラ部 1 2 0 に画像データの10
20
入力が開始されると、コントローラ部 1 2 0 はある一定量の画像データを R A M 2 7 0 に止まることなく転送し続ける必要がある。一方、プリンタ部 1 4 0 は一度プリントを開始すると途中で停止することができない。よって、コントローラ部 1 2 0 は画像データをプリンタ部 1 4 0 に出力開始すると、コントローラ部 1 2 0 から一定量の画像データを常に R A M 2 7 0 から読み出しプリンタ部 1 4 0 に出力する必要がある。このように、ある一定時間で決まった画像データ転送を必ず常に行い続ける必要があるバスがリアルタイム画像バスとなる。

【 0 0 3 5 】

ここから、図 3 (a) 乃至図 3 (e) を参照して、本実施形態における画像バスの例と、本実施形態における R A M 2 7 0 へのデータ転送アクセス競合時の画像転送制御について30
説明する。より具体的には、データ転送アクセス競合時にメモリアクセスが混雑し、R A M 2 7 0 の使用メモリ帯域が、R A M 2 7 0 の実質的な転送帯域を超えそうになった場合の画像データ転送の抑制方法について説明する。

【 0 0 3 6 】

図 3 (a) は、S E N D ジョブを実行する場合の画像バスの例であり、実線の矢印で示される。S E N D ジョブとは、スキャナ部 1 1 0 から読み取った画像データを圧縮し、ネットワーク 1 5 0 上に接続される図示しない P C やサーバに転送するジョブのことである。T 1 で、スキャナ部 1 1 0 から読み取った画像データが R A M 2 7 0 にスプールされる。続いて、T 2 で、T 1 でスプールした画像データが R A M 2 7 0 から圧縮処理部 2 5 4 に転送されて J P E G 等の画像圧縮が行われ、T 3 で圧縮した圧縮画像データが圧縮処理40
部 2 5 4 から R A M 2 7 0 にスプールされる。その後、T 4 で、T 3 でスプールした圧縮画像データが R A M 2 7 0 からネットワーク I F 2 2 0 を介してネットワーク上に転送される。

【 0 0 3 7 】

図 3 (b) は、P D L _ P R I N T ジョブを実行する場合の画像バスの例であり、破線の矢印で示される。P D L _ P R I N T ジョブとは、ネットワーク 1 5 0 上に接続される図示しない P C から、プリント処理を行うための印刷データを受信し、プリンタ部 1 4 0 に出力し印刷するジョブのことである。T 1 0 で、ネットワーク上から P D L データがネットワーク I F 2 2 0 を介して受信され、R A M 2 7 0 にスプールされる。続いて、T 11 で、T 1 0 でスプールされた P D L データが R A M 2 7 0 から R I P 処理部 2 5 3 に転50

送されてレンダリング処理が行われ、T 1 2で画像データがR I P処理部2 5 3からR A M 2 7 0にスプールされる。

【0038】

次に、T 1 3で、T 1 2でスプールされた画像データがR A M 2 7 0から圧縮処理部2 5 4に転送されてJ B I G等の画像圧縮が行われ、T 1 4で圧縮した圧縮画像データが圧縮処理部2 5 4からR A M 2 7 0にスプールされる。続いて、T 1 5で、T 1 4でスプールされた圧縮画像データがR A M 2 7 0から伸張処理部2 5 5に転送されて画像伸張が行われ、T 1 6で伸張した画像データが伸張処理部2 5 5からR A M 2 7 0にスプールされる。T 1 7で、T 1 6でスプールされた画像データがR A M 2 7 0から読み出されてプリンタ部1 4 0に出力される。

10

【0039】

図3(c)は、上記図3(a)と図3(b)に示すS E N DジョブとP D L _ P R I N Tジョブが同時に実行された場合の画像パスの例である。画像パスの説明については図3(a)と図3(b)で説明したため省略する。このようにS E N DジョブとP D L _ P R I N Tジョブが競合した場合には、当然動作する画像パスも増え、R A M 2 7 0へのデータ転送量が増大、つまり使用メモリ帯域が増大する。

【0040】

R A M 2 7 0の使用メモリ帯域が増大しR A M 2 7 0の可能な転送帯域を上回ってしまうと、リアルタイム画像パスであるスキャン画像パス(T 1)とプリント画像パス(T 1 7)が必要な転送帯域が満たせなくなる。このような状況に陥ると、コントローラ部1 2 0のシステムとしては破綻してしまう。従って、このような状況を回避するため、本実施形態では、図3(d)に示すように、R A M 2 7 0における使用メモリ帯域が、当該R A M 2 7 0が可能な転送帯域を上回りそうな場合には、非リアルタイム画像パスのデータ転送を一時停止するよう制御する。具体的には、C P U 2 0帯域モニター2 8 0を使用し、D M A C 2 4 1 ~ 2 4 5を制御することにより実現する。このように制御することにより、コントローラ部1 2 0がシステムとして破綻しないことを保証する。

20

【0041】

また、図3(e)に示すように、R A M 2 7 0で可能な転送帯域がある程度高い場合には、非リアルタイム画像パスの一部のみについては、R A M 2 7 0でアクセスできるようにC P U 2 0 0によって制御することも可能である。本実施形態では、リアルタイム画像パスの必要転送帯域は保証しつつ、S E N Dジョブをできる限り優先して処理する場合を想定した動作である。しかしながら、本発明は、これに限定されず装置の仕様や設定等により他の処理を優先して処理するように制御してもよい。

30

【0042】

< 転送帯域 >

次に、図4を参照して、図3で説明したR A M 2 7 0で可能な転送帯域、及び、スキャン画像パス(T 1)とプリント画像パス(T 1 7)の必要帯域の詳細について説明する。

【0043】

図4(a)はR A M 2 7 0で可能な転送帯域(メモリ帯域)を示す。算出方法は以下の式(1)、

40

メモリ帯域 [M B / s] = メモリ動作周波数 [M H z] * メモリバス幅 [b i t] * メモリ効率 [%] / 8 . . . (1)
となる。

【0044】

ここで、メモリ動作周波数はR A M 2 7 0の動作周波数である。メモリバス幅はM E M C 2 6 0とR A M 2 7 0の間のデータ転送信号のバス幅のb i t数である。メモリ効率は実際のM E M C 2 6 0とR A M 2 7 0の間の転送効率である。転送効率は、R A M 2 7 0へのアクセスパターンにより変化するものである。

【0045】

図4(b)はスキャン画像パス(図3のT 1)の必要帯域を示す。算出方法は以下の式

50

(2)、

スキャン画像パス必要帯域 = (1 ページあたりの画素数 * 1 c o m p o n e n t あたりの b i t 幅 * c o m p o n e n t 数) * (i p m / 6 0) * (1 / 1 - 画像転送以外の割合) / 8 . . . (2)
となる。

【 0 0 4 6 】

ここで、1 ページあたりの画素数は、スキャン対象となる原稿の 1 ページ分の画素数である。例えば、6 0 0 [d p i] の A 4 サイズの画素数は約 3 5 [M p i x e l] となる。C o m p o n e n t (コンポーネント) については、例を挙げて説明する。例えばスキャン処理部 2 5 0 が R A M 2 7 0 に転送する画像データが R G B 画像で 1 色あたりの諧調が 2 5 6 諧調であれば、c o m p o n e n t あたりの b i t 幅は 8 b i t 幅であり、c o m p o n e n t 数は 3 色あるため 3 となる。また、スキャン処理部 2 5 0 が出力する画像データの諧調が 1 0 2 4 諧調であれば c o m p o n e n t あたりの b i t 幅は 1 0 b i t となる。さらに、R G B の画像以外に文字・写真といった画像識別情報を加えて出力する場合は、R G B * 画像識別情報で c o m p o n e n t 数は 4 となる。i p m はスキャナ部 1 1 0 の読み取り性能を示し、1 分間に何枚の原稿をスキャンして読み出せるかを示す。画像転送以外の割合は、スキャナ部 1 1 0 から画像が入力される場合の実際に画像が転送されている以外の時間の割合を示す。

【 0 0 4 7 】

図 4 (c) はプリント画像パス (図 3 の T 1 7) の必要帯域を示す。算出方法は以下の式 (3)、

プリント画像パス必要帯域 = (1 ページあたりの画素数 * 1 c o m p o n e n t あたりの b i t 幅 * c o m p o n e n t 数) * (p p m / 6 0) * (1 / 1 - 画像転送以外の割合) / 8 . . . (3)
となる。

【 0 0 4 8 】

式 (2) との算出方法の違いは、i p m と p p m のみであり、p p m は 1 分間に何枚のシート (記録媒体) にプリントできるかを示す。その他の変数等については式 (2) と同様であるため説明を省略する。

【 0 0 4 9 】

このように、R A M 2 7 0 は、画像形成装置 1 0 0 のスキャン読取速度及びプリント出力速度を少なくとも保証し、かつ、C P U 等が最低限動作可能なメモリ帯域を有するものを選択する必要がある。

【 0 0 5 0 】

具体的に図 4 の例を用いて、スキャン性能が図 4 (b) のスキャン帯域例 2 を前提とし、プリント性能が図 4 (c) のプリント帯域例 4 の前提として説明する。この場合、スキャン処理の必要帯域である 2 3 3 [M B / s] とプリント処理の必要帯域である 9 3 3 [M B / s] とを合わせて 1 1 6 6 [M B / s] がメモリ帯域として最低限必要となる。より詳細には、C P U 2 0 0 等が少なくとも動作できる帯域についても最低保証する必要があるため、メモリ帯域は 1 1 6 6 + [M B / s] が必要となる。は C P U 2 0 0 が使用するメモリ帯域である。

【 0 0 5 1 】

よって、コントローラ部 1 2 0 がスキャン処理とプリント処理を同時に動作可能とする場合は、図 4 (a) に示すメモリ帯域例 1 のメモリ動作周波数が 1 0 6 6 [M H z] のメモリは 1 0 6 6 [M B / s] しか出ないため選択できない。従って、本実施形態においては、少なくとも図 4 (a) のメモリ帯域例 2 のメモリ動作周波数が 1 8 6 6 [M H z] の 1 8 6 6 [M B / s] の性能を有するメモリを選択する必要がある。余りの帯域を非リアルタイム画像パスに割り当て可能であるため、より動作周波数の早いメモリを選択すると、非リアルタイム画像パスも同時に動作できる可能性が高くなる。

【 0 0 5 2 】

10

20

30

40

50

以下では、図3(d)に示す動作を実現するための構成及びフローについて詳細に説明する。

【0053】

<帯域モニターの構成>

次に、図5を参照して、本実施形態に係る帯域モニター280の構成例について説明する。内部ブロックそれぞれについて詳細に説明する。帯域モニター280は、帯域計算部300、帯域閾値設定部310、311、及び帯域閾値検知部320、321を備える。

【0054】

帯域計算部300は、RAM270の使用メモリ帯域を測定するために用いられるものである。具体的には、バス290、291、292、293のデータ転送を帯域計算部300によりモニターし、RAM270の現在の使用メモリ帯域を算出する。帯域計算部300の算出する使用メモリ帯域は、CPU200から読み取り可能である。また、帯域計算部300は、算出した使用メモリ帯域を信号線を介して帯域閾値検知部320、321へ出力する。なお、図5では、バス290～293を概念的に矢印で示しているが、これはバス290～293を帯域モニター280がモニターし、情報を取得していることを示すものである。

10

【0055】

また、図5では、帯域計算部300から各DMACへ算出した使用メモリ帯域を出力している。これは、後述する第2の実施形態における構成であるため、ここでの説明は省略する。

20

【0056】

帯域閾値設定部310、311は、CPU200により帯域の閾値を設定することが可能である。帯域閾値設定部310、311に設定された閾値は、現在の帯域計算部300により計測されたRAM270の現在の使用メモリ帯域との比較に用いられる。

【0057】

帯域閾値検知部320、321は帯域閾値設定部310、311に設定された閾値と、帯域計算部300の算出する現在の使用メモリ帯域を比較し、CPU200に通知する。通知条件はCPU200から設定可能であり、帯域計算部300の算出する使用メモリ帯域が帯域閾値設定部310、311に設定された閾値を超えている場合、或いは帯域閾値設定部310、311に設定された閾値を下回る場合のいずれの条件設定が可能である。この帯域モニター280により、CPU200はRAM270の現在の使用メモリ帯域を知ることが可能となる。なお、本実施形態では、帯域閾値設定部及び帯域閾値検知部は2つしか設けていないが、複数の条件を作りたい場合は、3つ以上を設ける構成でもよい。

30

【0058】

<DMACの構成例>

次に、図6を参照して、本実施形態に係るDMAC241～245の構成例について説明する。内部ブロックそれぞれについて詳細に説明する。DMAC241～245は全てCPU200により制御される。DMAC241～245は、それぞれ送信バッファ400、WRITE__DMAC410、受信バッファ420、READ__DMAC430、及び転送許可設定部450を備える。

40

【0059】

送信バッファ400とWRITE__DMAC410とは、各画像処理部からRAM270にデータを転送(RAM270に書き込み)する場合に使用される。受信バッファ420とREAD__DMAC430とは、RAM270から各画像処理部にデータを転送(RAM270から読み出し)する場合に使用される。

【0060】

送信バッファ400は、各画像処理部から入力されるデータを一時的に保持するバッファである。WRITE__DMAC410はRAM270にデータを書き込むためのデータ転送を行うコントローラである。バースト転送を含め、一度に転送するデータが送信バッファ400に溜まっているかを確認し、溜まっていれば画像データをバス(294～29

50

８）に転送する。

【００６１】

受信バッファ４２０は、READ__DMAC４３０から入力されるデータを一時的に保持するバッファである。受信バッファ４２０にデータが保持されると、各画像処理部にデータの転送を行う。READ__DMAC４３０は、受信バッファ４２０にバースト転送を含め、一度に受信するデータを格納するための空き領域があるかを確認し、空き領域がある場合に読み出し要求をバス（２９４～２９８）に出力し、画像データを受信する。

【００６２】

転送許可設定部４５０は、WRITE__DMAC４１０及びREAD__DMAC４３０のデータ転送を行える状態とするか、データ転送を停止させるかを制御するための設定部
10
で、CPU２００により設定される。WRITE__DMAC４１０及びREAD__DMAC４３０は、転送許可設定部４５０の出力するEnable信号が許可の場合にはデータ転送のリクエストを上げることが可能である。一方、Enable信号が停止の場合にはデータ転送のリクエストを上げることができなくなる。例えば、バス２９４～２９８は本実施形態においてはAXI__BUSであるので、ライトアドレスチャネル及びリードアドレスチャネルからVALID信号をアサートしないよう制御される。

< 処理フロー >

次に、図７を参照して、本実施形態におけるメモリの使用メモリ帯域に応じた帯域抑制方法を制御する処理フローについて説明する。以下で説明する処理は、例えばCPU２０
20
０がROM２１１に格納されている制御プログラムをRAM２７０に読み出して実行することにより実現される。

【００６３】

S１０１で、CPU２００は、帯域モニター２８０で監視している使用メモリ帯域が閾値以上になっていないかを判断する。閾値以上になっていない場合はS１０１の判断を繰り返す。閾値以上になった場合はS１０２に進む。使用メモリ帯域が閾値以上になるかの判断方法は、帯域モニター２８０内の帯域閾値検知部３２０からの通知で検知することができる。本閾値とは、図４（a）に示したメモリ帯域のことであり、帯域閾値設定部
30
３１０、３１１に予め設定されているものである。

【００６４】

S１０２で、CPU２００は、使用メモリ帯域が閾値以上になったため、低優先度の処理用である非リアルタイム画像パスで使用されるDMAC２４１～２４５の転送許可設定部４５０に停止設定を行う。当該停止設定により、DMAC２４１～２４５はデータ転送リクエストを上げないよう動作し、RAM２７０の使用メモリ帯域が下がり、図４（a）に記載のメモリ帯域を超えないよう制御することが可能となる。

【００６５】

S１０３で、CPU２００は、帯域モニター２８０で監視している使用メモリ帯域が閾値以下になっていないかを判断する。閾値以下になっていない場合はS１０３の判断を繰り返す。閾値以下になった場合はS１０４に進む。使用メモリ帯域が閾値以下になるかの判断方法は、帯域モニター２８０内の帯域閾値検知部３２１からの通知で検知する。

【００６６】

S１０４で、CPU２００は、使用メモリ帯域が閾値以下になったため、非リアルタイム画像パスで使用されるDMAC２４１～２４５の転送許可設定部４５０に許可設定を行う。当該許可設定により、DMAC２４１～２４５はデータ転送リクエストを上げることが可能となる。即ち、ここでは、S１０２で行ったメモリへのアクセス制限を解除している。

【００６７】

例えば、帯域閾値設定部３１１に設定する値を図４（a）に記載のメモリ帯域より少し小さい値を設定したとする。この場合、S１０２でDMAC２４１～２４５のデータ転送停止後すぐにS１０３で使用メモリ帯域が閾値以下となり、S１０４でDMAC２４１～
50
２４５がデータ転送を再開するといった処理を繰り返すことになる。また、帯域閾値設定

部 3 1 1 に設定する値を図 4 (a) に記載のメモリ帯域よりかなり小さい値にしたとする。この場合、帯域閾値設定部 3 1 1 に設定する値を図 4 (a) に記載のメモリ帯域より少し小さい値を設定した場合のように、頻繁に転送許可設定部 4 5 0 の設定を行うこともなくなる。

【 0 0 6 8 】

また、本実施形態では閾値は 2 つのみで実現しているが、図 5 の説明にあるように、帯域閾値設定部 3 1 0 及び帯域閾値検知部 3 2 0 を複数設けることも可能である。複数の閾値を用意しておくことで、それぞれの閾値に応じ各 D M A C (2 4 1 ~ 2 4 5) を停止・再開するよう C P U 2 0 0 が制御することで、図 3 (e) に記載の動作を実現することが可能となる。この変形例は、後述する第 2 及び第 3 の実施形態にも適用可能である。

10

【 0 0 6 9 】

より具体的に例を挙げて説明する。例えば、3 つの帯域閾値設定部 3 1 0 を設け、それぞれ 1 8 6 6 [M B / s] を超えた場合、1 5 0 0 [M B / s] を下回った場合、1 2 0 0 [M B / s] を下回った場合の 3 つの閾値を設定しているとする。各 D M A C 2 4 1 ~ 2 4 5 の S 1 0 1 で検出する閾値は 1 8 6 6 [M B / s] と共通である。一方、S 1 0 3 で検出する閾値として、D M A C 2 4 4 については 1 5 0 0 [M B / s] を使用し、D M A C 2 4 1、2 4 2、2 4 3、2 4 5 については 1 2 0 0 [M B / s] を使用するとする。

【 0 0 7 0 】

この場合、図 3 (c) の状態になると、まず 1 8 6 6 [M B / s] を超えてしまうので、図 3 (d) の状態になり、D M A C 2 4 1 ~ 2 4 5 が全て一度停止する。この状態になるとやがて使用メモリ帯域が少なくなり、その後、使用メモリ帯域が 1 5 0 0 [M B / s] を下回る。この状態になると、D M A C 2 4 4 のみが動作可能となる。この状態で 1 2 0 0 [M B / s] を下回ると、その他の D M A C 2 4 1 ~ 2 4 5 も動作を開始するようになり、1 2 0 0 [M B / s] を下回らない場合は、図 3 (e) の状態が保持される状況となる。

20

【 0 0 7 1 】

なお、変形例として各 D M A C 処理を停止又は再開するメモリ使用メモリ帯域を検知するための帯域閾値設定部 3 1 0 及び帯域閾値検知部 3 2 0 を備え、各 D M A C 毎に制御できる設定値を設定してもよい。これにより、各 D M A C 2 4 1 ~ 2 4 5 に優先度を付けたように動作させることが可能である。この変形例は、後述する第 2 及び第 3 の実施形態にも適用可能である。

30

【 0 0 7 2 】

以上説明したように、本実施形態に係るメモリアクセスシステムは、メモリと複数のマスターとの間で使用されているメモリ帯域の合計を示す使用メモリ帯域を監視し、当該使用メモリ帯域が第 1 の閾値以上であるか否かを C P U で判断する。また、本メモリアクセスシステムは、上記 C P U の判断に基づいて、複数のマスターのうち優先度の低いマスターによるメモリへのアクセスを制限する。このように、本実施形態では、R A M 2 7 0 で使用されているメモリ帯域をモニターし、R A M 2 7 0 で可能なメモリ帯域を超えそうになった場合にのみ非リアルタイム処理部からの R A M 2 7 0 へのメモリアクセス要求を発生しないように制御する。これにより、本実施形態によれば、R A M 2 7 0 の使用可能な帯域を最大限使用しつつ、即ち、非リアルタイム処理部も限りなく使用可能な状況としつつ、リアルタイム処理部の転送帯域を保証することが可能となる。

40

【 0 0 7 3 】

< 第 2 の実施形態 >

以下では、本発明の第 2 の実施形態について説明する。上記第 1 の実施形態は、R A M 2 7 0 の使用メモリ帯域がメモリ帯域に到達しそうになった場合に、C P U 2 0 0 に帯域モニター 2 8 0 の監視結果を通知し、C P U 2 0 0 が D M A C 2 4 1 ~ 2 4 5 を制御することでリアルタイム画像パスの帯域保証を行った。上記第 1 実施形態では、メモリ帯域が閾値に達してから C P U 2 0 0 が制御するため最終的に D M A C 2 4 1 ~ 2 4 5 の転送許

50

可設定部 4 5 0 の停止設定を行うまでには少し時間を要する。その少しの時間の間に、メモリ帯域の閾値を上回ってしまう可能性があるため、帯域閾値設定部 3 1 0 に設定する閾値は少しマージンを持たせて設定する必要がある。

【 0 0 7 4 】

一方、本実施形態では、上記第 1 の実施形態と異なる点として、DMAC 2 4 1 ~ 2 4 5 の転送許可設定部 4 5 0 が CPU 2 0 0 によって設定されるのではなく、DMAC 2 4 1 ~ 2 4 5 内のハードウェアで制御を行う。ハードウェアで制御を行うことで、即座に転送許可設定部 4 5 0 の停止設定が行えるため、メモリ帯域の上限までメモリ転送帯域を使用することが可能となる。そのため、図 5 に示すように、本実施形態では、帯域計算部 3 0 0 が算出した使用メモリ帯域が各 DMAC 2 4 1 ~ 2 4 5 へ通知される。DMAC 2 4 1 ~ 2 4 5 は、通知された使用メモリ帯域に基づいて各マスターの RAM 2 7 0 へのアクセスを制御する。

10

【 0 0 7 5 】

< DMAC の構成 >

図 8 を参照して、本実施形態に係る DMAC 2 4 1 ~ 2 4 5 の構成例について説明する。内部ブロックそれぞれについて詳細に説明する。DMAC 2 4 1 ~ 2 4 5 は全て CPU 2 0 0 により制御される。DMAC 2 4 1 ~ 2 4 5 は、上記第 1 の実施形態で説明した図 6 の構成と同様に、それぞれ送信バッファ 4 0 0、WRITE_DMAC 4 1 0、受信バッファ 4 2 0、READ_DMAC 4 3 0、及び転送許可設定部 4 5 0 を備える。さらに、本実施形態に係る DMAC 2 4 1 ~ 2 4 5 は、転送許可判定部 5 6 0、及び閾値設定部 5 6 1 を備える。

20

【 0 0 7 6 】

送信バッファ 4 0 0・WRITE_DMAC 4 1 0・受信バッファ 4 2 0・READ_DMAC 4 3 0 については図 6 で説明した構成と同様であるため説明は割愛する。以下では、図 6 に示した上記第 1 実施形態との差分について主に説明する。

【 0 0 7 7 】

各 DMAC 2 4 1 ~ 2 4 5 と MEMC 2 6 0 との間のそれぞれには、帯域モニター 2 8 0 の帯域計算部 3 0 0 が使用メモリ帯域を算出するための信号線が接続される。閾値設定部 5 6 1 は CPU 2 0 0 により設定することが可能であり、帯域計算部 3 0 0 が算出する使用メモリ帯域と比較するための閾値を設定する。転送許可判定部 5 6 0 は、帯域計算部 3 0 0 が算出する使用メモリ帯域と、閾値設定部 5 6 1 の値を比較し、使用メモリ帯域が閾値設定部 5 6 1 に設定された閾値以上の場合は、停止設定を行うと判定する。一方、使用メモリ帯域が閾値設定部 5 6 1 に設定された閾値未満の場合は、転送許可判定部 5 6 0 は、許可設定を行うと判定する。当該判定結果は、転送許可設定部 4 5 0 に通知される。

30

【 0 0 7 8 】

転送許可設定部 4 5 0 は、上記第 1 実施形態と同じ構成であるが、CPU 2 0 0 によって制御されるのではなく、転送許可判定部 5 6 0 による判定結果に応じて制御される点のみ異なる。

【 0 0 7 9 】

また、本実施形態では、閾値設定部 5 6 1 にはある 1 つの閾値を設定し、転送許可判定部 5 6 0 はその閾値以上か未満かにより転送許可設定部の停止・許可設定を行っている。しかしながら、上記第 1 の実施形態のように、ある閾値を超えた場合に転送停止設定を行い、ある閾値を下回った場合に転送許可設定を行う構成としてもよい。

40

【 0 0 8 0 】

ここで、本実施形態の構成を採用する場合における、図 3 (c) 乃至図 3 (e) に示す動作を行わせるための設定例について説明する。例えば、図 7 のフローチャートの説明と同様の動作をさせるための説明を行う。

【 0 0 8 1 】

各 DMAC 2 4 1 ~ 2 4 5 の閾値設定部 5 6 1 で停止設定を行う閾値を 1 8 6 6 [MB / s] に設定する。DMAC 2 4 4 の許可設定閾値には 1 5 0 0 [MB / s] を設定し、

50

D M A C 2 4 1、2 4 2、2 4 3、2 4 5の許可設定閾値には1 2 0 0 [M B / s]を設定しておく。このように設定しておくことで、図3 (c)乃至図3 (e)に示す動作を上記第1の実施形態と同じように動作させることが可能となる。

【 0 0 8 2 】

当然別の設定値でも構わない。例えば、D M A C 2 4 1、2 4 2、2 4 3、2 4 5の閾値設定部5 6 1で停止設定を行う閾値を1 5 0 0 [M B / s]としておけば、D M A C 2 4 0、D M A C 2 4 6が動作する転送帯域が保証されることはもちろんである。さらには、非リアルタイム画像パスであるが優先的に処理したいD M A C 2 4 4の動作する割合を高くすることも可能である。

【 0 0 8 3 】

以上説明したように、本実施形態に係るメモリアクセスシステムは、メモリと複数のマスターとの間で使用されているメモリ帯域の合計を示す使用メモリ帯域を監視し、当該使用メモリ帯域が第1の閾値以上であるか否かをD M A Cで判断する。また、D M A Cは、当該判断結果に基づき、複数のマスターのうち優先度の低いマスターによるメモリへのアクセスを制限する。このように、本実施形態では、D M A C 2 4 1～2 4 5の転送許可設定部4 5 0をD M A C 2 4 1～2 4 5内のハードウェアである転送許可判定部5 6 0が行う。これにより、C P U 2 0 0で転送許可設定部4 5 0よりも即座に転送許可設定部4 5 0の停止設定を行うことが可能となる。よって、上記第1の実施形態と比べ、よりメモリ帯域の上限までメモリ転送帯域を使用することが可能となる。

【 0 0 8 4 】

< 第3の実施形態 >

以下では、本発明の第3の実施形態について説明する。本実施形態では、図3 (d)に示すように、R A M 2 7 0の使用メモリ帯域がR A M 2 7 0で可能な転送帯域(メモリ帯域)を上回りそうな場合には、非リアルタイム画像パスのデータ転送の使用メモリ帯域を減らすためにバースト長を短くするように制御する。具体的には、C P U 2 0 0が帯域モニター2 8 0を使用して、D M A C 2 4 1～2 4 5を制御することで上記制御を実現する。図3 (d)において、バースト長を短くしたS E N Dジョブの非リアルタイム画像パスは点線の矢印で示され、バースト長を短くしたP D L _ P R I N Tジョブの非リアルタイム画像パスは一点鎖線の矢印で示される。このように制御することにより、コントローラ部1 2 0がシステムとして破綻しないことを保証することができる。

【 0 0 8 5 】

< D M A C の構成 >

次に、図9を参照して、本実施形態におけるD M A C 2 4 1～2 4 5の構成例について説明する。内部ブロックそれぞれについて詳細に説明する。D M A C 2 4 1～2 4 5は全てC P U 2 0 0により制御される。ここでは、上記第1の実施形態で説明した構成と異なる構成についてのみ説明する。

【 0 0 8 6 】

本実施形態に係るD M A C 2 4 1～2 4 5はそれぞれ、図6の転送許可設定部4 5 0の構成に代えて、バースト長設定部4 8 0を備える。バースト長設定部4 8 0は、W R I T E _ D M A C 4 1 0及びR E A D _ D M A C 4 3 0のデータ転送時のバースト長を制御するための設定部であり、C P U 2 0 0により設定される。W R I T E _ D M A C 4 1 0及びR E A D _ D M A C 4 3 0は、バースト長設定部4 8 0の出力するバースト長に従って、送信バッファ4 0 0のデータの書き込み要求及び受信バッファ4 2 0へのデータの読み出し要求を出力する。

【 0 0 8 7 】

また、D M A Cのバースト長の初期値は設定可能な最大バーストサイズに設定される。当該最大バーストサイズは、バースト長設定部4 8 0に設定可能な最大バーストサイズ、又はD M A Cがアクセスするバッファ(2 6 1～2 6 4の何れか)と送信バッファ4 0 0と受信バッファ4 2 0のそれぞれが格納できる最大バーストサイズから決定される。

【 0 0 8 8 】

< 処理フロー >

次に、図10を参照して、本実施形態におけるメモリの使用メモリ帯域に応じた帯域抑制方法を制御する処理フローについて説明する。以下で説明する処理は、例えばCPU200がROM211に格納されている制御プログラムをRAM270に読み出して実行することにより実現される。なお、ここでは、上記第1の実施形態で説明した図7の制御と異なるステップのみ説明する。即ち、処理フローでは、S102及びS104に代えて、S1001及びS1002が実行される。

【0089】

S1001で、CPU200は、使用メモリ帯域が閾値以上になってしまったため、非リアルタイム画像パスで使用されるDMAC241～245のバースト長設定部480にバースト長を短くする変更設定を行う。当該変更設定により、DMAC241～245はデータ転送リクエストに対するデータ転送量が少なくなるよう動作し、RAM270の使用メモリ帯域が下がり、図4(a)に記載のメモリ帯域を超えないよう制御することが可能となる。

【0090】

また、S103で使用メモリ帯域が閾値以下になったと判断すると、S1002に進み、CPU200は、非リアルタイム画像パスで使用されるDMAC241～245のバースト長設定部480にバースト長を長くする変更設定を行う。当該変更設定により、DMAC241～245はデータ転送リクエストに対するデータ転送量が多くなるよう動作し、RAM270の使用メモリ帯域を上げることが可能となる。

【0091】

例えば、帯域閾値設定部311に設定する値を図4(a)に記載のメモリ帯域より少し小さい値にしてもよい。この場合、S1001でDMAC241～245のデータ転送停止後すぐにS103で使用メモリ帯域が閾値以下となり、S1002でDMAC241～245がデータ転送を再開するといった処理を繰り返すことができる。また、帯域閾値設定部311に設定する値を図4(a)に記載のメモリ帯域よりかなり小さい値にしてもよい。この場合、帯域閾値設定部311に設定する値を図4(a)に記載のメモリ帯域より少し小さい値を設定した場合のように、頻繁にバースト長設定部480の設定を行うこともなくなる。

【0092】

また、本実施形態では閾値は2つのみで実現しているが、図5の説明にあるように、帯域閾値設定部310及び帯域閾値検知部320は複数備えることも可能である。複数の閾値を用意しておくことで、それぞれの閾値に応じ各DMAC(241～245)のバースト長を変更するようCPU200が制御し、図3(e)に記載の動作を実現することが可能となる。より詳細には、帯域閾値設定部310を3つ設け、それぞれ1866[MB/s]を超えた場合、1500[MB/s]を下回った場合、1200[MB/s]を下回った場合の3つの閾値を設定する。また、各DMACのバースト長の初期設定値はバースト長を8とする。各DMAC241～245のS101で検出する閾値は1866[MB/s]と共通である。S103で検出する閾値がDMAC244は1500[MB/s]及び1200[MB/s]を使用し、DMAC241、242、243、245は1200[MB/s]のみを使用するとする。

【0093】

この場合、図3(c)の状態になると、まず1866[MB/s]を超えてしまうので、図3(d)の状態になり、DMAC241～245が全て短いバースト長(バースト長2)に変更される。この状態になるとやがて使用メモリ帯域が少なくなり、その後使用メモリ帯域が1500[MB/s]を下回る。この状態になると、DMAC244のみが長いバースト長(バースト長4)に変更される。この状態で1200[MB/s]を下回ると、各DMAC(241～245)を最大バースト長(バースト長8)に変更されるようになり、1200[MB/s]を下回らない場合は、図3(e)の状態が保持される状況となる。

【 0 0 9 4 】

このように、帯域閾値に応じてバースト長を段階的に変更することで、帯域に応じた使用メモリ帯域の制御が可能となる。本実施形態では一例を記載したが、各DMACのバースト長を変更するメモリ使用メモリ帯域を検出するための帯域閾値設定部310及び帯域閾値検知部320を設け、DMAC毎に制御できる設定値を設定してもよい。これにより、各DMAC241～245に優先度を付けたように動作させることが可能となる。

【 0 0 9 5 】

< タイミングチャート >

次に、図11A及び図11Bを参照して、リアルタイム処理のSENDジョブの書き込み画像データ転送及びPDL__PRINTジョブの読み出し画像データ転送と、非リアルタイム処理の書き込み画像データ転送が同時に発生した場合の動作を説明する。ここでは、DMAC240、246及び244は、266MHzで動作するバス幅128bitのバスに接続され、それぞれバースト長8のリクエストを発行するものとする。また、RAM270は533MHzの両エッジでデータ転送が行われるバス幅32bitのRAMである。つまり、バスのバースト長1のデータは、RAMクロックの4サイクル分で転送される。

10

【 0 0 9 6 】

以下では、非リアルタイム処理のバースト長を短く変更しない場合とバースト長を短く変更した場合の使用メモリ帯域について説明する。まず、図11Aを用いて、非リアルタイム処理のバースト長を短くしない場合の動作について説明する。

20

【 0 0 9 7 】

サイクル1において、DMAC240、246、244がバスリクエスト(ReqS0、ReqP0、ReqL0)を発行する。DMAC240、244が書き込む画像データ(DataS0、DataL0)はサイクル3からサイクル10にわたって転送され、バッファ261、262に書き込まれる。一方、DMAC246のバスリクエスト(ReqP0)はRAM270からの読み出しリクエストのため、サイクル3からサイクル10にわたってRAM270から画像データの読み出しが行われる。

【 0 0 9 8 】

次に、サイクル12からサイクル19において、バッファ261に格納されたDMAC240からの書き込み画像データ(DataS0)がRAM270に転送される。一方、RAM270から読み出された読み出し画像データ(DataP0)がDMAC246に転送される。

30

【 0 0 9 9 】

サイクル21では、DMAC240は、バッファ261の画像データ(DataS0)がRAM270に書き込まれてバッファに空きがあるため、次のバスリクエスト(ReqS1)を発行する。また、同様に、DMAC246は、バスリクエスト(ReqP0)に対する読み出しデータ(DataP0)の読み出しが完了したため、次のバスリクエスト(ReqP1)を発行する。

【 0 1 0 0 】

サイクル21からサイクル28にわたって、バッファ262に書き込まれた画像データ(DataL0)の書き込みが行われる。サイクル30において、DMAC244は、バッファ262の画像データ(DataL0)がRAM270に書き込まれてバッファに空きがあるため、次のバスリクエスト(ReqL1)を発行する。

40

【 0 1 0 1 】

このように、RAM270への画像データの転送は順に行われる。また、リアルタイム処理であるDMAC240、246の2回分のバスリクエストに対する画像データの転送はサイクル46で完了する。

【 0 1 0 2 】

続いて、図11Bを用いて、非リアルタイム処理のバースト長をバースト長2に変更した場合の動作について説明する。DMAC240、246の動作について、サイクル1か

50

らサイクル 2 1 までは図 1 1 A と同様の説明は割愛する。

【 0 1 0 3 】

一方、DMAC 2 4 4 は、バースト長 2 の設定のため、サイクル 3 からサイクル 4 で画像データ (Data L 0) がバッファ 2 6 2 に書き込まれる。バッファ 2 6 2 に書き込まれた画像データ (Data L 0) は、サイクル 2 1 からサイクル 2 2 でRAM 2 7 0 に書き込まれる。

【 0 1 0 4 】

DMAC 2 4 4 からの画像データの転送はバースト長 2 のため、RAM 2 7 0 への画像転送はサイクル 2 2 で解放される。従って、サイクル 2 1 で発行されたバスリクエスト (Req P 1) の画像データの読み出しがサイクル 2 4 からサイクル 3 1 で行われ、サイクル 3 3 からサイクル 4 0 でDMAC 2 4 0 からの画像データ (Data S 1) の書き込みが行われる。

【 0 1 0 5 】

このように、非リアルタイム処理であるDMAC 2 4 4 におけるバースト長をバースト長 2 に変更した場合、リアルタイム処理であるDMAC 2 4 0、2 4 6 の 2 回分のバスリクエストに対する画像データの転送はサイクル 4 0 で完了する。なお、ここでは、リアルタイム処理をバースト長 8、非リアルタイム処理をバースト長 2 とした一例を記載した。しかしながら、本発明はこれに限定されず、リアルタイム処理のバースト長を更に長くしたり、非リアルタイム処理のバースト長を更に短くすることで、リアルタイム処理に割り当てられる帯域を上げることが可能である。

【 0 1 0 6 】

以上説明したように、本実施形態によれば、RAM 2 7 0 で使用されている使用メモリ帯域をモニターし、RAM 2 7 0 で可能なメモリ帯域を超えそうになった場合にのみ非リアルタイム処理部からのRAM 2 7 0 へのメモリアクセス要求に対する使用メモリ帯域を下げる。これにより、RAM 2 7 0 の使用可能な帯域を最大限使用しつつ、即ち、非リアルタイム処理部も限りなく使用可能な状況としつつ、リアルタイム処理部の転送帯域を保証することが可能となる。なお、本実施形態は、上記第 1 及び第 2 の実施形態とそれぞれ組み合わせて適用することが可能である。即ち、メモリアクセス要求に対する使用メモリ帯域を下げる判定をCPU 2 0 0 で行ってもよいし、各DMACで行ってもよい。

【 0 1 0 7 】

< その他の実施形態 >

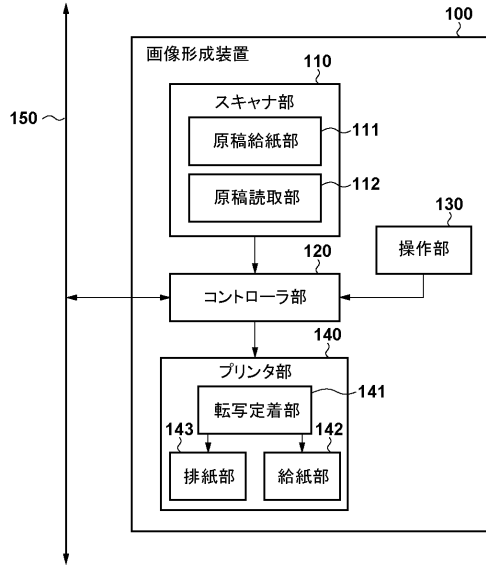
本発明は、上述の実施形態の 1 以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける 1 つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1 以上の機能を実現する回路 (例えば、ASIC) によっても実現可能である。

【 符号の説明 】

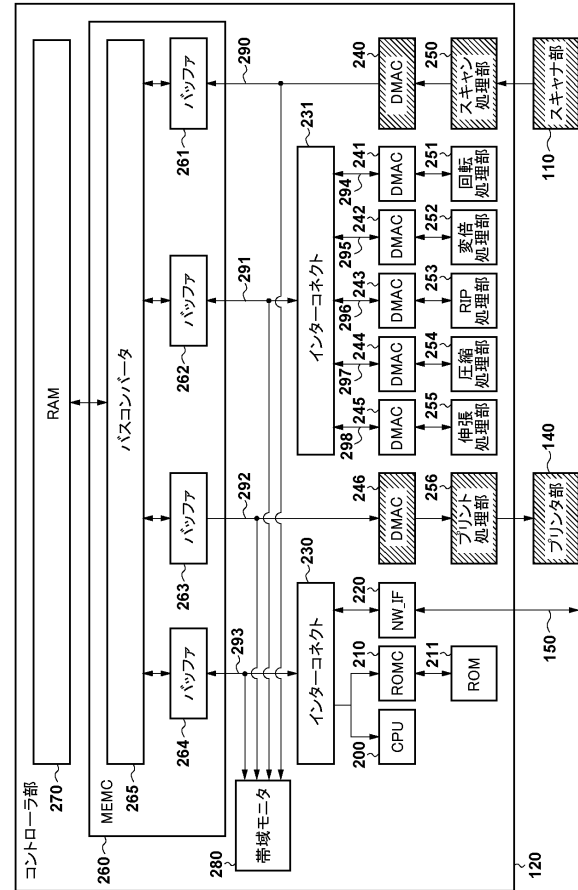
【 0 1 0 8 】

1 0 0 : 画像形成装置、1 1 0 : スキャナ部、1 2 0 : コントローラ部、1 3 0 : 操作部、1 4 0 : プリンタ部、2 0 0 : CPU、2 1 0 : ROMC、2 1 1 : ROM、2 2 0 : ネットワークIF、2 3 0、2 3 1 : インターコネクト、2 4 0 ~ 2 4 6 : DMAC、2 5 0 : スキャン処理部、2 5 1 : 回転処理部、2 5 2 : 変倍処理部、2 5 3 : RIP 処理部、2 5 4 : 圧縮処理部、2 5 5 : 伸張処理部、2 5 6 : プリント処理部、2 6 0 : MEMC (メモリコントローラ)、2 6 1 ~ 2 6 4 : バス、2 6 5 : バスコントローラ、2 7 0 : RAM、2 8 0 : 帯域モニター

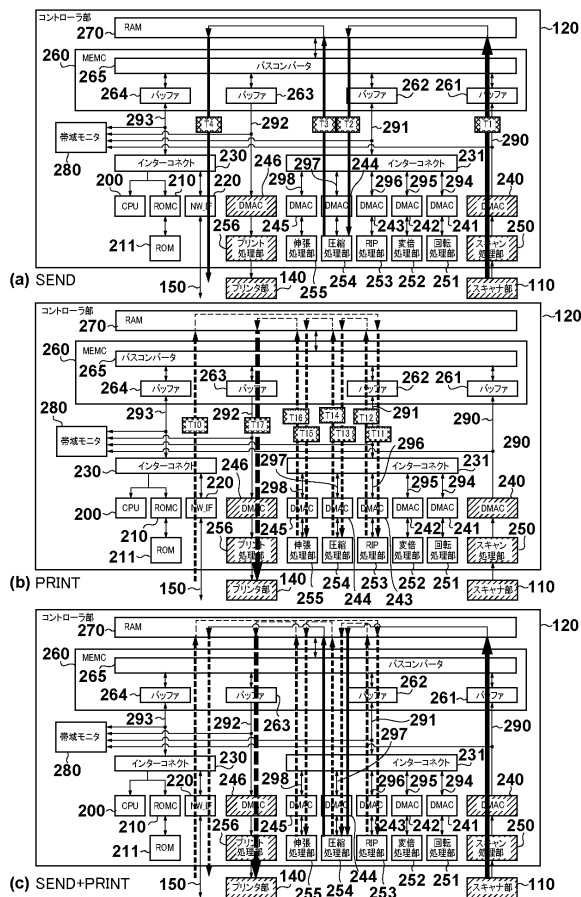
【図 1】



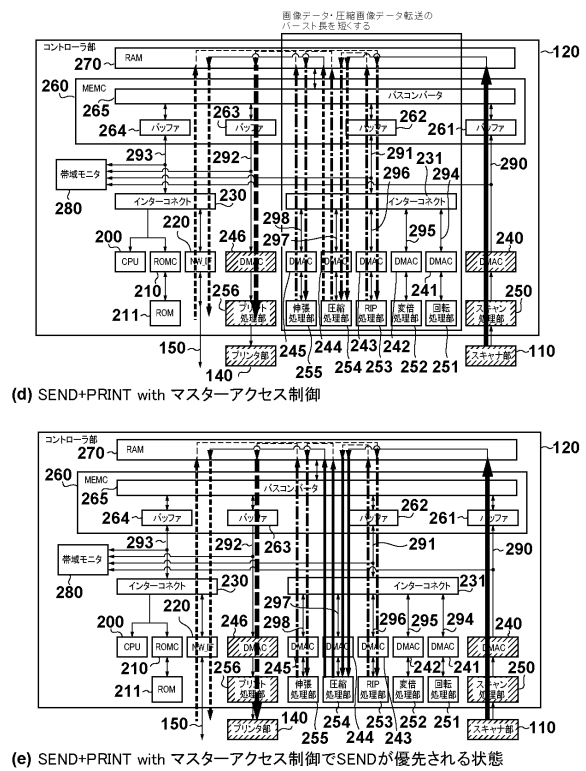
【図 2】



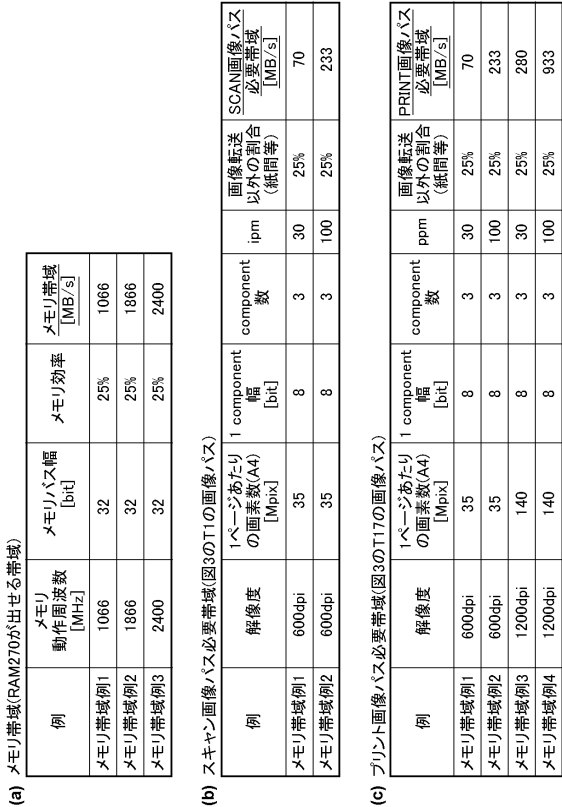
【図 3 A】



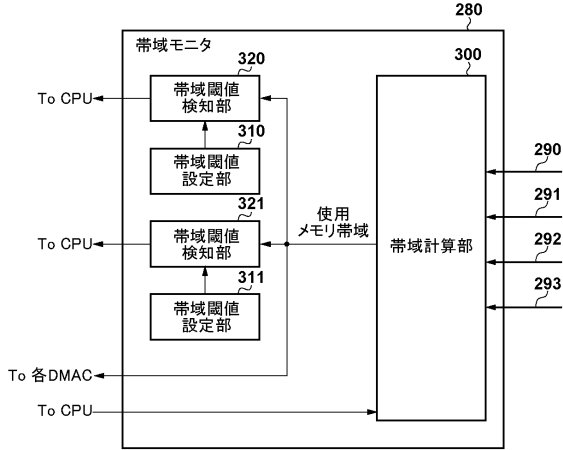
【図 3 B】



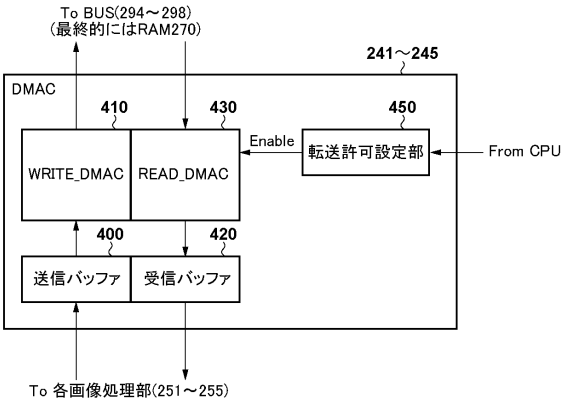
【図 4】



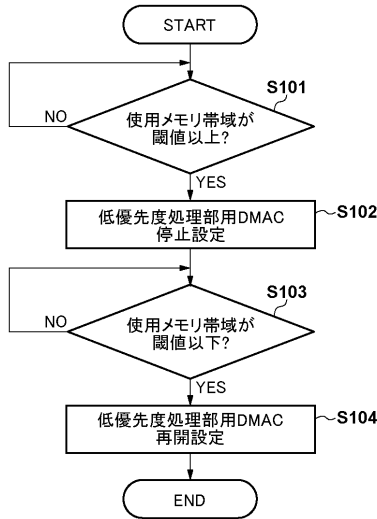
【図 5】



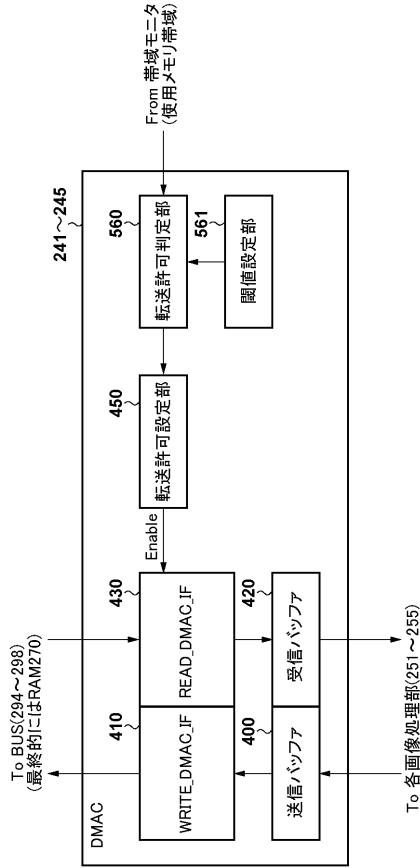
【図 6】



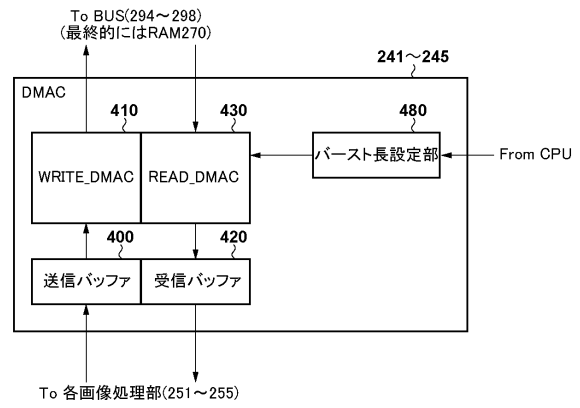
【図 7】



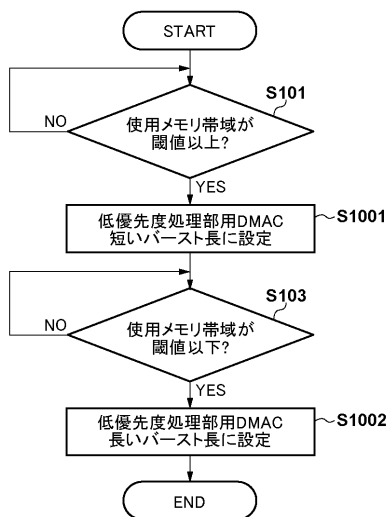
【図 8】



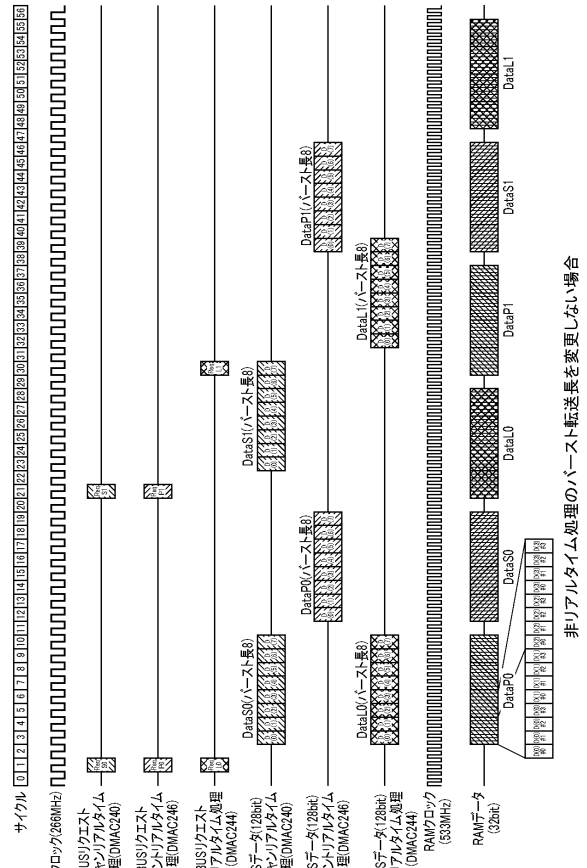
【図 9】



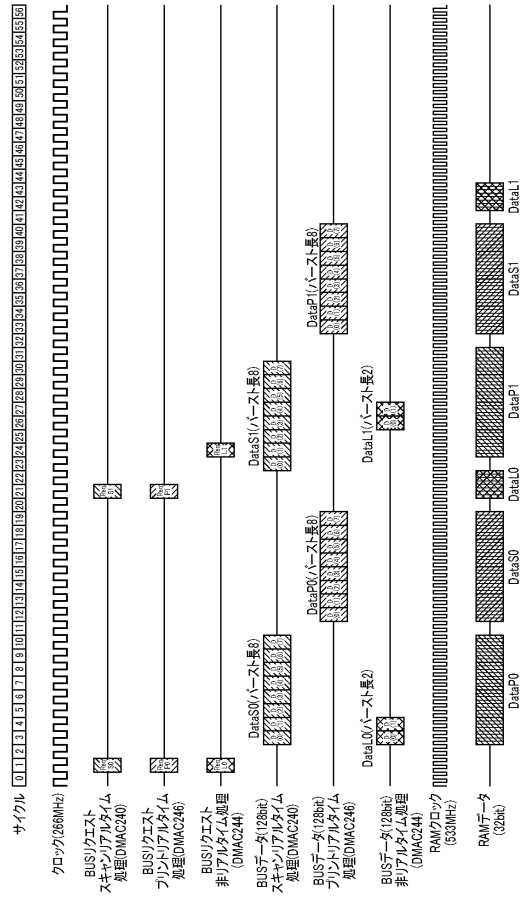
【図 10】



【図 11 A】



【図 11B】



非リアルタイム処理のバースト転送長を変更した場合

フロントページの続き

(51)Int.Cl. F I
G 0 6 F 13/362 5 1 0 D

(56)参考文献 特開2009-043089(JP,A)
特開2011-095967(JP,A)
特開2005-316608(JP,A)
特開2000-148670(JP,A)
特開2000-066995(JP,A)
特開2003-006139(JP,A)
特開2010-039767(JP,A)
特開2012-003636(JP,A)
特開2016-090869(JP,A)
国際公開第2009/139109(WO,A1)
国際公開第2017/056132(WO,A1)

(58)調査した分野(Int.Cl., DB名)
B 4 1 J 2 9 / 0 0 - 2 9 / 7 0
G 0 6 F 3 / 0 0
3 / 1 8
1 3 / 0 0 - 1 3 / 1 4
1 3 / 2 0 - 1 3 / 4 2
H 0 4 N 1 / 2 1