

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6886301号
(P6886301)

(45) 発行日 令和3年6月16日(2021.6.16)

(24) 登録日 令和3年5月18日(2021.5.18)

(51) Int.Cl.

F 1

G06F	13/28	(2006.01)	G06F	13/28	310F
H04N	1/21	(2006.01)	HO4N	1/21	
G06F	13/362	(2006.01)	G06F	13/28	310E
			G06F	13/28	310G
			G06F	13/28	310Y

請求項の数 17 (全 24 頁) 最終頁に続く

(21) 出願番号

特願2017-12541(P2017-12541)

(22) 出願日

平成29年1月26日(2017.1.26)

(65) 公開番号

特開2018-120490(P2018-120490A)

(43) 公開日

平成30年8月2日(2018.8.2)

審査請求日

令和2年1月27日(2020.1.27)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 110003281

特許業務法人大塚国際特許事務所

(72) 発明者 合田 淳一

東京都大田区下丸子3丁目30番2号 キ
ヤノン株式会社内

(72) 発明者 新藤 泰士

東京都大田区下丸子3丁目30番2号 キ
ヤノン株式会社内

審査官 松平 英

最終頁に続く

(54) 【発明の名称】メモリアクセスシステム、その制御方法、プログラム、及び画像形成装置

(57) 【特許請求の範囲】

【請求項 1】

メモリアクセスシステムであって、

メモリと、

複数の画像処理を実行する画像処理手段と、原稿を読み取って画像データを生成するスキャナと、

前記スキャナによる画像データの生成に基づく前記メモリへのアクセスを内部バスを介して実行する第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む複数のマスターと、

前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間あたりのデータ量を合計する監視手段と、

前記監視手段によって監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第1マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減する制御手段と

を備えることを特徴とするメモリアクセスシステム。

【請求項 2】

10

20

前記制御手段は、前記複数の第2マスターによる前記メモリへのアクセスを停止させることにより、アクセスを減少させることを特徴とする請求項1に記載のメモリアクセスシステム。

【請求項3】

前記制御手段は、前記複数の第2マスターに前記メモリへアクセスする際のバースト長を短くさせることにより、アクセスを減少させることを特徴とする請求項1に記載のメモリアクセスシステム。

【請求項4】

前記複数の第2マスターは、非リアルタイムでの前記メモリへのアクセスによるデータ転送を実行するマスターであり、

10

前記第1マスターは、リアルタイムでの前記メモリへのアクセスによるデータ転送を実行するマスターであることを特徴とする請求項1乃至3の何れか1項に記載のメモリアクセスシステム。

【請求項5】

前記制御手段は、DMA(Direct Memory Access)コントローラであることを特徴とする請求項1乃至4の何れか1項に記載のメモリアクセスシステム。

【請求項6】

前記監視手段は、所定時間あたりの前記監視した複数のデータ量を合計し、

前記所定の条件は、前記所定時間あたりの前記監視した複数のデータ量の前記合計が第1の閾値以上である場合に満たされることを特徴とする請求項1乃至5の何れか1項に記載のメモリアクセスシステム。

20

【請求項7】

前記制御手段は、

前記複数の第2マスターによる前記メモリへのアクセスを減少させた後に、前記所定時間あたりの前記監視した複数のデータ量の前記合計が前記第1の閾値より低い第2の閾値以下であるか否かを判断し、

前記合計が前記第2の閾値以下であると判断すると、前記複数の第2マスターによる前記メモリへのアクセスを減少させないことを特徴とする請求項6に記載のメモリアクセスシステム。

【請求項8】

30

前記メモリと前記複数のマスターとの間に、メモリコントローラを有し、

前記メモリコントローラは、前記制御手段から前記メモリへのアクセスを減少させる信号を受け付けるに基づいて前記メモリへのアクセスを減少させることを特徴とする請求項6に記載のメモリアクセスシステム。

【請求項9】

前記メモリと前記複数のマスターとの間に、メモリコントローラを有し、

前記メモリコントローラは、前記制御手段から前記メモリへのアクセスを許可する信号を受け付けるに基づいて前記メモリへのアクセスを減少させないことを特徴とする請求項7に記載のメモリアクセスシステム。

【請求項10】

40

前記監視手段は、前記メモリと前記複数のマスターの各々の間で、所定時間あたりのデータ量を監視することを特徴とする請求項1乃至9の何れか1項に記載のメモリアクセスシステム。

【請求項11】

前記複数のマスターに対して個別に前記第1の閾値が設けられ、

前記制御手段は、各マスターに割り当てられた前記第1の閾値に基づいて、当該マスターによるメモリへのアクセスを減少させることを特徴とする請求項6に記載のメモリアクセスシステム。

【請求項12】

前記メモリから読み出された画像データに基づいて記録媒体へ画像を形成するプリンタ

50

を有し、

前記複数のマスターは、前記プリンタで用いる画像データ読み出すために内部バスを介して前記メモリにアクセスする第3マスターを含み、

前記制御手段は、前記監視手段によって監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第3マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減することを特徴とする請求項1乃至11のいずれか1項に記載のメモリアクセスシステム。

【請求項13】

10

メモリと、複数の画像処理を実行する画像処理手段と、原稿を読み取って画像データを生成するスキャナと、前記スキャナによる画像データの生成に基づく前記メモリへのアクセスを内部バスを介して実行する第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む複数のマスターとを備えるメモリアクセスシステムの制御方法であって、

監視手段が、前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間あたりのデータ量を合計する監視工程と、

制御手段が、前記監視工程で監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第1マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減する制御工程と

を含むことを特徴とするメモリアクセスシステムの制御方法。

【請求項14】

20

メモリと、複数の画像処理を実行する画像処理手段と、原稿を読み取って画像データを生成するスキャナと、前記スキャナによる画像データの生成に基づく前記メモリへのアクセスを内部バスを介して実行する第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む複数のマスターとを備えるメモリアクセスシステムの制御方法における各工程をコンピュータに実行させるためのプログラムであって、前記制御方法は、

監視手段が、前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間あたりのデータ量を合計する監視工程と、

制御手段が、前記監視工程で監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第1マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減する制御工程と

を実行することを特徴とするプログラム。

40

【請求項15】

画像形成装置であって、

メモリと、

複数の画像処理を実行する画像処理手段と、

前記メモリから読み出された画像データに基づいて記録媒体へ画像を形成するプリンタと、

前記プリンタで用いる画像データを読み出すために内部バスを介して前記メモリにアクセスする第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む

50

複数のマスターと、

前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間あたりのデータ量を合計する監視手段と、

前記監視手段によって監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記複数の第2マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第1マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減する制御手段と、

を備えることを特徴とする画像形成装置。

10

【請求項16】

前記画像処理手段に関わる処理は、非リアルタイムでの前記メモリへのアクセスによるデータ転送を実行し、

前記プリンタに関わる処理は、リアルタイムでの前記メモリへのアクセスによるデータ転送を実行することを特徴とする請求項15に記載の画像形成装置。

【請求項17】

前記制御手段は、前記複数の第2マスターによる前記メモリへのアクセスを停止させることにより、アクセスを減少させることを特徴とする請求項15又は16に記載の画像形成装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、メモリアクセスシステム、その制御方法、プログラム、及び画像形成装置に関するものである。

【背景技術】

【0002】

メモリアクセスシステムを備える現行の画像形成装置には、スキャナ機能、プリンタ機能、コピー機能、ネットワーク機能、及びFAX送受信といった様々な機能を兼備えるデジタル複合機がある。デジタル複合機における機能動作は、通常、コントローラと称される画像入出力制御部により制御されている。

30

【0003】

このようなコントローラでは、コストダウンのためCPU及び上記機能を実現する複数の機能処理部が1つのチップ内に集約されている。さらに、CPUのワークメモリ及び上記機能を実現する画像データ転送を行うためのメインメモリも集約されてきており、メインメモリへのデータアクセス量が非常に増大してきている。メインメモリへのデータアクセス量を増大させる要因には、スキャン性能及びプリント性能の高速化も挙げられる。特に、スキャンやプリントといった処理は、一度動作を開始すると、少なくとも処理中のページの入出力が完了するまでは停止することができないリアルタイム性が要求される処理である。つまり、コントローラとしては、リアルタイム処理が必須な画像処理に対するメインメモリへのアクセスは常に一定の転送帯域を保証しつつ、非リアルタイム処理機能もできる限り平行に動作させることが望ましい。言い換えれば、リアルタイム処理が必須な画像処理に対するメインメモリへのアクセスの転送帯域が保証できなくなる状況が発生しないようにコントローラは制御を行う必要がある。従って、全ての機能を動作させててもメモリ転送性能が十分保証できる高周波数・多bit幅のメモリを使用し十分なメモリ転送性能を確保する必要がある。

40

【0004】

しかし、高周波数のメモリを使用することはメモリのコストアップ及び消費電力の増加に繋がり、多bit幅のメモリを使用することはチップのピン数増加によるチップ単価のコストアップに繋がってしまう。そこで、メモリの高周波数化及び多ビット化を抑制しつつ、リアルタイム処理機能のメインメモリへの転送帯域を確保すべく、リアルタイム処理

50

機能部や非リアルタイム処理機能部とメインメモリ間の転送帯域をモニターし、メモリアクセスを制御する発明がある。

【0005】

例えば、特許文献1には、予め設定された転送帯域を超えそうになった場合に非リアルタイム処理機能部からのアクセスを受け付けないように制御する技術が提案されている。これにより、リアルタイム処理部が全て動作しメインメモリの使用メモリ帯域が増大する状態において、非リアルタイム処理部の転送を受け付けないよう制御することで帯域を抑制し、リアルタイム処理の転送帯域を保証することが可能となる。

【0006】

また、特許文献2には、リアルタイム処理機能部及び非リアルタイム処理機能部からのデータ転送単位を短くし、転送帯域に応じてそれぞれの処理機能部からのアクセスに対して、短くしたデータ転送単位毎にバス使用権を解放する技術が提案されている。これにより、リアルタイム処理部及び非リアルタイム処理部の転送が同時に起こる場合においても、リアルタイム処理の転送帯域を保証することが可能となる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2014-160341号公報

【特許文献2】特開2009-75942号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上記従来技術には以下に記載する課題がある。例えば、上記従来技術では、メインメモリへのアクセスが集中していない状態でも非リアルタイム処理部の転送帯域がある閾値を超えるになると転送帯域が抑制されてしまう。また、メインメモリへのアクセスが集中していない状態でも短いデータ転送単位でのバス使用権の解放が行われてしまう。これらの場合には、メインメモリが有するメモリ転送性能を十分に使いきることができない可能性が高い。

【0009】

また、SDRAM等に代表されるメモリは、1つのアドレスを指定するだけで次に続くアドレスのデータを連続して転送するバースト転送によりメモリへの高速データ転送を実現しており、バースト長を長くすることでメモリ転送性能を向上することが可能となる。しかし、メインメモリへアクセスする全ての処理部のバースト長を長くしてしまうと、メインメモリに転送するデータ量が多くなり、各処理部によるメモリバスを占有する時間が大きくなってしまう。

【0010】

本発明は、上述の問題に鑑みて成されたものであり、メモリで使用されている使用メモリ帯域を監視して、メモリが有する転送性能を最大限使用しつつ、リアルタイム処理部の必要帯域を確保するように制御する仕組みを提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、メモリアクセスシステムであって、メモリと、複数の画像処理を実行する画像処理手段と、原稿を読み取って画像データを生成するスキャナと、前記スキャナによる画像データの生成に基づく前記メモリへのアクセスを内部バスを介して実行する第1マスターと、前記画像処理手段による複数の画像処理の実行に基づく前記メモリへのアクセスを内部バスを介して実行する複数の第2マスターと、を少なくとも含む複数のマスターと、前記複数のマスターと前記メモリとの間のアクセスにおいて内部バスで使用される所定時間あたりのデータ量を監視し、且つ、前記複数のマスターの前記所定時間あたりのデータ量を合計する監視手段と、前記監視手段によって監視された前記複数のマスターの合計のデータ量に関する所定の条件を満たすことに基づいて、前記複数のマスターのうち前記

10

20

30

40

50

複数の第2マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とし、前記第1マスターを、前記内部バスを介して実行する前記メモリへのアクセスを制限する対象とすることなく、前記メモリへのアクセスを削減する制御手段とを備えることを特徴とする。

【発明の効果】

【0013】

本発明によれば、メモリで使用されている使用メモリ帯域を監視して、メモリが有する転送性能を最大限使用しつつ、リアルタイム処理部の必要帯域を確保するように制御することができる。

【図面の簡単な説明】

10

【0014】

【図1】一実施形態に係る画像形成装置のブロック図。

【図2】一実施形態に係るコントローラ部のブロック図。

【図3A】、

【図3B】一実施形態に係るコントローラ部の画像バス制御を示す図。

【図4】一実施形態に係る帯域例を示す図。

【図5】一実施形態に係る帯域モニターのブロック図。

【図6】一実施形態に係るDMACのブロック図。

【図7】一実施形態に係る帯域制御用制御フローチャート。

【図8】一実施形態に係るDMACのブロック図。

20

【図9】一実施形態に係るDMACのブロック図。

【図10】一実施形態に係る帯域制御用制御フローチャート。

【図11A】、

【図11B】一実施形態に係るRAM制御に関するタイミングチャート。

【発明を実施するための形態】

【0015】

以下に本発明の一実施形態を示す。以下で説明される個別の実施形態は、本発明の上位概念、中位概念及び下位概念など種々の概念を理解するために役立つであろう。また、本発明の技術的範囲は、特許請求の範囲によって確立されるのであって、以下の個別の実施形態によって限定されるわけではない。

30

【0016】

<第1の実施形態>

<画像形成装置の構成>

以下では、本発明の第1の実施形態について説明する。まず、図1を参照して、本実施形態に係る画像形成装置100の構成例について説明する。なお、本実施形態では、メモリアクセスシステムの一例として画像形成装置を例に説明を行う。なお、本発明を画像形成装置に限定する意図はない。即ち、本発明は、以下で説明する特徴的なメモリアクセスシステムを有する装置であれば適用可能である。

【0017】

画像形成装置100は、スキャナ部110、コントローラ部120、操作部130、及びプリンタ部140を備える。スキャナ部110は、原稿画像を光学的に読み取り、画像データに変換する。また、スキャナ部110は、原稿を読取るための機能を持つ原稿読取部112と、原稿用紙を搬送するための機能を持つ原稿給紙部111とを備える。プリンタ部140は、記録紙を搬送し、その上に画像データを可視画像として印字して装置外に排出する。プリンタ部140は、複数種類の記録紙カセットを持つ給紙部142と、画像データを記録紙に転写、定着させる機能を持つ転写定着部141と、印字された記録紙をソート、ステイプルして機外へ出力する機能を持つ排紙部143とを備える。

40

【0018】

コントローラ部120は、スキャナ部110及びプリンタ部140と電気的に接続され、さらにLAN、ISDN、インターネット/イントラネット等のネットワーク150と

50

接続されている。コントローラ部120は、スキャナ部110を制御して、原稿の画像データを読み込み、プリンタ部140を制御して画像データを記録用紙に出力してコピー機能を提供する。

【0019】

また、コントローラ部120は、スキャナ部110から読み取った画像データを、コードデータに変換し、ネットワーク150を介して図示しないホストコンピュータへ送信するスキャナ機能を提供する。さらに、コントローラ部120は、ホストコンピュータからネットワーク150を介して受信したコードデータを画像データに変換し、プリンタ部140に出力するプリンタ機能を提供する。また、コントローラ部120は、ISDNからデータを受信してプリントするFAX受信機能やISDNへスキャンしたデータを送信するFAX送信機能を提供する。また、これらスキャンやプリント、FAX送受信といった処理をジョブと称し、画像形成装置100はこれらジョブを操作者からの指示に従って制御・処理するものである。操作部130は、コントローラ部120に接続され、液晶タッチパネルで構成され、画像形成装置100を操作するためのユーザインターフェースを提供する。

【0020】

<コントローラ部の構成>

次に、図2を参照して、本実施形態に係るコントローラ部120の構成例について説明する。コントローラ部120に備えられる内部ブロックのそれぞれについて詳細に説明する。

10

【0021】

コントローラ部120は、CPU200、ROMC210、ROM211、ネットワークIF(NW_IF)220、インターフェクト230、231、DMAC240～246、スキャン処理部250、回転処理部251、変倍処理部252、RIP処理部253、圧縮処理部254、伸張処理部255、プリント処理部256、MEMC260、RAM270、及び帯域モニター280を備える。CPU(Central Processing Unit)200は、システム全体を制御するプロセッサである。

20

【0022】

CPU200は、RAM270に展開されたOSや制御プログラムに従ってプリント処理やスキャン処理といったジョブに関わる処理を統括的に制御する。ROMC210は、システムのブートプログラムを格納しているROM211にアクセスするための制御モジュール(ROMコントローラ)である。画像形成装置100の電源がONされたときに、CPU200はROMコントローラ210を介してROM211にアクセスし、CPU200がブートする。RAM270はCPU200が動作するためのシステムワークメモリであり、画像データを一時記憶するための画像メモリでもある。本実施形態では一例としてSDRAMで構成されるものとする。

30

【0023】

MEMC260は、システムの制御プログラムや画像データが格納されるRAM270にアクセスするための制御モジュール(Memoryコントローラ)である。MEMC260は、RAM270の設定や制御を行うためのレジスタを備えており、このレジスタは、CPU200からアクセス可能である。MEMC260の詳細な構成については後述する。

40

【0024】

ネットワークIF220は、ネットワーク150に接続し、外部のホストコンピュータと画像データなどの情報の入出力を行う処理部である。インターフェクト230、231は、CPU200や各処理部とMEMC260を接続する。

【0025】

DMAC240～246は、メモリアクセス制御手段として機能し、MEMC260を介してRAM270へアクセスするメモリアクセスマスターとなるDMA(Direct Memory Access)コントローラである。後述する各処理部250～256

50

と R A M 2 7 0 間のデータ転送を行う。D M A C 2 4 0 ~ 2 4 6 は C P U 2 0 0 により制御され、どのメモリアドレスに対し読み書きをするか、及び D M A 転送を行うタイミングを制御する機能を有する。本実施形態において詳細は後述するが、D M A C 2 4 0 ~ 2 4 6 は、C P U 2 0 0 からの設定により、メモリへの画像転送要求を発行しないよう制御する機能を有する。

【 0 0 2 6 】

以下で説明するスキャン処理部 2 5 0 、回転処理部 2 5 1 、変倍処理部 2 5 2 、R I P 処理部 2 5 3 、圧縮処理部 2 5 4 、伸張処理部 2 5 5 、及びプリント処理部 2 5 6 についても、C P U 2 0 0 によって統括的に制御される。また、各処理部を説明する上で画像データとは、圧縮されていない画像のことを示し、圧縮画像データとは、何らかの圧縮方式で圧縮された画像のことを示す。
10

【 0 0 2 7 】

スキャン処理部 2 5 0 は、C P U 2 0 0 により設定された設定に従い、スキャナ部 1 1 0 から入力される画像データに対し、シェーディング補正処理、M T F 補正処理、入力ガンマ補正やフィルタ処理等の画像処理を行い、D M A C 2 4 0 に画像データを出力する。回転処理部 2 5 1 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 1 から入力される画像データに対し 9 0 度、1 8 0 度、2 7 0 度の回転処理を行い、D M A C 2 4 1 に画像データを出力する。変倍処理部 2 5 2 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 2 から入力される画像データに対し 1 / 2 倍、1 / 4 倍等任意の倍率に変倍し、D M A C 2 4 2 に画像データを出力する。R I P 処理部 2 5 3 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 3 から入力されるP D L 画像に対しレンダリング処理を行い、D M A C 2 4 3 に画像データを出力する。
20

【 0 0 2 8 】

圧縮処理部 2 5 4 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 4 から入力される画像データに対し J P E G 、J B I G といった画像圧縮処理を行い、D M A C 2 4 4 に圧縮画像データを出力する。伸張処理部 2 5 5 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 5 から入力される J P E G 、J B I G のような圧縮画像データに対し伸張処理を行い、D M A C 2 4 5 に伸張後の画像データを出力する。プリント処理部 2 5 6 は、C P U 2 0 0 により設定された設定に従い、D M A C 2 4 5 から入力される画像データに対し、色空間変換処理、フィルタ処理、ハーフトーン処理等の画像処理を行い、プリンタ部 1 4 0 に画像データを出力する。
30

【 0 0 2 9 】

ここまで説明した D M A C 及びインターフェクトと M E M C 間のバス 2 9 0 ~ 2 9 8 は、標準バスである A X I _ B U S 等で接続されているものとする。

【 0 0 3 0 】

次に、M E M C 2 6 0 の内部構成について説明する。バッファ 2 6 1 ~ 2 6 4 は、各 D M A C 及びインターフェクトからの受信データ、及び、送信データを一時的にバッファリングするバッファである。各バッファ 2 6 1 ~ 2 6 4 は、バス 2 9 0 ~ 2 9 3 で一度にバースト転送可能なバッファサイズを少なくとも有する。また、各バッファ 2 6 1 ~ 2 6 4 は、バス 2 9 0 ~ 2 9 3 の動作周波数とバスコンバータの動作周波数が異なる場合には非同期対応バッファにもなる。バスコンバータ 2 6 5 は、各バッファ 2 6 1 ~ 2 6 4 のアクセス権をラウンドロビンで調停する調停機能と、R A M 2 7 0 へアクセスするためのプロトコルへの変換を行う。
40

【 0 0 3 1 】

帯域モニター 2 8 0 は、バス 2 9 0 ~ 2 9 3 の転送データ量をモニターし、転送データの合計帯域を算出する。合計帯域とは、R A M 2 7 0 に対する使用メモリ帯域を示す。算出した使用メモリ帯域は C P U 2 0 0 から読み出し可能である。また、帯域の閾値を C P U 2 0 0 から設定可能であり、使用メモリ帯域が設定された閾値以上か、或いは合計帯域が設定された閾値以下であることを検知することも可能である。詳細については、図 5 の帯域モニター 2 8 0 の詳細ブロック図を用いて後述する。
50

【0032】

<画像パス及びアクセス制御>

次に、図3A及び図3Bを参照して、本実施形態における画像パスと、本実施形態を適用した場合に、どのように画像データ転送が抑制されるかについて説明する。ここで、画像パスとは、コントローラ部120内部の画像データの流れのことと示す。なお、画像データの送受信や転送に関わる主体は、図3A及び図3Bに示す矢印を通過する各ブロックとなる。なお、図3Aには、図3(a)、図3(b)、及び図3(c)が含まれ、図3Bには、図3(d)及び図3(e)が含まれる。

【0033】

まず、図3(a)乃至図3(e)の図を説明するまでの前提について説明する。各画像処理部と画像処理部間で画像を転送する場合は、必ずRAM270を介して画像データの転送が行われる。また、各図に示す太い矢印は、リアルタイム処理が必須である画像パス(以下では、リアルタイム画像パスと称する。)を示し、細い矢印は非リアルタイム処理である画像パス(以下では非リアルタイム画像パスと称する。)を示す。本実施形態におけるリアルタイム画像パスは、スキャナ部110から画像データの入力が開始されRAM270に画像データを転送するパスと、RAM270に格納された画像データをプリンタ部140に転送するパスである。

10

【0034】

スキャナ部110は原稿画像を読み取るため、一度読み出しを開始すると途中で停止することができない。よって、スキャナ部110からコントローラ部120に画像データの入力が開始されると、コントローラ部120はある一定量の画像データをRAM270に止まることなく転送し続ける必要がある。一方、プリンタ部140は一度プリントを開始すると途中で停止することができない。よって、コントローラ部120は画像データをプリンタ部140に出力開始すると、コントローラ部120から一定量の画像データを常にRAM270から読み出しプリンタ部140に出力する必要がある。このように、ある一定時間で決まった画像データ転送を必ず常に行い続ける必要があるパスがリアルタイム画像パスとなる。

20

【0035】

ここから、図3(a)乃至図3(e)を参照して、本実施形態における画像パスの例と、本実施形態におけるRAM270へのデータ転送アクセス競合時の画像転送制御について説明する。より具体的には、データ転送アクセス競合時にメモリアクセスが混雑し、RAM270の使用メモリ帯域が、RAM270の実質的な転送帯域を超えそうになった場合の画像データ転送の抑制方法について説明する。

30

【0036】

図3(a)は、SENDジョブを実行する場合の画像パスの例であり、実線の矢印で示される。SENDジョブとは、スキャナ部110から読み取った画像データを圧縮し、ネットワーク150上に接続される図示しないPCやサーバに転送するジョブのことである。T1で、スキャナ部110から読み取った画像データがRAM270にスプールされる。続いて、T2で、T1でスプールした画像データがRAM270から圧縮処理部254に転送されてJPEG等の画像圧縮が行われ、T3で圧縮した圧縮画像データが圧縮処理部254からRAM270にスプールされる。その後、T4で、T3でスプールした圧縮画像データがRAM270からネットワークIF220を介してネットワーク上に転送される。

40

【0037】

図3(b)は、PDL_PRINTジョブを実行する場合の画像パスの例であり、破線の矢印で示される。PDL_PRINTジョブとは、ネットワーク150上に接続される図示しないPCから、プリント処理を行うための印刷データを受信し、プリンタ部140に出力し印刷するジョブのことである。T10で、ネットワーク上からPDLデータがネットワークIF220を介して受信され、RAM270にスプールされる。続いて、T11で、T10でスプールされたPDLデータがRAM270からRIP処理部253に転

50

送されてレンダリング処理が行われ、T12で画像データがRIP処理部253からRAM270にスプールされる。

【0038】

次に、T13で、T12でスプールされた画像データがRAM270から圧縮処理部254に転送されてJBIG等の画像圧縮が行われ、T14で圧縮した圧縮画像データが圧縮処理部254からRAM270にスプールされる。続いて、T15で、T14でスプールされた圧縮画像データがRAM270から伸張処理部255に転送されて画像伸張が行われ、T16で伸張した画像データが伸張処理部255からRAM270にスプールされる。T17で、T16でスプールされた画像データがRAM270から読み出されてプリント部140に出力される。

10

【0039】

図3(c)は、上記図3(a)と図3(b)に示すSENDジョブとPDL_PRIN Tジョブが同時に実行された場合の画像バスの例である。画像バスの説明については図3(a)と図3(b)で説明したため省略する。このようにSENDジョブとPDL_PRINTジョブが競合した場合には、当然動作する画像バスも増え、RAM270へのデータ転送量が増大、つまり使用メモリ帯域が増大する。

【0040】

RAM270の使用メモリ帯域が増大しRAM270の可能な転送帯域を上回ってしまうと、リアルタイム画像バスであるスキャン画像バス(T1)とプリント画像バス(T17)が必要な転送帯域が満たせなくなる。このような状況に陥ると、コントローラ部120のシステムとしては破綻してしまう。従って、このような状況を回避するため、本実施形態では、図3(d)に示すように、RAM270における使用メモリ帯域が、当該RAM270が可能な転送帯域を上回りそうな場合には、非リアルタイム画像バスのデータ転送を一時停止するよう制御する。具体的には、CPU20帯域モニター280を使用し、DMAC241~245を制御することにより実現する。このように制御することにより、コントローラ部120がシステムとして破綻しないことを保証する。

20

【0041】

また、図3(e)に示すように、RAM270で可能な転送帯域がある程度高い場合には、非リアルタイム画像バスの一部のみについては、RAM270でアクセスできるよう C P U 2 0 0 によって制御することも可能である。本実施形態では、リアルタイム画像バスの必要転送帯域は保証しつつ、SENDジョブができる限り優先して処理する場合を想定した動作である。しかしながら、本発明は、これに限定されず装置の仕様や設定等により他の処理を優先して処理するように制御してもよい。

30

【0042】

<転送帯域>

次に、図4を参照して、図3で説明したRAM270で可能な転送帯域、及び、スキャン画像バス(T1)とプリント画像バス(T17)の必要帯域の詳細について説明する。

【0043】

図4(a)はRAM270で可能な転送帯域(メモリ帯域)を示す。算出方法は以下の式(1)、

40

メモリ帯域 [MB/s] = メモリ動作周波数 [MHz] * メモリバス幅 [bit] * メモリ効率 [%] / 8 . . . (1)
となる。

【0044】

ここで、メモリ動作周波数はRAM270の動作周波数である。メモリバス幅はMEMC260とRAM270の間のデータ転送信号のバス幅のbit数である。メモリ効率は実際のMEMC260とRAM270の間の転送効率である。転送効率は、RAM270へのアクセスパターンにより変化するものである。

【0045】

図4(b)はスキャン画像バス(図3のT1)の必要帯域を示す。算出方法は以下の式

50

(2)、

スキャン画像バス必要帯域 = (1 ページあたりの画素数 * 1 componentあたりの bit 幅 * component 数) * (ipm / 60) * (1 / 1 - 画像転送以外の割合) / 8 . . . (2)

となる。

【 0 0 4 6 】

ここで、1ページあたりの画素数は、スキャン対象となる原稿の1ページ分の画素数である。例えば、600 [dpi] の A4 サイズの画素数は約 35 [M pixel] となる。Component (コンポーネント) については、例を挙げて説明する。例えばスキャン処理部 250 が RAM 270 に転送する画像データが RGB 画像で 1 色あたりの階調が 256 階調であれば、component あたりの bit 幅は 8 bit 幅であり、component 数は 3 色あるため 3 となる。また、スキャン処理部 250 が出力する画像データの階調が 1024 階調であれば component あたりの bit 幅は 10 bit となる。さらに、RGB の画像以外に文字・写真といった画像識別情報を加えて出力する場合は、RGB * 画像識別情報で component 数は 4 となる。ipm はスキャナ部 110 の読み取り性能を示し、1 分間に何枚の原稿をスキャンして読み出せるかを示す。画像転送以外の割合は、スキャナ部 110 から画像が入力される場合の実際に画像が転送されている以外の時間の割合を示す。

【 0 0 4 7 】

図 4 (c) はプリント画像バス (図 3 の T17) の必要帯域を示す。算出方法は以下の式 (3)、

プリント画像バス必要帯域 = (1 ページあたりの画素数 * 1 componentあたりの bit 幅 * component 数) * (ppm / 60) * (1 / 1 - 画像転送以外の割合) / 8 . . . (3)

となる。

【 0 0 4 8 】

式 (2)との算出方法の違いは、ipm と ppm のみであり、ppm は 1 分間に何枚のシート (記録媒体) にプリントできるかを示す。その他の変数等については式 (2) と同様であるため説明を省略する。

【 0 0 4 9 】

このように、RAM 270 は、画像形成装置 100 のスキャン読取速度及びプリント出力速度を少なくとも保証し、かつ、CPU 等が最低限動作可能なメモリ帯域を有するものを選択する必要がある。

【 0 0 5 0 】

具体的に図 4 の例を用いて、スキャン性能が図 4 (b) のスキャン帯域例 2 を前提とし、プリント性能が図 4 (c) のプリント帯域例 4 の前提として説明する。この場合、スキャン処理の必要帯域である 233 [MB / s] とプリント処理の必要帯域である 933 [MB / s] とを合わせて 1166 [MB / s] がメモリ帯域として最低限必要となる。より詳細には、CPU 200 等が少なくとも動作できる帯域についても最低保証する必要があるため、メモリ帯域は 1166 + [MB / s] が必要となる。CPU 200 が使用するメモリ帯域である。

【 0 0 5 1 】

よって、コントローラ部 120 がスキャン処理とプリント処理を同時に動作可能とする場合は、図 4 (a) に示すメモリ帯域例 1 のメモリ動作周波数が 1066 [MHz] のメモリは 1066 [MB / s] しか出ないため選択できない。従って、本実施形態においては、少なくとも図 4 (a) のメモリ帯域例 2 のメモリ動作周波数が 1866 [MHz] の 1866 [MB / s] の性能を有するメモリを選択する必要がある。余りの帯域を非リアルタイム画像バスに割り当てるため、より動作周波数の早いメモリを選択する、非リアルタイム画像バスも同時に動作できる可能性が高くなる。

【 0 0 5 2 】

10

20

30

40

50

以下では、図3(d)に示す動作を実現するための構成及びフローについて詳細に説明する。

【0053】

<帯域モニターの構成>

次に、図5を参照して、本実施形態に係る帯域モニター280の構成例について説明する。内部ブロックそれぞれについて詳細に説明する。帯域モニター280は、帯域計算部300、帯域閾値設定部310、311、及び帯域閾値検知部320、321を備える。

【0054】

帯域計算部300は、RAM270の使用メモリ帯域を測定するために用いられるものである。具体的には、バス290、291、292、293のデータ転送を帯域計算部300によりモニターし、RAM270の現在の使用メモリ帯域を算出する。帯域計算部300の算出する使用メモリ帯域は、CPU200から読み取り可能である。また、帯域計算部300は、算出した使用メモリ帯域を信号線を介して帯域閾値検知部320、321へ出力する。なお、図5では、バス290～293を概念的に矢印で示しているが、これはバス290～293を帯域モニター280がモニターし、情報を取得していることを示すものである。

【0055】

また、図5では、帯域計算部300から各DMAへ算出した使用メモリ帯域を出力している。これは、後述する第2の実施形態における構成であるため、ここでの説明は省略する。

10

20

【0056】

帯域閾値設定部310、311は、CPU200により帯域の閾値を設定することが可能である。帯域閾値設定部310、311に設定された閾値は、現在の帯域計算部300により計測されたRAM270の現在の使用メモリ帯域との比較に用いられる。

【0057】

帯域閾値検知部320、321は帯域閾値設定部310、311に設定された閾値と、帯域計算部300の算出する現在の使用メモリ帯域を比較し、CPU200に通知する。通知条件はCPU200から設定可能であり、帯域計算部300の算出する使用メモリ帯域が帯域閾値設定部310、311に設定された閾値を超えている場合、或いは帯域閾値設定部310、311に設定された閾値を下回る場合のいずれの条件設定が可能である。この帯域モニター280により、CPU200はRAM270の現在の使用メモリ帯域を知ることが可能となる。なお、本実施形態では、帯域閾値設定部及び帯域閾値検知部は2つしか設けていないが、複数の条件を作りたい場合は、3つ以上を設ける構成でもよい。

30

【0058】

<DMACの構成例>

次に、図6を参照して、本実施形態に係るDMAC241～245の構成例について説明する。内部ブロックそれぞれについて詳細に説明する。DMAC241～245は全てCPU200により制御される。DMAC241～245は、それぞれ送信バッファ400、WRITE_DMAC410、受信バッファ420、READ_DMAC430、及び転送許可設定部450を備える。

40

【0059】

送信バッファ400とWRITE_DMAC410とは、各画像処理部からRAM270にデータを転送(RAM270に書き込み)する場合に使用される。受信バッファ420とREAD_DMAC430とは、RAM270から各画像処理部にデータを転送(RAM270から読み出し)する場合に使用される。

【0060】

送信バッファ400は、各画像処理部から入力されるデータを一時的に保持するバッファである。WRITE_DMAC410はRAM270にデータを書き込むためのデータ転送を行うコントローラである。バースト転送を含め、一度に転送するデータが送信バッファ400に溜まっているかを確認し、溜まっているれば画像データをバス(294～29

50

8)に転送する。

【0061】

受信バッファ420は、READ_DMAC430から入力されるデータを一時的に保持するバッファである。受信バッファ420にデータが保持されると、各画像処理部にデータの転送を行う。READ_DMAC430は、受信バッファ420にバースト転送を含め、一度に受信するデータを格納するための空き領域があるかを確認し、空き領域がある場合に読み出し要求をバス(294~298)に出力し、画像データを受信する。

【0062】

転送許可設定部450は、WRITE_DMAC410及びREAD_DMAC430のデータ転送を行える状態とするか、データ転送を停止させるかを制御するための設定部で、CPU200により設定される。WRITE_DMAC410及びREAD_DMAC430は、転送許可設定部450の出力するEnable信号が許可の場合にはデータ転送のリクエストを上げることが可能である。一方、Enable信号が停止の場合にはデータ転送のリクエストを上げることができなくなる。例えば、バス294~298は本実施形態においてAXI_BUSであるので、ライトアドレスチャネル及びリードアドレスチャネルからVALID信号をアサートしないよう制御される。

<処理フロー>

次に、図7を参照して、本実施形態におけるメモリの使用メモリ帯域に応じた帯域抑制方法を制御する処理フローについて説明する。以下で説明する処理は、例えばCPU200がROM211に格納されている制御プログラムをRAM270に読み出して実行することにより実現される。

【0063】

S101で、CPU200は、帯域モニター280で監視している使用メモリ帯域が閾値以上になつてないかを判断する。閾値以上になつてない場合はS101の判断を繰り返し行う。閾値以上になつた場合はS102に進む。使用メモリ帯域が閾値以上になるかの判断方法は、帯域モニター280内の帯域閾値検知部320からの通知で検知することができる。本閾値とは、図4(a)に示したメモリ帯域のことであり、帯域閾値設定部310、311に予め設定されているものである。

【0064】

S102で、CPU200は、使用メモリ帯域が閾値以上になつたため、低優先度の処理用である非リアルタイム画像バスで使用されるDMAC241~245の転送許可設定部450に停止設定を行う。当該停止設定により、DMAC241~245はデータ転送リクエストを上げないよう動作し、RAM270の使用メモリ帯域が下がり、図4(a)に記載のメモリ帯域を超えないよう制御することが可能となる。

【0065】

S103で、CPU200は、帯域モニター280で監視している使用メモリ帯域が閾値以下になつてないかを判断する。閾値以下になつてない場合はS103の判断を繰り返し行う。閾値以下になつた場合はS104に進む。使用メモリ帯域が閾値以下になるかの判断方法は、帯域モニター280内の帯域閾値検知部321からの通知で検知する。

【0066】

S104で、CPU200は、使用メモリ帯域が閾値以下になつたため、非リアルタイム画像バスで使用されるDMAC241~245の転送許可設定部450に許可設定を行う。当該許可設定により、DMAC241~245はデータ転送リクエストを上げることが可能となる。即ち、ここでは、S102で行ったメモリへのアクセス制限を解除している。

【0067】

例えば、帯域閾値設定部311に設定する値を図4(a)に記載のメモリ帯域より少し小さい値を設定したとする。この場合、S102でDMAC241~245のデータ転送停止後すぐにS103で使用メモリ帯域が閾値以下となり、S104でDMAC241~245がデータ転送を再開するといった処理を繰り返すことになる。また、帯域閾値設定

10

20

30

40

50

部 3 1 1 に設定する値を図 4 (a) に記載のメモリ帯域よりかなり小さい値にしたとする。この場合、帯域閾値設定部 3 1 1 に設定する値を図 4 (a) に記載のメモリ帯域より少し小さい値を設定した場合のように、頻繁に転送許可設定部 4 5 0 の設定を行うこともなくなる。

【 0 0 6 8 】

また、本実施形態では閾値は 2 つのみで実現しているが、図 5 の説明にあるように、帯域閾値設定部 3 1 0 及び帯域閾値検知部 3 2 0 を複数設けることも可能である。複数の閾値を用意しておくことで、それぞれの閾値に応じ各 D M A C (2 4 1 ~ 2 4 5) を停止・再開するよう C P U 2 0 0 が制御することで、図 3 (e) に記載の動作を実現することが可能となる。この変形例は、後述する第 2 及び第 3 の実施形態にも適用可能である。 10

【 0 0 6 9 】

より具体的に例を挙げて説明する。例えば、3 つの帯域閾値設定部 3 1 0 を設け、それぞれ 1 8 6 6 [M B / s] を超えた場合、1 5 0 0 [M B / s] を下回った場合、1 2 0 0 [M B / s] を下回った場合の 3 つの閾値を設定しているとする。各 D M A C 2 4 1 ~ 2 4 5 の S 1 0 1 で検出する閾値は 1 8 6 6 [M B / s] と共通である。一方、S 1 0 3 で検出する閾値として、D M A C 2 4 4 については 1 5 0 0 [M B / s] を使用し、D M A C 2 4 1 、 2 4 2 、 2 4 3 、 2 4 5 については 1 2 0 0 [M B / s] を使用するとする。

【 0 0 7 0 】

この場合、図 3 (c) の状態になると、まず 1 8 6 6 [M B / s] を超えてしまうので、図 3 (d) の状態になり、D M A C 2 4 1 ~ 2 4 5 が全て一度停止する。この状態になるとやがて使用メモリ帯域が少なくなり、その後、使用メモリ帯域が 1 5 0 0 [M B / s] を下回る。この状態になると、D M A C 2 4 4 のみが動作可能となる。この状態で 1 2 0 0 [M B / s] を下回ると、他の D M A C 2 4 1 ~ 2 4 5 も動作を開始するようになり、1 2 0 0 [M B / s] を下回らない場合は、図 3 (e) の状態が保持される状況となる。 20

【 0 0 7 1 】

なお、変形例として各 D M A C 処理を停止又は再開するメモリ使用メモリ帯域を検知するための帯域閾値設定部 3 1 0 及び帯域閾値検知部 3 2 0 を備え、各 D M A C 毎に制御できる設定値を設定してもよい。これにより、各 D M A C 2 4 1 ~ 2 4 5 に優先度を付けたように動作させることが可能である。この変形例は、後述する第 2 及び第 3 の実施形態にも適用可能である。 30

【 0 0 7 2 】

以上説明したように、本実施形態に係るメモリアクセスシステムは、メモリと複数のマスターとの間で使用されているメモリ帯域の合計を示す使用メモリ帯域を監視し、当該使用メモリ帯域が第 1 の閾値以上であるか否かを C P U で判断する。また、本メモリアクセスシステムは、上記 C P U の判断に基づいて、複数のマスターのうち優先度の低いマスターによるメモリへのアクセスを制限する。このように、本実施形態では、R A M 2 7 0 で使用されているメモリ帯域をモニターし、R A M 2 7 0 で可能なメモリ帯域を超えそうになった場合にのみ非リアルタイム処理部からの R A M 2 7 0 へのメモリアクセス要求を発生しないように制御する。これにより、本実施形態によれば、R A M 2 7 0 の使用可能な帯域を最大限使用しつつ、即ち、非リアルタイム処理部も限りなく使用可能な状況としつつ、リアルタイム処理部の転送帯域を保証することが可能となる。 40

【 0 0 7 3 】

< 第 2 の実施形態 >

以下では、本発明の第 2 の実施形態について説明する。上記第 1 の実施形態は、R A M 2 7 0 の使用メモリ帯域がメモリ帯域に到達しそうになった場合に、C P U 2 0 0 に帯域モニター 2 8 0 の監視結果を通知し、C P U 2 0 0 が D M A C 2 4 1 ~ 2 4 5 を制御することでリアルタイム画像バスの帯域保証を行った。上記第 1 実施形態では、メモリ帯域が閾値に達してから C P U 2 0 0 が制御するため最終的に D M A C 2 4 1 ~ 2 4 5 の転送許

可設定部 450 の停止設定を行うまでは少し時間要する。その少しの時間の間に、メモリ帯域の閾値を上回ってしまう可能性があるため、帯域閾値設定部 310 に設定する閾値は少しマージンを持たせて設定する必要がある。

【0074】

一方、本実施形態では、上記第1の実施形態と異なる点として、DMAC241～245 の転送許可設定部 450 が CPU200 によって設定されるのではなく、DMAC241～245 内のハードウェアで制御を行う。ハードウェアで制御を行うことで、即座に転送許可設定部 450 の停止設定が行えるため、メモリ帯域の上限までメモリ転送帯域を使用することが可能となる。そのため、図5に示すように、本実施形態では、帯域計算部 300 が算出した使用メモリ帯域が各 DMAC241～245 へ通知される。DMAC241～245 は、通知された使用メモリ帯域に基づいて各マスターの RAM270 へのアクセスを制御する。10

【0075】

< DMAC の構成 >

図8を参照して、本実施形態に係る DMAC241～245 の構成例について説明する。内部ブロックそれぞれについて詳細に説明する。DMAC241～245 は全て CPU200 により制御される。DMAC241～245 は、上記第1の実施形態で説明した図6の構成と同様に、それぞれ送信バッファ 400、WRITE_DMAC410、受信バッファ 420、READ_DMAC430、及び転送許可設定部 450 を備える。さらに、本実施形態に係る DMAC241～245 は、転送許可判定部 560、及び閾値設定部 561 を備える。20

【0076】

送信バッファ 400・WRITE_DMAC410・受信バッファ 420・READ_DMAC430 については図6で説明した構成と同様であるため説明は割愛する。以下では、図6に示した上記第1実施形態との差分について主に説明する。

【0077】

各 DMAC241～245 と MEMC260 との間のそれぞれには、帯域モニター 280 の帯域計算部 300 が使用メモリ帯域を算出するための信号線が接続される。閾値設定部 561 は CPU200 により設定することが可能であり、帯域計算部 300 が算出する使用メモリ帯域と比較するための閾値を設定する。転送許可判定部 560 は、帯域計算部 300 が算出する使用メモリ帯域と、閾値設定部 561 の値を比較し、使用メモリ帯域が閾値設定部 561 に設定された閾値以上の場合は、停止設定を行うと判定する。一方、使用メモリ帯域が閾値設定部 561 に設定された閾値未満の場合は、転送許可判定部 560 は、許可設定を行うと判定する。当該判定結果は、転送許可設定部 450 に通知される。30

【0078】

転送許可設定部 450 は、上記第1実施形態と同じ構成であるが、CPU200 によって制御されるのではなく、転送許可判定部 560 による判定結果に応じて制御される点のみ異なる。

【0079】

また、本実施形態では、閾値設定部 561 にはある 1 つの閾値を設定し、転送許可判定部 560 はその閾値以上か未満かにより転送許可設定部の停止・許可設定を行っている。しかしながら、上記第1の実施形態のように、ある閾値を超えた場合に転送停止設定を行い、ある閾値を下回った場合に転送許可設定を行う構成としてもよい。40

【0080】

ここで、本実施形態の構成を採用する場合における、図3(c)乃至図3(e)に示す動作を行わせるための設定例について説明する。例えば、図7のフローチャートの説明と同様の動作をさせるための説明を行う。

【0081】

各 DMAC241～245 の閾値設定部 561 で停止設定を行う閾値を 1866 [MB/s] に設定する。DMAC244 の許可設定閾値には 1500 [MB/s] を設定し、50

D M A C 2 4 1、2 4 2、2 4 3、2 4 5 の許可設定閾値には 1 2 0 0 [M B / s] を設定しておく。このように設定しておくことで、図 3 (c) 乃至図 3 (e) に示す動作を上記第 1 の実施形態と同じように動作させることが可能となる。

【 0 0 8 2 】

当然別の設定値でも構わない。例えば、D M A C 2 4 1、2 4 2、2 4 3、2 4 5 の閾値設定部 5 6 1 で停止設定を行う閾値を 1 5 0 0 [M B / s] としておけば、D M A C 2 4 0、D M A C 2 4 6 が動作する転送帯域が保証されることはもちろんである。さらには、非リアルタイム画像バスであるが優先的に処理したい D M A C 2 4 4 の動作する割合を高くすることも可能である。

【 0 0 8 3 】

以上説明したように、本実施形態に係るメモリアクセスシステムは、メモリと複数のマスターとの間で使用されているメモリ帯域の合計を示す使用メモリ帯域を監視し、当該使用メモリ帯域が第 1 の閾値以上であるか否かを D M A C で判断する。また、D M A C は、当該判断結果に基づき、複数のマスターのうち優先度の低いマスターによるメモリへのアクセスを制限する。このように、本実施形態では、D M A C 2 4 1 ~ 2 4 5 の転送許可設定部 4 5 0 を D M A C 2 4 1 ~ 2 4 5 内のハードウェアである転送許可判定部 5 6 0 が行う。これにより、C P U 2 0 0 で転送許可設定部 4 5 0 よりも即座に転送許可設定部 4 5 0 の停止設定を行うことが可能となる。よって、上記第 1 の実施形態と比べ、よりメモリ帯域の上限までメモリ転送帯域を使用することが可能となる。

【 0 0 8 4 】

< 第 3 の実施形態 >

以下では、本発明の第 3 の実施形態について説明する。本実施形態では、図 3 (d) に示すように、R A M 2 7 0 の使用メモリ帯域が R A M 2 7 0 で可能な転送帯域（メモリ帯域）を上回りそうな場合には、非リアルタイム画像バスのデータ転送の使用メモリ帯域を減らすためにバースト長を短くするように制御する。具体的には、C P U 2 0 0 が帯域モニター 2 8 0 を使用して、D M A C 2 4 1 ~ 2 4 5 を制御することで上記制御を実現する。図 3 (d) において、バースト長を短くした S E N D ジョブの非リアルタイム画像バスは点線の矢印で示され、バースト長を短くした P D L _ P R I N T ジョブの非リアルタイム画像バスは一点鎖線の矢印で示される。このように制御することにより、コントローラ部 1 2 0 がシステムとして破綻しないことを保証することができる。

【 0 0 8 5 】

< D M A C の構成 >

次に、図 9 を参照して、本実施形態における D M A C 2 4 1 ~ 2 4 5 の構成例について説明する。内部ブロックそれぞれについて詳細に説明する。D M A C 2 4 1 ~ 2 4 5 は全て C P U 2 0 0 により制御される。ここでは、上記第 1 の実施形態で説明した構成と異なる構成についてのみ説明する。

【 0 0 8 6 】

本実施形態に係る D M A C 2 4 1 ~ 2 4 5 はそれぞれ、図 6 の転送許可設定部 4 5 0 の構成に代えて、バースト長設定部 4 8 0 を備える。バースト長設定部 4 8 0 は、W R I T E _ D M A C 4 1 0 及び R E A D _ D M A C 4 3 0 のデータ転送時のバースト長を制御するための設定部であり、C P U 2 0 0 により設定される。W R I T E _ D M A C 4 1 0 及び R E A D _ D M A C 4 3 0 は、バースト長設定部 4 8 0 の出力するバースト長に従って、送信バッファ 4 0 0 のデータの書き込み要求及び受信バッファ 4 2 0 へのデータの読み出し要求を出力する。

【 0 0 8 7 】

また、D M A C のバースト長の初期値は設定可能な最大バーストサイズに設定される。当該最大バーストサイズは、バースト長設定部 4 8 0 に設定可能な最大バーストサイズ、又は D M A C がアクセスするバッファ（2 6 1 ~ 2 6 4 の何れか）と送信バッファ 4 0 0 と受信バッファ 4 2 0 のそれぞれが格納できる最大バーストサイズから決定される。

【 0 0 8 8 】

10

20

30

40

50

<処理フロー>

次に、図10を参照して、本実施形態におけるメモリの使用メモリ帯域に応じた帯域抑制方法を制御する処理フローについて説明する。以下で説明する処理は、例えばCPU200がROM211に格納されている制御プログラムをRAM270に読み出して実行することにより実現される。なお、ここでは、上記第1の実施形態で説明した図7の制御と異なるステップのみ説明する。即ち、処理フローでは、S102及びS104に代えて、S1001及びS1002が実行される。

【0089】

S1001で、CPU200は、使用メモリ帯域が閾値以上になってしまったため、非リアルタイム画像バスで使用されるDMAC241～245のバースト長設定部480にバースト長を短くする変更設定を行う。当該変更設定により、DMAC241～245はデータ転送リクエストに対するデータ転送量が少なくなるよう動作し、RAM270の使用メモリ帯域が下がり、図4(a)に記載のメモリ帯域を超えないよう制御することが可能となる。10

【0090】

また、S103で使用メモリ帯域が閾値以下になったと判断すると、S1002に進み、CPU200は、非リアルタイム画像バスで使用されるDMAC241～245のバースト長設定部480にバースト長を長くする変更設定を行う。当該変更設定により、DMAC241～245はデータ転送リクエストに対するデータ転送量が多くなるよう動作し、RAM270の使用メモリ帯域を上げることが可能となる。20

【0091】

例えば、帯域閾値設定部311に設定する値を図4(a)に記載のメモリ帯域より少し小さい値にしてもよい。この場合、S1001でDMAC241～245のデータ転送停止後すぐにS103で使用メモリ帯域が閾値以下となり、S1002でDMAC241～245がデータ転送を再開するといった処理を繰り返すことができる。また、帯域閾値設定部311に設定する値を図4(a)に記載のメモリ帯域よりかなり小さい値にしてもよい。この場合、帯域閾値設定部311に設定する値を図4(a)に記載のメモリ帯域より少し小さい値を設定した場合のように、頻繁にバースト長設定部480の設定を行うこともなくなる。

【0092】

また、本実施形態では閾値は2つのみで実現しているが、図5の説明にあるように、帯域閾値設定部310及び帯域閾値検知部320は複数備えることも可能である。複数の閾値を用意しておくことで、それぞれの閾値に応じ各DMAC(241～245)のバースト長を変更するようCPU200が制御し、図3(e)に記載の動作を実現することが可能となる。より詳細には、帯域閾値設定部310を3つ設け、それぞれ1866[MB/s]を超えた場合、1500[MB/s]を下回った場合、1200[MB/s]を下回った場合の3つの閾値を設定する。また、各DMACのバースト長の初期設定値はバースト長を8とする。各DMAC241～245のS101で検出する閾値は1866[MB/s]と共に通である。S103で検出する閾値がDMAC244は1500[MB/s]及び1200[MB/s]を使用し、DMAC241、242、243、245は1200[MB/s]のみを使用するとする。3040

【0093】

この場合、図3(c)の状態になると、まず1866[MB/s]を超てしまうので、図3(d)の状態になり、DMAC241～245が全て短いバースト長(バースト長2)に変更される。この状態になるとやがて使用メモリ帯域が少なくなり、その後使用メモリ帯域が1500[MB/s]を下回る。この状態になると、DMAC244のみが長いバースト長(バースト長4)に変更される。この状態で1200[MB/s]を下回ると、各DMAC(241～245)を最大バースト長(バースト長8)に変更されるようになり、1200[MB/s]を下回らない場合は、図3(e)の状態が保持される状況となる。50

【0094】

このように、帯域閾値に応じてバースト長を段階的に変更することで、帯域に応じた使用メモリ帯域の制御が可能となる。本実施形態では一例を記載したが、各DMAのバースト長を変更するメモリ使用メモリ帯域を検出するための帯域閾値設定部310及び帯域閾値検知部320を設け、DMA毎に制御できる設定値を設定してもよい。これにより、各DMA241～245に優先度を付けたように動作させることが可能となる。

【0095】

<タイミングチャート>

次に、図11A及び図11Bを参照して、リアルタイム処理のSENDジョブの書き込み画像データ転送及びPDL_PRINTジョブの読み出し画像データ転送と、非リアルタイム処理の書き込み画像データ転送が同時に発生した場合の動作を説明する。ここでは、DMA240、246及び244は、266MHzで動作するバス幅128bitのバスに接続され、それぞれバースト長8のリクエストを発行するものとする。また、RAM270は533MHzの両エッジでデータ転送が行われるバス幅32bitのRAMである。つまり、バスのバースト長1のデータは、RAMクロックの4サイクル分で転送される。

【0096】

以下では、非リアルタイム処理のバースト長を短く変更しない場合とバースト長を短く変更した場合の使用メモリ帯域について説明する。まず、図11Aを用いて、非リアルタイム処理のバースト長を短くしない場合の動作について説明する。

【0097】

サイクル1において、DMA240、246、244がバスリクエスト(Request)を発行する。DMA240、244が書き込む画像データ(DataS0、DataL0)はサイクル3からサイクル10にわたって転送され、バッファ261、262に書き込まれる。一方、DMA246のバスリクエスト(Request)はRAM270からの読み出しリクエストのため、サイクル3からサイクル10にわたってRAM270から画像データの読み出しが行われる。

【0098】

次に、サイクル12からサイクル19において、バッファ261に格納されたDMA240からの書き込み画像データ(DataS0)がRAM270に転送される。一方、RAM270から読み出された読み出し画像データ(DataP0)がDMA246に転送される。

【0099】

サイクル21では、DMA240は、バッファ261の画像データ(DataS0)がRAM270に書き込まれてバッファに空きがあるため、次のバスリクエスト(Request)を発行する。また、同様に、DMA246は、バスリクエスト(Request)に対する読み出しデータ(DataP0)の読み出しが完了したため、次のバスリクエスト(Request)を発行する。

【0100】

サイクル21からサイクル28にわたって、バッファ262に書き込まれた画像データ(DataL0)の書き込みが行われる。サイクル30において、DMA244は、バッファ262の画像データ(DataL0)がRAM270に書き込まれてバッファに空きがあるため、次のバスリクエスト(Request)を発行する。

【0101】

このように、RAM270への画像データの転送は順に行われる。また、リアルタイム処理であるDMA240、246の2回分のバスリクエストに対する画像データの転送はサイクル46で完了する。

【0102】

続いて、図11Bを用いて、非リアルタイム処理のバースト長をバースト長2に変更した場合の動作について説明する。DMA240、246の動作について、サイクル1か

10

20

30

40

50

らサイクル21までは図11Aと同様のため説明は割愛する。

【0103】

一方、D M A C 2 4 4 は、バースト長2の設定のため、サイクル3からサイクル4で画像データ(DataL0)がバッファ262に書き込まれる。バッファ262に書き込まれた画像データ(DataL0)は、サイクル21からサイクル22でR A M 2 7 0 に書き込まれる。

【0104】

D M A C 2 4 4 からの画像データの転送はバースト長2のため、R A M 2 7 0 への画像転送はサイクル22で解放される。従って、サイクル21で発行されたバスリクエスト(R e q P 1)の画像データの読み出しがサイクル24からサイクル31で行われ、サイクル33からサイクル40でD M A C 2 4 0 からの画像データ(DataS1)の書き込みが行われる。

【0105】

このように、非リアルタイム処理であるD M A C 2 4 4 におけるバースト長をバースト長2に変更した場合、リアルタイム処理であるD M A C 2 4 0 、246の2回分のバスリクエストに対する画像データの転送はサイクル40で完了する。なお、ここでは、リアルタイム処理をバースト長8、非リアルタイム処理をバースト長2とした一例を記載した。しかしながら、本発明はこれに限定されず、リアルタイム処理のバースト長を更に長くしたり、非リアルタイム処理のバースト長を更に短くすることで、リアルタイム処理に割り当てる帯域を上げることが可能である。

【0106】

以上説明したように、本実施形態によれば、R A M 2 7 0 で使用されている使用メモリ帯域をモニターし、R A M 2 7 0 で可能なメモリ帯域を超えそうになった場合にのみ非リアルタイム処理部からのR A M 2 7 0 へのメモリアクセス要求に対する使用メモリ帯域を下げる。これにより、R A M 2 7 0 の使用可能な帯域を最大限使用しつつ、即ち、非リアルタイム処理部も限りなく使用可能な状況としつつ、リアルタイム処理部の転送帯域を保証することが可能となる。なお、本実施形態は、上記第1及び第2の実施形態とそれぞれ組み合わせて適用することが可能である。即ち、メモリアクセス要求に対する使用メモリ帯域を下げる判定をC P U 2 0 0 で行ってもよいし、各D M A C で行ってもよい。

【0107】

<その他の実施形態>

本発明は、上述の実施形態の1以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける1つ以上のプロセッサーがプログラムを読み出し実行する処理でも実現可能である。また、1以上の機能を実現する回路(例えば、A S I C)によっても実現可能である。

【符号の説明】

【0108】

100：画像形成装置、110：スキャナ部、120：コントローラ部、130：操作部、140：プリンタ部、200：C P U 、210：R O M C 、211：R O M 、220：ネットワークI F 、230、231：インターフェクト、240～246：D M A C 、250：スキャン処理部、251：回転処理部、252：変倍処理部、253：R I P 処理部、254：圧縮処理部、255：伸張処理部、256：プリント処理部、260：M E M C (メモリコントローラ)、261～264：バス、265：バスコントローラ、270：R A M 、280：帯域モニター

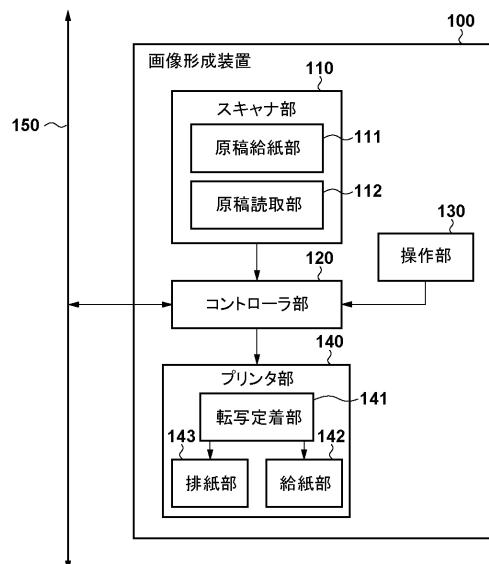
10

20

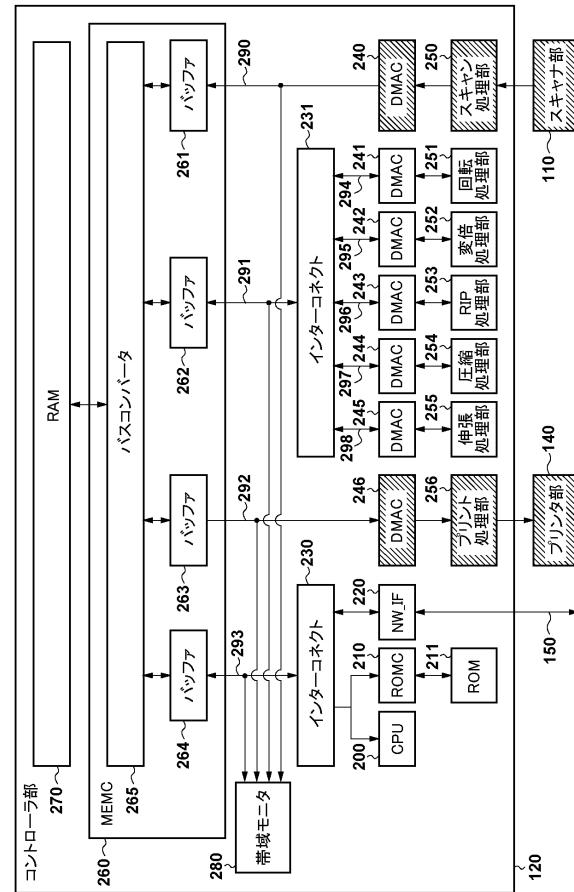
30

40

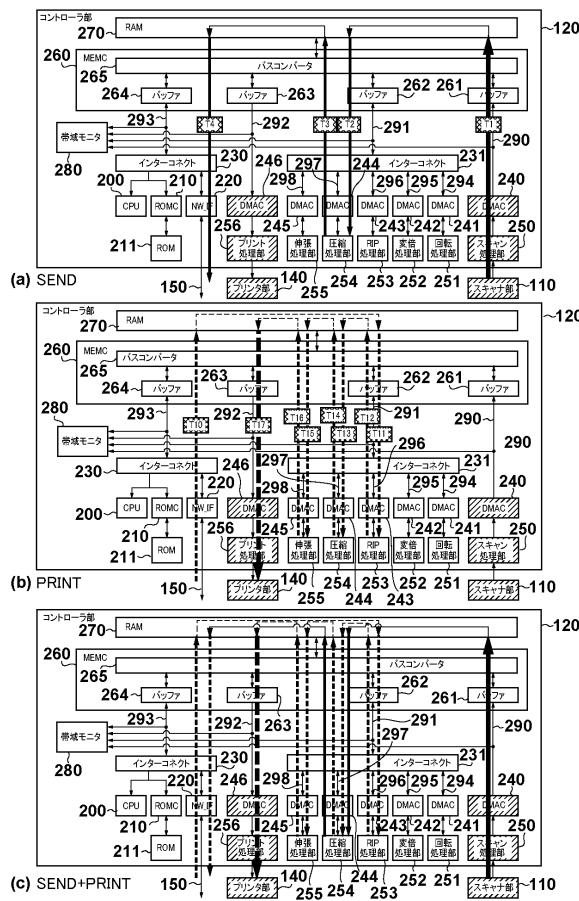
【 四 1 】



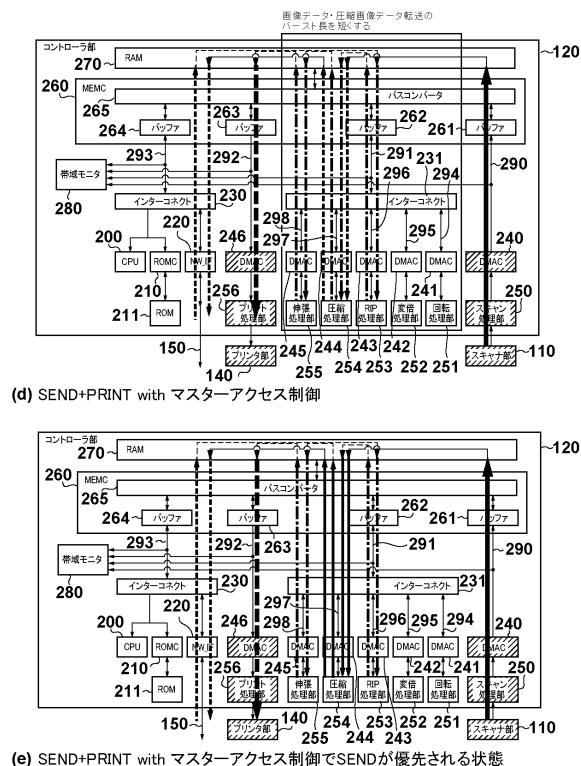
【 义 2 】



【図3A】



【図3B】



【図4】

(a) メモリ帯域(RAM270が放出せる帯域)

例	動作周波数 [MHz]	メモリバス幅 [bit]	メモリ効率	メモリ帯域 [MB/s]
メモリ帯域例1	1066	32	25%	1066
メモリ帯域例2	1866	32	25%	1866
メモリ帯域例3	2400	32	25%	2400

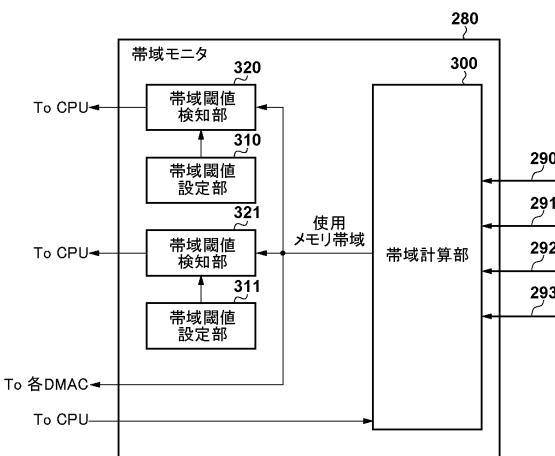
(b) スキャン画像バス必要帯域(図3のT1の画像バス)

例	解像度	1ページあたり の画素数(A4) [Mpix]	component 数	component 幅 [bit]	ppm 以外の割合 (紙間等)	画像転送 SCAN画像バス 必要帯域 [MB/s]
メモリ帯域例1	600dpi	35	8	3	30	25%
メモリ帯域例2	600dpi	35	8	3	100	25%

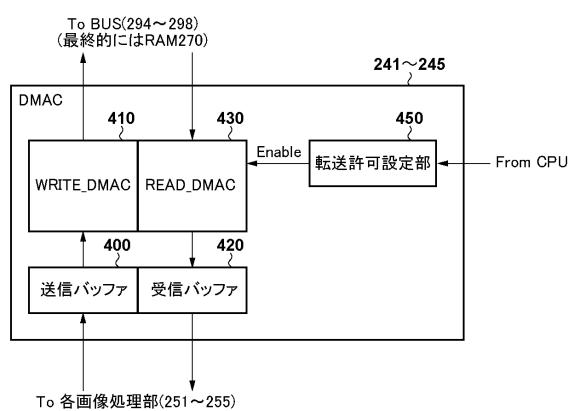
(c) プリント画像バス必要帯域(図3のT1の画像バス)

例	解像度	1ページあたり の画素数(A4) [Mpix]	component 数	component 幅 [bit]	ppm 以外の割合 (紙間等)	画像転送 PRINT画像バス 必要帯域 [MB/s]
メモリ帯域例1	600dpi	35	8	3	30	25%
メモリ帯域例2	600dpi	35	8	3	100	25%
メモリ帯域例3	1200dpi	140	8	3	30	25%
メモリ帯域例4	1200dpi	140	8	3	100	25%

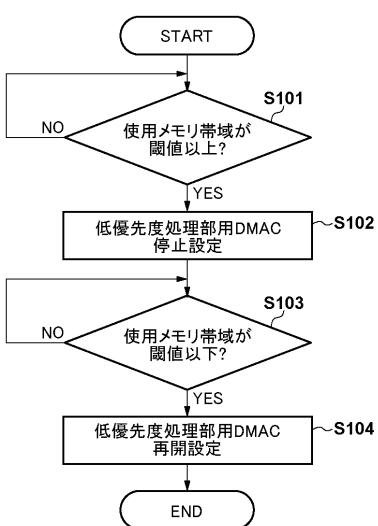
【図5】



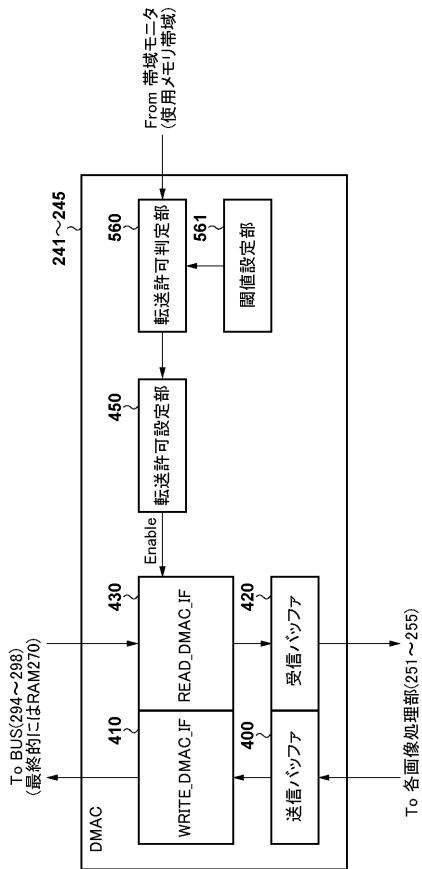
【図6】



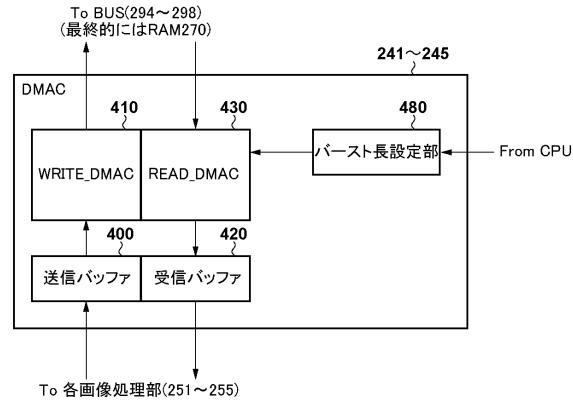
【図7】



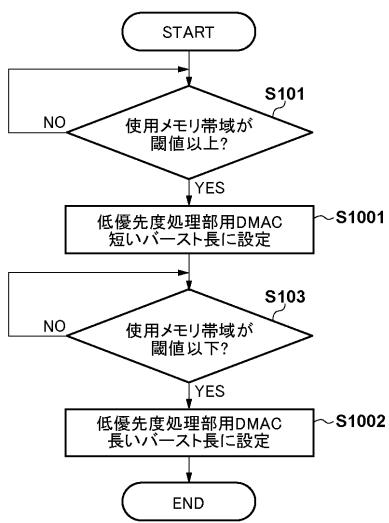
【 四 8 】



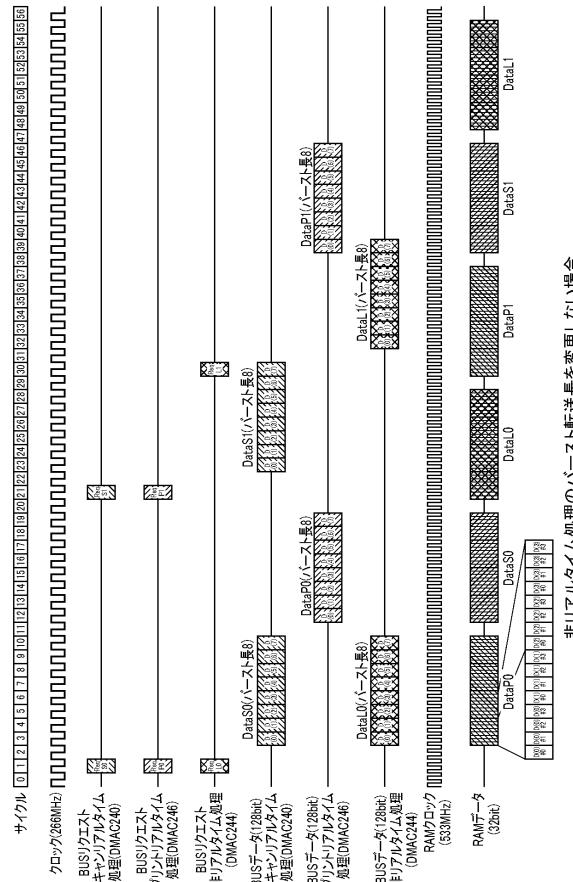
〔 四 9 〕



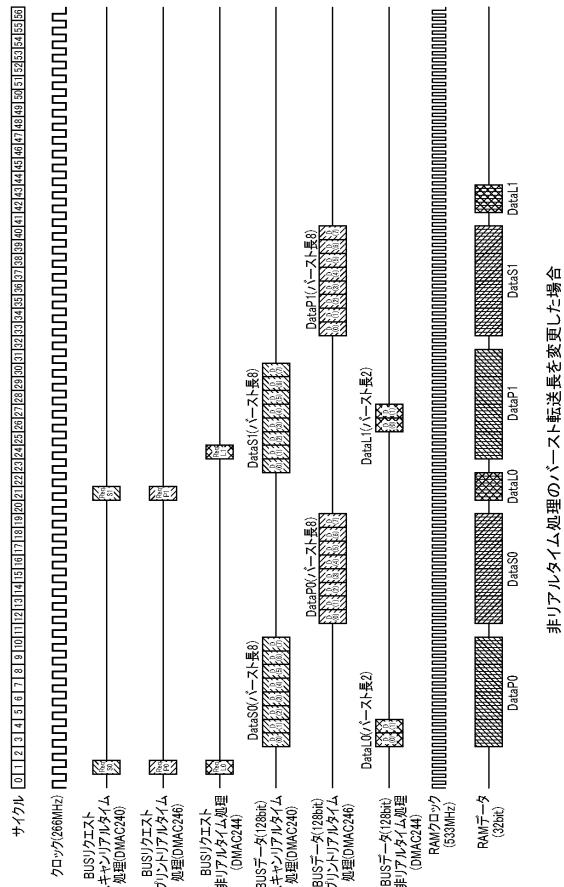
【 図 1 0 】



【図11A】



【図 1 1 B】



フロントページの続き

(51)Int.Cl.

F I

G 0 6 F 13/362 5 1 0 D

- (56)参考文献 特開2009-043089(JP,A)
特開2011-095967(JP,A)
特開2005-316608(JP,A)
特開2000-148670(JP,A)
特開2000-066995(JP,A)
特開2003-006139(JP,A)
特開2010-039767(JP,A)
特開2012-003636(JP,A)
特開2016-090869(JP,A)
国際公開第2009/139109(WO,A1)
国際公開第2017/056132(WO,A1)

(58)調査した分野(Int.Cl., DB名)

B 4 1 J 2 9 / 0 0 - 2 9 / 7 0

G 0 6 F 3 / 0 0

3 / 1 8

1 3 / 0 0 - 1 3 / 1 4

1 3 / 2 0 - 1 3 / 4 2

H 0 4 N 1 / 2 1