

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年9月28日(28.09.2023)



(10) 国際公開番号

WO 2023/181639 A1

- (51) 国際特許分類:
H01S 5/042 (2006.01) *G01S 7/484* (2006.01)
G01C 3/06 (2006.01) *H01S 5/42* (2006.01)
G01S 7/481 (2006.01) *G01S 17/931* (2020.01)
- (21) 国際出願番号: PCT/JP2023/002833
- (22) 国際出願日: 2023年1月30日(30.01.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-050157 2022年3月25日(25.03.2022) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

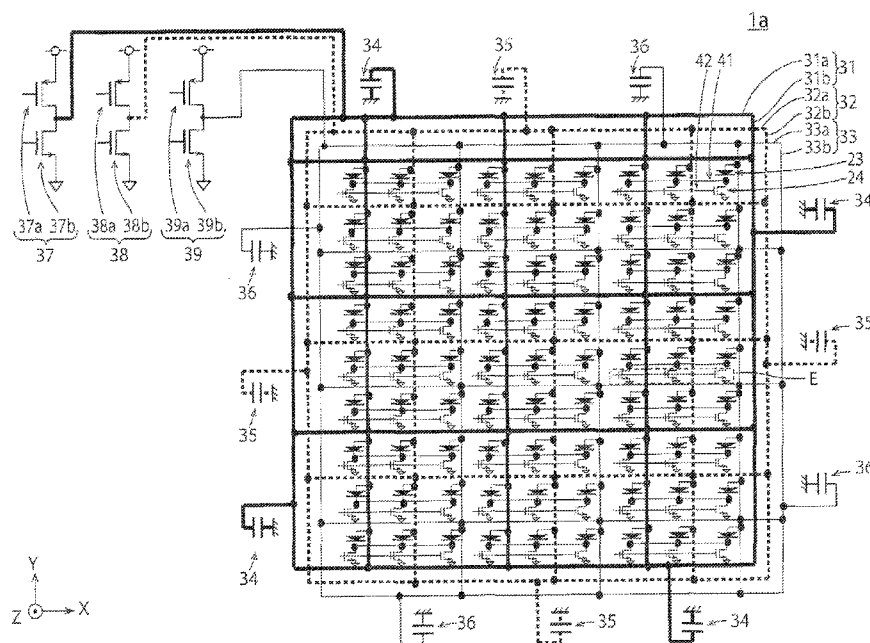
(72) 発明者: 上水流 隼人 (KAMIZURU Hayato); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 小西 義生 (KONISHI Yoshio); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 宮嶋 学 (MIYAJIMA Manabu); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(54) Title: LIGHT EMITTING DEVICE AND DISTANCE MEASURING DEVICE

(54) 発明の名称: 発光装置および測距装置

[図4]



(57) Abstract: [Problem] To provide a light emitting device and a distance measuring device in which the wiring for a light emitting element can be structured in a preferable manner. [Solution] A light emitting device of the present disclosure comprises: a plurality of light emitting elements that are arranged in a 2-dimensional array and that each have a first and a second terminals; a plurality of first terminal wires that include a first to an N-th lateral wires (N is an integer greater than or equal to 2) extending in a lateral direction, and a first to an N-th longitudinal wires extending in a longitudinal direction



WO 2023/181639 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

and being respectively electrically connected to the first to N-th lateral wires, and that are electrically connected to the first terminals of the light emitting elements; a plurality of second terminal wires that are electrically connected to the second terminals of the light emitting elements and each of which is electrically connected to N of the light emitting elements; a plurality of selection circuits that are electrically connected to one of the first or second terminal wires to select the light emitting elements to be caused to generate light; and a plurality of drive circuits that are electrically connected to the other of the first or second terminal wires to drive the light emitting elements.

(57) 要約 : [課題] 発光素子用の配線の構造を好適化することが可能な発光装置および測距装置を提供する。 [解決手段] 本開示の発光装置は、2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、横方向に延びる第1~第N横配線 (Nは2以上の整数) と、縦方向に延び、前記第1~第N横配線にそれぞれ電氣的に接続された第1~第N縦配線とを含み、前記発光素子の前記第1端子に電氣的に接続された複数の第1端子配線と、前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのN個に電氣的に接続された複数の第2端子配線と、前記第1および第2端子配線の一方に電氣的に接続され、光を発生させる前記発光素子を選択する複数の選択回路と、前記第1および第2端子配線の他方に電氣的に接続され、前記発光素子を駆動させる複数の駆動回路とを備える。

明 細 書

発明の名称：発光装置および測距装置

技術分野

[0001] 本開示は、発光装置および測距装置に関する。

背景技術

[0002] 半導体レーザーの一種として、VCSEL (Vertical Cavity Surface Emitting Laser) 等の面発光レーザーが知られている。一般に、面発光レーザーを利用した発光装置では、基板の表面または裏面に複数の発光素子が2次元アレイ状に設けられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-96169号公報

発明の概要

発明が解決しようとする課題

[0004] VCSELの発光素子を個別に発光させる場合、発光素子の個数が多くなると、発光素子用の配線が長くなる。その結果、各配線のインピーダンスが大きくなることや、配線間のインピーダンスの差が大きくなることが問題となる。

[0005] そこで、本開示は、発光素子用の配線の構造を最適化することが可能な発光装置および測距装置を提供する。

課題を解決するための手段

[0006] 本開示の第1の側面の発光装置は、2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、横方向に延びる第1～第N横配線 (Nは2以上の整数) と、縦方向に延び、前記第1～第N横配線にそれぞれ電氣的に接続された第1～第N縦配線とを含み、前記発光素子の前記第1端子に電氣的に接続された複数の第1端子配線と、前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのN個に電氣的に接

続された複数の第2端子配線と、前記第1および第2端子配線の一方に電氣的に接続され、光を発生させる前記発光素子を選択する複数の選択回路と、前記第1および第2端子配線の他方に電氣的に接続され、前記発光素子を駆動させる複数の駆動回路とを備える。これにより例えば、各配線のインピーダンスを小さくすることや、配線間のインピーダンスの差を小さくすることが可能となるなど、発光素子用の配線の構造を好適化することが可能となる。

[0007] また、この第1の側面において、前記発光素子の前記第1および第2端子の一方は、アノードであり、前記発光素子の前記第1および第2端子の他方は、カソードであり、前記第1および第2端子配線の一方は、アノード配線であり、前記第1および第2端子配線の他方は、カソード配線でもよい。これにより例えば、発光素子用のアノード配線およびカソード配線の構造を好適化することが可能となる。

[0008] また、この第1の側面において、前記複数の第1端子配線は、M組（Mは2以上の整数）の前記第1～第N横配線および前記第1～第N縦配線を含んでいてもよい。これにより例えば、これらの横配線および縦配線をメッシュ状に配置することが可能となる。

[0009] また、この第1の側面において、前記複数の選択回路は、前記第1～第N横配線または前記第1～第N縦配線にそれぞれ電氣的に接続された第1～第N選択回路を含み、前記複数の駆動回路は、各々が前記第2端子配線のうちの1つに電氣的に接続されていてもよい。これにより例えば、選択回路の個数を少なくすることが可能となる。

[0010] また、この第1の側面において、前記第1～第N選択回路のうちの1つと、前記複数の駆動回路のうちの2つ以上とをオンにすることで、前記発光素子のうちの2つ以上を同時に発光させてもよい。これにより例えば、1つの選択回路を用いて2つ以上の発光素子を同時に発光させることが可能となる。

[0011] また、この第1の側面において、前記第1～第N選択回路のうちの2つ以

上と、前記複数の駆動回路のうちの1つとをオンにすることで、前記発光素子のうちの2つ以上を同時に発光させてもよい。これにより例えば、1つの駆動回路を用いて2つ以上の発光素子を同時に発光させることが可能となる。

[0012] また、この第1の側面において、前記複数の選択回路は、各々が前記第2端子配線のうちの1つに電氣的に接続されており、前記複数の駆動回路は、前記第1～第N横配線または前記第1～第N縦配線にそれぞれ電氣的に接続された第1～第3駆動回路を含んでいてもよい。これにより例えば、駆動回路の個数を少なくすることが可能となる。

[0013] また、この第1の側面の発光装置は、前記第1および第2端子配線の前記一方に電氣的に接続され、前記発光素子に供給する電荷を蓄積する複数のコンデンサをさらに備えていてもよい。これにより例えば、発光素子用の電荷をコンデンサを用いて蓄積することが可能となる。

[0014] また、この第1の側面において、前記複数のコンデンサは、前記第1～第N横配線または前記第1～第N縦配線にそれぞれ電氣的に接続された第1～第Nコンデンサを含んでいてもよい。これにより例えば、コンデンサの個数を少なくすることが可能となる。

[0015] また、この第1の側面において、前記複数のコンデンサは、前記発光素子のアレイの4辺のうちの2辺以上の付近に配置されたK組（Kは2以上の整数）の前記第1～第Nコンデンサを含んでいてもよい。これにより例えば、各発光素子とこれらのコンデンサとの平均距離を、別の発光素子とこれらのコンデンサとの平均距離と近い値に設定することが可能となる。

[0016] また、この第1の側面において、前記複数のコンデンサは、前記発光素子のアレイの中心に対し対称に配置されたK組（Kは2以上の整数）の前記第1～第Nコンデンサを含んでいてもよい。これにより例えば、各発光素子とこれらのコンデンサとの平均距離を、別の発光素子とこれらのコンデンサとの平均距離と近い値に設定することが可能となる。

[0017] また、この第1の側面において、前記複数のコンデンサは、各々が前記第

2端子配線のうちの1つに電氣的に接続されていてもよい。これにより例えば、駆動回路の個数を少なくすることが可能となる。

[0018] また、この第1の側面において、前記複数のコンデンサは、前記発光素子が設けられた第1基板上、前記選択回路と前記駆動回路の少なくともいずれかが設けられた第2基板上、または前記第1および第2基板が設けられた実装基板上に配置されていてもよい。これにより例えば、発光装置の設計に応じて、様々な箇所にコンデンサを配置することが可能となる。

[0019] また、この第1の側面において、前記複数の選択回路の各々は、前記コンデンサに電荷を蓄積する第1スイッチと、前記コンデンサから電荷を放電する第2スイッチとを含んでいてもよい。これにより例えば、コンデンサの蓄積および放電を選択回路により制御することが可能となる。

[0020] また、この第1の側面の発光装置は、前記複数のコンデンサに蓄積されている電荷の量を示す電圧を検出し、前記電圧に基づいて前記第1スイッチを制御する複数の電圧検出回路をさらに備えていてもよい。これにより例えば、コンデンサの電荷量を好適に制御することが可能となる。

[0021] また、この第1の側面において、前記発光素子に供給する電荷は、前記発光素子または前記駆動回路の寄生容量に蓄積されてもよい。これにより例えば、発光素子用の電荷をコンデンサを用いずに蓄積することが可能となる。

[0022] また、この第1の側面において、前記複数の駆動回路の各々は、光を発生させる前記発光素子を選択する第1トランジスタと、電流源として機能する第2トランジスタとを含んでいてもよい。これにより例えば、光を発生（出力）させる発光素子を選択する駆動回路（出力段）の構造を好適化することが可能となる。

[0023] また、この第1の側面において、前記発光素子が設けられた第1基板は、前記選択回路と前記駆動回路の少なくともいずれかが設けられた第2基板上に積載されていてもよい。これにより例えば、これらの基板を狭い領域に配置することや、これらの基板を互いに近付けて配置することが可能となる。

[0024] また、この第1の側面において、平面視において、前記複数の駆動回路の

うちの1つのサイズは、前記複数の発光素子のうちのN個のサイズと同じでもよい。これにより例えば、各駆動回路上にN個の発光素子を配置することが可能となる。

[0025] 本開示の第2の側面の測距装置は、光を発生させて被写体に照射する発光部と、前記被写体から反射した光を受光する受光部と、前記受光部により受光された光に基づいて、前記被写体との距離を測定する測距部とを備え、前記発光部は、2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、横方向に延びる第1～第N横配線（Nは2以上の整数）と、縦方向に延び、前記第1～第N横配線にそれぞれ電氣的に接続された第1～第N縦配線とを含み、前記発光素子の前記第1端子に電氣的に接続された複数の第1端子配線と、前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのN個に電氣的に接続された複数の第2端子配線と、前記第1および第2端子配線の一方に電氣的に接続され、光を発生させる前記発光素子を選択する複数の選択回路と、前記第1および第2端子配線の他方に電氣的に接続され、前記発光素子を駆動させる複数の駆動回路とを備える。これにより例えば、各配線のインピーダンスを小さくすることや、配線間のインピーダンスの差を小さくすることが可能となるなど、発光素子用の配線の構造を最適化することが可能となる。

図面の簡単な説明

- [0026] [図1]第1実施形態の測距装置1の構成例を示すブロック図である。
- [図2]第1実施形態のSTL（Structured Light）方式を説明するための図である。
- [図3]第1実施形態の発光装置1aの構造を示す断面図である。
- [図4]第1実施形態の発光装置1aの構造を示す回路図である。
- [図5]第1実施形態の比較例の発光装置1aの構造を示す回路図である。
- [図6]第1実施形態の発光装置1aの性能について説明するためのグラフである。
- [図7]第1実施形態の発光装置1aの構造を示す断面図および平面図である。

[図8]第1実施形態の発光装置1 aの構造を模式的に示す斜視図である。

[図9]第1実施形態の第1変形例の発光装置1 aの構造を示す回路図である。

[図10]第1実施形態の第2変形例の発光装置1 aの構造を示す回路図である

。

[図11]第1実施形態の第3変形例の発光装置1 aの構造を示す回路図である

。

[図12]第1実施形態の第4変形例の発光装置1 aの構造を示す回路図である

。

[図13]第1実施形態の第5変形例の発光装置1 aの構造を示す回路図である

。

[図14]第1実施形態の第5変形例の発光装置1 aの構造を示す別の回路図である。

[図15]第1実施形態の第6変形例の発光装置1 aの構造の種々の例を示す回路図である。

[図16]第1実施形態の第7変形例の発光装置1 aの構造を示す回路図である

。

[図17]第1実施形態の第7変形例の発光装置1 aの動作を示すタイミングチャートである。

[図18]第1実施形態の第8変形例の発光装置1 aの構造を示す断面図および平面図である。

[図19]第2実施形態の発光装置1 aの構造を示す回路図である。

[図20]第3実施形態の発光装置1 aの構造を模式的に示す平面図である。

発明を実施するための形態

[0027] 以下、本開示の実施形態を、図面を参照して説明する。

[0028] (第1実施形態)

(1) 第1実施形態の測距装置1

(1. 1) 測距装置1の構成

図1は、第1実施形態の測距装置1の構成例を示すブロック図である。本

実施形態の測距装置 1 は、例えば自動車に搭載されている。

[0029] 図示のように測距装置 1 は、発光部 2、駆動部 3、電源回路 4、発光側光学系 5、受光側光学系 6、受光部 7、信号処理部 8、制御部 9、および温度検出部 10 を備えている。

[0030] 発光部 2 は、複数の光源により光を発する。本例の発光部 2 は、各光源として VCSEL (Vertical Cavity Surface Emitting LASER: 垂直共振器面発光レーザ) による発光素子 2a を有しており、それら発光素子 2a が例えばマトリクス状等の所定態様により配列されて構成されている。

[0031] 駆動部 3 は、発光部 2 を駆動するための電源回路を有して構成される。

[0032] 電源回路 4 は、例えば測距装置 1 に設けられた不図示のバッテリー等からの入力電圧に基づき、駆動部 3 の電源電圧を生成する。駆動部 3 は、該電源電圧に基づいて発光部 2 を駆動する。

[0033] 発光部 2 より発せられた光は、発光側光学系 5 を介して測距対象としての被写体 S に照射される。そして、このように照射された光の被写体 S からの反射光は、受光側光学系 6 を介して受光部 7 の受光面に入射する。

[0034] 受光部 7 は、例えば CCD (Charge Coupled Device) センサや CMOS (Complementary Metal Oxide Semiconductor) センサ等の受光素子とされ、上記のように受光側光学系 6 を介して入射する被写体 S からの反射光を受光し、電気信号に変換して出力する。

[0035] 受光部 7 は、受光した光を光電変換して得た電気信号について、例えば CDS (Correlated Double Sampling) 処理、AGC (Automatic Gain Control) 処理等を実行し、さらに A/D (Analog/Digital) 変換処理を行う。そしてデジタルデータとしての信号を、後段の信号処理部 8 に出力する。

[0036] また、本例の受光部 7 は、フレーム同期信号 F_s を駆動部 3 に出力する。これにより駆動部 3 は、発光部 2 における発光素子 2a を受光部 7 のフレーム周期に応じたタイミングで発光させることが可能とされる。

[0037] 信号処理部 8 は、例えば DSP (Digital Signal Processor) 等により信号処理プロセッサとして構成される。信号処理部 8 は、受光部 7 から入力さ

れるデジタル信号に対して、各種の信号処理を施す。

[0038] 制御部 9 は、例えば CPU (Central Processing Unit)、ROM (Read Only Memory)、RAM (Random Access Memory) 等を有するマイクロコンピュータ、または DSP 等の情報処理装置を備えて構成され、発光部 2 による発光動作を制御するための駆動部 3 の制御や、受光部 7 による受光動作に係る制御を行う。

[0039] 制御部 9 は、測距部 9 a としての機能を有する。測距部 9 a は、信号処理部 8 を介して入力される信号（つまり被写体 S からの反射光を受光して得られる信号）に基づき、被写体 S までの距離を測定する。本例の測距部 9 a は、被写体 S の三次元形状の特定を可能とするために、被写体 S の各部について距離の測定を行う。

[0040] ここで、測距装置 1 における具体的な測距の手法については後に改めて説明する。

[0041] 温度検出部 10 は、発光部 2 の温度を検出する。温度検出部 10 としては、例えばダイオードを用いて温度検出を行う構成を採ることができる。

[0042] 本例では、温度検出部 10 により検出された温度の情報は駆動部 3 に供給され、これにより駆動部 3 は該温度の情報に基づいて発光部 2 の駆動を行うことが可能とされる。

[0043] (1. 2) 測距手法について

測距装置 1 における測距手法としては、例えば STL (Structured Light : 構造化光) 方式や TOF (Time of Flight : 光飛行時間) 方式による測距手法を採用することができる。

[0044] STL 方式は、例えばドットパターンや格子パターン等の所定の明／暗パターンを有する光を照射された被写体 S の画像に基づいて距離を測定する方式である。

[0045] 図 2 は、第 1 実施形態の STL 方式を説明するための図である。

[0046] STL 方式では、例えば図 2 の A に示すようなドットパターンによるパターン光 L_p を被写体 S に照射する。パターン光 L_p は、複数のブロック B_L

に分割されており、各ブロックBLにはそれぞれ異なるドットパターンが割当てられている（ブロックB間でドットパターンが重複しないようにされている）。

[0047] 図2のBは、STL方式の測距原理についての説明図である。

[0048] ここでは、壁Wとその前に配置された箱BXとが被写体Sとされ、該被写体Sに対してパターン光Lpが照射された例としている。図中の「G」は受光部7による画角を模式的に表している。

[0049] また、図中の「BLn」はパターン光Lpにおける或るブロックBLの光を意味し、「dn」は受光部7による受光画像に映し出されるブロックBLnのドットパターンを意味している。

[0050] ここで、壁Wの前の箱BXが存在しない場合、受光画像においてブロックBLnのドットパターンは図中の「dn'」の位置に映し出される。すなわち、箱BXが存在する場合と箱BXが存在しない場合とで、受光画像においてブロックBLnのパターンが映し出される位置が異なるものであり、具体的には、パターンの歪みが生じる。

[0051] STL方式は、このように照射したパターンが被写体Sの物体形状によって歪むことを利用して被写体Sの形状や奥行きを求める方式となる。具体的には、パターンの歪み方から被写体Sの形状や奥行きを求める方式である。

[0052] STL方式を採用する場合、受光部7としては、例えばグローバルシャッター方式によるIR（Infrared：赤外線）受光部が用いられる。そして、STL方式の場合、測距部9aは、発光部2がパターン光を発光するように駆動部3を制御すると共に、信号処理部8を介して得られる画像信号についてパターンの歪みを検出し、パターンの歪み方に基づいて距離を計算する。

[0053] 続いて、ToF方式は、発光部2より発された光が対象物で反射されて受光部7に到達するまでの光の飛行時間（時間差）を検出することで、対象物までの距離を測定する方式である。

[0054] ToF方式として、いわゆるダイレクトToF（dToF）方式を採用する場合、受光部7としてはSPAD（Single Photon Avalanche Diode）を用い、

また発光部2はパルス駆動する。この場合、測距部9 aは、信号処理部8を介して入力される信号に基づき、発光部2より発せられ受光部7により受光される光について発光から受光までの時間差を計算し、該時間差と光の速度とに基づいて被写体Sの各部の距離を計算する。d T o F方式では、発光から受光までの時間を計算することで被写体Sまでの距離を計算するため、発光パルス幅が狭くなれば時間の解像度が改善し、より精緻な測距が可能となる。したがって、d T o F方式は、発光の高パワー・短パルス化を実現する本実施形態により適している。

[0055] なお、T o F方式として、いわゆるインダイレクトT o F (iToF)方式(位相差法)を採用する場合、受光部7としては例えばIRを受光することのできる受光部が用いられる。i T o F方式では、発光した光と被写体から反射して受光する光の位相差から被写体までの距離を計算するため、発光時のL D D出力電流の波形の立ち上がり・立ち下がりが急峻であることが望ましい。本実施形態は、発光素子2 a内の配線のインダクタンスを低減することで上記波形の特性が改善するため、i T o F方式にも適している。

[0056] (2) 第1実施形態の発光装置1 a

図3は、第1実施形態の発光装置1 aの構造を示す断面図である。図3のAは、本実施形態の発光装置1 aの断面を示しており、図3のBは、図3のAに示す断面を拡大した断面を示している。本実施形態の発光装置1 aは、測距装置1の一部でもよいし、測距装置1そのものでもよい。

[0057] 図3のAにおける発光装置1 aは、上述の発光部2を含むL D (Laser Diode)チップ1 1と、上述の駆動部3を含むL D D (Laser Diode Driver)基板1 2と、実装基板1 3と、放熱基板1 4と、補正レンズ保持部1 5と、1つ以上の補正レンズ1 6と、配線1 7とを備えている。L Dチップ1 1は、V C S E L基板とも呼ばれる。L Dチップ1 1は、本開示の第1基板の例であり、L D D基板1 2は、本開示の第2基板の例である。

[0058] 図3のAは、互いに垂直なX軸、Y軸、およびZ軸を示している。+ Z方向は上方向に相当し、- Z方向は下方向に相当する。なお、- Z方向は、厳

密に重力方向に一致していてもよいし、厳密には重力方向に一致していなくてもよい。

- [0059] LDチップ11は、放熱基板14を介して実装基板13上に配置され、LDD基板12も、実装基板13上に配置されている。実装基板13は、例えばプリント基板である。実装基板13にはさらに、上述の受光部7や信号処理部8が配置されていてもよい。放熱基板14は、例えば酸化アルミニウム基板や窒化アルミニウム基板などのセラミック基板である。
- [0060] 補正レンズ保持部15は、LDチップ11を囲むように放熱基板14上に配置されており、LDチップ11の上方に1つ以上の補正レンズ16を保持している。これらの補正レンズ16は、上述の発光側光学系5に含まれている。LDチップ11内の発光部2から発光された光は、これらの補正レンズ16により補正された後、上述の被写体Sに照射される。図3のAは、一例として、補正レンズ保持部15に保持された2つの補正レンズ16を示している。
- [0061] 配線17は、実装基板13の表面、裏面、内部などに設けられており、LDチップ11とLDD基板12とを電気的に接続している。配線17は例えば、実装基板13の表面や裏面に設けられたプリント配線や、実装基板13を貫通するビア配線である。本実施形態の配線17はさらに、放熱基板14の内部または付近を通過している。
- [0062] 図3のBにおけるLDチップ11は、基板21と、積層膜22と、複数の発光素子23とを備えている。これらの発光素子23は、上述の発光素子2aの具体例となっている。
- [0063] 基板21は例えば、GaAs（ガリウムヒ素）基板などの化合物半導体基板である。図3のBは、 $-Z$ 方向を向いている基板21の表面S1と、 $+Z$ 方向を向いている基板21の裏面S2とを示している。図3のBに示す表面S1および裏面S2は、 Z 方向に垂直である。図3のBでは、表面S1が基板21の下面となっており、裏面S2が基板21の上面となっている。
- [0064] 積層膜22は、基板21の表面S1に積層された複数の層を含んでいる。

これらの層の例は、n型半導体層、活性層、p型半導体層、および光反射層や、光の射出窓を有する絶縁層などである。積層膜22は、-Z方向に突出した複数のポスト部Pを含んでいる。これらのポスト部Pの一部が、複数の発光素子23となっている。

[0065] 発光素子23は、積層膜22の一部として、基板21の表面S1に設けられている。本実施形態の発光素子23は、VCSEL構造を有し、光を+Z方向に出射する。発光素子23から出射された光は、図3のBに示すように、基板21の表面S1から裏面S2へと基板21内を透過し、基板21から上述の補正レンズ16に入射する。このように、本実施形態のLDチップ11は、裏面出射型のVCSELチップとなっている。発光素子23は、メサ部とも呼ばれる。

[0066] 各発光素子23は、不図示のアノード配線（アノード電極）とカソード配線（カソード電極）との間に設けられている。各発光素子23は、アノード配線とカソード配線との間に電流が流れることで、光を出射する。アノード配線およびカソード配線のさらなる詳細については、後述する。

[0067] 図4は、第1実施形態の発光装置1aの構造を示す回路図である。

[0068] 図4は、2次元アレイ状に配置された複数の発光素子23と、これらの発光素子23に電氣的に接続された複数のトランジスタ24とを示している。これらのトランジスタ24は、例えばN型のMOSトランジスタである。図4は、一例として、9×9個の発光素子23と、9×9個のトランジスタ24とを示している。よって、図4に示す発光装置1aは、9ch×9chの発光素子アレイを備えている。

[0069] 本実施形態の発光装置1aはさらに、図4に示すように、第1アノード配線31と、第2アノード配線32と、第3アノード配線33と、複数の第1コンデンサ34と、複数の第2コンデンサ35と、複数の第3コンデンサ36と、第1選択回路37と、第2選択回路38と、第3選択回路39と、複数のカソード配線41と、複数のゲート配線42とを備えている。第1～第3アノード配線31～33は、本開示の第1端子配線の例であり、カソード

配線 4 1 は、本開示の第 2 端子配線の例である。また、第 1～第 3 コンデンサ 3 4～3 6 は、本開示の第 1～第 N コンデンサの例であり、第 1～第 3 選択回路 3 7～3 9 は、本開示の第 1～第 N 選択回路の例である（N は 2 以上の整数）。図 4 は、N が 3 である例を示している。

[0070] 第 1 アノード配線 3 1 は、横方向（X 方向）に延びる複数の第 1 横配線 3 1 a と、縦方向（Y 方向）に延びる複数の第 1 縦配線 3 1 b とを含んでいる。同様に、第 2 アノード配線 3 2 は、横方向に延びる複数の第 2 横配線 3 2 a と、縦方向に延びる複数の第 2 縦配線 3 2 b とを含んでいる。同様に、第 3 アノード配線 3 3 は、横方向に延びる複数の第 3 横配線 3 3 a と、縦方向に延びる複数の第 3 縦配線 3 3 b とを含んでいる。図 4 は、一例として、5 本の第 1 横配線 3 1 a と、5 本の第 1 縦配線 3 1 b と、5 本の第 2 横配線 3 2 a と、5 本の第 2 縦配線 3 2 b と、5 本の第 3 横配線 3 3 a と、5 本の第 3 縦配線 3 3 b とを示している。これらは、本開示の M 組の第 1～第 N 横配線および第 1～第 N 縦配線の例である（M は 2 以上の整数）。図 4 は、M が 5 である例を示している。図 4 に示す発光素子 2 3 の個数は、N および M で表すと、 $N(M-2) \times N(M-2)$ 個となっている。

[0071] なお、第 1～第 3 アノード配線 3 1～3 3 は、M a 組の第 1～第 N 横配線と、M b 組の第 1～第 N 縦配線とを含んでいてもよい（M a および M b は、 $M a \neq M b$ を満たす 2 以上の整数）。この場合、発光装置 1 a の発光素子 2 3 の個数は、 $N(M a - 2) \times N(M b - 2)$ 個となる。

[0072] 第 1 選択回路 3 7 は、トランジスタ 3 7 a、3 7 b を含んでいる。同様に、第 2 選択回路 3 8 は、トランジスタ 3 8 a、3 8 b を含んでいる。同様に、第 3 選択回路 3 9 は、トランジスタ 3 9 a、3 9 b を含んでいる。トランジスタ 3 7 a、3 8 a、3 9 a は、例えば P 型の MOS トランジスタである。トランジスタ 3 7 b、3 8 b、3 9 b は、例えば N 型の MOS トランジスタである。トランジスタ 3 7 a、3 8 a、3 9 a は、本開示の第 1 スイッチの例である。トランジスタ 3 7 b、3 8 b、3 9 b は、本開示の第 2 スイッチの例である。

[0073] [第1～第3アノード配線31～33]

図4は、第1～第3アノード配線31～33を互いに区別するため、第1アノード配線31を太い実線で示し、第2アノード配線32を太い破線で示し、第3アノード配線33を細い実線で示している。

[0074] 第1アノード配線31は、複数の第1横配線31aおよび複数の第1縦配線31bがメッシュ状に配置された構造を有している。これらの第1横配線31aおよび第1縦配線31bは、第1横配線31aと第1縦配線31bとが交差する地点で、互いに電氣的に接続されている。同様に、第2アノード配線32は、互いに電氣的に接続された複数の第2横配線32aおよび複数の第2縦配線32bを含み、第3アノード配線33は、互いに電氣的に接続された複数の第3横配線33aおよび複数の第3縦配線33bを含んでいる。一方、第1～第3アノード配線31～33は、互いに電氣的に絶縁されている。

[0075] 第1～第3横配線31a～33aは、X方向（横方向）に延び、Y方向（縦方向）に互いに隣接している。第1～第3横配線31a～33aは、図4ではX方向に直線状に延びているが、X方向に曲線状に延びていてもよい。即ち、第1～第3横配線31a～33aは、折れ曲がり部分を含んでいてもよい。

[0076] 一方、第1～第3縦配線31b～33bは、Y方向に延び、X方向に互いに隣接している。第1～第3縦配線31b～33bは、図4ではY方向に直線状に延びているが、Y方向に曲線状に延びていてもよい。即ち、第1～第3縦配線31b～33bも、折れ曲がり部分を含んでいてもよい。

[0077] 図4は、5組の第1～第3横配線31a～33aを示している。図4では、1組目、2組目、3組目、4組目、および5組目の第1～第3横配線31a～33aが、上から下に順に並んでいる。各組では、第1横配線31aと、第2横配線32aと、第3横配線33aが、上から下に順に並んでいる。1組目の第1～第3横配線31a～33aと、5組目の第1～第3横配線31a～33aは、9×9個の発光素子23を挟むように配置されている。2

～4組目の第1～第3横配線31a～33aの各々は、1行（9個）の発光素子23に沿って配置されている。

[0078] 図4はさらに、5組目の第1～第3縦配線31b～33bを示している。図4では、1組目、2組目、3組目、4組目、および5組目の第1～第3縦配線31b～33bが、左から右に順に並んでいる。各組では、第1縦配線31bと、第2縦配線32bと、第3縦配線33bが、左から右に順に並んでいる。1組目の第1～第3縦配線31b～33bと、5組目の第1～第3縦配線31b～33bは、9×9個の発光素子23を挟むように配置されている。2～4組目の第1～第3縦配線31b～33bの各々は、1列（9個）の発光素子23に沿って配置されている。

[0079] 各発光素子23のアノードは、第1～第3縦配線31b～33bのいずれかに電氣的に接続されている。例えば、最も左の列の発光素子23は、2組目の第1～第3縦配線31b～33b内の第1縦配線31bに電氣的に接続されている。また、最も右の列の発光素子23は、4組目の第1～第3縦配線31b～33b内の第3縦配線33bに電氣的に接続されている。なお、各発光素子23のアノードは、第1～第3縦配線31b～33bのいずれかに電氣的に接続される代わりに、第1～第3横配線31a～33aのいずれかに電氣的に接続されてもよい。アノードは、本開示の第1端子の例である。

[0080] [カソード配線41]

各カソード配線41は、X方向に延びており、3つの発光素子23のカソードに電氣的に接続されている。具体的には、各カソード配線41は、第1縦配線31bに電氣的に接続された1つの発光素子23と、第2縦配線32bに電氣的に接続された1つの発光素子23と、第3縦配線33bに電氣的に接続された1つの発光素子23とに電氣的に接続されている。これら3つの発光素子23は、X方向に互いに隣接している。図4は、81個の発光素子23用の27本のカソード配線41を示している。カソードは、本開示の第2端子の例である。

[0081] 各発光素子23は、対応するアノード配線、即ち、第1～第3アノード配線31～33のうちのいずれか1本と、対応するカソード配線、即ち、複数のカソード配線41のうちのいずれか1本との間に設けられている。各発光素子23は、対応するアノード配線と対応するカソード配線との間に電流が流れることで、光を出射する。

[0082] [ゲート配線42]

各ゲート配線42は、X方向に延びており、3つのトランジスタ24のゲートに電氣的に接続されている。これら3つのトランジスタ24のソースは、接地配線(GND)に電氣的に接続されており、これら3つのトランジスタ24のドレインは、同じ1本のカソード配線41に電氣的に接続されている。これら3つのトランジスタ24は、1つの駆動回路Eを形成している。図4は、81個のトランジスタ24用の27本のゲート配線42を示している。

[0083] 各駆動回路Eは、1本のカソード配線41を介して、3つの発光素子23のカソードに電氣的に接続されている。各駆動回路(出力段)Eは、発光素子23を駆動させて、発光素子23から光を発生(出力)させるために用いられる。例えば、ある発光素子23から光を発生させる場合には、この発光素子23用の駆動回路Eのゲート配線42に所定の信号を印加する。これにより、この駆動回路E内の各トランジスタ24のソースとドレインとが導通し、この発光素子23に電流を流すことが可能となる。この発光素子23に電流が流れると、この発光素子23から光が発生する。図4に示す発光装置1aは、81個の発光素子23用に27個の駆動回路Eを備えている。

[0084] [第1～第3選択回路37～39]

第1～第3選択回路37～39はそれぞれ、第1～第3アノード配線31～33の第1～第3横配線31a～33aに電氣的に接続されている。第1選択回路37は、第1アノード配線31に電氣的に接続された発光素子23を、光を発生させる発光素子23として選択するために用いられる。第2選択回路38は、第2アノード配線32に電氣的に接続された発光素子23を

、光を発生させる発光素子 23 として選択するために用いられる。第 3 選択回路 39 は、第 3 アノード配線 33 に電氣的に接続された発光素子 23 を、光を発生させる発光素子 23 として選択するために用いられる。第 1～第 3 選択回路 37～39 はそれぞれ、第 1～第 3 アノード配線 31～33 の第 1～第 3 横配線 31a～33a の代わりに、第 1～第 3 アノード配線 31～33 の第 1～第 3 縦配線 31b～33b に電氣的に接続されていてもよい。

[0085] 第 1 選択回路 37 は、電源配線 (VDD) に電氣的に接続されたソースを有するトランジスタ 37a と、接地配線に電氣的に接続されたソースを有するトランジスタ 37b とを含んでいる。トランジスタ 37a のドレインと、トランジスタ 37b のドレインは、第 1 アノード配線 31 に電氣的に接続されている。第 1 選択回路 37 は、第 1 アノード配線 31 を介して、各第 1 コンデンサ 34 に電氣的に接続されている。

[0086] トランジスタ 37a は、各第 1 コンデンサ 34 に電荷を蓄積するために用いられる。トランジスタ 37b は、各第 1 コンデンサ 34 から電荷を放電するために用いられる。トランジスタ 37a のゲートに所定の信号を印加すると、各第 1 コンデンサ 34 に電荷が蓄積される。トランジスタ 37b のゲートに所定の信号を印加すると、各第 1 コンデンサ 34 から電荷が放電される。よって、本実施形態によれば、第 1 選択回路 37 により第 1～第 3 コンデンサ 34～36 のうちの第 1 コンデンサ 34 に電荷を選択的に蓄積することで、第 1 アノード配線 31 に電氣的に接続されている各発光素子 23 に電流を流すことができる。

[0087] 第 2 および第 3 選択回路 38、39 の構造は、図 4 に示すように、第 1 選択回路 37 の構造と同様である。よって、本実施形態によれば、第 2 選択回路 38 により各第 2 コンデンサ 35 に電荷を蓄積することで、第 2 アノード配線 32 に電氣的に接続されている各発光素子 23 に電流を流すことができる。さらに、本実施形態によれば、第 3 選択回路 39 により各第 3 コンデンサ 36 に電荷を蓄積することで、第 3 アノード配線 33 に電氣的に接続されている各発光素子 23 に電流を流すことができる。

[0088] [第1～第3コンデンサ34～36]

第1～第3コンデンサ34～36はそれぞれ、第1～第3アノード配線31～33に電氣的に接続されている。各第1コンデンサ34は、第1アノード配線31と電氣的に接続された発光素子23に供給する電荷を蓄積する。各第2コンデンサ35は、第2アノード配線32と電氣的に接続された発光素子23に供給する電荷を蓄積する。各第3コンデンサ36は、第3アノード配線33と電氣的に接続された発光素子23に供給する電荷を蓄積する。本実施形態によれば、第1～第3コンデンサ34～36から各発光素子23に電荷を供給することで、各発光素子23に電流を流すことができる。第1～第3コンデンサ34～36の各々は、第1～第3アノード配線31～33のいずれかに電氣的に接続された一方の電極と、接地配線に電氣的に接続された他方の電極とを備えている。

[0089] 図4に示す発光装置1aは、2次元アレイ状に配置された9×9個の発光素子23を含む発光素子アレイを備えている。この発光素子アレイの形状は、図4に示すように、平面視でおおむね正方形となっている。図4に示す発光装置1aは、この正方形の4辺の付近に、4組の第1～第3コンデンサ34～36を備えている。具体的には、図4に示す発光装置1aは、正方形の上辺付近に1組目の第1～第3コンデンサ34～36を備え、正方形の右辺付近に2組目の第1～第3コンデンサ34～36を備え、正方形の下辺付近に3組目の第1～第3コンデンサ34～36を備え、正方形の左辺付近に4組目の第1～第3コンデンサ34～36を備えている。これらの第1～第3コンデンサ34～36は、本開示のK組の第1～第Nコンデンサの例である（Kは2以上の整数）。図4は、Kが4である例を示している。

[0090] 1組目や3組目の第1～第3コンデンサ34～36はそれぞれ、第1～第3アノード配線31～33の第1～第3横配線31a～33aに電氣的に接続されている。一方、2組目や4組目の第1～第3コンデンサ34～36はそれぞれ、第1～第3アノード配線31～33の第1～第3縦配線31b～33bに電氣的に接続されている。その結果、図4に示す第1～第3コンデ

ンサ34～36はそれぞれ、第1～第3アノード配線31～33に電氣的に接続されている。

[0091] 各組では、第1～第3コンデンサ34～36が、時計周りに順に並んでいる。例えば、1組目の第1コンデンサ34、第2コンデンサ35、および第3コンデンサ36はそれぞれ、正方形の上辺付近で左側、中央、および右側に配置されている。また、2組目の第1コンデンサ34、第2コンデンサ35、および第3コンデンサ36はそれぞれ、正方形の右辺付近で上側、中央、および下側に配置されている。その結果、図4に示す4組の第1～第3コンデンサ34～36は、正方形の中心に対し対称に配置されている。正方形の中心はおおむね、9×9個の発光素子23のうちの5行目かつ5列目の発光素子23の位置に位置している。図4では、4組の第1～第3コンデンサ34～36の配置が、4回回転対称（90度回転対称）となっている。

[0092] 本実施形態によれば、各発光素子23と、対応する4つコンデンサとの平均距離を、別の発光素子23と、対応する4つのコンデンサとの平均距離と近い値に設定することが可能となる。

[0093] 例えば、左上端の発光素子23は、上側の第1コンデンサ34には近いが、下側の第1コンデンサ34からは遠い。一方、右下端の発光素子23は、右側の第3コンデンサ36には近いが、左側の第3コンデンサ36からは遠い。よって、左上端の発光素子23と4つの第1コンデンサ34との平均距離は、右下端の発光素子23と4つの第3コンデンサ36との平均距離と近い値となる。これは、その他の79個の発光素子23についても同様である。これにより、各発光素子23と、対応する4つのコンデンサとの間のアノード配線に関し、異なる発光素子23の配線間のインピーダンスの差を小さくすることが可能となる。

[0094] 本実施形態の発光装置1aは、正方形の4辺のうちの1辺、2辺、または3辺付近のみに、第1～第3コンデンサ34～36を備えていてもよい。ただし、この場合の第1～第3コンデンサ34～36も、正方形の中心に対し対称または対称に近い形状に配置することが望ましい。そのため、本実施形

態の発光装置 1 a は、正方形の 4 辺のうちの 2 辺以上に、第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 を備えていることが望ましい。例えば、正方形の上辺および下辺付近に 2 組の第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 を配置することで、2 回回転対称（180 度回転対称）の配置を実現することが可能となる。

[0095] 図 5 は、第 1 実施形態の比較例の発光装置 1 a の構造を示す回路図である。

[0096] 本比較例の発光装置 1 a は、本実施形態の発光装置 1 a と同様に、2 次元アレイ状に配置された 9 × 9 個の発光素子 2 3 を含む発光素子アレイを備えている。ただし、本比較例の発光装置 1 a は、2 次元アレイ状に配置された 9 × 9 個のコンデンサ 3 4 を含むコンデンサアレイを備え、コンデンサアレイが発光素子アレイの右側に配置されている。本比較例の各発光素子 2 3 は、対応するコンデンサ 3 4 に対し、対応するアノード配線 3 1 を介して電氣的に接続されている。また、本比較例の 9 × 9 個の発光素子 2 3 は、共通の駆動回路 E（トランジスタ 2 4）に対し、共通のカソード配線 4 1 を介して電氣的に接続されている。本比較例の駆動回路 E は、発光素子アレイの左側に配置されている。

[0097] 本比較例では、アノード配線 3 1 の本数が多いことや、アノード配線 3 1 の長さが平均的に長いことが問題となる。さらに、本比較例の発光装置 1 a が、短いアノード配線 3 1 と、長いアノード配線 3 1 の両方を備えていることが問題となる。その結果、各アノード配線 3 1 のインピーダンスが大きくなることや、アノード配線 3 1 間のインピーダンスの差が大きくなることが問題となる。さらには、各発光素子 2 3 と駆動回路 E との間のカソード配線 4 1 の長さが、発光素子 2 3 ごとに大きく異なることも問題となる。

[0098] 各アノード配線 3 1 のインピーダンスが大きいと、各発光素子 2 3 から出射される光の強度が不十分になるおそれや、各発光素子 2 3 を駆動するための消費電力量が多くなるおそれがある。また、アノード配線 3 1 間のインピーダンスの差が大きくなると、異なる発光素子 2 3 から出射される光の強度差が大きくなるおそれがある。その結果、測距装置 1 の性能が低下するおそ

れがある。

[0099] 一方、本実施形態の発光装置 1 a は、メッシュ状に配置された第 1～第 3 アノード配線 3 1～3 3 と、対称的に配置されるように第 1～第 3 アノード配線 3 1～3 3 に電氣的に接続された第 1～第 3 コンデンサ 3 4～3 6 とを備えている。よって、本実施形態によれば、上記のようなインピーダンスやインピーダンス差の問題を抑制し、測距装置 1 の性能を向上させることが可能となる。また、本実施形態によれば、カソード配線 4 1 を 3 つの発光素子 2 3 ごとに配置することで、カソード配線 4 1 に関する問題も抑制することが可能となる。

[0100] 図 6 は、第 1 実施形態の発光装置 1 a の性能について説明するためのグラフである。

[0101] 図 6 の縦軸は、LDD 出力電流（LDD 基板 1 2 から各発光素子 2 3 への出力電流）を表しており、図 6 の横軸は、時間を表している。図 6 は、LDD 出力電流の波形を示している。図 6 はさらに、LDD 出力電流のピーク値 I_{peak} と、LDD 出力電流のパルス幅 W と、LDD 出力電流の半値幅 W' とを示している。

[0102] 測距装置 1 の性能を向上させるためには、ピーク値 I_{peak} を高くし、パルス幅 W （または半値幅 W' ）を短くすることが望ましい。本実施形態によれば、各配線のインピーダンスや、配線間のインピーダンスの差を小さくすることにより、ピーク値 I_{peak} を高くすることや、パルス幅 W （または半値幅 W' ）を短くすることが可能となる。

[0103] 図 7 は、第 1 実施形態の発光装置 1 a の構造を示す断面図および平面図である。図 7 の A は、図 3 の A と同様に、発光装置 1 a の XZ 断面を示している。図 7 の B は、図 7 の A に示す発光装置 1 a の平面構造を示している。

[0104] 本実施形態の発光装置 1 a は、図 3 の A に示す構造の代わりに、図 7 の A および B に示す構造を有していてもよい。図 7 の A および B において、本実施形態の発光装置 1 a は、LD チップ 1 1 と、LDD 基板 1 2 と、実装基板 1 3 と、4 組の第 1～第 3 コンデンサ 3 4～3 6 とを備えている。

- [0105] この実装基板 1 3 は、絶縁基板 5 1 と、絶縁膜 5 2 と、配線層 5 3 と、絶縁膜 5 4 と、配線層 5 5 と、複数の配線 5 6 とを含んでいる。図 7 の A に示す L D D 基板 1 2 は、絶縁基板 5 1 内に設けられている。絶縁膜 5 2 および配線層 5 3 は、絶縁基板 5 1 の上面に順に形成されている。絶縁膜 5 4 および配線層 5 5 は、絶縁基板 5 1 の下面に順に形成されている。図 7 の A に示す L D チップ 1 1 は、配線層 5 3 上に設けられている。各配線 5 6 は、絶縁基板 5 1、絶縁膜 5 2、および配線層 5 3 内に形成されており、L D チップ 1 1 と L D D 基板 1 2 とを電氣的に接続している。
- [0106] 第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 の各々は、複数の半田ボール 5 7 を介して配線層 5 3 上に配置されており、これらの半田ボール 5 7 および配線層 5 3 を介して L D チップ 1 1 および L D D 基板 1 2 と電氣的に接続されている。
- [0107] 図 7 の B では、L D チップ 1 1 および L D D 基板 1 2 の形状が、平面視で正方形となっている。図 7 の B に示す発光装置 1 a は、L D チップ 1 1 の平面形状である正方形の 4 辺の付近に、4 組の第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 を備えている。これら第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 は、この正方形の中心に対し対称に配置されている。なお、図 7 の B に示す発光装置 1 a は、この正方形の 4 辺のうちの 1 辺、2 辺、または 3 辺付近のみに、これら第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 を備えていてもよい。ただし、この場合の第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 も、この正方形の中心に対し対称または対称に近い形状に配置することが望ましい。そのため、図 7 の B に示す発光装置 1 a は、この正方形の 4 辺のうちの 2 辺以上に、これら第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 を備えていることが望ましい。
- [0108] 図 7 の A および B では、複数の発光素子 2 3、複数のトランジスタ 2 4、および第 1 ~ 第 3 選択回路 3 7 ~ 3 9 (図 4) が例えば、L D チップ 1 1 内または L D D 基板 1 2 内に設けられている。例えば、発光素子 2 3 は、図 3 の B に示す発光素子 2 3 と同様に、L D チップ 1 1 内に設けられている。一方、トランジスタ 2 4 と第 1 ~ 第 3 選択回路 3 7 ~ 3 9 は、L D チップ 1 1

内に設けられていてもよいし、LDD基板12内に設けられていてもよい。
なお、第1～第3コンデンサ34～36は、LDチップ11上またはLDD基板12上に配置されていてもよい。

[0109] 図8は、第1実施形態の発光装置1aの構造を模式的に示す斜視図である。

[0110] 図8は、図7のAおよびBに示すLDチップ11およびLDD基板12の形状を模式的に示している。図8はさらに、前述の第1～第3アノード配線31～33の第1～第3横配線31a～33aおよび第1～第3縦配線31b～33bと、複数のカソード配線41とを模式的かつ部分的に示している。図8に示すように、第1～第3横配線31a～33aおよび第1～第3縦配線31b～33bは、メッシュ状の構造を有している。

[0111] なお、図8に示す第1～第3アノード配線31～33とカソード配線41は、LDチップ11とLDD基板12との間に描かれているが、LDチップ11内に配置されていてもよいし、LDD基板12内に配置されていてもよいし、LDチップ11とLDD基板12との間に配置されていてもよい。

[0112] 次に、図9～図18を参照して、本実施形態の種々の変形例の発光装置1aについて説明する。図1～図8を参照して説明した内容は、これらの変形例にも適用される。

[0113] (3) 第1変形例の発光装置1a

図9は、第1実施形態の第1変形例の発光装置1aの構造を示す回路図である。

[0114] 図9に示す発光装置1aは、図4に示す発光装置1aと同じ構造を有している。ここでは、符号P1～P6で示す発光素子23を駆動する方法について説明する。

[0115] 符号P1で示す発光素子23は、第1アノード配線31と、左上端のカソード配線41とに電氣的に接続されている。この発光素子23だけを駆動させる場合には（個別駆動）、第1～第3選択回路37～39のうちの第1選択回路37のみをオンにし、かつ、左上端のカソード配線41用の駆動回路

Eのみをオンにする。その結果、第1～第3コンデンサ34～36のうちの第1コンデンサ34のみに電荷が蓄積され、かつ、左上端のカソード配線41に電氣的に接続された3つの発光素子23のみが駆動対象となる。これにより、符号P1で示す発光素子23のみに電流が流れ、この発光素子23のみが発光する。

[0116] 符号P2～P4で示す発光素子23は、第1アノード配線31に電氣的に接続されており、かつ、互いに異なるカソード配線41に電氣的に接続されている。これらの発光素子23だけを駆動させる場合には（同時駆動）、第1～第3選択回路37～39のうちの第1選択回路37のみをオンにし、かつ、これらのカソード配線41用の駆動回路Eのみをオンにする。その結果、第1～第3コンデンサ34～36のうちの第1コンデンサ34のみに電荷が蓄積され、かつ、これらのカソード配線41に電氣的に接続された9つの発光素子23のみが駆動対象となる。これにより、符号P2～P4で示す発光素子23のみに電流が流れ、これらの発光素子23のみが発光する。

[0117] 符号P5、P6で示す発光素子23は、第1および第2アノード配線31、32にそれぞれ電氣的に接続されており、かつ、同じ1本のカソード配線41に電氣的に接続されている。これらの発光素子23だけを駆動させる場合には（同時駆動）、第1～第3選択回路37～39のうちの第1および第2選択回路37、38のみをオンにし、かつ、このカソード配線41用の駆動回路Eのみをオンにする。その結果、第1～第3コンデンサ34～36のうちの第1および第2コンデンサ34、35のみに電荷が蓄積され、かつ、このカソード配線41に電氣的に接続された3つの発光素子23のみが駆動対象となる。これにより、符号P5、P6で示す発光素子23のみに電流が流れ、これらの発光素子23のみが発光する。

[0118] なお、符号P1で示す発光素子23に関する個別駆動は、他の80個の発光素子23にも適用可能である。これは、符号P2～P6で示す発光素子23に関する同時駆動についても同様である。同時駆動の対象となる発光素子23の個数は、何個でもよい。これら個別駆動や同時駆動の制御は、例えば

図 1 に示す制御部 9 により行われる。

[0119] (4) 第 2 変形例の発光装置 1 a

図 10 は、第 1 実施形態の第 2 変形例の発光装置 1 a の構造を示す回路図である。

[0120] 本変形例の発光装置 1 a は、図 4 に示す第 1 ～第 3 アノード配線 3 1 ～3 3 の位置に第 1 ～第 3 カソード配線 3 1' ～3 3' を備えており、複数のカソード配線 4 1 の位置に複数のアノード配線 4 1' を備えており、複数のゲート配線 4 2 は備えていない。また、第 1 ～第 3 カソード配線 3 1' ～3 3' はそれぞれ、第 1 ～第 3 アノード配線 3 1 ～3 3 と同様に、第 1 ～第 3 横配線 3 1 a' ～3 3 a' および第 1 ～第 3 縦配線 3 1 b' ～3 3 b' を含んでいる。第 1 ～第 3 カソード配線 3 1' ～3 3' は、本開示の第 1 端子配線の例である。アノード配線 4 1' は、本開示の第 2 端子配線の例である。

[0121] 本変形例の各発光素子 2 3 は、第 1 ～第 3 カソード配線 3 1' ～3 3' のいずれかに電氣的に接続されたカソードと、複数のアノード配線 4 1' のいずれかに電氣的に接続されたアノードとを含んでいる。

[0122] 本変形例の発光装置 1 a はさらに、図 4 に示す第 1 ～第 3 コンデンサ 3 4 ～3 6 の位置に、それぞれ第 1 ～第 3 トランジスタ 6 1 ～6 3 を備えている。第 1 ～第 3 トランジスタ 6 1 ～6 3 は、例えば N 型の MOS トランジスタである。第 1 ～第 3 トランジスタ 6 1 ～6 3 のゲートはそれぞれ、第 1 ～第 3 ゲート配線 6 4 ～6 6 に電氣的に接続されている。第 1 ～第 3 トランジスタ 6 1 ～6 3 の各々は、第 1 ～第 3 カソード配線 3 1' ～3 3' のいずれかに電氣的に接続されたドレインと、接地配線に電氣的に接続されたソースとを有している。第 1 ～第 3 トランジスタ 6 1 ～6 3 の各々は、駆動回路 E を形成している。第 1 ～第 3 トランジスタ 6 1 ～6 3 を含む駆動回路 E はそれぞれ、第 1 ～第 N 駆動回路の例である。

[0123] 本変形例の発光装置 1 a はさらに、図 4 に示す複数のトランジスタ 2 4 の位置に、複数のコンデンサ 6 7 を備えている。これらのコンデンサ 6 7 の各々は、複数のアノード配線 4 1' のいずれかに電氣的に接続された一方の電

極と、接地配線に電氣的に接続された他方の電極とを備えている。

[0124] 本変形例の発光装置 1 a はさらに、第 1～第 3 選択回路 3 7～3 9 の代わりに、複数の選択回路 6 8 を備えている。各選択回路 6 8 は、対応する 1 本のアノード配線 4 1' に電氣的に接続されている。各選択回路 6 8 は、電源配線に電氣的に接続されたソースを有するトランジスタ 6 8 a と、接地配線に電氣的に接続されたソースを有するトランジスタ 6 8 b とを含んでいる。トランジスタ 6 8 a のドレインと、トランジスタ 6 8 b のドレインは、カソード配線 4 1 に電氣的に接続されている。各選択回路 6 8 は、アノード配線 4 1' を介して、対応する 1 個のコンデンサ 6 7 に電氣的に接続されている。トランジスタ 6 8 a は、例えば P 型の MOS トランジスタである。トランジスタ 6 8 b は、例えば N 型の MOS トランジスタである。トランジスタ 6 8 a は、本開示の第 1 スイッチの例である。トランジスタ 6 8 b は、本開示の第 2 スイッチの例である。

[0125] コンデンサ 6 7、トランジスタ 6 8 a、およびトランジスタ 6 8 b の機能はそれぞれ、第 1～第 3 コンデンサ 3 4～3 6、トランジスタ 3 7 a～3 9 a、およびトランジスタ 3 7 b～3 9 b の機能と同様である。トランジスタ 6 8 a は、対応するコンデンサ 6 7 に電荷を蓄積することができる。トランジスタ 6 8 b は、対応するコンデンサ 6 7 から電荷を放電することができる。コンデンサ 6 7 は、アノード配線 4 1' を介して発光素子 2 3 に電荷を供給することで、発光素子 2 3 に電流を流すことができる。

[0126] また、第 1～第 3 トランジスタ 6 1～6 3 や、その駆動回路 E の機能は、トランジスタ 3 4 や、その駆動回路 E の機能と同様である。第 1～第 3 トランジスタ 6 1～6 3 はそれぞれ、第 1～第 3 カソード配線 3 1'～3 3' に電氣的に接続された発光素子 2 4 を駆動させることができる。

[0127] 本変形例の発光装置 1 a によれば、第 1 実施形態の発光装置 1 a と異なる構造により、第 1 実施形態の発光装置 1 a と同様の制御を実現することが可能となる。

[0128] (5) 第 3 変形例の発光装置 1 a

図 1 1 は、第 1 実施形態の第 3 変形例の発光装置 1 a の構造を示す回路図である。

[0129] 本変形例の発光装置 1 a は、図 4 に示す第 1 ～第 3 アノード配線 3 1 ～3 3 の位置に第 1 ～第 3 カソード配線 3 1' ～3 3' を備え、複数のカソード配線 4 1 の位置に複数のアノード配線 4 1' を備え、複数のゲート配線 4 2 の位置に複数のゲート配線 4 2' を備えている。また、第 1 ～第 3 カソード配線 3 1' ～3 3' はそれぞれ、第 1 ～第 3 アノード配線 3 1 ～3 3 と同様に、第 1 ～第 3 横配線 3 1 a' ～3 3 a' および第 1 ～第 3 縦配線 3 1 b' ～3 3 b' を含んでいる。第 1 ～第 3 カソード配線 3 1' ～3 3' は、本開示の第 1 端子配線の例である。アノード配線 4 1' は、本開示の第 2 端子配線の例である。

[0130] 本変形例の各発光素子 2 3 は、第 1 ～第 3 カソード配線 3 1' ～3 3' のいずれかに電氣的に接続されたカソードと、複数のアノード配線 4 1' のいずれかに電氣的に接続されたアノードとを含んでいる。本変形例の各トランジスタ 2 4 は、複数のゲート配線 4 2' のいずれかに電氣的に接続されたゲートと、複数のアノード配線 4 1' のいずれかに電氣的に接続されたドレインと、電源配線に電氣的に接続されたソースとを含んでいる。本変形例の各トランジスタ 2 4 は、例えば P 型の MOS トランジスタである。本変形例の第 1 ～第 3 コンデンサ 3 4 ～3 6 と第 1 ～第 3 選択回路 3 7 ～3 9 はそれぞれ、第 1 ～第 3 カソード配線 3 1' ～3 3' に電氣的に接続されている。

[0131] 本変形例の発光装置 1 a によれば、第 1 実施形態の発光装置 1 a と異なる構造により、第 1 実施形態の発光装置 1 a と同様の制御を実現することが可能となる。

[0132] (6) 第 4 変形例の発光装置 1 a

図 1 2 は、第 1 実施形態の第 4 変形例の発光装置 1 a の構造を示す回路図である。

[0133] 本変形例の発光装置 1 a は、図 4 に示す 4 組の第 1 ～第 3 コンデンサ 3 4 ～3 6 の代わりに、6 組の第 1 ～第 3 コンデンサ 3 4 ～3 6 を備えている。

本変形例の第1～第3コンデンサ34～36は、LDチップ11内（またはLDD基板12内）に配置されているため、発光素子23付近に配置されている。本変形例では、各第1コンデンサ34は、いずれかの横配線31aに電氣的に接続され、各第2コンデンサ35は、いずれかの横配線32aに電氣的に接続され、各第3コンデンサ36は、いずれかの横配線33aに電氣的に接続されている。

[0134] 本変形例の発光装置1aによれば、第1実施形態の発光装置1aと異なる構造により、第1実施形態の発光装置1aと同様の制御を実現することが可能となる。

[0135] (7) 第5変形例の発光装置1a

図13は、第1実施形態の第5変形例の発光装置1aの構造を示す回路図である。

[0136] 本変形例の発光装置1aは、第1～第3コンデンサ34～36を備えていない。本変形例の発光装置1aは、各発光素子1aに供給するための電荷を、第1～第3コンデンサ34～36の代わりに、後述する寄生容量に蓄積する。

[0137] 図14は、第1実施形態の第5変形例の発光装置1aの構造を示す別の回路図である。

[0138] 図14は、本変形例の発光装置1aに含まれる1組の発光素子23およびトランジスタ24を示している。図14はさらに、発光素子23の寄生容量23'と、トランジスタ24の寄生容量24'を示している。本変形例の発光装置1aは、各発光素子1aに供給するための電荷を、このような寄生容量23'、24'に蓄積する。これにより、各発光素子23に電流を流し、各発光素子23を発光させることが可能となる。寄生容量23'、24'への蓄積は、第1～第3選択回路37～39により制御される。

[0139] 本変形例の発光装置1aによれば、第1実施形態の発光装置1aと異なる構造により、第1実施形態の発光装置1aと同様の制御を実現することが可能となる。

[0140] (8) 第6変形例の発光装置1 a

図15は、第1実施形態の第6変形例の発光装置1 aの構造の種々の例を示す回路図である。

[0141] 本変形例の発光装置1 aは、第1実施形態の発光装置1 aと同様に、図4に示す構造を有している。ただし、第1実施形態の各駆動回路Eが、図15のAに示す構造を有しているのに対し、本変形例の各駆動回路Eは、図15のB~Dのいずれかに示す構造を有している。

[0142] 図15のBに示す駆動回路Eは、カソード配線4 1に電氣的に接続された3つのトランジスタ2 4と、これらのトランジスタ2 4に電氣的に接続された3つのトランジスタ2 5とを含んでいる。図15のBに示すトランジスタ2 4、2 5は、例えばN型のMOSトランジスタである。これらのトランジスタ2 4のゲートは、共通のゲート配線4 2に電氣的に接続されており、これらのトランジスタ2 5のゲートは、共通のゲート配線4 3に電氣的に接続されている。トランジスタ2 4、2 5はそれぞれ、本開示の第1および第2トランジスタの例である。

[0143] 各トランジスタ2 4は、光を発生させる発光素子2 3を選択するために用いられる。各トランジスタ2 5は、電流源として用いられる。例えば、ある発光素子2 3から光を発生させる場合には、この発光素子2 3用の駆動回路Eのゲート配線4 2に所定の信号を印加し、かつ、この発光素子2 3用の駆動回路Eのゲート配線4 3に所定の信号(DCバイアス電圧)を印加する。これにより、この駆動回路E内の各トランジスタ2 4のソースとドレインとが導通し、かつ、この駆動回路E内の各トランジスタ2 5のソースとドレインとが導通し、この発光素子2 3に電流を流すことが可能となる。この際、各トランジスタ2 5は、電流源として機能する。

[0144] 図15のCに示す駆動回路Eは、カソード配線4 1に電氣的に接続された3つのトランジスタ2 4を含んでいる。図15のCに示すトランジスタ2 4は、例えばNPN型のバイポーラトランジスタである。この場合、配線4 2は「ゲート配線」ではなく「ベース配線」となる。図15のCに示す駆動回

路Eの動作は、図15のAに示す駆動回路Eと同様である。

[0145] 図15のDに示す駆動回路Eは、カソード配線41に電氣的に接続された3つのトランジスタ24と、これらのトランジスタ24に電氣的に接続された3つのトランジスタ25とを含んでいる。図15のDに示すトランジスタ24、25は、例えばNPN型のバイポーラトランジスタである。この場合、配線42、43は「ゲート配線」ではなく「ベース配線」となる。図15のDに示す駆動回路Eの動作は、図15のBに示す駆動回路Eと同様である。

[0146] 本変形例の発光装置1aによれば、第1実施形態の発光装置1aと異なる構造により、第1実施形態の発光装置1aと同様の制御を実現することが可能となる。

[0147] (9) 第7変形例の発光装置1a

図16は、第1実施形態の第7変形例の発光装置1aの構造を示す回路図である。

[0148] 本変形例の発光装置1aは、図4に示す構成要素に加えて、第1～第3電圧検出回路71～73を備えている。第1電圧検出回路71は、第1アノード配線31の第1横配線31aと、トランジスタ37aのゲートとに電氣的に接続されている。第2電圧検出回路72は、第2アノード配線32の第2横配線32aと、トランジスタ38aのゲートとに電氣的に接続されている。第3電圧検出回路73は、第3アノード配線33の第3横配線33aと、トランジスタ39aのゲートとに電氣的に接続されている。

[0149] 第1電圧検出回路71は、第1アノード配線31の第1横配線31aから、第1アノード配線31の電圧を検出する。この電圧は、4つの第1コンデンサ34に蓄積されている電荷の量を示している。よって、第1電圧検出回路71は、第1アノード配線31から検出された電圧に基づいて、トランジスタ37aのゲート電圧を制御する。例えば、検出された電圧が所定の電圧より低い場合には、トランジスタ37aをオンにして、電荷の蓄積を開始する。一方、検出された電圧が所定の電圧より高い場合には、トランジスタ3

7 aをオフにして、電荷の蓄積を終了する。本変形例によれば、この所定の電圧の値を変化させることで、発光装置 1 aの出力パワーを変化させることが可能となる。この所定の電圧の値は、例えば図 1 に示す制御部 9 により調整される。

[0150] 同様に、第 2 電圧検出回路 7 2 は、第 2 アノード配線 3 2 の電圧を検出し、検出された電圧に基づいてトランジスタ 3 8 a のゲート電圧を制御する。第 3 電圧検出回路 7 3 は、第 3 アノード配線 3 3 の電圧を検出し、検出された電圧に基づいてトランジスタ 3 9 a のゲート電圧を制御する。

[0151] 図 1 7 は、第 1 実施形態の第 7 変形例の発光装置 1 a の動作を示すタイミングチャートである。

[0152] 曲線 A 1、A 2 は、アノード側の PMOS、即ち、トランジスタ 3 7 a ~ 3 9 a のゲート電圧を示している。曲線 B は、アノード側の NMOS、即ち、トランジスタ 3 7 b ~ 3 9 b のゲート電圧を示している。曲線 C は、カソード側の NMOS、即ち、トランジスタ 2 4 のゲート電圧を示している。曲線 D 1、D 2 は、第 1 ~ 第 3 アノード配線 3 1 ~ 3 2 の電圧（アノード電圧）を示している。曲線 E 1、E 2 は、LDD 基板 1 2 から各発光素子 2 3 への出力電流（LDD 出力電流）を示している。

[0153] 曲線 A 1 は、トランジスタ 3 7 a ~ 3 9 a のゲート電圧のパルス幅が短い場合を示している。この場合、低いアノード電圧でトランジスタ 3 7 a ~ 3 9 a がオフになり（曲線 D 1）、低パワー発光が得られる（曲線 E 1）。

[0154] 曲線 A 2 は、トランジスタ 3 7 a ~ 3 9 a のゲート電圧のパルス幅が長い場合を示している。この場合、高いアノード電圧でトランジスタ 3 7 a ~ 3 9 a がオフになり（曲線 D 2）、高パワー発光が得られる（曲線 E 2）。

[0155] このように、本変形例によれば、発光装置 1 a の出力パワーを自在に変化させることが可能となる。

[0156] （10）第 8 変形例の発光装置 1 a

図 1 8 は、第 1 実施形態の第 8 変形例の発光装置 1 a の構造を示す断面図および平面図である。

- [0157] 本変形例の発光装置 1 a は、図 7 の A および B に示す構造の代わりに、図 18 の A および B に示す構造を有している。図 18 の A は、本変形例の発光装置 1 a の X Z 断面を示している。図 18 の B は、図 18 の A に示す発光装置 1 a の平面構造を示している。
- [0158] 本変形例では、L D D 基板 1 2 が、複数の半田ボール 5 8 を介して配線層 5 3 上に配置されており、これらの半田ボール 5 8 および配線層 5 3 を介して第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 と電氣的に接続されている。さらに、L D チップ 1 1 は、複数のバンプ 5 9 を介して L D D 基板 1 2 上に積載されており、これらのバンプ 5 9 を介して L D D 基板 1 2 と電氣的に接続されている。これらのバンプ 5 9 は例えば、金 (A u) などの金属で形成されている。本変形例の発光装置 1 a のその他の構造は、図 7 の A および B に示す構造と同様である。
- [0159] 本変形例の発光装置 1 a によれば、第 1 実施形態の発光装置 1 a と異なる構造により、第 1 実施形態の発光装置 1 a と同様の制御を実現することが可能となる。
- [0160] 以上のように、本実施形態の発光装置 1 a は、メッシュ状に配置された第 1 ~ 第 3 アノード配線 3 1 ~ 3 3 と、対称的に配置されるように第 1 ~ 第 3 アノード配線 3 1 ~ 3 3 に電氣的に接続された第 1 ~ 第 3 コンデンサ 3 4 ~ 3 6 とを備えている。よって、本実施形態によれば、上述のようなインピーダンスやインピーダンス差の問題を抑制し、測距装置 1 の性能を向上させることが可能となる。また、本実施形態によれば、カソード配線 4 1 を 3 つの発光素子 2 3 ごとに配置することで、カソード配線 4 1 に関する問題も抑制することが可能となる。このように、本実施形態によれば、発光素子 2 3 用の配線の構造を最適化することが可能となる。
- [0161] (第 2 実施形態)
- 図 19 は、第 2 実施形態の発光装置 1 a の構造を示す回路図である。
- [0162] 本実施形態の発光装置 1 a は、図 4 に示す構成要素に加え、第 4 アノード配線 8 1 と、複数の第 4 コンデンサ 8 2 と、第 4 選択回路 8 3 とを備えてい

る。第4アノード配線81は、複数の第4横配線81aと、複数の第4縦配線81bとを含んでいる。第4選択回路83は、トランジスタ83a、83bを含んでいる。第1～第4選択回路37、38、39、83は、本開示の第1～第N選択回路の例である。図19は、Nが4である例を示している。

[0163] 図19は、第1～第4アノード配線31、32、33、81を互いに区別するため、第1アノード配線31を太い実線で示し、第2アノード配線32を太い破線で示し、第3アノード配線33を細い実線で示し、第4アノード配線81を細い破線で示している。

[0164] 本実施形態の発光装置1aは、2次元アレイ状に配置された8×8個の発光素子23を備えている。そのため、本実施形態の第1～第4アノード配線31、32、33、81は、4組の第1～第4横配線31a、32a、33a、81aおよび第1～第4縦配線31b、32b、33b、81bを含んでいる。これらは、本開示のM組の第1～第N横配線および第1～第N縦配線の例である。図19は、Mが4である例を示している。図19に示す発光素子23の個数は、 $N(M-2) \times N(M-2)$ 個となっている。本実施形態の発光装置1aはさらに、これらの発光素子23に電氣的に接続された8×8個のトランジスタ24を備えている。

[0165] 本実施形態の第1～第4コンデンサ34、35、36、82は、4組の第1～第4コンデンサ34、35、36、82を含んでいる。各組の第1～第4コンデンサ34、35、36、82は、正方形の発光素子アレイの1辺付近に順に配置されている。よって、本実施形態の第1～第4コンデンサ34、35、36、82も、この正方形に対し対称に配置されている。第1～第4コンデンサ34、35、36、82は、本開示のK組の第1～第Nコンデンサの例である。図19は、Kが4である例を示している。

[0166] 本実施形態の第4アノード配線81、第4コンデンサ82、および第4選択回路83の構造や機能はそれぞれ、第1～第3アノード配線31～33、第1～第3コンデンサ34～36、および第1～第3選択回路37～39と同様である。また、本実施形態のカソード配線41やゲート配線42の構造

や機能もそれぞれ、第1実施形態のカソード配線41やゲート配線42と同様である。ただし、本実施形態のNの値は、3ではなく4であるため、各カソード配線41は、4つの発光素子23と電氣的に接続されており、各ゲート配線42は、4つのトランジスタ24と電氣的に接続されている。

[0167] Nの値は、発光装置1aの用法に応じて適切な値に設定することが望ましい。例えば、Nの値を小さくすることには、各発光素子23用の配線のインダクタンスを小さくできるという利点や、コンデンサや選択回路の個数を低減できるという利点がある。一方、Nの値を大きくすることには、カソード配線41やゲート配線42の本数を低減できるという利点や、トランジスタ24につながるカソード配線41の共通数を大きくでき、トランジスタ24の駆動能力を増加できるという利点がある。

[0168] (第3実施形態)

図20は、第3実施形態の発光装置1aの構造を模式的に示す平面図である。

[0169] 本実施形態の発光装置1aは、第1実施形態の発光装置1aと同様に、図4に示す構造を有している。さらに、本実施形態の発光装置1aは、図20のAおよびBに示す構造を有している。

[0170] 図20のAは、平面視におけるLDチップ11の形状を模式的に示している。図20のAに示す各領域R1は、1つの発光素子23が占める領域を示している。各領域R1の面積が、1つの発光素子23のサイズに相当する。図20のAは、9×9個の発光素子23に対応して、9×9個の領域R1を示している。

[0171] 図20のBは、平面視におけるLDD基板12の形状を模式的に示している。本実施形態のLDD基板12は、駆動回路E(トランジスタ24)を配置するための領域と、周辺回路を配置するための領域とを含んでいる。図20のBに示す各領域R2は、1つの駆動回路E(3つのトランジスタ24)が占める領域を示している。各領域R2の面積が、1つの駆動回路Eのサイズに相当する。図20のBは、27個の駆動回路Eに対応して、27個の領

域R2を示している。

[0172] 本実施形態では、1つの駆動回路Eのサイズが、3つの発光素子23のサイズと同じになっている。すなわち、1つの領域R2の面積が、図20のAおよびBに示すように、3つの領域R1の面積と同じになっている。具体的には、1つの領域R2の形状が、3つの領域R1の形状と合同になっている。

[0173] このような構造は例えば、図18のAに示す構造を採用する場合に好適である。図18のAでは、LDチップ11がLDD基板12上に積載されている。この場合、1つの駆動回路Eのサイズが3つの発光素子23のサイズと同じであれば、各駆動回路Eを、対応する3つの発光素子23の真下に配置することが可能となる。これにより、各発光素子23用の配線のインピーダンスをより低減することが可能となる。なお、各駆動回路EがN個の発光素子23に対応している場合には、1つの駆動回路Eのサイズを、N個の発光素子23のサイズと同じにすることが望ましい。

[0174] なお、第1～第3実施形態の発光装置1aは、測距装置1の光源として使用されているが、その他の態様にて使用されてもよい。例えば、これらの実施形態の発光装置1aは、プリンタなどの光学機器の光源として使用されてもよいし、照明装置として使用されてもよい。

[0175] 以上、本開示の実施形態について説明したが、これらの実施形態は、本開示の要旨を逸脱しない範囲内で、種々の変更を加えて実施してもよい。例えば、2つ以上の実施形態を組み合わせる実施してもよい。

[0176] なお、本開示は、以下のような構成を取ることもできる。

[0177] (1)

2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、

横方向に延びる第1～第N横配線（Nは2以上の整数）と、縦方向に延び、前記第1～第N横配線にそれぞれ電氣的に接続された第1～第N縦配線とを含み、前記発光素子の前記第1端子に電氣的に接続された複数の第1端子

配線と、

前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのN個に電氣的に接続された複数の第2端子配線と、

前記第1および第2端子配線の一方に電氣的に接続され、光を発生させる前記発光素子を選択する複数の選択回路と、

前記第1および第2端子配線の他方に電氣的に接続され、前記発光素子を駆動させる複数の駆動回路と、

を備える発光装置。

[0178] (2)

前記発光素子の前記第1および第2端子の一方は、アノードであり、
前記発光素子の前記第1および第2端子の他方は、カソードであり、
前記第1および第2端子配線の一方は、アノード配線であり、
前記第1および第2端子配線の他方は、カソード配線である、

(1)に記載の発光装置。

[0179] (3)

前記複数の第1端子配線は、M組(Mは2以上の整数)の前記第1～第N横配線および前記第1～第N縦配線を含む、(1)に記載の発光装置。

[0180] (4)

前記複数の選択回路は、前記第1～第N横配線または前記第1～第N縦配線にそれぞれ電氣的に接続された第1～第N選択回路を含み、

前記複数の駆動回路は、各々が前記第2端子配線のうちの1つに電氣的に接続されている、(1)に記載の発光装置。

(5)

前記第1～第N選択回路のうちの1つと、前記複数の駆動回路のうちの2つ以上とをオンにすることで、前記発光素子のうちの2つ以上を同時に発光させる、(4)に記載の発光装置。

[0181] (6)

前記第1～第N選択回路のうちの2つ以上と、前記複数の駆動回路のうち

の1つとをオンにすることで、前記発光素子のうちの2つ以上を同時に発光させる、(4)に記載の発光装置。

[0182] (7)

前記複数の選択回路は、各々が前記第2端子配線のうちの1つに電氣的に接続されており、

前記複数の駆動回路は、前記第1～第N横配線または前記第1～第N縦配線にそれぞれ電氣的に接続された第1～第3駆動回路を含む、(1)に記載の発光装置。

(8)

前記第1および第2端子配線の前記一方に電氣的に接続され、前記発光素子に供給する電荷を蓄積する複数のコンデンサをさらに備える、(1)に記載の発光装置。

[0183] (9)

前記複数のコンデンサは、前記第1～第N横配線または前記第1～第N縦配線にそれぞれ電氣的に接続された第1～第Nコンデンサを含む、(8)に記載の発光装置。

(10)

前記複数のコンデンサは、前記発光素子のアレイの4辺のうちの2辺以上の付近に配置されたK組(Kは2以上の整数)の前記第1～第Nコンデンサを含む、(9)に記載の発光装置。

[0184] (11)

前記複数のコンデンサは、前記発光素子のアレイの中心に対し対称に配置されたK組(Kは2以上の整数)の前記第1～第Nコンデンサを含む、(9)に記載の発光装置。

[0185] (12)

前記複数のコンデンサは、各々が前記第2端子配線のうちの1つに電氣的に接続されている、(8)に記載の発光装置。

(13)

前記複数のコンデンサは、前記発光素子が設けられた第1基板上、前記選択回路と前記駆動回路の少なくともいずれかが設けられた第2基板上、または前記第1および第2基板が設けられた実装基板上に配置されている、(8)に記載の発光装置。

[0186] (14)

前記複数の選択回路の各々は、前記コンデンサに電荷を蓄積する第1スイッチと、前記コンデンサから電荷を放電する第2スイッチとを含む、(8)に記載の発光装置。

[0187] (15)

前記複数のコンデンサに蓄積されている電荷の量を示す電圧を検出し、前記電圧に基づいて前記第1スイッチを制御する複数の電圧検出回路をさらに備える、(14)に記載の発光装置。

[0188] (16)

前記発光素子に供給する電荷は、前記発光素子または前記駆動回路の寄生容量に蓄積される、(1)に記載の発光装置。

[0189] (17)

前記複数の駆動回路の各々は、光を発生させる前記発光素子を選択する第1トランジスタと、電流源として機能する第2トランジスタとを含む、(1)に記載の発光装置。

[0190] (18)

前記発光素子が設けられた第1基板は、前記選択回路と前記駆動回路の少なくともいずれかが設けられた第2基板上に積載されている、(1)に記載の発光装置。

[0191] (19)

平面視において、前記複数の駆動回路のうちの1つのサイズは、前記複数の発光素子のうちのN個のサイズと同じである、(1)に記載の発光装置。

[0192] (20)

光を発生させて被写体に照射する発光部と、

前記被写体から反射した光を受光する受光部と、
前記受光部により受光された光に基づいて、前記被写体との距離を測定する測距部と、
を備え、
前記発光部は、
2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、
横方向に延びる第1～第N横配線（Nは2以上の整数）と、縦方向に延び、前記第1～第N横配線にそれぞれ電氣的に接続された第1～第N縦配線とを含み、前記発光素子の前記第1端子に電氣的に接続された複数の第1端子配線と、
前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのN個に電氣的に接続された複数の第2端子配線と、
前記第1および第2端子配線の一方に電氣的に接続され、光を発生させる前記発光素子を選択する複数の選択回路と、
前記第1および第2端子配線の他方に電氣的に接続され、前記発光素子を駆動させる複数の駆動回路と、
を備える、測距装置。

符号の説明

- [0193] 1：測距装置、1a：発光装置、2：発光部、2a：発光素子、3：駆動部、
4：電源回路、5：発光側光学系、6：受光側光学系、7：受光部、
8：信号処理部、9：制御部、9a：測距部、10：温度検出部、
11：LDチップ、12：LDD基板、13：実装基板、14：放熱基板、
、
15：補正レンズ保持部、16：補正レンズ、17：配線、
21：基板、22：積層膜、23：発光素子、23'：寄生容量、
24：トランジスタ、24'：寄生容量、25：トランジスタ、

- 3 1 : 第 1 アノード配線、 3 1 a : 第 1 横配線、 3 1 b : 第 1 縦配線、
3 2 : 第 2 アノード配線、 3 2 a : 第 2 横配線、 3 2 b : 第 2 縦配線、
3 3 : 第 3 アノード配線、 3 3 a : 第 3 横配線、 3 3 b : 第 3 縦配線、
3 1' : 第 1 カソード配線、 3 1 a' : 第 1 横配線、 3 1 b' : 第 1 縦配線、
3 2' : 第 2 カソード配線、 3 2 a' : 第 2 横配線、 3 2 b' : 第 2 縦配線、
3 3' : 第 3 カソード配線、 3 3 a' : 第 3 横配線、 3 3 b' : 第 3 縦配線、
3 4 : 第 1 コンデンサ、 3 5 : 第 2 コンデンサ、 3 6 : 第 3 コンデンサ、
3 7 : 第 1 選択回路、 3 7 a : トランジスタ、 3 7 b : トランジスタ、
3 8 : 第 2 選択回路、 3 8 a : トランジスタ、 3 8 b : トランジスタ、
3 9 : 第 3 選択回路、 3 9 a : トランジスタ、 3 9 b : トランジスタ、
4 1 : カソード配線、 4 1' : アノード配線、
4 2 : ゲート配線、 4 2' : ゲート配線、 4 3 : ゲート配線、
5 1 : 絶縁基板、 5 2 : 絶縁膜、 5 3 : 配線層、 5 4 : 絶縁膜、 5 5 : 配線層、
5 6 : 配線、 5 7 : 半田ボール、 5 8 : 半田ボール、 5 9 : バンプ、
6 1 : 第 1 トランジスタ、 6 2 : 第 2 トランジスタ、 6 3 : 第 3 トランジスタ、
6 4 : 第 1 ゲート配線、 6 5 : 第 2 ゲート配線、 6 6 : 第 3 ゲート配線、
6 7 : コンデンサ、 6 8 : 選択回路、 6 8 a : トランジスタ、 6 8 b : トランジスタ、
7 1 : 第 1 電圧検出回路、 7 2 : 第 2 電圧検出回路、 7 3 : 第 3 電圧検出回路、
8 1 : 第 4 アノード配線、 8 1 a : 第 4 横配線、 8 1 b : 第 4 縦配線、
8 2 : 第 4 コンデンサ、 8 3 : 第 4 選択回路、
8 3 a : トランジスタ、 8 3 b : トランジスタ

請求の範囲

- [請求項1] 2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、
- 横方向に延びる第1～第N横配線（Nは2以上の整数）と、縦方向に延び、前記第1～第N横配線にそれぞれ電氣的に接続された第1～第N縦配線とを含み、前記発光素子の前記第1端子に電氣的に接続された複数の第1端子配線と、
- 前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのN個に電氣的に接続された複数の第2端子配線と、
- 前記第1および第2端子配線の一方に電氣的に接続され、光を発生させる前記発光素子を選択する複数の選択回路と、
- 前記第1および第2端子配線の他方に電氣的に接続され、前記発光素子を駆動させる複数の駆動回路と、
- を備える発光装置。
- [請求項2] 前記発光素子の前記第1および第2端子の一方は、アノードであり、
- 、
- 前記発光素子の前記第1および第2端子の他方は、カソードであり、
- 、
- 前記第1および第2端子配線の一方は、アノード配線であり、
- 前記第1および第2端子配線の他方は、カソード配線である、
- 請求項1に記載の発光装置。
- [請求項3] 前記複数の第1端子配線は、M組（Mは2以上の整数）の前記第1～第N横配線および前記第1～第N縦配線を含む、請求項1に記載の発光装置。
- [請求項4] 前記複数の選択回路は、前記第1～第N横配線または前記第1～第N縦配線にそれぞれ電氣的に接続された第1～第N選択回路を含み、
- 前記複数の駆動回路は、各々が前記第2端子配線のうちの1つに電氣的に接続されている、請求項1に記載の発光装置。

- [請求項5] 前記第1～第N選択回路のうちの1つと、前記複数の駆動回路のうちの2つ以上とをオンにすることで、前記発光素子のうちの2つ以上を同時に発光させる、請求項4に記載の発光装置。
- [請求項6] 前記第1～第N選択回路のうちの2つ以上と、前記複数の駆動回路のうちの1つとをオンにすることで、前記発光素子のうちの2つ以上を同時に発光させる、請求項4に記載の発光装置。
- [請求項7] 前記複数の選択回路は、各々が前記第2端子配線のうちの1つに電氣的に接続されており、
前記複数の駆動回路は、前記第1～第N横配線または前記第1～第N縦配線にそれぞれ電氣的に接続された第1～第3駆動回路を含む、請求項1に記載の発光装置。
- [請求項8] 前記第1および第2端子配線の前記一方に電氣的に接続され、前記発光素子に供給する電荷を蓄積する複数のコンデンサをさらに備える、請求項1に記載の発光装置。
- [請求項9] 前記複数のコンデンサは、前記第1～第N横配線または前記第1～第N縦配線にそれぞれ電氣的に接続された第1～第Nコンデンサを含む、請求項8に記載の発光装置。
- [請求項10] 前記複数のコンデンサは、前記発光素子のアレイの4辺のうちの2辺以上の付近に配置されたK組（Kは2以上の整数）の前記第1～第Nコンデンサを含む、請求項9に記載の発光装置。
- [請求項11] 前記複数のコンデンサは、前記発光素子のアレイの中心に対し対称に配置されたK組（Kは2以上の整数）の前記第1～第Nコンデンサを含む、請求項9に記載の発光装置。
- [請求項12] 前記複数のコンデンサは、各々が前記第2端子配線のうちの1つに電氣的に接続されている、請求項8に記載の発光装置。
- [請求項13] 前記複数のコンデンサは、前記発光素子が設けられた第1基板上、前記選択回路と前記駆動回路の少なくともいずれかが設けられた第2基板上、または前記第1および第2基板が設けられた実装基板上に配

置されている、請求項 8 に記載の発光装置。

[請求項14] 前記複数の選択回路の各々は、前記コンデンサに電荷を蓄積する第 1 スイッチと、前記コンデンサから電荷を放電する第 2 スイッチとを含む、請求項 8 に記載の発光装置。

[請求項15] 前記複数のコンデンサに蓄積されている電荷の量を示す電圧を検出し、前記電圧に基づいて前記第 1 スイッチを制御する複数の電圧検出回路をさらに備える、請求項 14 に記載の発光装置。

[請求項16] 前記発光素子に供給する電荷は、前記発光素子または前記駆動回路の寄生容量に蓄積される、請求項 1 に記載の発光装置。

[請求項17] 前記複数の駆動回路の各々は、光を発生させる前記発光素子を選択する第 1 トランジスタと、電流源として機能する第 2 トランジスタとを含む、請求項 1 に記載の発光装置。

[請求項18] 前記発光素子が設けられた第 1 基板は、前記選択回路と前記駆動回路の少なくともいずれかが設けられた第 2 基板上に積載されている、請求項 1 に記載の発光装置。

[請求項19] 平面視において、前記複数の駆動回路のうちの 1 つのサイズは、前記複数の発光素子のうちの N 個のサイズと同じである、請求項 1 に記載の発光装置。

[請求項20] 光を発生させて被写体に照射する発光部と、
前記被写体から反射した光を受光する受光部と、
前記受光部により受光された光に基づいて、前記被写体との距離を測定する測距部と、
を備え、
前記発光部は、
2次元アレイ状に配置され、各々が第 1 および第 2 端子を有する複数の発光素子と、
横方向に延びる第 1 ～第 N 横配線（N は 2 以上の整数）と、縦方向に延び、前記第 1 ～第 N 横配線にそれぞれ電氣的に接続された第 1 ～

第N縦配線とを含み、前記発光素子の前記第1端子に電氣的に接続された複数の第1端子配線と、

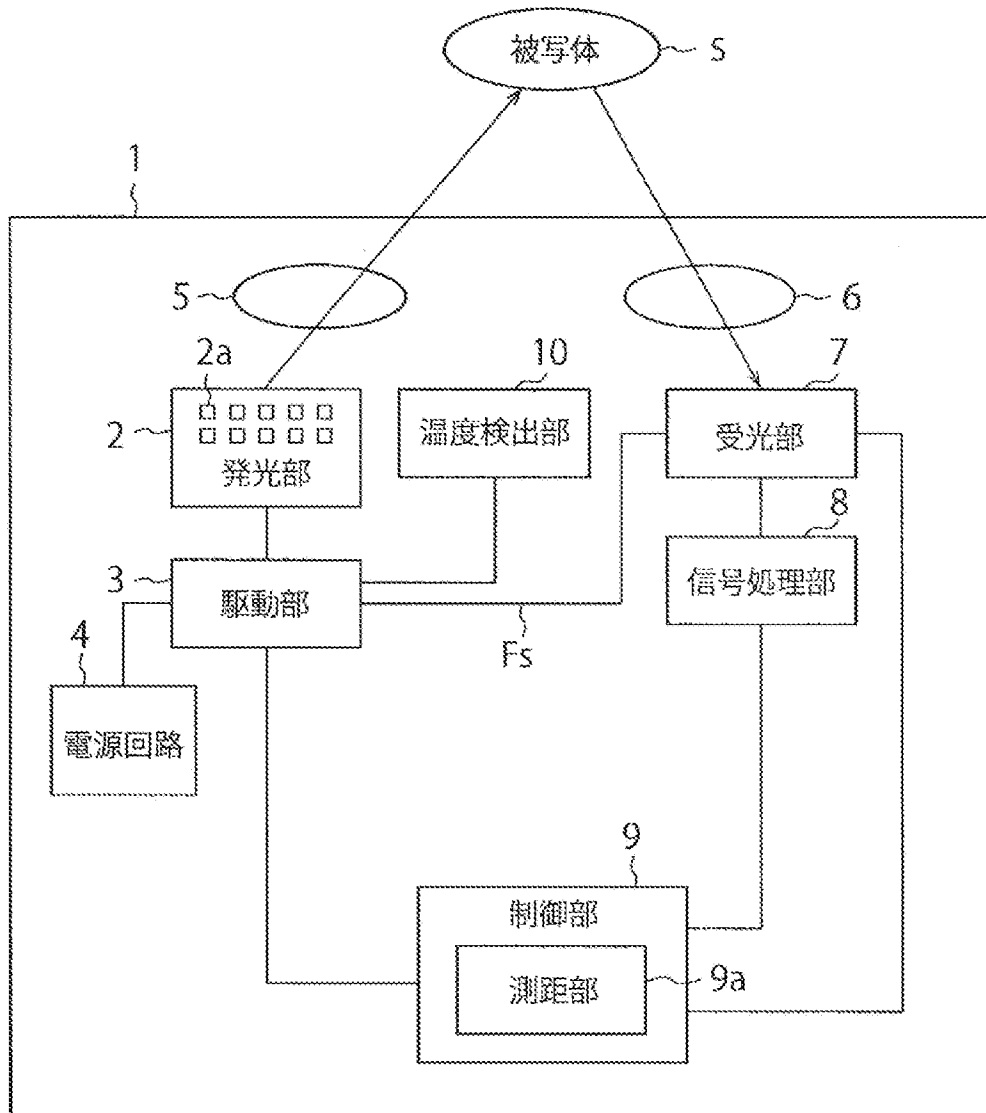
前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのN個に電氣的に接続された複数の第2端子配線と、

前記第1および第2端子配線の一方に電氣的に接続され、光を発生させる前記発光素子を選択する複数の選択回路と、

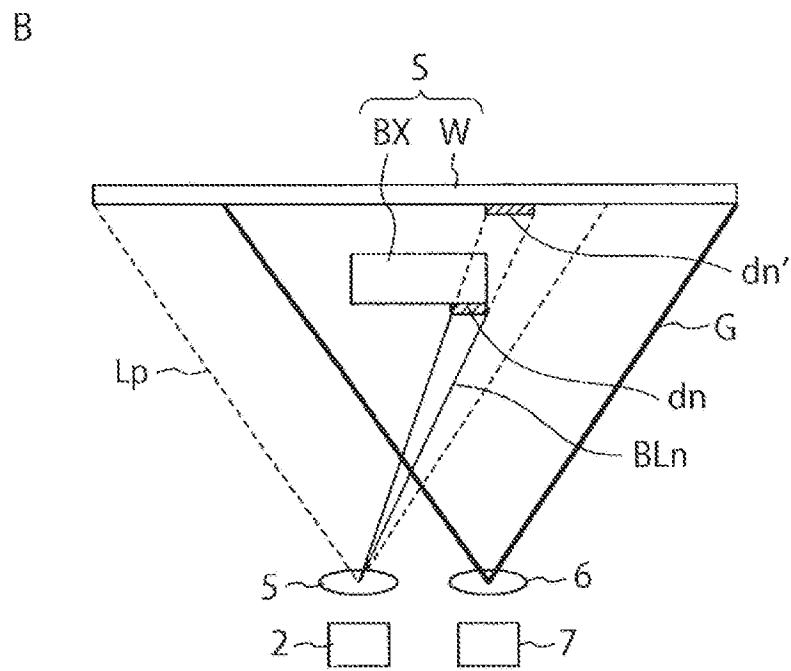
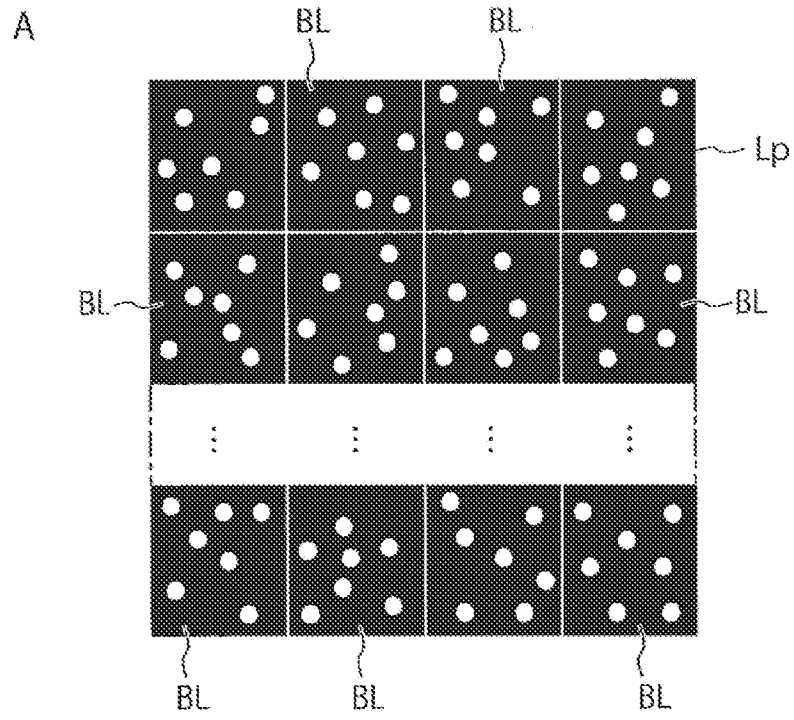
前記第1および第2端子配線の他方に電氣的に接続され、前記発光素子を駆動させる複数の駆動回路と、

を備える、測距装置。

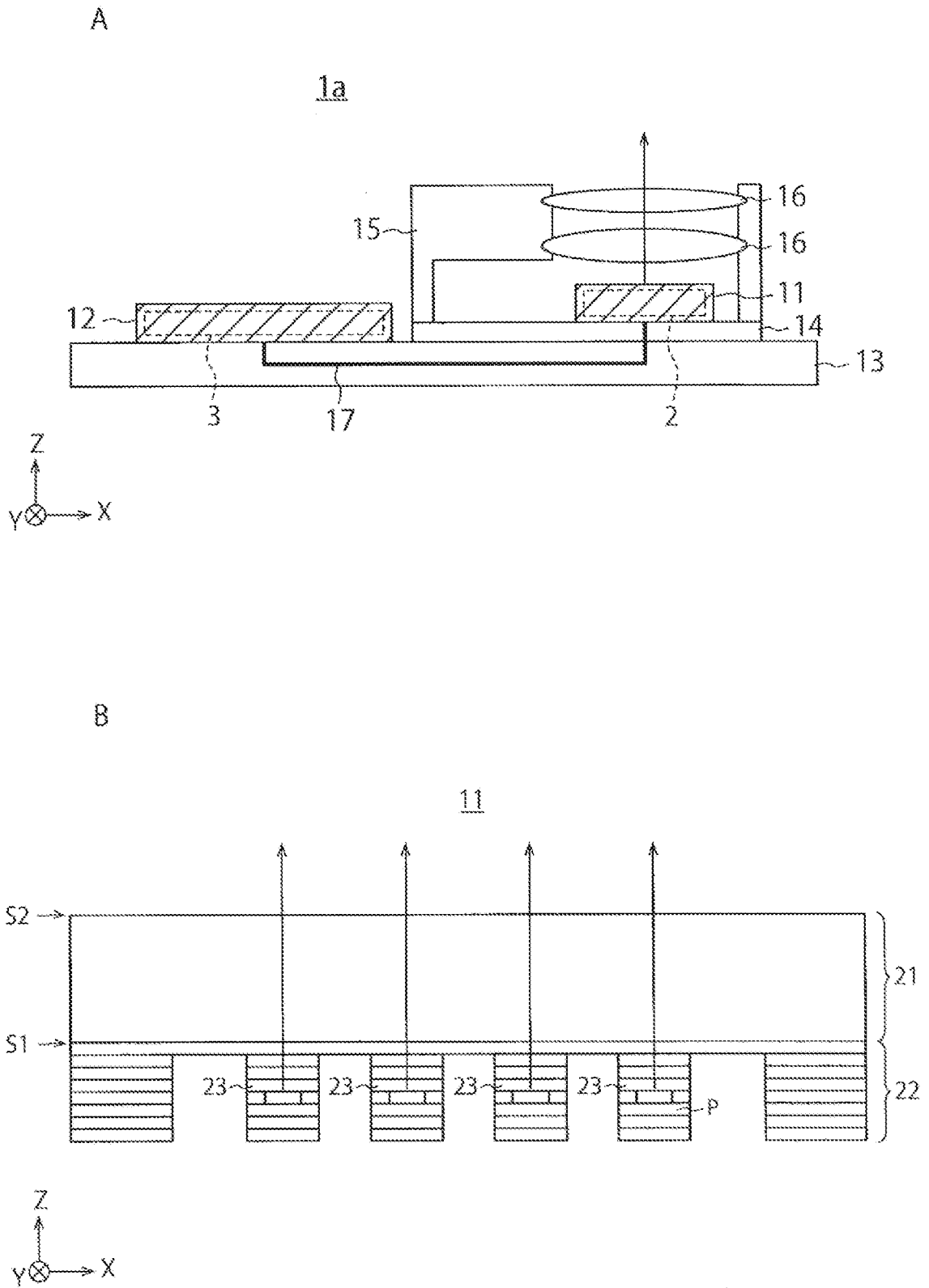
[図1]



[図2]

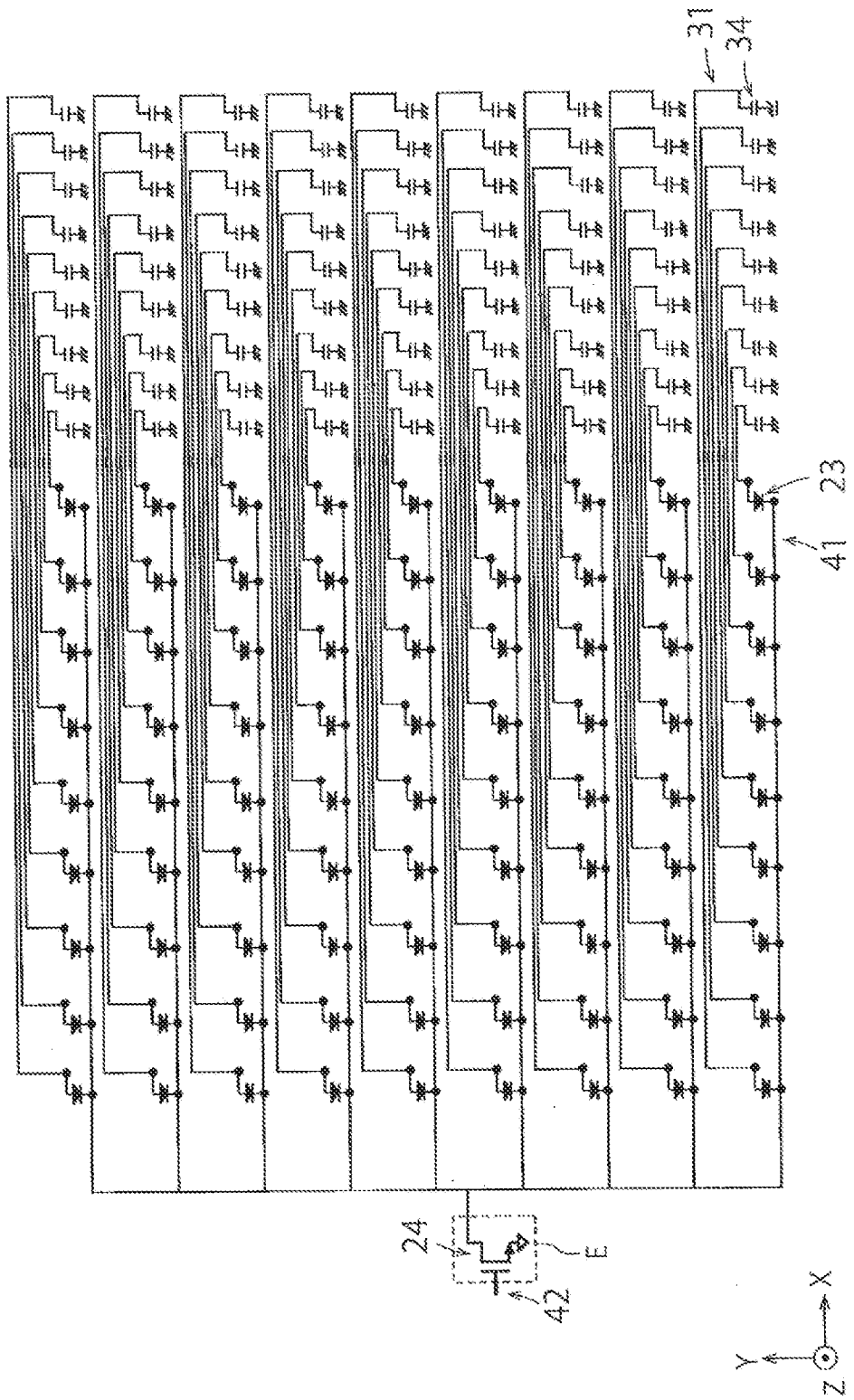


[図3]

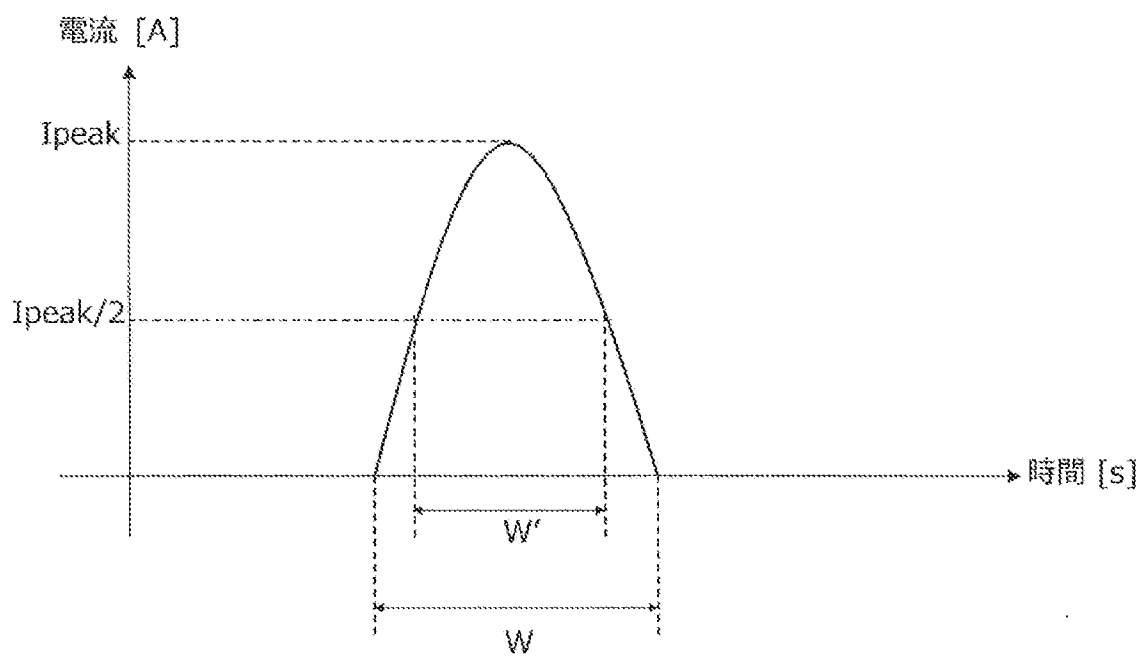


[図5]

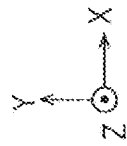
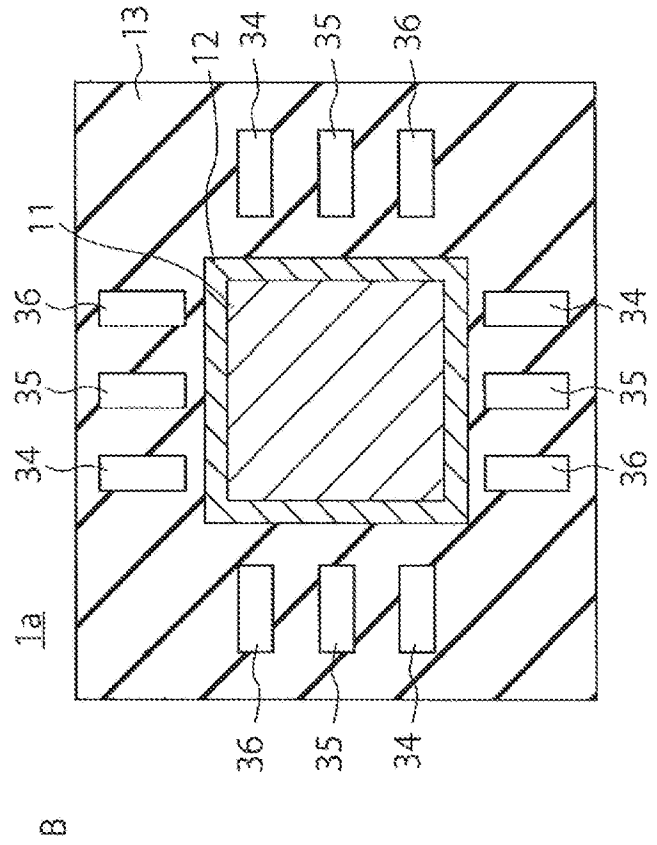
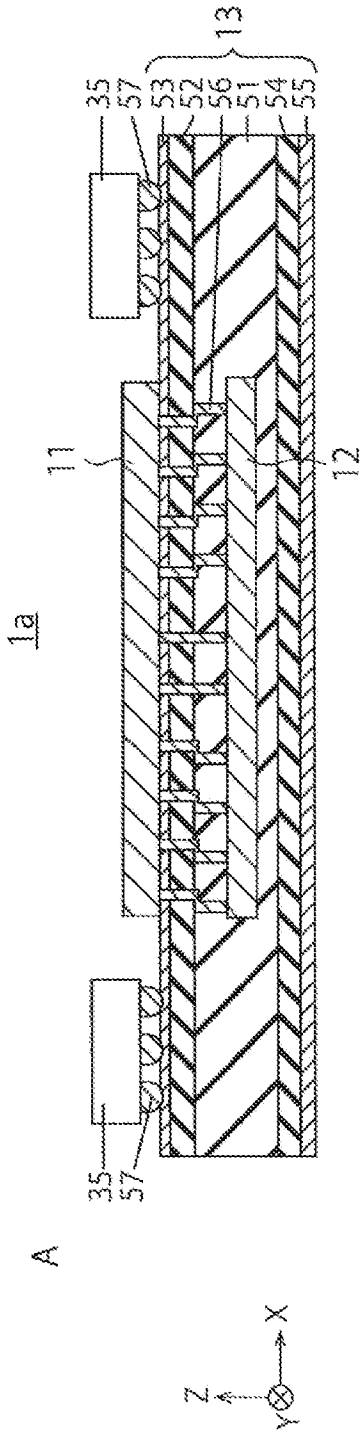
1a



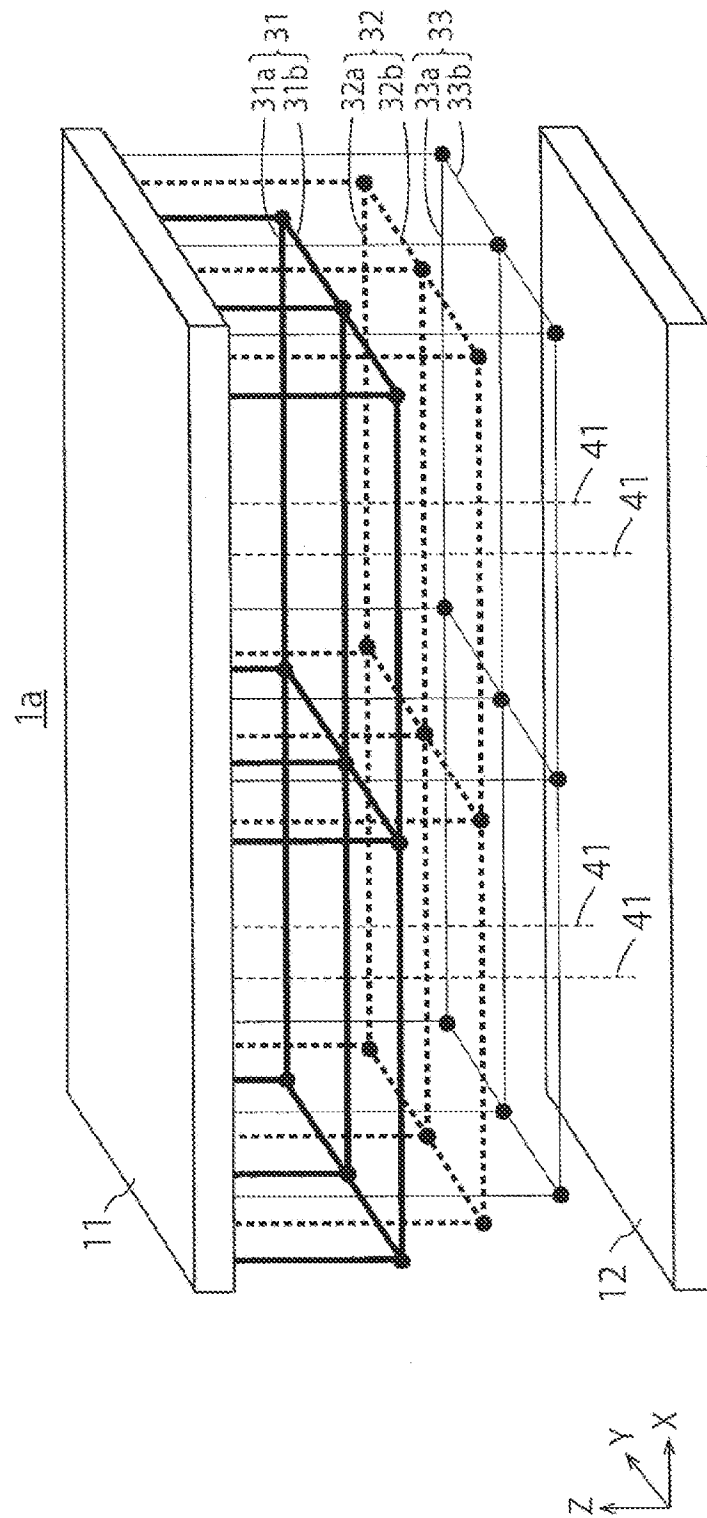
[図6]



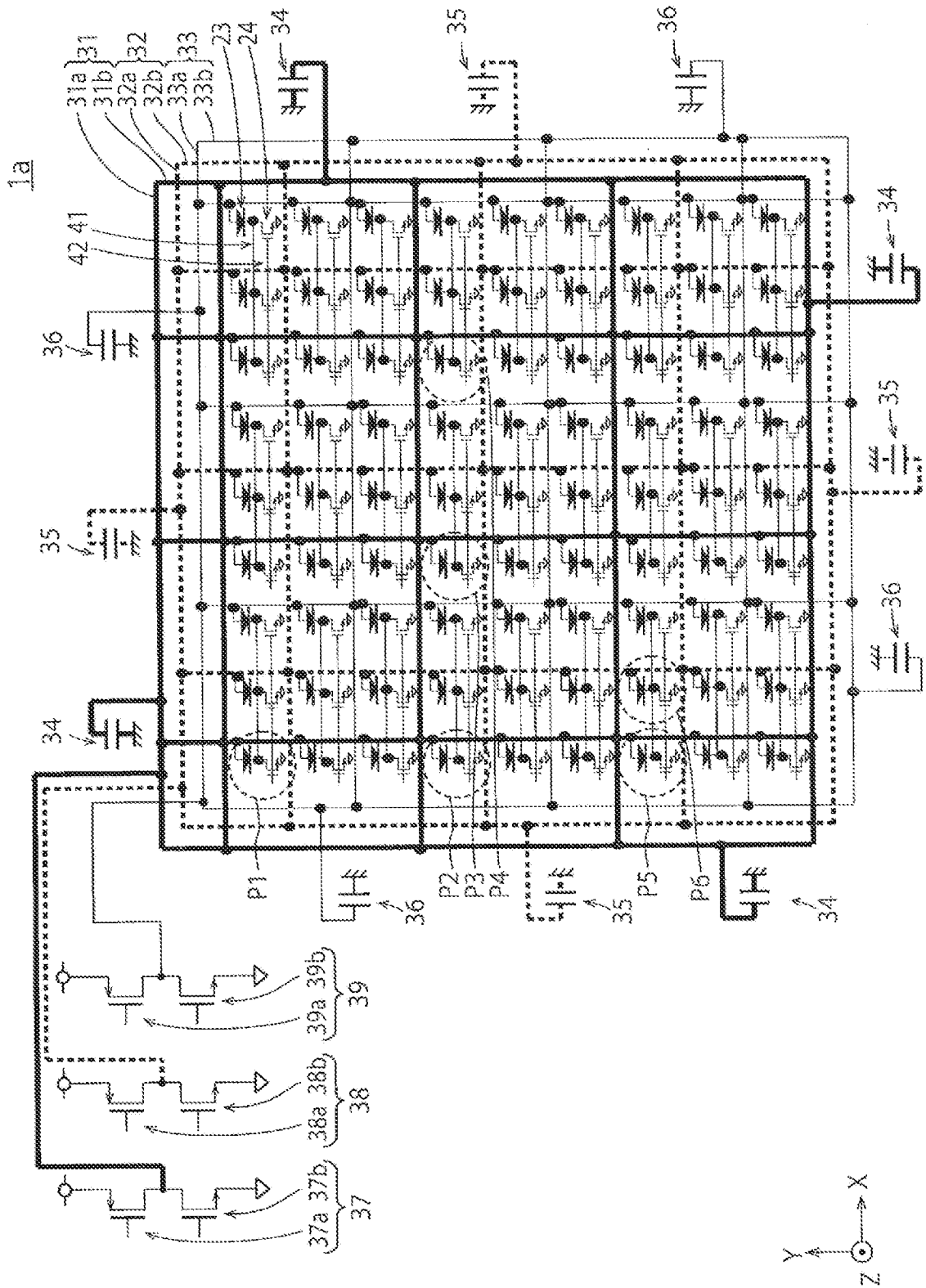
[図7]



[図8]

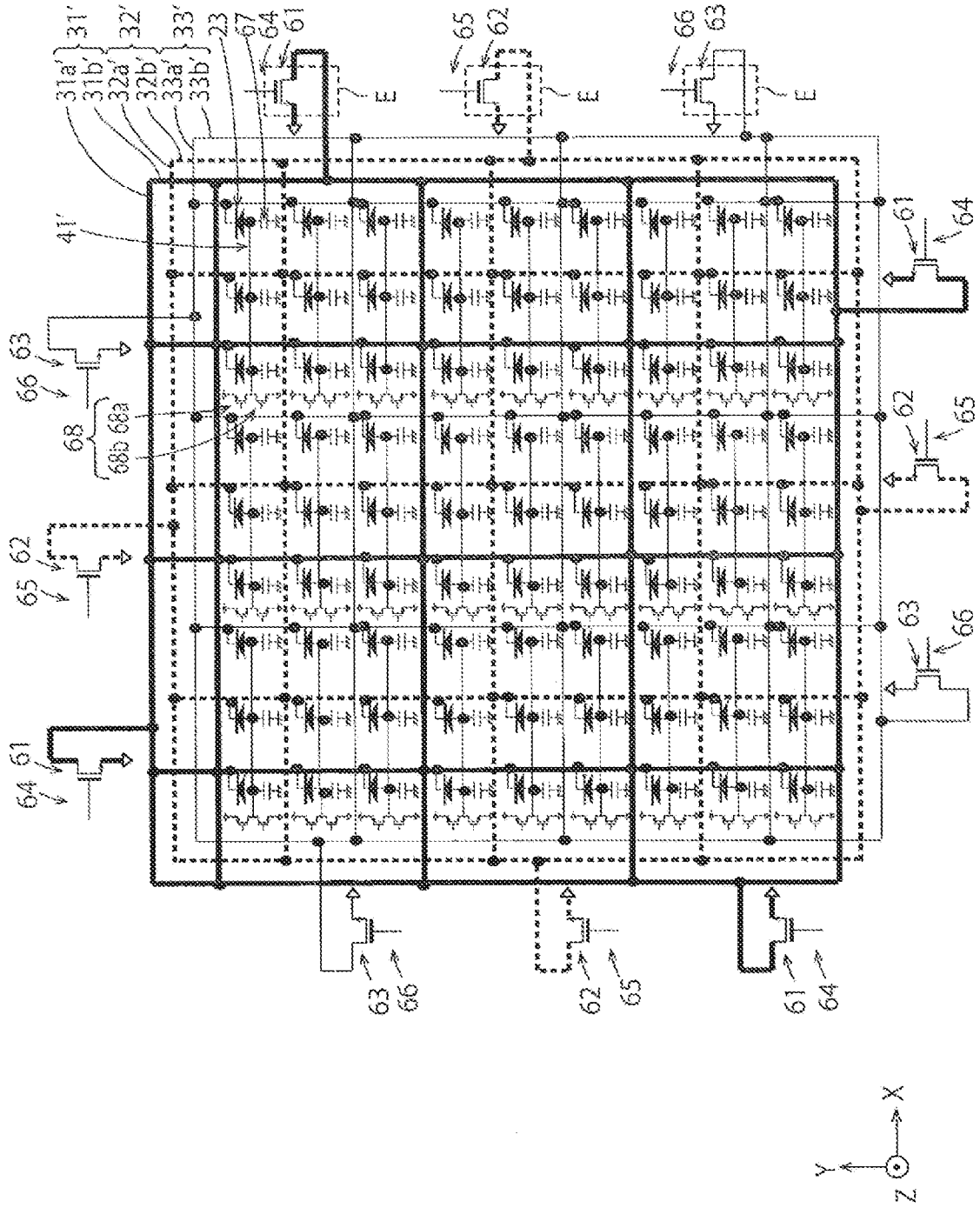


[図9]

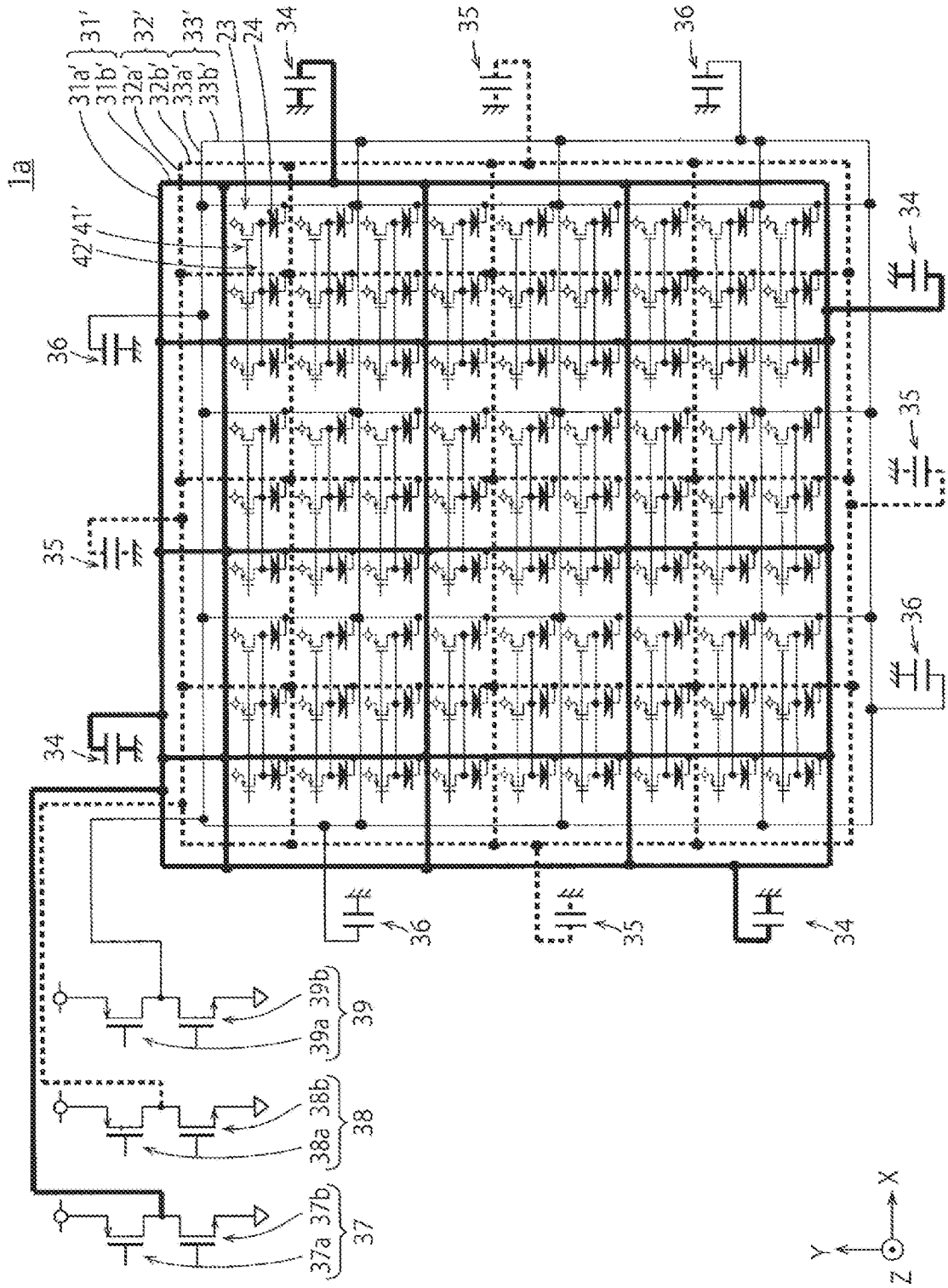


[図10]

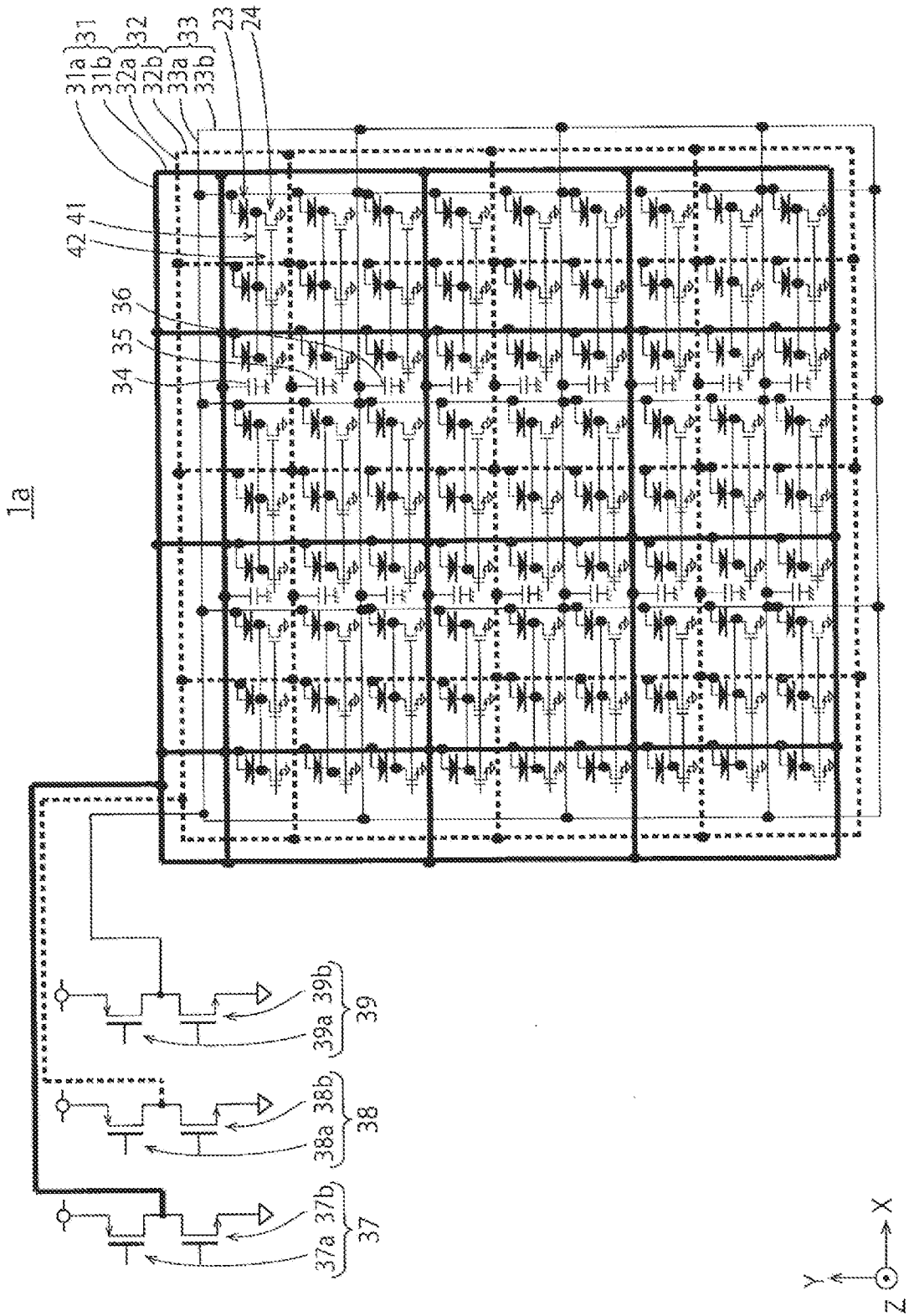
1a



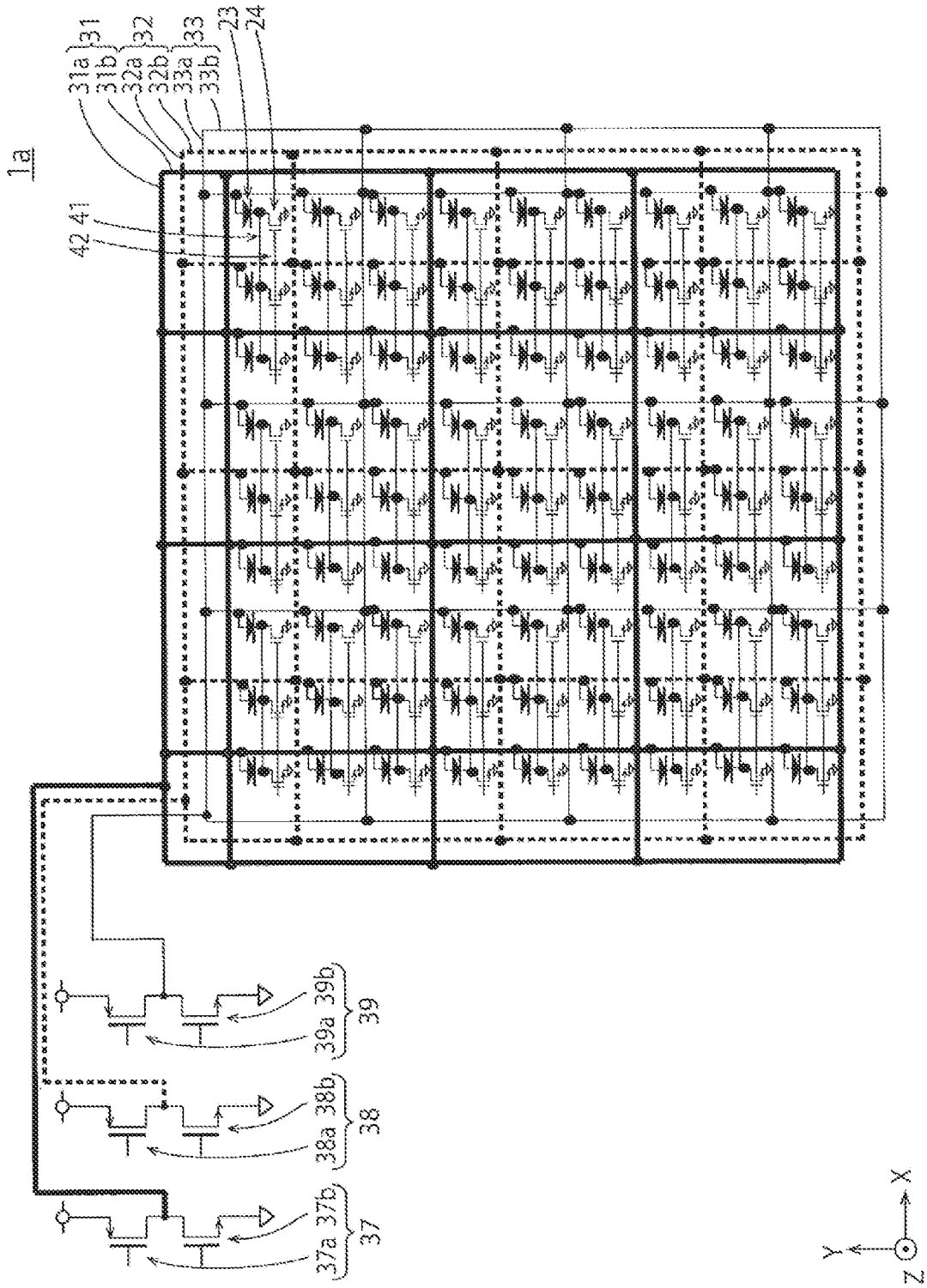
[図11]



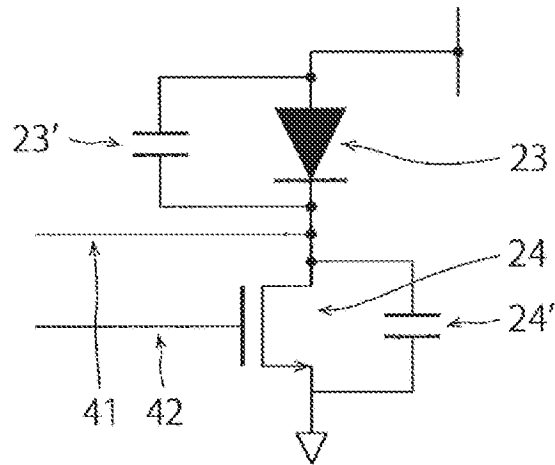
[図12]



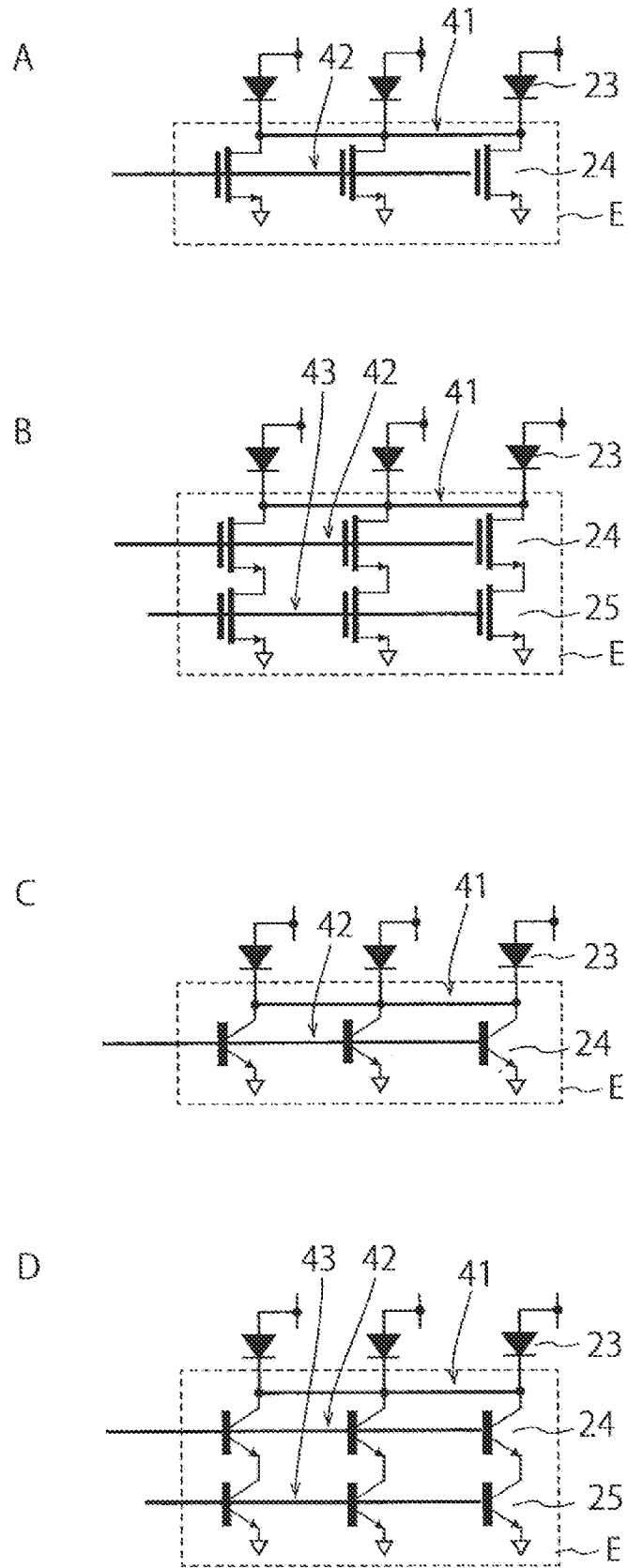
[図13]



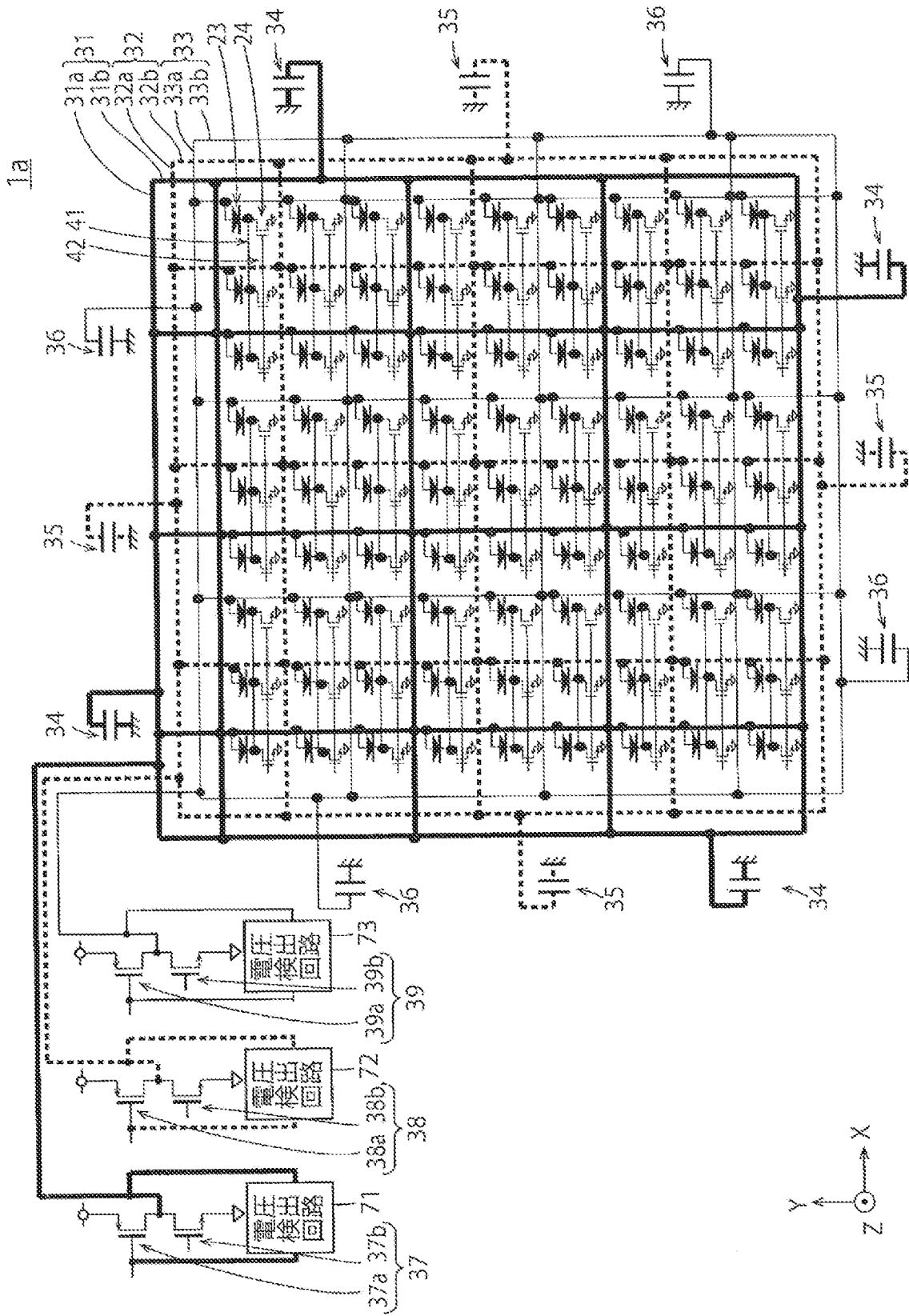
[図14]



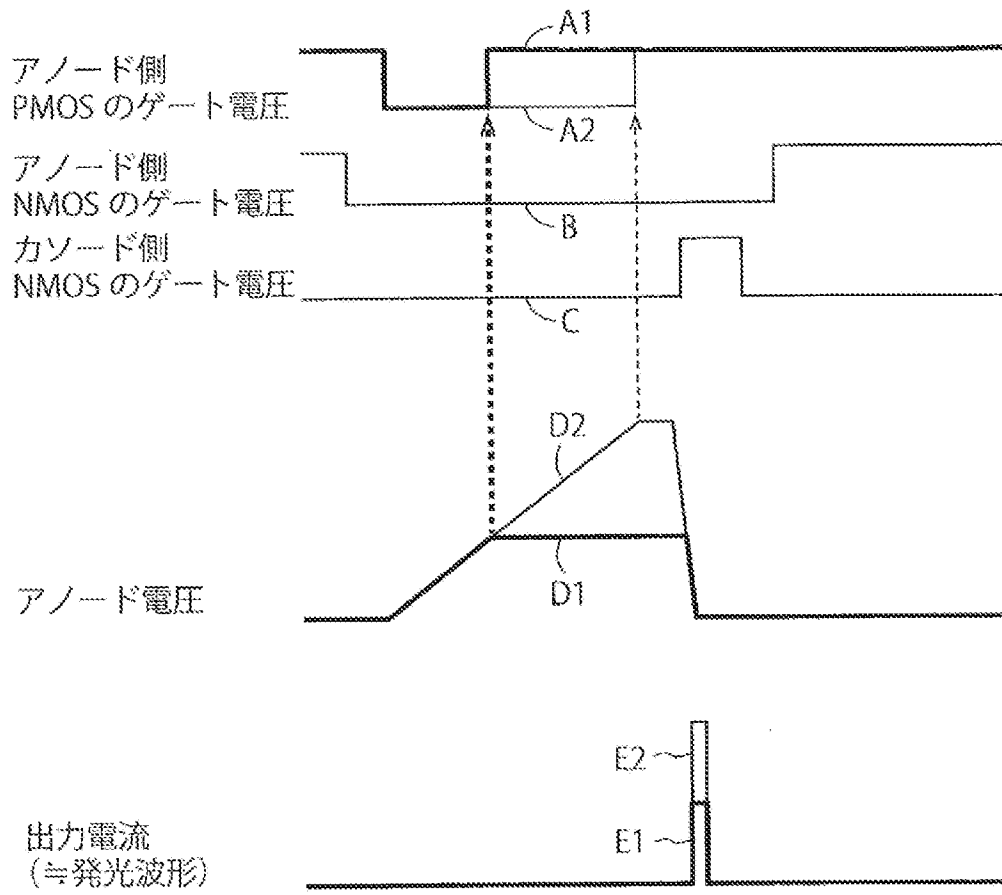
[図15]



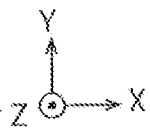
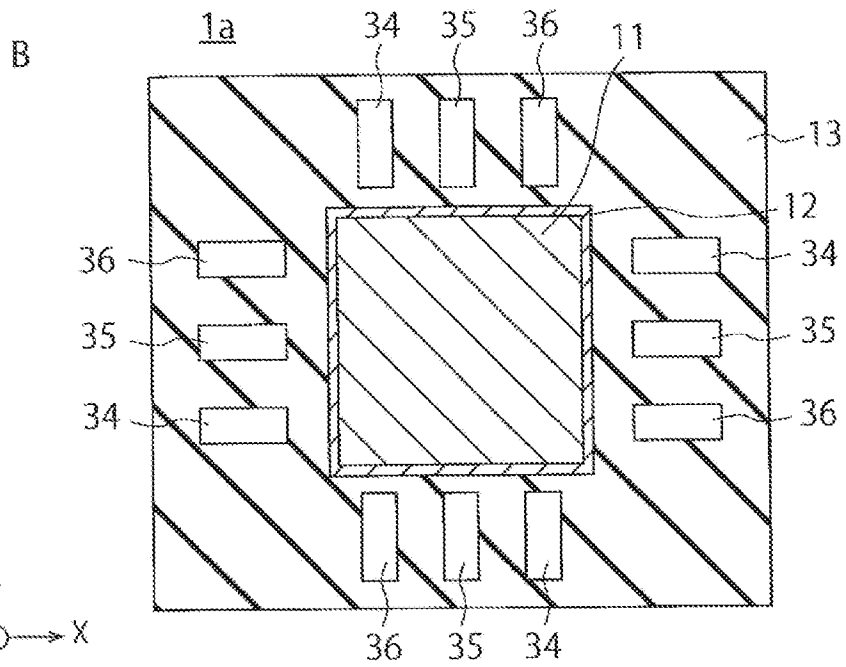
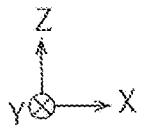
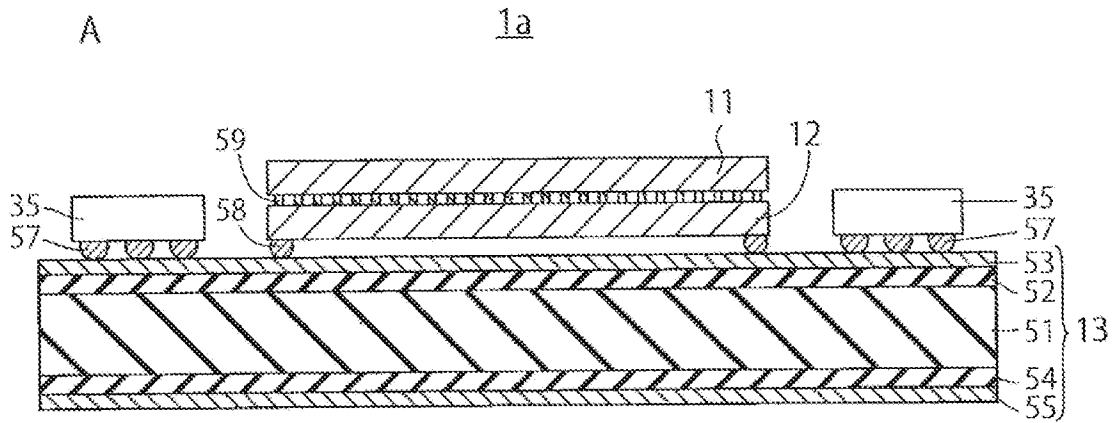
[図16]



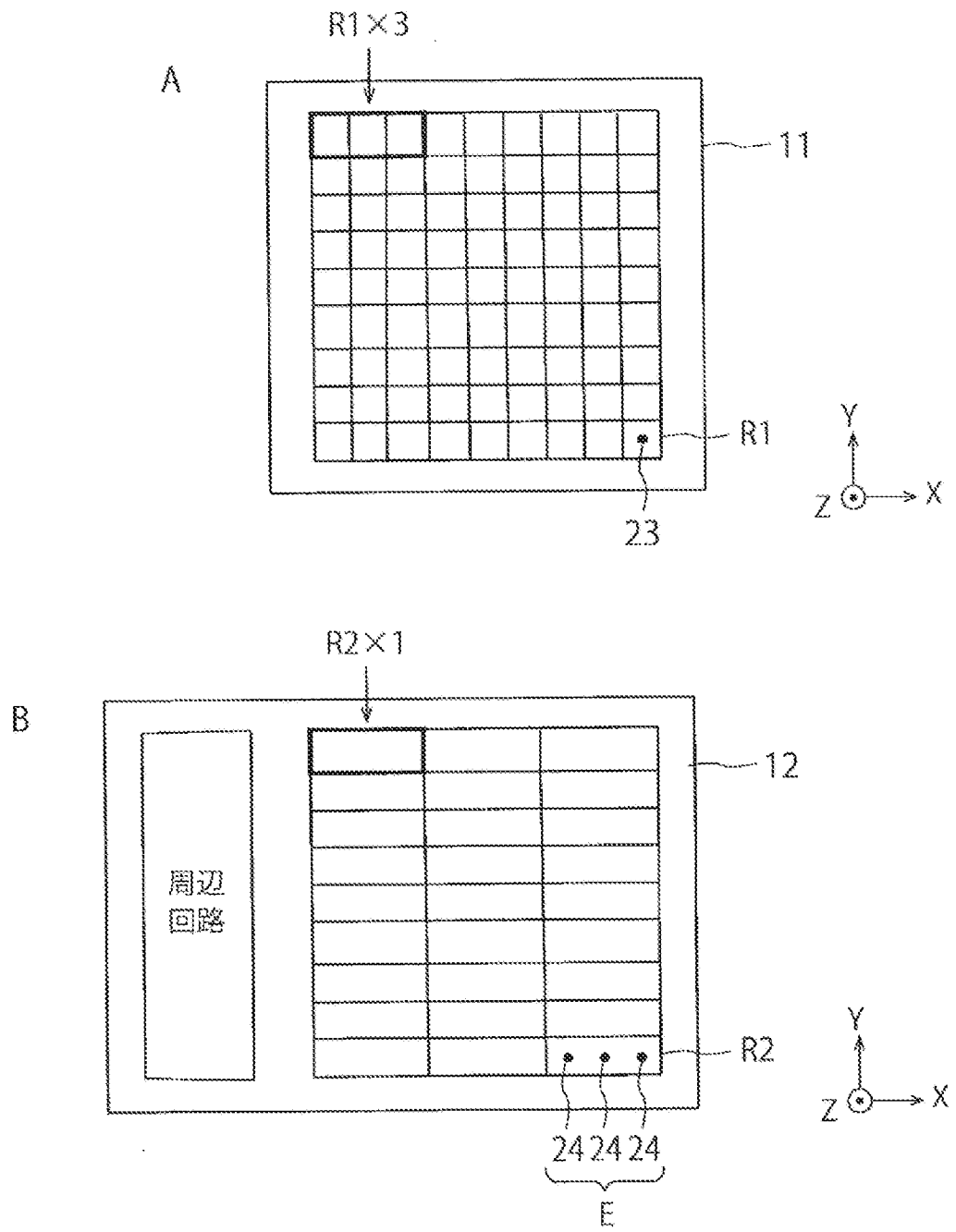
[図17]



[図18]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/002833

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01S 5/042</i> (2006.01)i; <i>G01C 3/06</i> (2006.01)i; <i>G01S 7/481</i> (2006.01)i; <i>G01S 7/484</i> (2006.01)i; <i>H01S 5/42</i> (2006.01)i; <i>G01S 17/931</i> (2020.01)n FI: H01S5/042 630; H01S5/42; G01S7/481 Z; G01S7/484; G01C3/06 120Q; G01C3/06 110A; G01S17/931		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01S5/00-5/50; H01L33/00-33/64; G01C3/00-3/32; G01S7/48-7/51; G01S17/00-17/95; G09F9/00-9/46		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-38855 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 12 March 2020 (2020-03-12) entire text, all drawings	1-20
A	JP 2021-182613 A (PANASONIC IP MANAGEMENT CORP.) 25 November 2021 (2021-11-25) entire text, all drawings	1-20
A	JP 2021-150599 A (JAPAN DISPLAY INC.) 27 September 2021 (2021-09-27) fig. 1	1-20
A	JP 2008-177513 A (KYOCERA CORP.) 31 July 2008 (2008-07-31) entire text, all drawings	1-20
A	JP 2021-150577 A (JAPAN DISPLAY INC.) 27 September 2021 (2021-09-27) entire text, all drawings	1-20
A	JP 2009-152161 A (OKI DATA CORP.) 09 July 2009 (2009-07-09) entire text, all drawings	1-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 March 2023		Date of mailing of the international search report 04 April 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/002833

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-266735 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.) 29 September 2005 (2005-09-29) fig. 15	1-20
A	WO 2021/261567 A1 (CITIZEN ELECTRONICS CO., LTD.) 30 December 2021 (2021-12-30) entire text, all drawings	1-20
A	US 2021/0096693 A1 (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 01 April 2021 (2021-04-01) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/002833

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-38855	A	12 March 2020	US 2021/0313768 entire text, all drawings	A1
				WO 2020/044818	A1
JP	2021-182613	A	25 November 2021	(Family: none)	
JP	2021-150599	A	27 September 2021	US 2023/0017957 fig. 1	A1
				WO 2021/192807	A1
JP	2008-177513	A	31 July 2008	US 2011/0164103 entire text, all drawings	A1
				WO 2007/097347	A1
				EP 2006918	A2
JP	2021-150577	A	27 September 2021	US 2021/0296548 entire text, all drawings	A1
JP	2009-152161	A	09 July 2009	US 2009/0161038 entire text, all drawings	A1
JP	2005-266735	A	29 September 2005	US 2007/0080905 fig. 15	A1
				WO 2004/100118	A1
				EP 1624435	A1
				KR 10-2006-0018831	A
				CN 1820295	A
WO	2021/261567	A1	30 December 2021	(Family: none)	
US	2021/0096693	A1	01 April 2021	WO 2021/056878	A1
				CN 110737360	A

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01S 5/042(2006.01)i; G01C 3/06(2006.01)i; G01S 7/481(2006.01)i; G01S 7/484(2006.01)i; H01S 5/42(2006.01)i; G01S 17/931(2020.01)n FI: H01S5/042 630; H01S5/42; G01S7/481 Z; G01S7/484; G01C3/06 120Q; G01C3/06 110A; G01S17/931</p>																							
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01S5/00-5/50; H01L33/00-33/64; G01C3/00-3/32; G01S7/48-7/51; G01S17/00-17/95; G09F9/00-9/46</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年													
日本国実用新案公報	1922 - 1996年																						
日本国公開実用新案公報	1971 - 2023年																						
日本国実用新案登録公報	1996 - 2023年																						
日本国登録実用新案公報	1994 - 2023年																						
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2020-38855 A（ソニーセミコンダクタソリューションズ株式会社）12.03.2020（2020-03-12） 全文全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2021-182613 A（パナソニックIPマネジメント株式会社）25.11.2021（2021-11-25） 全文全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2021-150599 A（株式会社ジャパンディスプレイ）27.09.2021（2021-09-27） 図1</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2008-177513 A（京セラ株式会社）31.07.2008（2008-07-31） 全文全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2021-150577 A（株式会社ジャパンディスプレイ）27.09.2021（2021-09-27） 全文全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2009-152161 A（株式会社沖データ）09.07.2009（2009-07-09） 全文全図</td> <td>1-20</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2020-38855 A（ソニーセミコンダクタソリューションズ株式会社）12.03.2020（2020-03-12） 全文全図	1-20	A	JP 2021-182613 A（パナソニックIPマネジメント株式会社）25.11.2021（2021-11-25） 全文全図	1-20	A	JP 2021-150599 A（株式会社ジャパンディスプレイ）27.09.2021（2021-09-27） 図1	1-20	A	JP 2008-177513 A（京セラ株式会社）31.07.2008（2008-07-31） 全文全図	1-20	A	JP 2021-150577 A（株式会社ジャパンディスプレイ）27.09.2021（2021-09-27） 全文全図	1-20	A	JP 2009-152161 A（株式会社沖データ）09.07.2009（2009-07-09） 全文全図	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
A	JP 2020-38855 A（ソニーセミコンダクタソリューションズ株式会社）12.03.2020（2020-03-12） 全文全図	1-20																					
A	JP 2021-182613 A（パナソニックIPマネジメント株式会社）25.11.2021（2021-11-25） 全文全図	1-20																					
A	JP 2021-150599 A（株式会社ジャパンディスプレイ）27.09.2021（2021-09-27） 図1	1-20																					
A	JP 2008-177513 A（京セラ株式会社）31.07.2008（2008-07-31） 全文全図	1-20																					
A	JP 2021-150577 A（株式会社ジャパンディスプレイ）27.09.2021（2021-09-27） 全文全図	1-20																					
A	JP 2009-152161 A（株式会社沖データ）09.07.2009（2009-07-09） 全文全図	1-20																					
<p>国際調査を完了した日</p> <p>28.03.2023</p>	<p>国際調査報告の発送日</p> <p>04.04.2023</p>																						
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>右田 昌士 2K 9513</p> <p>電話番号 03-3581-1101 内線 3255</p>																						

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-266735 A (東芝松下ディスプレイテクノロジー株式会社) 29.09.2005 (2005 - 09 - 29) 図15	1-20
A	WO 2021/261567 A1 (シチズン電子株式会社) 30.12.2021 (2021 - 12 - 30) 全文全図	1-20
A	US 2021/0096693 A1 (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 01.04.2021 (2021 - 04 - 01) 全文全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/002833

引用文献			公表日	パテントファミリー文献			公表日
JP	2020-38855	A	12.03.2020	US	2021/0313768	A1	
				全文全図			
				WO	2020/044818	A1	
JP	2021-182613	A	25.11.2021	(ファミリーなし)			
JP	2021-150599	A	27.09.2021	US	2023/0017957	A1	
				図1			
				WO	2021/192807	A1	
JP	2008-177513	A	31.07.2008	US	2011/0164103	A1	
				全文全図			
				WO	2007/097347	A1	
				EP	2006918	A2	
JP	2021-150577	A	27.09.2021	US	2021/0296548	A1	
				全文全図			
JP	2009-152161	A	09.07.2009	US	2009/0161038	A1	
				全文全図			
JP	2005-266735	A	29.09.2005	US	2007/0080905	A1	
				図15			
				WO	2004/100118	A1	
				EP	1624435	A1	
				KR	10-2006-0018831	A	
				CN	1820295	A	
WO	2021/261567	A1	30.12.2021	(ファミリーなし)			
US	2021/0096693	A1	01.04.2021	WO	2021/056878	A1	
				CN	110737360	A	