

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7219521号
(P7219521)

(45)発行日 令和5年2月8日(2023.2.8)

(24)登録日 令和5年1月31日(2023.1.31)

(51)国際特許分類

H 01 L 21/28 (2006.01)	H 01 L 21/28	F I
H 01 L 21/3205(2006.01)	H 01 L 21/88	E
H 01 L 21/768 (2006.01)	H 01 L 21/88	G
H 01 L 23/532 (2006.01)		M

請求項の数 17 (全11頁)

(21)出願番号	特願2019-539221(P2019-539221)
(86)(22)出願日	平成30年1月19日(2018.1.19)
(65)公表番号	特表2020-516050(P2020-516050)
	A)
(43)公表日	令和2年5月28日(2020.5.28)
(86)国際出願番号	PCT/US2018/014531
(87)国際公開番号	WO2018/136802
(87)国際公開日	平成30年7月26日(2018.7.26)
審査請求日	令和3年1月13日(2021.1.13)
(31)優先権主張番号	62/448,110
(32)優先日	平成29年1月19日(2017.1.19)
(33)優先権主張国・地域又は機関	米国(US)
(31)優先権主張番号	15/658,039
(32)優先日	平成29年7月24日(2017.7.24)
	最終頁に続く

(73)特許権者	507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 75265 - 5474 ダラス メイル ステイション 3999 ピーオーボックス 655474
(74)代理人	230129078 弁護士 佐藤 仁
(72)発明者	サバティアン マイヤー ドイツ連邦共和国 バイエルン, ミュン ヘン 80333, 斯タインヘイルシュ トラーセ 20 ヘルムト リンク
(72)発明者	ドイツ連邦共和国 バイエルン, モース ブルク 85368, アム ミュエルバ 最終頁に続く

(54)【発明の名称】 プラチナパターニングのための犠牲層

(57)【特許請求の範囲】

【請求項1】

プラチナをパターニングするための方法であって、
半導体基板の上に接着層を堆積することと、
前記接着層の上に犠牲層を堆積することと、
前記犠牲層の上にパターニングされたフォトレジスト層を形成することと、
前記接着層の第1の部分を露出させるために前記フォトレジスト層をマスクとして用いて前記犠牲層の一部を除去することと、
前記犠牲層の頂部表面と側壁表面と、前記接着層の前記第1の部分との上にプラチナ層を堆積することと、

前記犠牲層と、前記犠牲層の頂部表面と側壁表面とを覆う前記プラチナ層の一部とをエッティングし、それによって、前記半導体基板の上にパターニングされたプラチナ層を形成するために前記プラチナ層の残っている部分を残すことと、
を含み、

前記犠牲層と、前記犠牲層の頂部表面と側壁表面とを覆う前記プラチナ層の一部とをエッティングすることが、単一の処理工程において実施される、方法。

【請求項2】

請求項1に記載の方法であって、
前記犠牲層の頂部表面と側壁表面と、前記接着層の前記第1の部分との上にプラチナ層を堆積することが、スパッタ堆積プロセスを実施することを含む、方法。

【請求項 3】

請求項 1 に記載の方法であって、

前記犠牲層と、前記犠牲層の頂部表面と側壁表面とを覆う前記プラチナ層の一部とをエッティングすることが、前記頂部表面を覆う前記プラチナ層が完全にエッティングされる前に、前記側壁表面を覆う前記プラチナ層の一部に開口を形成するように、或る時間期間の間にウェットエッティングプロセスを実施することを含む、方法。

【請求項 4】

請求項 3 に記載の方法であって、

前記犠牲層が前記側壁表面を覆う前記プラチナ層の開口から前記ウェットエッティングプロセスのエッチャント材料に曝され、前記犠牲層が前記プラチナ層よりも速い速度でエッティングされる、方法。

10

【請求項 5】

請求項 4 に記載の方法であって、

前記エッチャント材料が王水化学物質を含む、方法。

【請求項 6】

請求項 1 に記載の方法であって、

前記パターニングされたプラチナ層によって覆われていない前記接着層の部分を除去することを更に含む、方法。

【請求項 7】

プラチナをパターニングするための方法であって、

20

基板の上に犠牲層を堆積することと、

前記犠牲層の上にパターニングされたフォトレジスト層を形成することと、

前記基板の頂部表面の一部を露出するために前記フォトレジスト層をマスクとして用いることによって前記犠牲層をパターニングすることと、

前記基板上にプラチナ層をスパッタ堆積することであって、前記プラチナ層が前記パターニングされた犠牲層の頂部表面及び側壁表面と前記基板の頂部表面の前記露出された部分とを覆う、前記プラチナ層をスパッタ堆積することと、

前記パターニングされた犠牲層と前記パターニングされた犠牲層の頂部表面及び側壁表面を覆う前記プラチナ層の一部とを除去し、それによって、前記基板上にパターニングされたプラチナ層を形成するために前記プラチナ層の残っている部分を残すことと、

30

を含み、

前記パターニングされた犠牲層と前記パターニングされた犠牲層の頂部表面及び側壁表面を覆う前記プラチナ層の一部とを除去することが、单一の処理工程において実施される、方法。

【請求項 8】

請求項 7 に記載の方法であって、

前記パターニングされた犠牲層と前記パターニングされた犠牲層の頂部表面及び側壁表面を覆う前記プラチナ層の一部とを除去することが、前記犠牲層の側壁表面を覆う前記プラチナ層の一部に開口を形成するように、或る時間期間の間にウェットエッティングプロセスを実施することを含む、方法。

40

【請求項 9】

請求項 7 に記載の方法であって、

前記パターニングされた犠牲層と前記パターニングされた犠牲層の頂部表面及び側壁表面を覆う前記プラチナ層の一部とを除去することが、王水エッチャントを用いるウェットエッティングプロセスを含む、方法。

【請求項 10】

請求項 7 に記載の方法であって、

前記基板上にプラチナ層をスパッタ堆積することが、前記犠牲層の頂部表面上にプラチナのより厚い層を形成し、前記犠牲層の側壁表面上にプラチナのより薄い層を形成する、方法。

50

【請求項 1 1】

請求項1_0に記載の方法であって、

前記犠牲層の頂部表面上の前記プラチナ層の厚みが、前記犠牲層の側壁表面上の前記プラチナ層の厚みの少なくとも2倍である、方法。

【請求項 1 2】

プラチナをパターニングするための方法であって、

半導体基板の上にチタン層を堆積することと、

前記チタン層の上にアルミニウム層を堆積することと、

前記アルミニウム層の上にパターニングされたフォトレジスト層を形成することと、

前記チタン層の第1の部分を露出させるために前記フォトレジスト層をマスクとして用いて前記アルミニウム層の一部を除去することと、

前記アルミニウム層の頂部表面と側壁表面と、前記チタン層の第1の部分との上にプラチナ層を堆積することと、

前記アルミニウム層と、前記アルミニウム層の頂部表面と側壁表面とを覆う前記プラチナ層の一部とをエッチングし、それによって、パターニングされたプラチナを形成するために前記チタン層の第1部分を覆う前記プラチナ層の残っている部分を残すことと、

を含み、

前記アルミニウム層と、前記アルミニウム層の頂部表面と側壁表面とを覆う前記プラチナ層の一部とをエッチングすることが、单一の処理工程において実施される、方法。

【請求項 1 3】

請求項1_2に記載の方法であって、

前記アルミニウム層と、前記アルミニウム層の頂部表面と側壁表面とを覆う前記プラチナ層の一部とをエッチングすることが、王水エッチャントを用いるウェットエッチングプロセスを含む、方法。

【請求項 1 4】

請求項1_3に記載の方法であって、

前記アルミニウム層と、前記アルミニウム層の頂部表面と側壁表面とを覆う前記プラチナ層の一部とをエッチングすることが、前記頂部表面を覆う前記プラチナ層が完全にエッチングされる前に、前記側壁表面を覆う前記プラチナ層の一部に開口を形成するように、或る時間期間の間に前記ウェットエッチングプロセスを実施することを含む、方法。

【請求項 1 5】

請求項1_2に記載の方法であって、

前記プラチナ層を堆積することが、スパッタ堆積工程によって行われる、方法。

【請求項 1 6】

請求項1_5に記載の方法であって、

前記スパッタ堆積工程が、前記アルミニウム層の頂部表面上により厚い前記プラチナ層を形成し、前記アルミニウム層の側壁表面上により薄いプラチナ層を形成する、方法。

【請求項 1 7】

請求項1_6に記載の方法であって、

前記アルミニウム層の頂部表面上の前記プラチナ層の厚みが、前記アルミニウム層の側壁表面上の前記プラチナ層の厚みの少なくとも2倍である、方法。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本願は概して半導体デバイスに関し、より詳細には基板上のプラチナ層をパターニングする方法に関する。

【背景技術】**【0 0 0 2】**

従来、集積回路（IC）のメタライゼーション目的でアルミニウム及び銅が広く用いられている。しかしながら、湿度が、そのような金属を利用するICに信頼性の問題を引き

10

20

30

40

50

起こす可能性がある。例えば、電気化学的センサの場合、ICは一般に流体に曝される。アルミニウム及び銅の湿度への曝露は、メタライゼーションの腐食をもたらし得、また、IC内の短絡回路を引き起こし得る。

【0003】

これらの問題を克服するために、メタライゼーション層としてアルミニウム又は銅の代わりにプラチナが用いられ得る。プラチナは、腐食に対する優れた耐性を有するだけでなく、高温においても比較的安定である。しかしながら、プラチナをパターニングする既知の方法は信頼性が低い。これらの方法に伴う一般的な問題の一つは、パターニングが、所望の構造のための適切な特徴サイズを生成しないことである。また、既知の方法は、許容できないレベルの汚染物質を導入する可能性がある。

10

【発明の概要】

【0004】

少なくとも一実施例に従って、基板上プラチナをパターニングする方法が開示される。この実施例において、接着層が基板の上に堆積され、犠牲層が接着層の上に堆積され、パターニングされたフォトレジスト層が犠牲層の上に形成される。その後、少なくとも、接着層の一部を露出させるように、フォトレジスト層をマスクとして用いて犠牲層がパターニングされる。続いて、パターニングされた犠牲層の頂部及び側壁表面、ならびに接着層の第1の部分が、プラチナ層によって覆われる。最終的に、犠牲層、及び犠牲層の頂部及び側壁表面を覆うプラチナ層の一部がエッチングされ、それによってプラチナ層の残っている部分が残され、基板上にパターニングされたプラチナ層が形成される。

20

【0005】

別の実施例において、犠牲層が基板の上に堆積され、パターニングされたフォトレジスト層が犠牲層の上に形成される。その後、フォトレジスト層をマスクとして用いて犠牲層がパターニングされて、基板の頂部表面の一部が露出される。プラチナ層が、基板の頂部上にスパッタ堆積され、プラチナ層はパターニングされた犠牲層と、基板の頂部表面の露出された部分とを覆う。最終的に、パターニングされた犠牲層と、パターニングされた犠牲層を覆うプラチナ層の一部とが除去され、それによってプラチナ層の残っている部分が残され、基板上にパターニングされたプラチナ層が形成される。

30

【0006】

さらに別の実施例において、チタン層が半導体基板の上に堆積され、アルミニウム層がチタン層の上に堆積され、パターニングされたフォトレジスト層がアルミニウム層の上に形成される。その後、アルミニウム層の一部を除去して、チタン層の第1の部分が露出される。プラチナ層が、アルミニウム層と、チタン層の第1の部分との頂部及び側壁表面の上に堆積され得る。最終的に、アルミニウム層と、アルミニウム層の頂部及び側壁表面を覆うプラチナ層の一部とがエッチングされ、それによって、チタン層の第1部分を覆うプラチナ層の残っている部分が残されて、パターニングされたプラチナが形成される。

【図面の簡単な説明】

【0007】

【図1A】一実施例に従って基板の上に形成される接着層を示す。

40

【0008】

【図1B】一実施例に従って接着層の上に形成される犠牲層を示す。

【0009】

【図1C】一実施例に従って犠牲層の上に形成されるフォトレジストを示す。

【0010】

【図1D】一実施例に従って、フォトレジストをマスクとして用いる犠牲層のパターニングを図示する。

【0011】

【図1E】一実施例に従って特定のプロファイルを形成する構造の上にプラチナ層が堆積されることを示す。

50

【0012】

【図1F】一実施例に従って、側壁表面を覆うプラチナ層の一部がエッティングされて、犠牲層をエッチャントに曝すことを示す。

【0013】

【図1G】一実施例に従ってプラチナ層の一部が除去されることを示す。

【0014】

【図1H】一実施例に従って接着層の露出部分が除去されることを示す。

【発明を実施するための形態】

【0015】

少なくとも一実施例に従って、プラチナを基板上にパターニングする方法が開示される。この実施例において、プラチナは、例えばアルミニウムからつくられた犠牲層を用いてパターニングされる。プラチナの望ましくない部分（すなわち、意図されたパターンの部分にならないプラチナの一部）が、犠牲層の上に形成され得る。エッティングプロセスが、プラチナ層を通してエッティングを開始するウェットエッチャントを用いて行われる。エッチャントは、最も薄い個所のプラチナ層をエッティングする。開口がプラチナ層に形成されると、エッチャントは、下にある犠牲層をエッティングすることができる。犠牲層は、プラチナ層よりも速い速度でエッチャントと反応し、したがって、犠牲層は、プラチナ層よりも速くエッティングされる。その結果、エッティングされた犠牲層は、犠牲層上に形成されたプラチナ層の望ましくない部分と共に基板から除去される。犠牲層上ではなく、はるかに遅い速度でエッティングされたプラチナ層の残っている部分は基板上の適所に残り、それによって、基板上に所望のパターニングされたプラチナを形成する。

10

【0016】

上述したように、プラチナをパターニングする他の方法が、信頼性の高いな結果を提供しない場合がある。例えば、既知の方法を用いてプラチナパターンに対して望ましい臨界寸法（すなわち、特徴サイズ及びピッチ）を得ることは困難である。また、これらのプロセスは、典型的に、関与する機械及びデバイスに汚染を引き起こす。最終的に、従来の方法において消費されたプラチナを再生することは困難であり、費用がかかる。しかしながら、以下に記載される実施例に従った方法により、プラチナ構造の臨界寸法が改善され、汚染が低減され、消費されたプラチナのリサイクルが容易になる。

20

【0017】

図1A～図1Hを参照して、実施例に従った、プラチナをパターニングするプロセスを説明する。図1Aを参照すると、プラチナ構造を形成するためのベースとして基板101が用いられる。基板は、ウェハ又はウェハの一部などの半導体構造を含み得、シリコン、ゲルマニウム、又は他の適切な材料からつくられ得る。基板上にパターニングされるプラチナは、抵抗器の形成、コンデンサの形成、又はメタライゼーションの目的を含む任意の種々の目的のために用いられ得るが、これらに限定されない。基板101は、すでに、その上に形成された構造を含み得、したがって、完全に平坦でなくてもよい。一実施例において、プラチナは、集積回路の様々な電気的構成要素間で電流を導通するためにパターニングされる。代替の実施例において、基板101上にプラチナをパターニングした後に他の集積回路構成要素が形成される。

30

【0018】

さらに図1Aを参照すると、接着層102が基板101の頂部上に堆積される。接着層102は、基板への他の層の取り付けを容易にするために用いられ得る。例えば、接着層102は、シリコン基板にプラチナを取り付けるために適した材料でつくられ得る。いくつかの実施例において、接着層102は、チタン、チタン窒化物、又はチタンタングステンを含む。他の実施例において、接着層102は、例えば、アルミニウム酸化物からつくられるセラミック層を含み得る。

40

【0019】

基板101上に接着層102を堆積させるために、様々な手法のいずれかが用いられ得る。特定の手法は、接着層として用いられる材料のタイプに依存し得る。例えば、接着層は、物理気相成長（PVD）、化学気相成長（CVD）、電気化学的堆積（ECD）、又

50

は他の適切な方法のいずれかを用いて堆積され得る。一実施形態において、接着層 102 は、基板 101 の頂部上にスパッタリングされたチタンの層を含む。接着層の厚みは約 100 とし得るが、他の実装においてより薄くすることも、より厚くすることもできる。

【0020】

図 1 A ~ 図 1 H に示す実施例は接着層 102 の使用を図示しているが、他の実施例は、接着層の使用を回避し得る。後者の実施例において、プラチナ構造は、基板 101 の表面上に直接形成され得る。例えば、一実施例において、基板 101 はサファイア基板 (A12O3) であり得る。この実施例において、プラチナ層が、中間接着層なしでサファイア基板上に堆積され得る。代替の実施例において、基板 101 の表面は、表面の接着を改善するためにアルゴンを用いるスパッタエッチングプロセスを経る。

10

【0021】

図 1 B を参照すると、犠牲層 103 が、接着層 102 の頂部上に堆積される。犠牲層は、プラチナ層のパターニングを可能にするために構造上に一時的に堆積される層であり、その後除去される。一実施例において、犠牲層 103 は、アルミニウムなどの金属からつくられる。一実施例において、犠牲層 103 を形成するために、アルミニウムを堆積する任意の適切な方法が用いられ得る。例えば、犠牲層 103 を蒸着する方法は、蒸着、 CVD、プラズマ CVD、又はスパッタを含み得る。一実施形態において、犠牲層 103 は、3000 ~ 18,000 の厚みを有し得る。少なくとも一実施例において、犠牲層は 3000 ~ 18,000 の厚みを有するアルミニウムを含み、チタン接着層 102 の頂部上にスパッタ堆積される。

20

【0022】

図 1 C を参照すると、フォトレジスト層 104 が犠牲層 103 の上に形成される。続いて、例えばフォトリソグラフィ手法によりフォトレジスト層 104 がパターニングされ、それにより、フォトレジスト層にマスクが形成される。例えば、フォトレジスト層 104 は、パターンを形成するために、深紫外線 (DUV) 光に晒され得る。一実施例において、光に晒されるフォトレジストの一部がフォトレジスト現像液に不溶性になる（すなわち、フォトレジストの曝露されていない部分が溶解する）場合に負のフォトレジストが用いられる。その後、フォトレジスト現像液は露出されていないフォトレジスト層の部分（図 1 C において破線で示す部分）を除去し、露出されたレジストは犠牲層 103 の表面上に残る。したがって、反転パターンを含むレジストマスクが形成される。一実施例において、フォトレジスト層 104 は、犠牲層 103 をエッチングするために後に用いられるウェットエッチング又はドライエッチングプロセスに対して耐性がある。

30

【0023】

図 1 D を参照すると、フォトレジスト層 104 によって覆われていない（そのため露出されている）犠牲層 103 の一部が除去される。犠牲層 103 を除去するためにウェットエッチングプロセスが用いられ得る。例えば、アルミニウム犠牲層を除去することを目的とするウェットエッチングプロセスの場合、リン酸、酢酸、及び硝酸の混合物などのアルミニウム浸出材料が用いられ得る。代替の実施例において、犠牲層 103 の一部を除去するためにドライエッチングプロセスが用いられ得る。この目的のドライエッチングプロセスとしては、例えば、塩素、四塩化炭素、四塩化シリコン、二塩化ボロン等の塩化物ベースの化学物質が挙げられる。

40

【0024】

一実施例において、図 1 D のエッチングプロセスは、犠牲層 103 の除去された部分の下の接着層 102 の頂部部分 102A (図 1 D に破線の輪郭で示される接着層 102 の部分) を除去することもできる。代替の実施例において、露出された犠牲層 103 を単独で除去するために、犠牲層に対する高選択性のエッチャントが用いられ得る。続いて、残存する犠牲層 103 の頂部部分からフォトレジスト層 104 (図示せず) が除去される。一実施例において、フォトレジスト層 104 は、酸素アッシングプロセスを用いて除去される。

【0025】

50

図1Eを参照すると、プラチナ層105が、構造の露出表面の上に形成され、プラチナ層105は、頂部表面103Aと、接着層102の露出された部分の頂部表面102Aに加えて、残っている犠牲層103の側壁表面103Bとを含む。犠牲層103のジオメトリに応じて、複数の頂部表面103A、複数の側面103B、及び/又は複数の頂部表面102Aがあつてもよい。プラチナ層105の形成は、犠牲層103の頂部表面103A及び接着層102の頂部表面102A（厚みAとして図において示されている）上のプラチナ層105の厚みをほぼ同じなり、一方、側壁表面103Bを下るプラチナ層の厚みは、111でより大きな寸法から113でより小さな寸法へと先細になる。側壁表面103Bの底部におけるプラチナ層の厚みは、厚みBとして示されている。一実施例において、厚みBに対して厚みAを最大化するために、プラチナ層のための任意の適切な堆積方法が用いられる。

【0026】

一実施例において、厚みBに対する厚みAの比は、プラチナ層105に対する犠牲層103の相対厚みにさらに依存する。より具体的には、所与の厚みAを有するプラチナ層105について、より大きな厚みを有する犠牲層103が、より薄い厚みBを有するプラチナ層105を形成する。一実施例において、A対Bの比は少なくとも2対1である。厚みAは1000から2500の間であり得、一方、厚みBはその測定寸法の約半分であり得る。厚みBは、底部コーナー上のプラチナ層の最も薄い部分（図において点線の円で示される）を表す。

【0027】

図1Eに示すような特定のプロファイルを有するプラチナ層105を形成するために、不均一な堆積方法が用いられ得る。一実施例において、プラチナ層105の粗悪な段差被覆を提供する堆積方法が望ましい。一実施例において、プラチナ層105を形成するためにスパッタ堆積プロセスが用いられる。一実施例において、スパッタ堆積は矢印115の方向に垂直に向けられる。プロセスの不均一なスパッタリング被覆は、犠牲層103の側壁表面103B上のプラチナの先細りになる層の形成を容易にする。少なくとも一実施例において、交流マグネットロンスパッタリングを用いて、約170秒、250～300の温度で、約7mTorrの圧力下でプラチナ層105を堆積させる。

【0028】

図1Fを参照すると、犠牲層103の頂部及び側壁表面103A及び103Bを覆うプラチナ層105の部分（除去部分105Aとして図2E及び図2Fに示される）及び犠牲層103も除去される。除去されないプラチナ層105の残っている部分（プラチナ層部分105B）は、図2Gに示されるように、パターニングされたプラチナ構造を形成する。プラチナ層105の犠牲層103及び除去部分105Aは、単一の処理工程で（すなわち、両方の層を除去する1つのプロセスオペレーションで）除去され得る。

【0029】

プラチナ層105の犠牲層103及び除去部分105Aを除去するためにウェットエッティングプロセスが用いられ得る。上述したように、プラチナ層105の底部コーナーは、図1Fの矢印119によって示されるように、層の残りの部分よりも薄く、したがって、化学エッチャントに曝されたときの破断点なり得る。すなわち、側壁表面103Bの底部付近のプラチナ層の部分は、プラチナ層の残りの部分よりも薄いので、側壁表面の底部付近のプラチナ層の部分は、プラチナ層の残りの部分が完全にエッティングされる前に、犠牲層までずっとエッティングされる。その後、化学エッチャントは、プラチナ層105に形成された開口を介して犠牲層103を攻撃する。一実施形態では、犠牲層103がプラチナ層105よりも100倍速くエッティングされる。したがって、プラチナ層部分105Bが完全にエッティングされる前に、犠牲層103がエッティングにより除かれ、そのため基板101から除去される。したがって、犠牲層103上のプラチナ層も、犠牲層の除去に起因して除去される。

【0030】

一実施例において、側壁表面103Bの底部で薄いプラチナ層を通してエッティングする

ために用いられる化学エッチャントは、プラチナ及び犠牲層の両方をエッティングすることができる材料（例えばアルミニウム）から選択され得る。上述したように、エッチャントは、プラチナ層 105 よりも迅速に犠牲層 103 と反応し得る。一実施例において、王水などの塩化水素酸を水と組み合わせて含む化学エッチャントが用いられ得る。少なくとも一実施例において、ウェハは、50 ~ 60 の温度で化学エッチャントに 2 ~ 5 分浸漬され得る。浸漬の直後後、プラチナ層 105 の除去部分 105A の底部コーナーが開き、犠牲層 103 が化学エッチャントに晒される。犠牲層 103 の急速エッティングは、プラチナ層 105 の除去部分 105A を即座に除去させることができる。一実施例において、以前の実施例よりも速い速度での層のエッティングを容易にするために、犠牲層 103 にダミーホールが形成され得る。

10

【0031】

図 1G を参照すると、プラチナ層 105 の除去部分 105A 及び犠牲層 103 の除去からの残留物が洗浄される。一実施例において、ウェハが図 1E における化学エッチャント内に浸漬されると、プラチナ層 105 の除去部分 105A 及び犠牲層 103 がウェハから除去され、化学エッチャント液中に浮遊する。したがって、残留物は最終製品における欠陥を回避するために、この工程において洗浄され得る。一実施例において、超音波又はメガソニック槽などの既知の洗浄方法の 1 つが用いられ得る。他の実施例において、プラシスクラビング又はラビングなどの機械的攪拌方法が、洗浄解決策を補完し得る。最後に、他の実施例において、洗浄解決策は、比較的高圧でウェハ上に噴霧され得る。

20

【0032】

図 1H を参照すると、プラチナ層の部分 105B によって覆われていない接着層 102 の部分（すなわち、接着層 102 の露出部分）が除去される。接着層 102 の部分を除去するプロセスオペレーションは、接着層を形成するために用いられる材料のタイプに依存し得る。例えば、フッ酸エッチャントを含むウェットエッティングプロセスにより、チタンでつくられた接着層 102 が除去され得る。プラチナ層 105 の残っている部分 105B は、一実施例に従ったパターニングされたプラチナである。

30

【0033】

本明細書において、「結合する」という用語は、間接的又は直接的な有線又はワイヤレス接続のいずれかを意味する。そのため、第 1 のデバイスが第 2 のデバイスに結合する場合、その接続は、直接的接続を介するか、又は他のデバイス及び接続を介する間接的接続を介するものとし得る。

【0034】

本発明の特許請求の範囲内で、説明した例示の実施例に変更が成され得、他の実施例が可能である。

40

50

【図面】

【図 1 A】

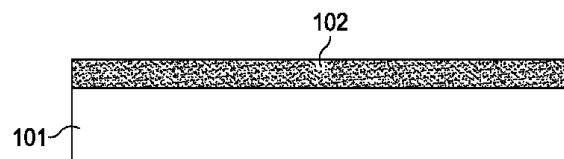


FIG. 1A

【図 1 B】

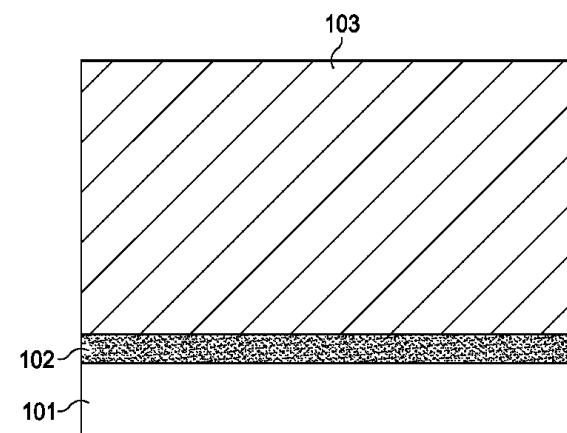


FIG. 1B

【図 1 C】

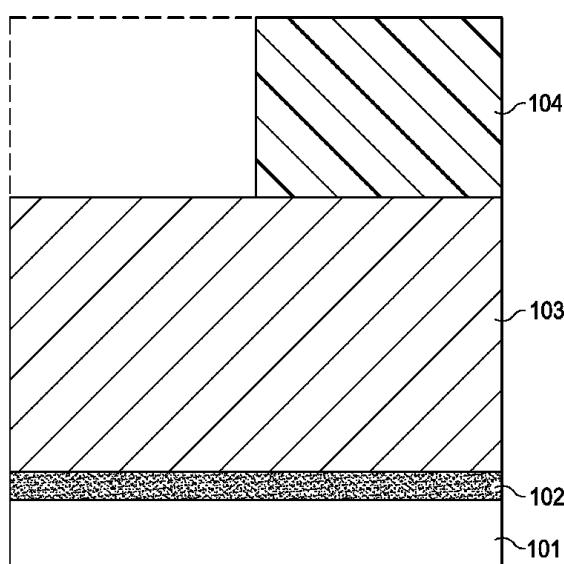


FIG. 1C

【図 1 D】

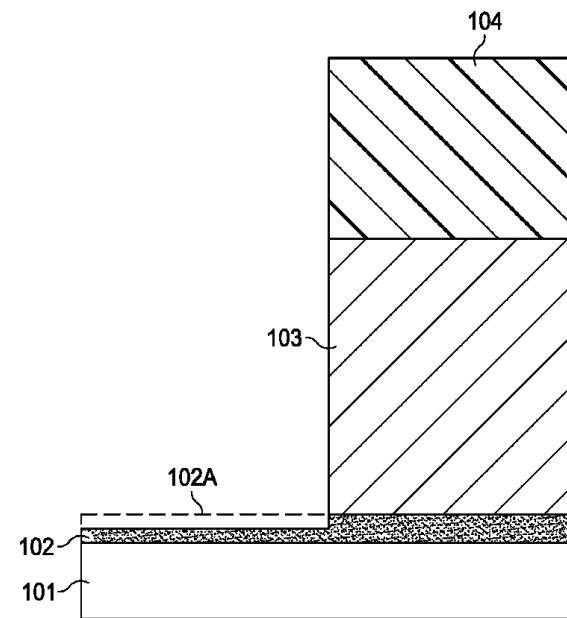


FIG. 1D

10

20

30

40

50

【図 1 E】

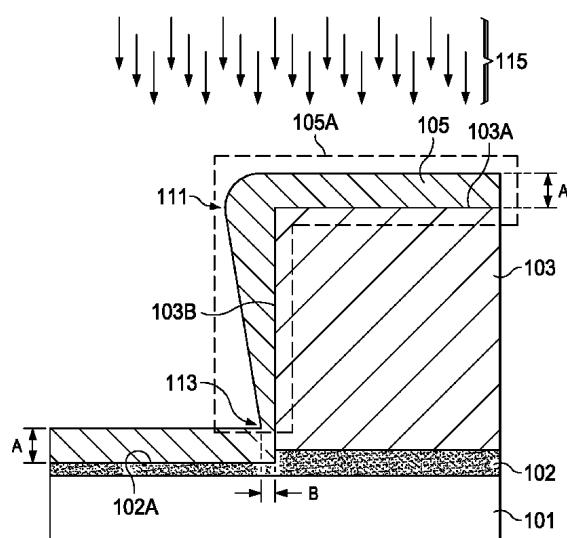


FIG. 1E

【図 1 F】

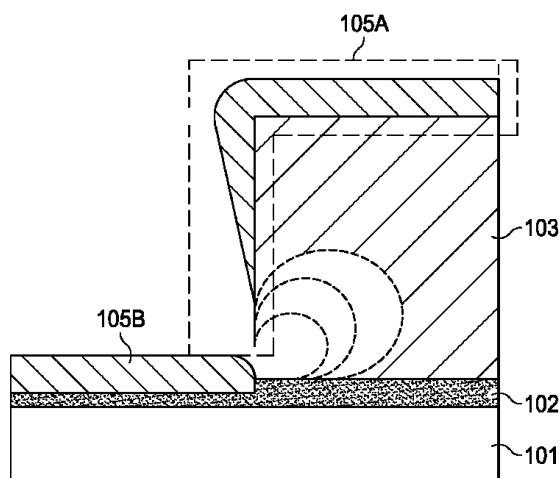


FIG. 1F

10

【図 1 G】

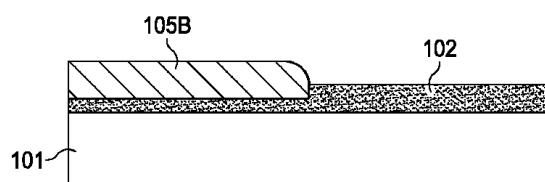


FIG. 1G

20

【図 1 H】

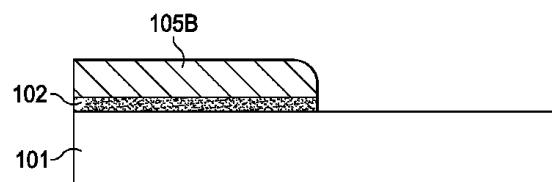


FIG. 1H

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

ツハボーゲン 49エイ

(72)発明者 カイ アレクサンダー シャハトシュナイダー

ドイツ連邦共和国 ローバッハ 85296, バーンホフシュトラーセ 1

(72)発明者 フロマンド メツツ

ドイツ連邦共和国 バイエルン, マルツリング 85417, オーエンウェグ 1

(72)発明者 マリオ シュミドペーター

ドイツ連邦共和国 バイエルン, ミュンヘン 80335, ダッハウエル シュトラーセ 143

(72)発明者 ハビエル モレイラ

ドイツ連邦共和国 バイエルン, ブーフ アム エルバッハ 84172, カシュテルアンガー 1

審査官 早川 朋一

(56)参考文献 特開平07-273280 (JP, A)

特開昭59-165425 (JP, A)

特開2015-065280 (JP, A)

特開2000-091270 (JP, A)

特開平10-261663 (JP, A)

特開2003-258327 (JP, A)

米国特許第04497684 (US, A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/3205-21/3215

H01L 21/768

H01L 23/52

H01L 23/522-23/532

H01L 21/28-21/288

H01L 21/44-21/445

H01L 29/40-29/51

H01L 21/027-21/033