

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2012-505493
(P2012-505493A)

(43) 公表日 平成24年3月1日(2012.3.1)

(51) Int.Cl.		F I		テーマコード (参考)
G 1 1 C 16/02	(2006.01)	G 1 1 C	17/00 6 1 1 A	5 B 1 2 5
G 1 1 C 16/06	(2006.01)	G 1 1 C	17/00 6 1 1 E	
		G 1 1 C	17/00 6 3 9 C	
		G 1 1 C	17/00 6 1 1 G	
		G 1 1 C	17/00 6 3 3 C	

審査請求 未請求 予備審査請求 未請求 (全 33 頁)

(21) 出願番号 特願2011-531136 (P2011-531136)
 (86) (22) 出願日 平成21年10月7日 (2009.10.7)
 (85) 翻訳文提出日 平成23年4月6日 (2011.4.6)
 (86) 国際出願番号 PCT/US2009/059799
 (87) 国際公開番号 W02010/042587
 (87) 国際公開日 平成22年4月15日 (2010.4.15)
 (31) 優先権主張番号 12/249,678
 (32) 優先日 平成20年10月10日 (2008.10.10)
 (33) 優先権主張国 米国 (US)

(71) 出願人 506197901
 サンディスク コーポレーション
 アメリカ合衆国、95035、カリフォルニア州、ミルピタス、マッカシー ブルバード 601
 (74) 代理人 100075144
 弁理士 井ノ口 壽
 (72) 発明者 リ, ヤン
 アメリカ合衆国、95035、カリフォルニア州、ミルピタス、ケペナイヤー ドライブ 695
 (72) 発明者 フォング, ユーピン カーウイング
 アメリカ合衆国、94539、カリフォルニア州、フリーモント、スプリングウォーター ドライブ 2100

最終頁に続く

(54) 【発明の名称】 最も速いおよび/または最も遅いプログラミングビットを無視することによってプログラムベリファイを削減する不揮発性メモリおよび方法

(57) 【要約】

不揮発性メモリセルのグループは、プログラミングパスで一連の増加するプログラミングパルスによってプログラムされる。各パルスの後には、プログラムベリファイおよび可能性としてプログラム禁止ステップが続く。複数のメモリ状態を画定する様々なベリファイレベルを遅く開始したり早く終了したりすることによってプログラミングパスの間の性能が改善される。これはつまりグループ内の最も速いおよび最も遅いプログラミング(端部)セルをベリファイおよび禁止するステップをスキップすることになる。最も速いセルが第1のベリファイレベルに対してすべてプログラムベリファイされた時点で、基準パルスが設定される。どのパルスのどのベリファイレベルの開始も基準パルスに対して遅延することになる。所定の数のセルが所与のベリファイレベルに対してベリファイされないままの場合のみ、その所与のレベルに対してベリファイが停止する。端部セルをオーバープログラムするかまたはアンダープログラムすることによって生じるどんなエラーもエラー訂正コードによって訂正される。

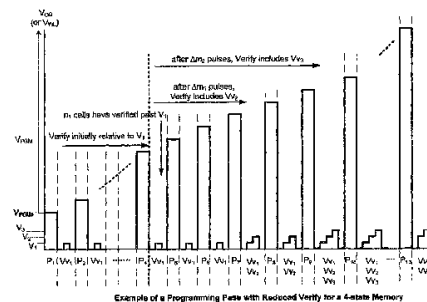


FIG. 18

Example of a Programming Pulse with Reduced Verify for a 4-state Memory

【特許請求の範囲】**【請求項 1】**

メモリセルのグループを有する不揮発性メモリであって、各メモリセルが前記セルのしきい値ウィンドウ内の目標しきい値電圧にプログラム可能であり、前記しきい値ウィンドウがベリファイレベルのセットによって分解可能な範囲に区分される不揮発性メモリにおいて、前記メモリセルのグループをプログラムする方法が、

前記メモリセルのグループをそれぞれの目標しきい値電圧に同時にプログラムするために、各パルス後に1つ以上のベリファイレベルに対して前記セルをベリファイすることと、セルの目標に対してベリファイされたセルのさらなるプログラミングを禁止することとが、続くパルス毎に増加するプログラミング電圧を印加するプログラミングバスを提供するステップを含み、

前記ベリファイすることが、最初に前記セットの最も低いベリファイレベルと比較され、

第1の所定の数のセルが前記最も低いベリファイレベルをプログラムパスした後に、前記ベリファイすることがその後前記セットの他のベリファイレベルを含み、前記他のベリファイレベルのそれぞれが前記ベリファイすることに含まれるように各ベリファイレベルに応じてスケジュールされる方法。

【請求項 2】

請求項1記載の方法において、

前記最も低いベリファイレベルが、消去状態と第1のプログラムメモリ状態とを識別する方法。

【請求項 3】

請求項1記載の方法において、

前記第1の所定の数のセルは、前記メモリセルのグループによって形成されるセルの集団の0.02%である方法。

【請求項 4】

請求項1記載の方法において、

前記ベリファイすることが、前記第1の所定の数のセルが前記最も低いベリファイレベルをプログラムパスした時点の第1のパルスレベルを決定することを含み、

前記第1のパルスから各ベリファイレベルに依存する関連する追加パルス数の後に、前記他のベリファイレベルのそれぞれが前記ベリファイすることに含まれるようにスケジュールされる方法。

【請求項 5】

請求項4記載の方法において、

前記関連する追加パルス数の数が、2つの隣接するパルス間のステップサイズにも依存する方法。

【請求項 6】

請求項1記載の方法において、

所与のベリファイレベルに対する関連する追加パルス数の数は、所定のマージンに、前記最も低いベリファイレベルから所与のベリファイレベルに前記メモリセルをプログラムすると推定されるパルス数を加えた値である方法。

【請求項 7】

請求項6記載の方法において、

前記所定のマージンは、少なくとも2つのパルスである方法。

【請求項 8】

請求項1記載の方法において、

前記プログラミング方法から生じるエラーを訂正するためのエラー訂正コードを提供するステップをさらに含む方法。

【請求項 9】

請求項1記載の方法において、

10

20

30

40

50

まだプログラミング中の前記メモリセルのグループが、所与のベリファイレベルに対するベリファイをもう必要としない場合は常に、前記ベリファイすることが前記所与のベリファイレベルに対するベリファイを除外する方法。

【請求項 10】

請求項 1 記載の方法において、

第 2 の所定の数のセルがまだベリファイされていない前記セットの各ベリファイレベルに対し、前記第 2 の所定の数のセルが、ベリファイされないで前記ベリファイレベルに対してベリファイされたかのように扱われる方法。

【請求項 11】

請求項 10 記載の方法において、

前記第 2 の所定の数のセルは、1 つである方法。

10

【請求項 12】

請求項 10 記載の方法において、

前記セルがベリファイされたかのように扱われた後に、所定の数の追加プログラミングパルスを実行する前記セルに印加する方法。

【請求項 13】

請求項 10 記載の方法において、

所定の数の追加プログラミングパルスは、1 つである方法。

【請求項 14】

不揮発性メモリであって、

20

メモリセルのグループであって、各メモリセルが前記セルのしきい値ウィンドウ内の目標しきい値電圧にプログラム可能であり、前記しきい値ウィンドウがベリファイレベルのセットによって分解可能な範囲に区分されるメモリセルのグループと、

各パルスの後に 1 つ以上のベリファイレベルに対して前記セルをベリファイすることと、セルの目標に対してベリファイされたセルのさらなるプログラミングを禁止することとが、続くパルス毎に増加するプログラミング電圧を印加するプログラミングパスにおいて、前記メモリセルのグループをそれぞれの目標しきい値電圧に同時にプログラムするためにプログラミング、ベリファイおよび禁止を行うための回路と、を備え、

前記ベリファイすることが、最初に前記セットの最も低いベリファイレベルと比較され

30

、
第 1 の所定の数のセルが前記最も低いベリファイレベルをプログラムパスした後に、前記ベリファイすることがその後前記セットの他のベリファイレベルを含み、前記セットの他のベリファイレベルのそれぞれが前記ベリファイすることに含まれるように各ベリファイレベルに応じてスケジュールされる不揮発性メモリ。

【請求項 15】

請求項 14 記載の不揮発性メモリにおいて、

前記最も低いベリファイレベルが、消去状態と第 1 のプログラムメモリ状態とを識別する不揮発性メモリ。

【請求項 16】

請求項 14 記載の不揮発性メモリにおいて、

40

前記第 1 の所定の数のセルは、前記メモリセルのグループによって形成されるセルの集団の 0.02% である不揮発性メモリ。

【請求項 17】

請求項 14 記載の不揮発性メモリにおいて、

前記ベリファイすることが、前記第 1 の所定の数のセルが前記最も低いベリファイレベルをプログラムパスした時点の第 1 のパルスレベルを決定することを含み、

前記第 1 のパルスから各ベリファイレベルに依存する関連する追加パルス数の後に、前記他のベリファイレベルのそれぞれが、前記ベリファイすることに含まれるようにスケジュールされる不揮発性メモリ。

【請求項 18】

50

請求項 17 記載の不揮発性メモリにおいて、
前記関連する追加パルス数の数が、2つの隣接するパルス間のステップサイズにも依存する不揮発性メモリ。

【請求項 19】

請求項 14 記載の不揮発性メモリにおいて、
所与のベリファイレベルに対する関連する追加パルス数の数は、所定のマージンに、前記最も低いベリファイレベルから前記所与のベリファイレベルに前記メモリセルをプログラムすると推定されるパルス数を加えた値である不揮発性メモリ。

【請求項 20】

請求項 19 記載の不揮発性メモリにおいて、
前記所定のマージンは、少なくとも2つのパルスである不揮発性メモリ。

10

【請求項 21】

請求項 14 記載の不揮発性メモリにおいて、
前記プログラミング方法から生じるエラーを訂正するためのエラー訂正コードを提供することをさらに含む不揮発性メモリ。

【請求項 22】

請求項 14 記載の不揮発性メモリにおいて、
まだプログラミング中の前記メモリセルのグループが、所与のベリファイレベルに対するベリファイをもう必要としない場合は常に、前記ベリファイすることが前記所与のベリファイレベルに対するベリファイを除外する不揮発性メモリ。

20

【請求項 23】

請求項 14 記載の不揮発性メモリにおいて、
第2の所定の数のセルがまだベリファイされていない前記セットの各ベリファイレベルに対し、前記第2の所定の数のセルが、ベリファイされないで前記ベリファイレベルに対してベリファイされたかのように扱われる不揮発性メモリ。

【請求項 24】

請求項 23 記載の不揮発性メモリにおいて、
前記第2の所定の数のセルは、1つである不揮発性メモリ。

【請求項 25】

請求項 23 記載の不揮発性メモリにおいて、
セルがベリファイされたかのように扱われた後に、所定の数の追加プログラミングパルスを前記セルに印加する不揮発性メモリ。

30

【請求項 26】

請求項 23 記載の不揮発性メモリにおいて、
所定の数の追加プログラミングパルスは、1つである不揮発性メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、電氣的に消去可能でプログラム可能な読み出し専用メモリ（EEPROM）およびフラッシュEEPROMなどの不揮発性半導体メモリに関し、特に、非常に速いプログラミングセルおよび非常に遅いプログラミングセルのベリファイを無視することによってベリファイ動作の数を削減するメモリおよびプログラミング動作に関する。

40

【背景技術】

【0002】

近年、様々な携帯型およびハンドヘルド型装置、とりわけ情報機器および家庭用電化製品において、特に、小形のフォームファクタカードとしてパッケージ化されたEEPROMおよびフラッシュEEPROMの形態をとる電荷の不揮発性記憶が可能なソリッドステートメモリが好んで用いられる記憶装置となっている。同じくソリッドステートメモリであるRAM（ランダムアクセスメモリ）とは異なり、フラッシュメモリは不揮発性であり、電源を切った後でもその記憶データを保持している。コストが上昇するにもかかわらず

50

、フラッシュメモリは、大容量記憶用途でますます使用されつつある。ハードドライブやフロッピーディスクなどの回転式磁気媒体に基づく従来の大容量記憶装置は、携帯型およびハンドヘルド型の環境には適していない。その理由は、ハードドライブは大型になりがちで機械的の不良を起こしやすく、長い待ち時間および大電力要件を有するためである。このような望ましくない属性により、ディスクに基づく記憶装置は大部分の携帯型および移動式用途において実用的でなくなっている。一方、フラッシュメモリは内蔵型でも取り外し可能なカードの形態をとるものでも、小型、低消費電力、高速および高信頼性というその特徴によって携帯型およびハンドヘルド型の環境に理想的に適している。

【0003】

EEPROMおよび電氣的にプログラム可能な読み出し専用メモリ（EPROM）は、消去するとともにそのメモリセル内に新しいデータを書き込むかまたは「プログラムする」ことができる不揮発性メモリである。両方とも半導体基板内のソース領域とドレイン領域との間のチャンネル領域上に位置する電界効果トランジスタ構造のフローティング（接続されていない）導電ゲートを使用している。次に、フローティングゲート上にはコントロールゲートが設けられる。トランジスタのしきい値電圧特性は、フローティングゲート上に保持される電荷量によって制御される。すなわち、フローティングゲート上の所与の電荷レベルに対して対応する電圧（しきい値）が存在し、トランジスタが「オン」に転換されてそのソース領域とドレイン領域との間で導通が可能になる前にこの対応する電圧をコントロールゲートに印加する必要がある。

10

【0004】

フローティングゲートは、様々な範囲の電荷を保持することができるので、しきい値電圧ウィンドウ内の任意のしきい値電圧レベルにプログラムすることができる。しきい値電圧ウィンドウの大きさは、デバイスの最小および最大しきい値レベルであり、フローティングゲート上にプログラムすることができる電荷の範囲に対応するレベルによって画定されている。しきい値ウィンドウは、一般に、メモリデバイスの特性、動作条件および動作履歴に依存している。原則として、ウィンドウ内のそれぞれ特異的で分解可能なしきい値電圧レベルの範囲を用いて、セルの明確なメモリ状態を指定することもできる。しきい値電圧ウィンドウが2つの個別領域に区分されている場合には、各メモリセルは、1ビットのデータを記憶することができることになる。同様に、しきい値電圧ウィンドウが3つ以上の個別領域に区分されている場合には、各メモリセルは、2ビット以上のデータを記憶

20

30

【0005】

通常の2状態EEPROMセルでは、導通ウィンドウを2つの領域に区分するように、少なくとも1つの電流ブレイクポイントレベルが設定される。セルが所定の固定電圧を印加することによって読み出される場合、セルのソース/ドレイン電流は、ブレイクポイントレベル（または基準電流IREF）と比較することによってメモリ状態が決定される。読み出された電流がブレイクポイントレベルの電流よりも高い場合には、セルは一方の論理状態（例えば、「0」状態）にあると判断される。一方、電流がブレイクポイントレベルの電流よりも低い場合には、セルは他方の論理状態（例えば、「1」状態）にあると判断される。したがって、このような2状態セルは、1ビットのデジタル情報を記憶している。外部からプログラム可能である基準電流源をメモリシステムの一部として設けることでブレイクポイントレベル電流を発生させることが多い。

40

【0006】

メモリ容量を増やすために、フラッシュEEPROMデバイスは、半導体技術の状態が進歩するに従いますます高密度で製造されるようになってきている。記憶容量を増やす別の方法は、各メモリセルに3状態以上を記憶させることである。

多状態またはマルチレベルEEPROMメモリセルの場合、導通ウィンドウは2つ以上のブレイクポイントによって3つ以上の領域に区分され、各セルが2ビット以上のデータを記憶することができるようになってきている。したがって、所与のEEPROMアレイが記憶することができる情報は、各セルが記憶することができる状態の数とともに増加する。

50

多状態またはマルチレベルメモリセルを有するEEPROMまたはフラッシュEEPROMは、米国特許第5,172,338号(特許文献1)に記載されている。

メモリセルとして働くトランジスタは、一般に、2つのメカニズムのうちの1つによって「プログラムされた」状態にプログラムされる。「ホットエレクトロン注入」では、ドレインに印加される高い電圧によって、基板のチャンネル領域にわたって電子が加速される。同時に、コントロールゲートに印加される高い電圧によって、ホットエレクトロンは薄いゲート誘電体を介してフローティングゲート上に引き込まれる。「トンネル注入」では、基板に対して高い電圧がコントロールゲートに印加される。このようにして、基板から介在するフローティングゲートに電子が引き込まれる。

【0007】

メモリデバイスは、多くのメカニズムによって消去され得る。EEPROMの場合、紫外線照射によりフローティングゲートから電荷を取り除くことによってメモリは一括消去可能である。EEPROMの場合、コントロールゲートに対して高い電圧を基板に印加することでフローティングゲート内の電子を誘導して薄い酸化物を介して基板のチャンネル領域にトンネリングさせるようにすること(すなわち、ファウラー-ノルドハイムトンネル現象)によって、メモリセルが電氣的に消去可能である。一般に、EEPROMは、1バイト毎に消去可能である。フラッシュEEPROMの場合、メモリは一度に全てのブロックあるいは一度に1つ以上のブロックを電氣的に消去可能であり、ブロックは、512バイト以上のメモリから構成されてもよい。

メモリデバイスは、一般に、カード上に搭載されることもある1つ以上のメモリチップを含む。各メモリチップは、デコーダならびに消去、書き込みおよび読み出し回路などの周辺回路によってサポートされるメモリセルのアレイを含む。さらに高度なメモリデバイスは、インテリジェントでかつ高水準のメモリ動作およびインターフェイスを実行する外部メモリコントローラで動作する。

【0008】

今日使用されている不揮発性ソリッドステートメモリデバイスで商業的に成功しているものが多い。このようなメモリデバイスは、フラッシュEEPROMである場合もあれば他の種類の不揮発性メモリセルを使用している場合もある。フラッシュメモリならびにこれらを製造するシステムおよび方法の例は、米国特許第5,070,032号(特許文献2)、第5,095,344号(特許文献3)、第5,315,541号(特許文献4)、第5,343,063号(特許文献5)および第5,661,053号(特許文献6)、第5,313,421号(特許文献7)ならびに第6,222,762号(特許文献8)に与えられている。特に、NANDストリング構造を有するフラッシュメモリデバイスは、米国特許第5,570,315号(特許文献9)、第5,903,495号(特許文献10)、第6,046,935号(特許文献11)に記載されている。さらに、不揮発性メモリデバイスは、電荷を蓄積する誘電層を有するメモリセルからも製造される。前に説明した導電性フローティングゲート素子の代わりに、誘電層が使用される。このような誘電体記憶素子を使用するメモリデバイスは、Eitan et al., "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp.543-545 (非特許文献1)に記載されている。ONO誘電層は、ソース拡散とドレイン拡散との間のチャンネルにわたって延在する。一方のデータビットに対する電荷はドレインに隣接する誘電層に局在し、他方のデータビットに対する電荷はソースに隣接する誘電層に局在する。例えば、米国特許第5,768,192号(特許文献12)および第6,011,725号(特許文献13)には、2つの二酸化シリコン層の間に挟まれたトラッピング誘電体を有する不揮発性メモリセルが開示されている。誘電体内の空間的に分離される電荷記憶領域のバイナリ状態を別々に読み出すことによって、多状態データ記憶が実施される。

【0009】

読み出しおよびプログラミング性能を改善するために、アレイ内の複数の電荷蓄積素子またはメモリトランジスタは、並列に読み出されたりプログラムされたりする。したがっ

10

20

30

40

50

て、メモリ素子の「ページ」は、同時に読み出されたりプログラムされたりする。既存のメモリアーキテクチャでは、1つの行は、一般に、インターリーブされた幾つかのページを含むか、1つのページを構成する場合もある。1つのページのすべてのメモリ素子は、同時に読み出されたりプログラムされたりすることになる。

一連の交互に実施されるプログラム/ベリファイサイクルを使用している従来のプログラミング技術は、相対的に大きな V_{PGM} の変化に 응답してセルのしきい値電圧が最初に急速に増大するというプログラミングプロセスにおける不確実性に対処することである。しかし、フローティングゲートにプログラムされる電荷がシールドとして働いて電子をフローティングゲート内にさらにトンネリングさせる有効電界を減少させるにつれて、この増大は衰えていき最終的に止まる。このプロセスは非線形に見えるので、試行錯誤しながら進められる。

【0010】

プログラム/ベリファイプログラミング技術の欠点は、ベリファイサイクルが時間を取る上に性能に影響を及ぼすことである。この問題は、複数のビットを記憶することが可能なメモリセルを実施することによって深刻になる。本質的に、ベリファイはメモリセルの可能な複数の状態のそれぞれに対して実施する必要がある。16の可能なメモリ状態を有するメモリの場合、これは各ベリファイサイクルが最大16の検知動作を担うこともあることを意味する。したがって、マルチレベルメモリセル(MLC)の識別可能な状態レベルの数が増加するに伴い、プログラム/ベリファイ方式のベリファイサイクルはますます時間がかかるようになる。

【0011】

Nima Mokhlesi によって2007年3月31日に出願され、本願と同一の譲受人に譲渡された「DYNAMIC VERIFY BASED ON THRESHOLD VOLTAGE DISTRIBUTION」という米国特許出願第11/694,992号(特許文献14)には、不揮発性メモリセルのしきい値分布の特性がソフトプログラミングパスによって決定される方法が開示されている。ソフトプログラミングパスは、実際のプログラミングパスの前に実施される。ソフトプログラミングパスは、すべてのセルをその消去状態から第1のプログラム状態の前の中間状態にプログラムする。しきい値分布の特性が決定されると、その情報を使用してその後の実際のプログラミングパスでプログラムおよびベリファイ動作を最適化する。この最適化は、実際のプログラミングパスの間で特定の速いビットおよび特定の遅いビットを無視することを含む。特定のビットを無視することによって生じるエラーは、エラー訂正コードによって訂正することができる。例えば、米国特許第6,185,134号(特許文献15)および第7,434,111号(特許文献16)では、ある程度のエラーを許容することができるメモリシステムが開示されている。しかし、米国特許出願第11/694,992号(特許文献14)の方法では、しきい値分布の特性を見つけるための専用ソフトプログラミングパスが必要となるが、このパスは通常のプログラミングパスに追加されるものであり、したがってプログラミング性能をどうしても低下させてしまう。

【0012】

したがって、大容量で高性能な不揮発性メモリが一般的に必要な。特に、前述した欠点が最小限に抑えられた改善されたプログラミング性能を有する大容量不揮発性メモリを有する必要がある。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】米国特許第5,172,338号

【特許文献2】米国特許第5,070,032号

【特許文献3】米国特許第5,095,344号

【特許文献4】米国特許第5,315,541号

【特許文献5】米国特許第5,343,063号

【特許文献6】米国特許第5,661,053号

10

20

30

40

50

- 【特許文献 7】米国特許第 5, 3 1 3, 4 2 1 号
- 【特許文献 8】米国特許第 6, 2 2 2, 7 6 2 号
- 【特許文献 9】米国特許第 5, 5 7 0, 3 1 5 号
- 【特許文献 10】米国特許第 5, 9 0 3, 4 9 5 号
- 【特許文献 11】米国特許第 6, 0 4 6, 9 3 5 号
- 【特許文献 12】米国特許第 5, 7 6 8, 1 9 2 号
- 【特許文献 13】米国特許第 6, 0 1 1, 7 2 5 号
- 【特許文献 14】米国特許出願第 1 1 / 6 9 4, 9 9 2 号
- 【特許文献 15】米国特許第 6, 1 8 5, 1 3 4 号
- 【特許文献 16】米国特許第 7, 4 3 4, 1 1 1 号
- 【特許文献 17】米国特許第 5, 5 9 5, 9 2 4 号
- 【特許文献 18】米国公開特許出願第 2 0 0 6 / 0 1 4 0 0 0 7 号
- 【特許文献 19】米国特許第 7, 2 4 3, 2 7 5 号

【非特許文献】

【0014】

【非特許文献 1】Eitan et al., "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, p.543-545

【発明の概要】

【0015】

不揮発性メモリセルのグループは、一連の増加するプログラミングパルスによってプログラミングパスでプログラムされる。各パルスの後には、プログラムベリファイステップおよび可能性としてプログラム禁止ステップが続く。複数のメモリ状態を画定する様々なベリファイレベルを遅く開始したり早く終了したりすることによってプログラミングパスの間の性能が改善される。これはつまりグループのうちの最も速いおよび最も遅いプログラミング（端部）セルをベリファイおよび禁止するステップをスキップすることになる。

【0016】

プログラミングパス内は一連のパルスに占められているため、所与のパルスはプログラミングパスにおける所与の段階を表す。基準パルスが設定され、基準パルスに対して異なるパルスから始まるベリファイに異なるベリファイレベルが含まれるようにスケジュールされる。基準パルスは、所定の数のセル（最も速いセル）が第 1 のベリファイレベルに対して最初にプログラムベリファイされた時点で決定される。その後のベリファイレベルは、第 1 のベリファイレベルからその後のベリファイレベルまでに何パルスプログラムするかについての推定に基づいて、基準パルスの後から特定の数のパルスを開始することになる。所定の数のセルが第 1 のベリファイレベルを越えてプログラムされた後に基準パルスは設定されるので、このことは速いビットはその都度ベリファイにかけることなくプログラムされてもよいことを意味している。この効果はつまり速いビットを無視することになり、その後のベリファイレベルはすべて遅延する。したがって、結果的にその後のパルスのその後のベリファイレベルは、基準パルスに対してスケジュールされる場合すべて遅延することになる。これによってベリファイ動作の総数が削減されることになる。

【0017】

任意で、第 2 の所定の数のセルが所与のベリファイレベルに対してまだベリファイされていない場合のみ、その所与のレベルに対してベリファイが途中で停止する。このような残りのベリファイされていないセルは、ベリファイされたかのように（擬似ベリファイされたものとして）扱われることになる。これによってもベリファイ動作の総数が削減されることになる。

端部セルのオーバープログラミングまたはアンダープログラミングによって生じるどんなエラーもエラー訂正コードによって訂正される。開始をどの程度遅延するか、および様々なベリファイレベルをどの程度早く終了させるかを決定するために、セルをそれぞれの目標状態にプログラムするのに使用される同一プログラミングパスの間にグループの分布

10

20

30

40

50

内の端部セルの境界がオンザフライ(on-the-fly)で特定される。端部セルをベリファイしないことによって、ベリファイステップの数が30%~40%ほど削減される場合がある。

【0018】

本発明の一般的な態様によれば、メモリセルのグループをそれぞれの目標レベルに同時にプログラムするために、プログラミングパスがプログラム、ベリファイ、およびベリファイ後のセルのプログラミングの禁止を交互に行う際に、そのグループのしきい値分布がオンザフライで推定される。推定された分布によって、グループの最も速いプログラミングビットおよび最も遅いプログラミングビットの所定の端部の集団をベリファイ中に無視することができるので時間が節約される。ベリファイ動作の総数を削減するために、推定された分布を利用して後ろの各ベリファイレベルの開始点をスケジュールすることによってこれは達成される。無視される端部ビットによって生じるどんなエラーもエラー訂正コード(「ECC」)によって訂正可能である。

10

【0019】

本発明の好適な実施形態によれば、各メモリセルのしきい値電圧は、1セットのメモリ状態の中のそれぞれの目標状態に対応する値にプログラム可能であり、所定の最初の数のメモリセルが第1のプログラムメモリ状態に達するまで、増加するパルスによるプログラミングとベリファイとを交互に含むプログラミングパスでメモリセルのグループを同時にプログラムする方法であって、この時点でベースラインプログラミングパルスレベルが設定されプログラミングパスの残りの部分でこれを使用して、どの追加パルスの後でメモリ状態間を画定するベリファイレベルのセットの中のどのベリファイレベルでベリファイを開始するのかをスケジュールする。

20

【0020】

本発明の好適な実施形態によれば、各メモリセルのしきい値電圧は、1セットのメモリ状態の中のそれぞれの目標状態に対応する値にプログラム可能であり、増加するパルスによるプログラミングと、1つ以上のベリファイレベルに対するベリファイとを交互に含むプログラミングパスでメモリセルのグループを同時にプログラムする方法であって、第2の所定の数のセルがまだベリファイされていない各ベリファイレベルに対し、第2の所定の数のセルはベリファイされないで、そのベリファイレベルに対してベリファイされたかのように扱われる。

30

このようにして、メモリセルのグループの分布の中から最も遅いビットはベリファイされずにベリファイされたかのように扱われる。これによってベリファイが削減されることになる。このようなベリファイされないセルによって生じるいかなるエラーもエラー訂正コードによって訂正される。

【0021】

本発明の別の態様によれば、各メモリセルのしきい値電圧は、1セットのメモリ状態の中のそれぞれの目標状態に対応する値にプログラム可能であり、増加するパルスを用いるプログラミングと、1つ以上のベリファイレベルに対するベリファイとを交互に含むプログラミングパスでメモリセルのグループを同時にプログラムする方法であって、第2の所定の数のセルがまだベリファイされていない各ベリファイレベルに対し、第2の所定の数のセルはベリファイされないで、そのベリファイレベルに対してベリファイされたかのように扱われる。ベリファイされたかのように扱われるセルは、介在するベリファイまたは禁止ステップなしに所定の数の追加プログラミングパルスが与えられる。

40

1つの好適な実施形態では、所定の数の追加プログラミングパルスは1つである。このようにして、ベリファイされなかったこのような最も遅いビットに対して、追加パルスはこのようなビットをその目標状態に近づくようにプログラムするのに役立つことになる。

【0022】

本発明のさらなる特徴および利点は、添付の図面と併せて理解されるべき本発明の好適な実施形態の以下の説明から理解されるはずである。

【図面の簡単な説明】

50

【 0 0 2 3 】

【 図 1 】 本発明が実施され得る不揮発性メモリチップの機能ブロックを示す概略図である。

【 図 2 】 不揮発性メモリセルを示す概略図である。

【 図 3 】 フローティングゲートが一度に選択的に蓄積してもよい4つの異なる電荷 $Q_1 \sim Q_4$ についてのソース・ドレイン電流 I_D とコントロールゲート電圧 V_{CG} との関係を示す図である。

【 図 4 】 メモリセルの NOR アレイの例を示す図である。

【 図 5 A 】 NAND ストリングに編成されるメモリセルのストリングを示す概略図である。

【 図 5 B 】 図 5 A に示されるような NAND ストリング 50 から構成されるメモリセルの NAND アレイ 200 の例を示す図である。

【 図 6 】 メモリセルのアレイにわたって p 個のセンスモジュールのバンクを含む、図 1 に示される読み出し/書き込み回路 270 A および 270 B を示す図である。

【 図 7 】 図 6 に示されるセンスモジュールの好ましい編成を示す概略図である。

【 図 8 】 図 7 に示される読み出し/書き込みスタックをさらに詳細に示す図である。

【 図 9 】 (0) ~ (2) は 4 状態メモリセルの集団をプログラムする例を示す図である。

【 図 10 】 (0) ~ (2) は 8 状態メモリセルの集団をプログラムする例を示す図である。

【 図 11 】 4 状態メモリセルを目標メモリ状態にプログラムするための従来の方法を示す図である。

【 図 12 】 従来 of 交互プログラム/ベリファイアルゴリズムを使用してページをプログラムするためのプログラミングパルスおよびベリファイサイクルの推定数を示す表である。

【 図 13 】 同時にプログラムされる NAND 型メモリセルのページの例を示す図である。

【 図 14 】 メモリセルの集団のプログラミング特性の例を示す図である。

【 図 15 】 本発明の好適な実施形態によるベリファイを削減するプログラミング方法を示す流れ図である。

【 図 16 】 図 15 に示されるステップ 620 のさらに詳細な実施形態を示す流れ図である。

【 図 17 】 図 15 に示されるステップ 630 のさらに詳細な実施形態を示す流れ図である。

【 図 18 】 本発明による 4 状態メモリのプログラミングパスの概略タイミング図である。

【 図 19 】 本発明のさらに詳細で好適な実施形態による図 15 のプログラミング方法を示す流れ図であって、図 19 A および 19 B として示されている。

【 図 20 】 図 15 および図 17 に示されるプログラミング方法において最も遅いビットを処理する追加ステップを示す流れ図である。

【 図 21 A 】 図 20 に示されるステップ 630 で無視される各ベリファイレベルに対する残りのビット数の特定の例を示す流れ図である。

【 図 21 B 】 図 20 に示されるステップ 630 で無視される各ベリファイレベルに対する残りのビット数のさらに別の特定の例を示す流れ図である。

【 図 22 】 図 20 に示されるステップ 630 で無視される各ベリファイレベルに対する残りのビット数に追加の所定の数のパルスが印加される、本発明の別の態様を示す流れ図である。

【 発明を実施するための形態 】

【 0 0 2 4 】

メモリシステム

図 1 ~ 図 10 は、本発明の様々な態様が実施され得る例示的なメモリシステムを示す。

図 11 および図 12 は、従来 of プログラミング技術を示す。

図 13 ~ 図 22 は、本発明の様々な態様および実施形態の内容および詳細を示す。

【 0 0 2 5 】

図1は、本発明が実施され得る不揮発性メモリチップの機能ブロックを概略的に示す。メモリチップ100は、メモリセルの二次元アレイ200と、制御回路210と、デコーダ、読み出し/書き込み回路およびマルチプレクサなどの周辺回路とを含む。

メモリアレイ200は、行デコーダ230(230Aと230Bとに分割)を介してワード線によって、および列デコーダ260(260Aと260Bとに分割)を介してビット線によってアドレス指定可能である(図4および図5も参照)。読み出し/書き込み回路270(270Aと270Bとに分割)は、メモリセルのページを並列に読み出すかまたはプログラムできるようにする。データI/Oバス231は、読み出し/書き込み回路270に接続されている。

好適な実施形態では、ページは、同一ワード線を共有するメモリセルの隣接する行から構成される。別の実施形態では、メモリセルの行が複数のページに区分されるが、読み出し/書き込み回路270を個々のページに多重化するためにブロックマルチプレクサ250(250Aと250Bとに分割)が設けられる。例えば、メモリセルの奇数列および偶数列によってそれぞれ形成される2つのページが読み出し/書き込み回路に多重化される。

10

【0026】

図1は、様々な周辺回路によるメモリアレイ200へのアクセスがアレイの両側で対称的に実施され、それぞれの側のアクセス線および回路の密度を半分に減らすようにしている好適な配置を示す。したがって、行デコーダは行デコーダ230Aと230Bとに分割され、列デコーダは列デコーダ260Aと260Bとに分割されている。メモリセルの行が複数のページに区分されている実施形態では、ページマルチプレクサ250は、ページマルチプレクサ250Aと250Bとに分割されている。同様に、読み出し/書き込み回路270は、アレイ200の下部からビット線に接続する読み出し/書き込み回路270Aと、アレイ200の上部からビット線に接続する読み出し/書き込み回路270Bとに分割されている。このようにして、読み出し/書き込みモジュールの密度、したがってセンスモジュール380の密度は、本質的に2分の1に削減される。

20

【0027】

制御回路110は、読み出し/書き込み回路270と協働してメモリアレイ200でメモリ動作を実施するオンチップコントローラである。制御回路110は、一般に、状態マシン112と、オンチップアドレスデコーダおよび出力制御モジュール(明確に図示せず)などの他の回路とを含む。状態マシン112は、メモリ動作のチップレベル制御を提供する。制御回路は、外部メモリコントローラを介してホストと通信している。

30

メモリアレイ200は、一般に、行および列に配置されるメモリセルの2次元アレイとして編成され、ワード線およびビット線によってアドレス指定可能である。NOR型またはNAND型アーキテクチャに従ってアレイを形成することができる。

【0028】

図2は、不揮発性メモリセルを概略的に示す。メモリセル10は、フローティングゲートまたは誘電層などの電荷蓄積ユニット20を有する電界効果トランジスタによって実施することができる。メモリセル10は、ソース14、ドレイン16およびコントロールゲート30も含む。

40

今日使用されている不揮発性ソリッドステートメモリデバイスで商業的に成功しているものが多い。このようなメモリデバイスは、異なる種類のメモリセルを使用してもよく、それぞれの種類は1つ以上の電荷蓄積素子を有している。

一般的な不揮発性メモリセルは、EEPROMおよびフラッシュEEPROMを含む。EEPROMセルおよびそれを製造する方法の例は、米国特許第5,595,924号(特許文献17)に与えられている。フラッシュEEPROMセル、メモリシステムにおけるその使用およびそれを製造する方法の例は、米国特許第5,070,032号(特許文献2)、第5,095,344号(特許文献3)、第5,315,541号(特許文献4)、第5,343,063号(特許文献5)、第5,661,053号(特許文献6)、第5,313,421号(特許文献7)および第6,222,762号(特許文献8)に

50

与えられている。特に、NANDセル構造を有するメモリデバイスの例は、米国特許第5,570,315号(特許文献9)、第5,903,495号(特許文献10)、第6,046,935号(特許文献11)に記載されている。さらに、誘電体記憶素子を利用するメモリデバイスの例は、Eitan et al., "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp.543-545、ならびに米国特許第5,768,192号(特許文献12)および第6,011,725号(特許文献13)に記載されている。

【0029】

実際には、セルのメモリ状態は、通常、基準電圧がコントロールゲートに印加されている場合にセルのソース電極とドレイン電極との間の伝導電流を検知することによって読み出される。したがって、セルのフローティングゲートの所与の各電荷について、固定基準コントロールゲート電圧に対して対応する伝導電流を検出することもできる。同様に、フローティングゲート上にプログラム可能な電荷の範囲は、対応するしきい値電圧ウィンドウまたは対応する伝導電流ウィンドウを定義する。

あるいは、区分された電流ウィンドウの中で伝導電流を検出する代わりに、テスト中に所与のメモリ状態に対するしきい値電圧をコントロールゲートで設定し、伝導電流がしきい値電流より小さいか大きいかを検出することも可能である。1つの実施例では、しきい値電流に対する伝導電流の検出は、伝導電流がビット線の容量を介して放電する速度を評価することによって達成される。

【0030】

図3は、フローティングゲートが一度に選択的に蓄積してもよい4つの異なる電荷 $Q_1 \sim Q_4$ についてのソース-ドレイン電流 I_D とコントロールゲート電圧 V_{CG} との間の関係を示す。4つの実線の I_D 対 V_{CG} 曲線は、メモリセルのフローティングゲート上にプログラム可能な4つの可能な電荷レベルを表し、それぞれ4つの可能なメモリ状態に対応する。例として、セルの集団のしきい値電圧ウィンドウは、 $0.5V \sim 3.5V$ の範囲であってもよい。7つの可能なメモリ状態「0」、「1」、「2」、「3」、「4」、「5」、「6」はそれぞれ1つの消去状態および6つのプログラム状態を表し、しきい値ウィンドウをそれぞれ $0.5V$ の間隔で5つの領域に区分することによって画定すればよい。例えば、 $2\mu A$ の基準電流 I_{REF} を図に示すように使用する場合、 Q_1 でプログラムされたセルは、メモリ状態「1」と見なされてもよい。これはその曲線が $V_{CG} = 0.5V$ および $1.0V$ によって画定されるしきい値ウィンドウの領域で I_{REF} と交わるためである。同様に、 Q_4 はメモリ状態「5」にある。

【0031】

前の説明から分かるように、メモリセルが多くの状態を記憶するように作製されるほど、そのしきい値ウィンドウは細かく分割される。例えば、メモリデバイスは、 $-1.5V \sim 5V$ の範囲のしきい値ウィンドウを有するメモリセルを有してもよい。これは $6.5V$ の最大幅を供給する。メモリセルが16状態を記憶することになっている場合、各状態は、しきい値ウィンドウ内で $200mV$ から $300mV$ を占めてもよい。これには必要な分解能を達成可能にするために、プログラミングおよび読み出し動作でより高い精度が必要となる。

【0032】

図4は、メモリセルのNORアレイの例を示す。メモリアレイ200では、メモリセルの各行は、そのソース14およびドレイン16によってデジチェーン方式で接続されている。このような設計は、仮想接地設計と称されることがある。行におけるセル10は、ワード線42のようなワード線に接続されるコントロールゲート30を有する。列におけるセルは、ビット線34および36のような選択されたビット線にそれぞれ接続されるソースおよびドレインを有する。

【0033】

図5Aは、NANDストリングに編成されるメモリセルのストリングを概略的に示す。NANDストリング50は、そのソースおよびドレインによってデジチェーン接続さ

10

20

30

40

50

れる一連のメモリトランジスタ M_1 、 $M_2 \cdots M_n$ （例えば、 $n = 4$ 、 8 、 16 あるいはそれ以上）から構成される。1対の選択トランジスタ S_1 、 S_2 は、それぞれ NAND ストリングのソース端子 54 およびドレイン端子 56 を介してメモリトランジスタチェーンの外部への接続を制御する。メモリアレイでは、ソース選択トランジスタ S_1 がオンに転換すると、ソース端子がソース線に接続される（図 5 B 参照）。同様に、ドレイン選択トランジスタ S_2 がオンに転換すると、NAND ストリングのドレイン端子がメモリアレイのビット線に接続される。チェーン内の各メモリトランジスタ 10 はメモリセルとして機能し、所定の電荷量を蓄積して意図されるメモリ状態を表すようにするための電荷蓄積素子 20 を有する。各メモリトランジスタのコントロールゲート 30 は、読み出しおよび書き込み動作の制御を可能にする。図 5 B に示されるように、NAND ストリングの行の対応するメモリトランジスタのコントロールゲート 30 は、同一ワード線にすべて接続されている。同様に、選択トランジスタ S_1 、 S_2 のそれぞれのコントロールゲート 32 は、それぞれそのソース端子 54 およびドレイン端子 56 を介する NAND ストリングへのアクセスを制御することができる。同様に、NAND ストリングの行の対応する選択トランジスタのコントロールゲート 32 は、同一選択線にすべて接続されている。

10

【0034】

NAND ストリング内のアドレス指定されたメモリトランジスタ 10 が、プログラム中に読み出されたりベリファイされたりする場合には、そのコントロールゲート 30 に適切な電圧が供給される。同時に、NAND ストリング 50 のアドレス指定されていない残りのメモリトランジスタは、そのコントロールゲートに十分な電圧を印加することによって完全にオンに転換される。このようにして、NAND ストリングの個々のメモリトランジスタのソースからそのソース端子 54 まで、同じく個々のメモリトランジスタのドレインについてはセルのドレイン端子 56 まで伝導経路が効果的に形成される。このような NAND ストリング構造を有するメモリデバイスは、米国特許第 5,570,315 号（特許文献 9）、第 5,903,495 号（特許文献 10）、第 6,046,935 号（特許文献 11）に記載されている。

20

【0035】

図 5 B は、図 5 A に示されるような NAND ストリング 50 から構成されるメモリセルの NAND アレイ 200 の例を示す。NAND ストリングの各列に沿って、ビット線 36 などのビット線は、各 NAND ストリングのドレイン端子 56 に接続される。NAND ストリングの各バンクに沿って、ソース線 34 などのソース線は、各 NAND ストリングのソース端子 54 に接続される。さらに、NAND ストリングのバンク内のメモリセルの行に沿ったコントロールゲートは、ワード線 42 などのワード線に接続される。NAND ストリングのバンク内の選択トランジスタの行に沿ったコントロールゲートは、選択線 44 などの選択線に接続される。NAND ストリングのバンク内のメモリセルの行全体は、NAND ストリングのバンクのワード線および選択線にかかる適切な電圧によってアドレス指定することができる。NAND ストリング内のメモリトランジスタが読み出される場合、ストリング内の残りのメモリトランジスタは、その関連するワード線を介して確実にオンに転換され、ストリングを通して流れる電流は、本質的に、読み出されるセルに蓄積される電荷のレベルに依存するようになっている。

30

40

【0036】

検知回路および技術

図 6 は、メモリセルのアレイにわたって p 個のセンスモジュールのバンクを含む、図 1 に示される読み出し/書き込み回路 270 A および 270 B を示す。並列に動作する p 個のセンスモジュール 480 のバンク全体によって、行に沿った p 個のセル 10 のブロック（またはページ）を並列に読み出したりプログラムしたりすることが可能になる。本質的に、センスモジュール 1 はセル 1 の電流 I_1 を検知し、センスモジュール 2 はセル 2 の電流 I_2 を検知し、 \cdots センスモジュール p はセル p の電流 I_p を検知することになるなど、以下同様である。ソース線 34 から集約ノード CLSRC に、さらにそこから接地に流れるそのページのすべてのセル電流 i_{TOT} は、 p 個のセルのすべての電流の総和となる。

50

従来のメモリアーキテクチャでは、共通ワード線を有するメモリセルの行は2つ以上のページを形成し、ページ内のメモリセルは並列に読み出しおよびプログラムされる。2つのページを有する行の場合、一方のページは偶数ビット線によってアクセスされ、他方のページは奇数ビット線によってアクセスされる。検知回路のページは、偶数ビット線か奇数ビット線かに一度に接続される。その場合、読み出し/書き込み回路270Aおよび270Bを個々のページにそれぞれ多重化するように、ページマルチプレクサ250Aおよび250Bが設けられる。

【0037】

現在製造されている56nm技術に基づくチップでは $p > 64$ 、000であり、43nm 32Gbit \times 4のチップでは $p > 150$ 、000である。好適な実施形態では、ブロックはセルの一連の行全体である。これはいわゆる「全ビット線」アーキテクチャであり、ページは隣接するビット線にそれぞれ接続される隣接するメモリセルの行から構成されている。別の実施形態では、ブロックは、行の中のセルのサブセットである。例えば、セルのサブセットは、行全体の2分の1または行全体の4分の1であってもよい。セルのサブセットは、一連の隣接するセルまたは1つおきのセルあるいは所定数おきのセルであってもよい。各センスモジュールは、ビット線を介してメモリセルに接続され、メモリセルの伝導電流を検知する検知増幅器を含む。一般に、読み出し/書き込み回路がメモリアレイの両側に分配されている場合、 p 個のセンスモジュールのバンクは、2セットの読み出し/書き込み回路270Aと270Bとの間に分配されることになる。

【0038】

図7は、図6に示されるセンスモジュールの好ましい編成を概略的に示す。 p 個のセンスモジュールを含む読み出し/書き込み回路270Aおよび270Bは、読み出し/書き込みスタック400のバンクに分けられる。

【0039】

図8は、図7に示される読み出し/書き込みスタックをさらに詳細に示す。各読み出し/書き込みスタック400は、 k 本のビット線のグループ上で並列に動作する。1つのページが $p = r * k$ 本のビット線を有する場合、 r 個の読み出し/書き込みスタック400 - 1...400 - r が存在することになる。本質的に、このアーキテクチャは、スペースを節約するために k 個のセンスモジュールの各スタックが共通プロセッサ500によって操作されるようになっている。共通プロセッサ500は、センスモジュール480およびデータラッチ430に配置されるラッチに記憶される更新データをラッチの電流値および状態マシン112からの制御に基づいて計算する。共通プロセッサの詳細な説明は、その全体が本願明細書において参照により援用されている、2006年6月29日付の米国公開特許出願第2006/0140007号(特許文献18)に開示されている。

【0040】

並列に動作する区分された読み出し/書き込みスタック400のバンク全体は、行に沿った p 個のセルのブロック(またはページ)を並列に読み出したりプログラムしたりできるようにする。したがって、セルの行全体について p 個の読み出し/書き込みモジュールが存在することになる。各スタックは k 個のメモリセルを操作しているので、バンク内の読み出し/書き込みスタックの総数は、 $r = p / k$ で与えられる。例えば、 r がバンク内のスタック数である場合、 $p = r * k$ である。1つの例示的なメモリアレイは、 $p = 150$ 、000、 $k = 8$ を有してもよく、したがって $r = 18$ 、750である。

【0041】

400 - 1などの各読み出し/書き込みスタックは、本質的に、 k 個のメモリセルのセグメントを並列に操作するセンスモジュール480 - 1 ~ 480 - k のスタックを含む。ページコントローラ410は、配線411を介して読み出し/書き込み回路370に制御およびタイミング信号を提供する。ページコントローラは、配線311を介してメモリコントローラ310にそれ自体依存している。各読み出し/書き込みスタック400間の通信は、相互接続スタックバス431によって達成され、ページコントローラ410によって制御される。制御線411は、ページコントローラ410から読み出し/書き込みスタ

10

20

30

40

50

ック400-1の部品に制御およびクロック信号を提供する。

【0042】

好適な配置では、スタックバスは、共通プロセッサ500とセンスモジュールのスタック480との間の通信のためのSAバス422と、プロセッサとデータラッチのスタック430との間の通信のためのDバス423とに区分されている。

データラッチのスタック430は、そのスタックに関連する各メモリセルについて1つのデータラッチ430-1~430-kから構成されている。I/Oモジュール440は、データラッチがI/Oバス231を介して外部とデータを交換することができるようにする。

さらに、共通プロセッサは、エラー状態などのメモリ動作の状態を示す状態信号を出力する出力507も含む。状態信号を使用して、ワイヤードOR構成でフラグバス509に接続されるn形トランジスタ550のゲートを駆動する。フラグバスは、コントローラ310によってプリチャージされるのが好ましく、状態信号が読み出し/書き込みスタックのいずれかでアサートされるとプルダウンされることになる。

【0043】

多状態メモリ区分化の例

メモリセルがそれぞれ複数ビットのデータを記憶する不揮発性メモリを、図3に関連してこれまで説明した。特定の例は、電界効果トランジスタのアレイから形成されるメモリであって、各電界効果トランジスタはそのチャンネル領域とそのコントロールゲートとの間に電荷蓄積層を有する。電荷蓄積層またはユニットは、各電界効果トランジスタのしきい値電圧の範囲のもとになる電荷の範囲を蓄積することができる。可能なしきい値電圧の範囲は、しきい値ウィンドウの範囲にわたる。しきい値ウィンドウが複数の小領域またはゾーンのしきい値電圧に区分される場合、それぞれの分解可能なゾーンを使用してメモリセルの異なるメモリ状態を表す。1つ以上のバイナリビットによって複数のメモリ状態を符号化することができる。例えば、4つのゾーンに区分されるメモリセルは、2ビットのデータとして符号化することができる4つの状態をサポートすることができる。同様に、8つのゾーンに区分されるメモリセルは、3ビットのデータとして符号化することができる8つのメモリ状態をサポートすることができるなど、以下同様である。

【0044】

図9(0)~(2)は、4状態メモリセルの集団をプログラムする例を示す。図9(0)は、それぞれメモリ状態「0」、「1」、「2」および「3」を表すしきい値電圧の4つの特異的な分布にプログラム可能なメモリセルの集団を示す。図9(1)は、消去されたメモリの「消去」しきい値電圧の最初の分布を示す。図9(2)は、メモリセルの多くがプログラムされた後のメモリの例を示す。本質的に、セルは、最初に「消去」しきい値電圧を有し、プログラミングによってさらに高い値となって V_1 、 V_2 および V_3 によって画定される3つのゾーンのうちの1つに変化することになる。このようにして、各メモリセルは、3つのプログラム状態「1」、「2」および「3」のうちの1つにプログラムするか、あるいは「消去」状態でプログラムされないままにすることができる。メモリがさらにプログラムされるにつれて、図9(1)に示される「消去」状態の最初の分布は狭くなっていき、消去状態は「0」状態によって表される。

【0045】

下位ビットおよび上位ビットを有する2ビット符号を使用して、4つの各メモリ状態を表すことができる。例えば、「0」、「1」、「2」および「3」状態は、それぞれ「11」、「01」、「00」および「10」によって表される。2ビットデータは、「フルシーケンス」モードで検知することによってメモリから読み出されてもよい。このモードでは、3つのサブバスでそれぞれ読み出し境界しきい値 V_1 、 V_2 および V_3 に対して検知することによって2ビットがまとめて検知される。

【0046】

図10(0)~(2)は、8状態メモリセルの集団をプログラムする例を示す。図10(1)は、それぞれメモリ状態「0」~「7」を表すしきい値電圧の8つの特異的な分布

10

20

30

40

50

にプログラム可能なメモリセルの集団を示す。図10(1)は、消去されたメモリの「消去」しきい値電圧の最初の分布を示す。図10(2)は、メモリセルの多くがプログラムされた後のメモリの例を示す。本質的に、セルは、最初に「消去」しきい値電圧を有し、プログラミングによってさらに高い値となって $V_1 \sim V_7$ によって画定される7つのゾーンのうちの1つに変化することになる。このようにして、各メモリセルは、7つのプログラム状態「1」～「7」のうちの1つにプログラムされるか、あるいは「消去」状態でプログラムされないままにすることができる。メモリがさらにプログラムされるにつれて、図10(1)に示される「消去」状態の最初の分布は狭くなっていき、消去状態は「0」状態によって表される。

【0047】

下位ビット、中位ビット、および上位ビットを有する3ビット符号を使用して、8つの各メモリ状態を表すことができる。例えば、「0」、「1」、「2」、「3」、「4」、「5」、「6」および「7」状態は、それぞれ「111」、「011」、「001」、「101」、「100」、「000」、「010」、および「110」によって表される。3ビットデータは、「フルシーケンス」モードで検知することによってメモリから読み出されてもよい。このモードでは、7つのサブパスでそれぞれ読み出し境界しきい値 $V_1 \sim V_7$ に対して検知することによって3ビットがまとめて検知される。

【0048】

ページまたはワード線プログラミングおよびベリファイ

ページをプログラムする1つの方法は、フルシーケンスプログラミングである。ページのすべてのセルは、最初消去状態にある。したがって、ページのすべてのセルは消去状態からその目標状態へと並列にプログラムされる。目標状態として「1」状態を有するこれらのメモリセルは、一度「1」状態にプログラムされるとそれ以上プログラムされるのを禁止されることになるが、目標状態「2」あるいはそれ以上を有する他のメモリセルは、さらにプログラムされることになる。最終的に、目標状態として「2」を有するメモリセルについてもそれ以上プログラムされるのをロックされることになる。同様に、進行するプログラミングパルスによって、目標状態「3」～「7」を有するセルが実現されてロックされる。

【0049】

ベリファイはプログラミングパルスの後に実施され、各ベリファイは多くのベリファイレベルと比較する場合もあるので、ベリファイ動作の総数を削減するために様々な「スマート」ベリファイ方式が実施されている。例えば、パルス毎に増加するプログラミングはセルの集団をどんどん高いしきい値レベルにプログラムするため、より高いベリファイレベルに対するベリファイは特定パルスになって初めて開始すればよい。スマートベリファイを用いるプログラミング技術の例が、その全体が本願明細書において参照により援用されている、2007年7月10日に登録され本願と同一の譲受人に譲渡されたGongwerらによる「SMART VERIFY FOR MULTI-STATE MEMORIES」という米国特許第7,243,275号(特許文献19)に開示されている。

【0050】

図11は、4状態メモリセルを目標メモリ状態にプログラムするための従来の方法を示す。プログラミング回路は、一般に、一連のプログラミングパルスを選択されたワード線に印加する。このようにして、コントロールゲートがワード線に接続されるメモリセルのページをまとめてプログラムすることができる。使用されるプログラミングパルスストレインは、メモリセルの電荷蓄積ユニット内にプログラムされる蓄積する電子に対抗するために、増加する周期または振幅を有してもよい。プログラム中、プログラミング電圧 V_{PGM} がページのワード線に印加される。プログラミング電圧 V_{PGM} は、初期電圧レベル V_{PGM0} から開始される階段波形の形態をとる一連のプログラミング電圧パルスである。プログラム中のページの各セルは、この一連のプログラミング電圧パルスを受け、各パルスではセルの電荷蓄積素子に増加する電荷を加えようとする。プログラミングパルスの間で、セルは読み直されてそのしきい値電圧を決定する。この読み直しプロセスは、1つ以上の検知

10

20

30

40

50

動作を含んでもよい。そのしきい値電圧がベリファイされて目標状態に対応するしきい値電圧ゾーン内にあった場合には、そのセルに対してプログラミングが停止する。ページのメモリセルがその目標状態にプログラムされるとそのセルはプログラムが禁止されるが、他のセルはページのセルがすべてプログラムベリファイされるまでプログラムされ続ける。

【0051】

一連の交互に実施されるプログラム/ベリファイサイクルを使用している従来のプログラミング技術は、相対的に大きな V_{PGM} の変化に応答してセルのしきい値電圧が最初に急速に増加するというプログラミングプロセスにおける不確実性に対処することである。しかし、フローティングゲートにプログラムされる電荷がシールドとして働いて電子をフローティングゲート内にさらにトンネリングさせる有効電界を減少させるにつれて、この増加は衰えて行き最終的に止まる。

プログラム/ベリファイプログラミング技術の欠点は、ベリファイサイクルは時間がかかる上に性能に影響を与えることである。この問題は、複数のビットを記憶可能なメモリセルの実施例によって深刻化する。本質的に、ベリファイは、メモリセルの可能な複数の状態のそれぞれに対して実施される必要がある。16の可能なメモリ状態を有するメモリの場合、これは各ベリファイステップが少なくとも16検知動作まで担うことになることを意味する。他の一部の方式では、これが数倍にもなり得る。したがって、メモリがますます多くの状態数に区分化されると、プログラム/ベリファイ方式のベリファイサイクルはますます時間がかかるようになる。

【0052】

図12は、従来の交互のプログラム/ベリファイアルゴリズムを使用してページをプログラムするためのプログラミングパルスおよびベリファイサイクルの推定数を示す表である。例えば、Nビットメモリでは、区分化は、 $N_S = 2^N$ 状態になる。プログラムパルスの数は、少なくとも状態の数 N_S と同じである。一部のアルゴリズムでは、k個のプログラミングパスが必要なこともあり、ここでkは1~4であってもよい。多状態メモリの場合、各ベリファイ動作は各メモリ状態に1つの $2^N - 1$ を乗じる。したがって、ベリファイの推定数は、状態の数の2乗である 2^{2N} に比例する。表から分かるように、3ビットセルの場合、公称ベリファイサイクル数はすでに非常に多く、これは他の方式に必要な追加の検知を含んでいない。4ビットセルの場合、ベリファイサイクル数は許容できないほどとなる。

したがって、ベリファイサイクルの数を削減する改善されたプログラミング性能を有するメモリデバイスが必要である。

【0053】

最も速いビットおよび最も遅いビットを無視しながらベリファイを削減するプログラミング

図13は、同時にプログラムされるNAND型メモリセルのページの例を示す。図13は、本質的に、図5Bのメモリアレイ200からのNANDストリング50のバンクを示し、各NANDストリングの詳細は、図5Aにあるように明確に示される。ページ60のような「ページ」は、同時にプログラム可能なメモリセルのグループである。セルのページは、ワード線42に共通に接続されるセルのコントロールゲートを有し、ページの各セルは、ビット線36のようなビット線を介して検知回路(例えば、図8に示される検知モジュール480)によってアクセス可能である。現在の世代のメモリデバイスでは、1ページは16kセルの規模にすることができる。セル60のページをプログラムする場合、プログラミング電圧が共通ワード線WL3に印加される。プログラミングは、各パルス後のベリファイステップでパルス毎に計測され、ベリファイレベルに対する各セルのしきい値レベルを決定する。マルチレベルメモリデバイスの場合、ベリファイは、異なるメモリ状態間を画定するベリファイレベルのうちの1つ以上と比較することになる。

【0054】

プログラミングの前に、セルの目標状態に既にプログラムされたセルは、プログラム禁

止される。この動作は、ソースからフローティングゲートに電子がトンネリングしないようにするために、セルのコントロールゲートとチャンネル領域との間の電圧差を効果的に下げることによって達成される（図2参照）。NAND型メモリでよく知られているように、これは関連するビット線を、ドレイン選択トランジスタをオフにして関連するビット線の列のNANDストリングのチャンネル領域をフローティングにする電圧（例えば、 V_{cc} ）に設定することによって達成される。一方、NANDストリングがプログラミングに対して有効である列では、関連するビット線は0Vに設定される。

【0055】

図14は、メモリセルの集団のプログラミング特性の例を示す。メモリセルの集団がプログラムされる際、メモリセル内にプログラムされるしきい値電圧の分布は、一般に、通常分布500に従う。一般に、一連の増加するプログラミング電圧パルスによってすべてのセルがプログラムされる場合、通常分布全体がパルス毎にさらに高いしきい値へとシフトすることになる。当然ながら、実際には、ユーザデータがメモリセルの集団内にプログラムされ、各セルがその目標状態にプログラムされた時点でそのセルはロックアウトされる（すなわち、それ以上のプログラミングが禁止される）。一般に、この集団は多くのサブグループの分布に分離され、それぞれが図9および図10でこれまで示されたようなメモリ状態のうちの1つを示す。

10

【0056】

すべてのセル（すなわち、集団全体）のプログラミング特性を示すために、図14は、すべてのセルがロックアウトされないでメモリ状態のうちの任意の1つにプログラムされる状態を示す。例えば、各パルスがすべてのセルに印加されるに伴い、分布500はさらに高いしきい値へとパルス毎にシフトする。x回のパルスの後、分布500全体は分布500'にシフトされる。分布500の下端付近のセルは最も低いしきい値電圧を有するが、これはこれらのセルが所与のしきい値レベルに対してゆっくりとプログラムパスになることを意味する。分布500の上端付近のセルは最も高いしきい値電圧を有するが、これはこれらのセルは速く、所与のしきい値レベルに対して真っ先にプログラムパスになることを意味する。

20

【0057】

図に示される例では、通常分布500は4.4Vのしきい値電圧範囲に及んでいる。分布の上端に対応する集団の最も速い0.02%（標準偏差の値で3と4の間）と、分布の下端に対応する集団の最も遅い0.02%とが除外される場合、その集団の残りの部分は例えば2.4Vなどの縮小された範囲を占めるに過ぎないことになる。したがって、例えば、各プログラミングパルスが各メモリセルのしきい値電圧を0.2Vだけシフトさせる力がある場合、所与のしきい値レベルを越えて分布全体を動かすのに22パルスかかることになる。一般に、各パルスの後に、異なるメモリ状態の複数の検知を含むことになるベリファイ動作が実施される。一方、1Vに及ぶ上端が無視される場合、5パルスにわたってベリファイする必要がないという節約になる。同様に、下端が無視される場合、別の5パルスにわたってベリファイする必要がないというもう1つの節約になる。両端部が無視される場合には、全体の22パルスの中から10パルスにわたってベリファイする必要がないという節約になる。

30

40

【0058】

外側端部のセルは、プログラミングはされるがベリファイの恩恵が得られない状態であり、したがってセルの目標状態を越えてオーバープログラムされることもある。オーバープログラミングによってエラーが発生する場合には、このような速いセル（例えば、集団の0.02%）は、一般に集団の4%~10%を訂正するように設計されるエラー訂正コード（「ECC」）によって容易に訂正可能である。各セルが4ビットを記憶することもできる16kのセルを有する例示的なページでは、各ページは全体で64kビットを記憶することになる。したがって、両端部（約0.02%~0.03%）で無視されることになるビットの合計は、ページ当たりおよそ15ビットになる。

【0059】

50

しきい値分布を考慮に入れることによってプログラムベリファイを削減する方法は、その全体が本願明細書において参照により援用されている、Nima Mokhlesi によって 2007 年 3 月 31 日に出願され、本願と同一の譲受人に譲渡された「DYNAMIC VERIFY BASED ON THRESHOLD VOLTAGE DISTRIBUTION」という米国特許出願第 11 / 694, 992 号（特許文献 14）に開示されている。セル集団のしきい値分布の外側端部を無視する方式が開示されている。セルがその目標状態にプログラムされる前に、専用の予備ソフトプログラミングパスによってしきい値分布の範囲がまず決定される。予備ソフトプログラミングパスによって分布の特性が決定されると、次にこれを利用してセルをそれぞれの目標状態に実際にプログラムするその後のプログラミングパスの最適な一連のプログラム/ベリファイを構成することができる。例えば、その後のプログラミングパスの範囲は、決定された分布の特性に基づく開始プログラミングパルスレベルおよび終了プログラミングパルスレベルを特徴とする。

10

【0060】

ページの消去セルは、一般に、指定された消去レベルを下回るしきい値レベルの分布を有する。ソフトプログラミングパスでは、各ステップ後にベリファイ動作を伴いながら増加する一連のプログラミング電圧パルスがステップ毎に印加され、消去レベルと下のオフセットレベルとの間の絞られた分布に消去セルをプログラムする。最初のソフトプログラミングパスの間、最初の n 個のセル（上端の集団）がソフトプログラムされるまでに後のパスの開始プログラミングパルスレベルが与えられる。同様に、 m 個のセル（下端の集団）を除くすべてのセルがソフトプログラムされるまでに終了プログラミングパルスレベルが与えられる。これら 2 つのプログラミング電圧パルスレベルに基づいてしきい値分布の範囲が特徴付けられる（特許文献 14 の図 17 参照）。セルをその目標状態に実際にプログラムするその後のプログラミングパスは、それぞれこれら 2 つの電圧パルスレベルで開始および終了する連続パルスを有することになる。第 1 の決定プログラミング電圧パルスレベルから開始することは、基本的に、最初の n 個の速いプログラミングセルがセルのベリファイが遅延された際にオーバープログラムとなる可能性もあると考えるが、最も低いパルスレベルからの開始とすべての介在するベリファイステップとが削減される。その結果生じるどんなエラーも ECC によって訂正されることになる。同様に、第 2 の決定プログラミング電圧パルスで終了することは、 m 個のセルがその目標状態に完全にはプログラムされない可能性もあると早計に考えるが、パルスの総数とそれに伴うベリファイステップとが削減される。その結果生じるどんなエラーも ECC によって訂正されることになる。

20

30

【0061】

特許文献 14 のプログラミング方法はベリファイ動作の数を削減するのに役立つが、メモリセルがプログラムされることになる前に、しきい値分布の特性を見つけるために設けられる予備プログラミングパスを最初に実施しなければならない。このような予備のパスは、各セルをその目標状態にプログラムするために何も行うわけではない追加プログラミングパスである。

【0062】

本発明の一般的な態様によれば、メモリセルのグループをそれぞれの目標レベルに同時にプログラムするために、プログラミングパスがプログラム、ベリファイおよびベリファイ後のセルのプログラミングの禁止を交互に行う際、そのグループのしきい値分布がオンザフライで推定される。推定された分布によって、グループの最も速いプログラミングビットおよび最も遅いプログラミングビットの所定の端部の集団をベリファイ中に無視することができるので時間が節約される。ベリファイ動作の総数を削減するために、推定された分布を利用して後ろの各ベリファイレベルの開始点をスケジュールすることによってこれは達成される。無視される端部のビットによって生じるどんなエラーもエラー訂正コード（「ECC」）によって訂正可能である。

40

【0063】

本発明の好適な実施形態によれば、各メモリセルのしきい値電圧は、1 セットのメモリ

50

状態の中のそれぞれの目標状態に対応する値にプログラム可能であり、所定の最初の数のメモリセルが第1のプログラムメモリ状態に達するまで、増加するパルスによるプログラミングとベリファイとを交互に含むプログラミングパスでメモリセルのグループを同時にプログラムする方法であって、この時点でベースラインプログラミングパルスレベルが設定されプログラミングパスの残りの部分でこれを使用して、どの追加パルスの後でメモリ状態間を画定するベリファイレベルのセットの中のどのベリファイレベルでベリファイを開始するのかをスケジュールする。

【0064】

図15は、本発明の好適な実施形態によるベリファイを削減するプログラミング方法を示す流れ図である。

ステップ600：メモリセルのグループを有する不揮発性メモリを提供する。各メモリセルはセルのしきい値ウィンドウ内の目標しきい値電圧にプログラム可能であり、しきい値ウィンドウはベリファイレベルのセットによって分解可能な範囲に区分されている。

ステップ610：メモリセルのグループをそれぞれの目標しきい値電圧に同時にプログラムするためのプログラミングパスを提供する。プログラミングパスは、パルス毎に増加するプログラミング電圧を印加する。各パルスの後に、1つ以上のベリファイレベルに対してセルをベリファイすること、およびセルの目標状態に対してベリファイされたセルをそれ以上プログラムすることを禁止することが続く。

ステップ610は、本質的に、ステップ620に続いてステップ630にあるような2つの段階をそれぞれ含む。ステップ620はステップ622を含み、ステップ630はステップ632を含む。

ステップ622を含むステップ620：ベリファイは、まずセットのうちの最も低いベリファイレベルに対して比較される。

ステップ632を含むステップ630：第1の所定の数のセルが最も低いベリファイレベルをプログラムパスした後に、ベリファイは、その後、セットのうちの他のベリファイレベルを含み、他のベリファイレベルのそれぞれは、ベリファイに含めるように各ベリファイレベルに応じてスケジュールされる。

【0065】

したがって、最も低いベリファイレベル、例えば、しきい値ウィンドウ内でメモリ状態の間を決定するのに使用されるセットの中の最初のベリファイレベルを使用して、最も速いセルが最も低いベリファイレベルを越えてプログラムされる時点の（すなわち、そのパルスの）最も速いセルを特定する。プログラミングがパルス毎に進むに連れて、ベリファイはベリファイレベル自体に依存して異なるベリファイレベルを含むことになる。

この方式の1つの利点は、予備のソフトプログラミングパスが必要ないことであることが分かる。分布の中の最も速いプログラミングセルは、セルをそれぞれの目標状態にプログラムするのに使用される同一のプログラミングパスで決定される。このような最も速いセルのプログラミングに対する様々なベリファイレベルの開始を遅くすることは、ベリファイ動作の総数を削減するのに役立つ。

【0066】

図16は、図15に示されるステップ620のさらに詳細な実施形態を示す流れ図である。ステップ620は、前述したステップ622とステップ624とを含む。

ステップ622：ベリファイは、まずセットの最も低いベリファイレベルと比較される。

ステップ624：ベリファイは、まず第1の所定の数のセルが最も低いベリファイレベルをプログラムパスした時点の第1のパルスレベルを決定することを含む。

【0067】

図17は、図15に示されるステップ630のさらに詳細な実施形態を示す流れ図である。ステップ630は、前述したステップ632とステップ634とを含む。

ステップ632：第1の所定の数のセルが最も低いベリファイレベルをプログラムパスした後に、ベリファイは、その後、セットのうちの他のベリファイレベルを含み、他のベ

10

20

30

40

50

リファイレベルのそれぞれは、ベリファイに含めるように各ベリファイレベルに応じてスケジュールされる。

ステップ634：他のベリファイレベルのそれぞれは、第1のパルスから関連する追加パルス数の後にベリファイに含まれるようにスケジュールされ、関連する追加パルス数は各ベリファイレベルに依存している。

【0068】

図18は、本発明による4状態メモリのプログラミングパスのタイミング図を概略的に示す。図9にこれまで示されたように、4状態メモリは、ベリファイレベル V_1 、 V_2 および V_3 によって分解可能な4つの区分に区分されたしきい値ウィンドウを有する。4つの区分は、1つの消去状態および3つの徐々にプログラムされた状態に対応する。ステップ610と同様に、各プログラミングパルスの後にベリファイが続く。ベリファイは、 V_1 、 V_2 および V_3 のうちの1つ以上の組み合わせなどのベリファイレベルのうちの1つ以上を含んでもよい。

この例では、プログラミングパスは、プログラムパルス P_1 から開始して P_{13} で終了する。最初のパルス P_1 は、同時にプログラムされるセルのグループのワード線に印加される最初のプログラミング電圧 V_{PGM0} を有する。プログラミングパルス $P_1 \sim P_4$ は、第1の段階（ステップ620）の間に印加され、 V_{V1} で示される各パルス後のベリファイは、ベリファイレベル V_1 と比較されるだけである。

各ベリファイの後に、グループ内のセルの間でページスキャンが実施されてどのセルが V_1 を越えてプログラムされたかを判断する。 n_1 個のセルが V_1 をパスしたと検出された場合、現在のパルス数が集団の n_1 個のセルがベリファイレベル V_1 に達することができる第1のパルスとして設定される。これは、ベリファイが V_2 および V_3 のようなさらに高いベリファイレベルを含むようにスケジュールする基準点を提供する。

【0069】

セルがそれ以上プログラムされないようにロックアウトされる場合に上書きされない場合を除いて、通常、各セルの目標状態はデータラッチに記憶される。ページスキャン中に、セルが特定のベリファイレベルを越えてプログラムされたかどうかについて各セルの目標状態が考慮される。この例では、パルス P_4 までに、 n_1 個のセルなどの所定の数ベリファイレベル V_1 をプログラムパスしたことが検出された。このような n_1 個のセルの一部が第1のプログラム状態を目標とする場合、このようなセルはプログラム禁止（ロックアウト）されることになり、オーバープログラムされることはない。しかし、 $P_1 \sim P_4$ の間に、第1のプログラム状態以上を目標とする n_1 個の中の残りのセルはベリファイレベル V_1 でロックアウトされない。ベリファイレベル V_1 でベリファイの第1の段階が進んでいる間に、さらに高い状態を目標とするこのような速いセルは V_1 を超えてベリファイおよびロックアウトプロセスを受けないのでオーバープログラムされる可能性が高い。このようなセルによって生じるエラーは、ECCコードによって訂正されることになる。

【0070】

第1の基準パルスの場所を設定した後に、プログラミングパスはステップ610の場合のように継続し、第2の段階（ステップ630）に入る。ここでは V_2 も後ろのどこかのパルス数でベリファイに含まれることになる。同様に、さらに数パルス後に、 V_3 もベリファイに含まれることになる。パルスステップサイズに応じて、各パルスステップによるプログラムしきい値の増加を推定することができる。一般に、追加パルス数 m は、プログラムしきい値 V をほぼ $dV/dm \cdot m$ だけシフトさせると見込まれる。

例えば、ベリファイレベル V_1 から次のベリファイレベル V_2 に移動するのに m_1 （例えば、3）パルスかかり、ベリファイレベル V_1 からベリファイレベル V_3 に移動するのに m_2 （例えば、5）パルスかかる。図18を参照すると、第1の基準パルスが P_4 で設定された後に、ベリファイはベリファイレベル V_1 と比較するだけであることが示される。 P_4 後から P_7 の3パルス（ m_1 ）では、ベリファイは V_2 も含む。 P_4 後から P_9 の5パルス（ m_2 ）では、ベリファイは V_3 も含む。

10

20

30

40

50

【0071】

各ベリファイ後のページスキャンも、すべてのセルがベリファイされたかどうか、あるいは特定のベリファイレベルがもう必要ないかどうかを示すことになる。例えば、ページスキャンが、第1のプログラム状態を目標とするすべてのセルがすべてベリファイされてロックアウトされたことを見つけた場合には、その後のベリファイにベリファイレベル V_1 を含める必要がなくなる。その場合、ベリファイは、もう必要ないベリファイレベルを除外することになる。ページスキャンは、すべてのセルがベリファイされたことを最終的に示すことになる。その場合には、プログラミングパスは完了し終了することになる。

このプログラミング方法は、本質的に、高速ビットを無視し、より高いベリファイレベルのベリファイを遅らせることで時間を節約するということが分かる。

10

【0072】

図19は、本発明のさらに詳細で好適な実施形態による図15のプログラミング方法を示す流れ図である。

ステップ700：同時にプログラムされるメモリセルのグループを提供する。各メモリセルは、1セットのメモリ状態を示す画定された区分を有するしきい値ウィンドウ内のしきい値電圧レベルにプログラム可能である。

ステップ702：プログラミングパスに対して、一連の増加するプログラミング電圧パルスを提供する。各パルスはパルス#によって識別可能である。

ステップ710：初期化する（現在のパルス# = 0）。

ステップ712：現在のパルス#を1だけ増加する（現在のパルス# = 現在のパルス# + 1）。

20

ステップ714：現在のパルスでグループをプログラムする。

ステップ720：第1のベリファイレベル V_1 に対して最初にベリファイする。 V_1 は、消去状態と第1のプログラム状態とを画定する。

ステップ722：ベリファイされた第1のプログラム状態を目標とするグループのどのセルもそれ以上プログラムすることを禁止する。

ステップ724：第1の所定の数 n_1 個のメモリセルが V_1 を越えてプログラムされたことが検出されたか？その場合はステップ726に進み、そうでない場合はステップ712に戻る。

ステップ726：第1の基準パルス# = 現在のパルス#を設定する。

30

ステップ728： i 番目の画定レベル V_i がその後のベリファイに含まれるスタート - ベリファイパルス# (i)を推定する（すなわち、スタート V_i @パルス# (i) = 第1の基準パルス# + パルス# (V_i)）。

ステップ730：現在のパルス#を1だけ増加する（現在のパルス# = 現在のパルス# + 1）。

ステップ732：現在のパルスでグループをプログラムする。

ステップ734：含まれるベリファイレベルのセットの各ベリファイレベルに対してベリファイする。各ベリファイレベルは、現在のパルス#以下のスタート - ベリファイパルス# (i)を有する（すなわち、セット内のすべての i についてスタート V_i @パルス# (i) = <現在のパルス#）。

40

ステップ736：グループ内のベリファイされたセルをそれ以上プログラムすることを禁止する。

ステップ738：グループ内のすべてのセルがベリファイされたか？その場合はステップ740に進み、そうでない場合はステップ730に戻る。

ステップ740：グループのプログラミングパスを完了する。

【0073】

本発明の好適な実施形態によれば、各メモリセルのしきい値電圧は、1セットのメモリ状態の中のそれぞれの目標状態に対応する値にプログラム可能であり、増加するパルスを用いるプログラミングと、1つ以上のベリファイレベルに対するベリファイとを交互に含むプログラミングパスでメモリセルのグループを同時にプログラムする方法であって、第

50

2の所定の数のセルがまだベリファイされていない各ベリファイレベルに対し、第2の所定の数のセルはベリファイされなくて、そのベリファイレベルに対してベリファイされたかのように扱われる。

このようにして、メモリセルのグループの分布の中から最も遅いビットは、ベリファイされなくてベリファイされたかのように扱われる。これによってベリファイが削減されることになる。このようなベリファイされないセルから生じるどんなエラーもエラー訂正コードによって訂正される。

【0074】

図20は、図15および図17に示されるプログラミング方法の最も遅いビットを処理する追加ステップを示す流れ図である。ステップ630は、第1の基準パルス数が設定された後のベリファイの第2段階である。最も遅いビットを処理する追加ステップは、ステップ630の一部として組み込まれる。ステップ636およびステップ638はステップ630に含まれるのが好ましい。

10

ステップ636：ベリファイレベルに対してベリファイされていない第2の所定の数のセル n_2 がグループに残っている場合は常に、ベリファイに含まれるこのベリファイレベルがベリファイから取り除かれる。

ステップ638：まだベリファイされていない第2の所定の数のセルをベリファイされたかのように（すなわち、擬似ベリファイまたは擬似パスとして）扱う。

【0075】

図21Aは、図20に示されるステップ630で無視される各ベリファイレベルに対する残りのビット数の特定の例を示す流れ図である。

20

ステップ639：第2の所定の数のセル n_2 はゼロである。

この実施形態では、本質的に最も遅いビットはすべてベリファイされる。ベリファイは削減されないことになる。

【0076】

図21Bは、図20に示されるステップ630で無視される各ベリファイレベルに対する残りのビット数のさらに別の特定の例を示す流れ図である。

ステップ639'：第2の所定の数のセル n_2 は1つである。

この実施形態では、各ベリファイレベルに対し、残る最後のビットはベリファイされなくてベリファイされたかのように扱われる。これによって1つ以上の追加パルスおよびベリファイが削減されることになる。

30

【0077】

本発明の別の態様によれば、各メモリセルのしきい値電圧は、1セットのメモリ状態中のそれぞれの目標状態に対応する値にプログラム可能であり、増加するパルスを用いるプログラミングと、1つ以上のベリファイレベルに対するベリファイとを交互に含むプログラミングパスでメモリセルのグループを同時にプログラムする方法であって、第2の所定の数のセルがまだベリファイされていない各ベリファイレベルに対し、第2の所定の数のセルはベリファイされなくて、そのベリファイレベルに対してベリファイされたかのように扱われる。ベリファイされたかのように扱われるセルは、介在するベリファイまたは禁止ステップなしに所定の数の追加プログラミングパルスが与えられる。

40

【0078】

図22は、図20に示されるステップ630で無視される各ベリファイレベルに対する残りのビット数に追加の所定の数のパルスが印加される、本発明の別の態様を示す流れ図である。

ステップ640：セルがベリファイされたかのように扱われた後に、所定の数の追加プログラミングパルスがセルに印加される。

1つの好適な実施形態では、所定の数の追加プログラミングパルスは1つである。このようにして、ベリファイされなかったこのような最も遅いビットに対して、追加パルスはこのようなビットをその目標状態に近づくようにプログラムするのに役立つことになる。

【0079】

50

本願明細書で言及されるすべての特許、特許出願、論文、書籍、仕様書、他の刊行物、文書および事柄は、あらゆる目的のためにその全体が本願明細書において参照により援用されている。援用されている刊行物、文書または本願明細書の事柄および文章のいずれかの間で用語の定義または使用が矛盾または衝突する場合には、本願明細書中の用語の定義または使用が優先するものとする。

本発明の様々な態様を特定の実施形態を参照しながら説明してきたが、当然のことながら、本発明は、添付の特許請求の範囲の全範囲内においてその権利が保護される権利を有する。

【 図 1 】

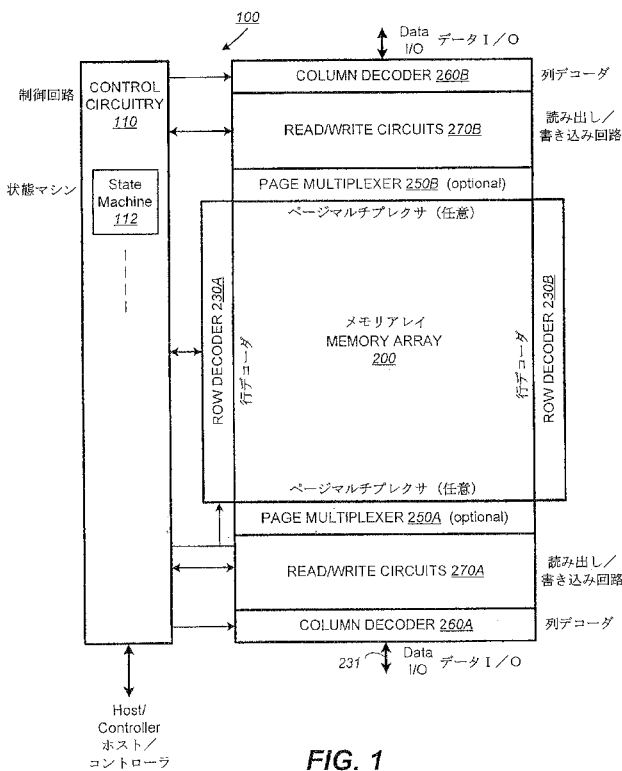


FIG. 1

【 図 2 】

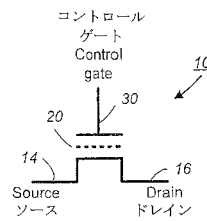


FIG. 2

【 図 3 】

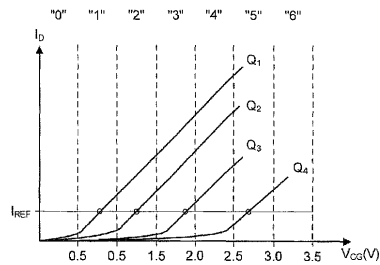


FIG. 3

【 図 4 】

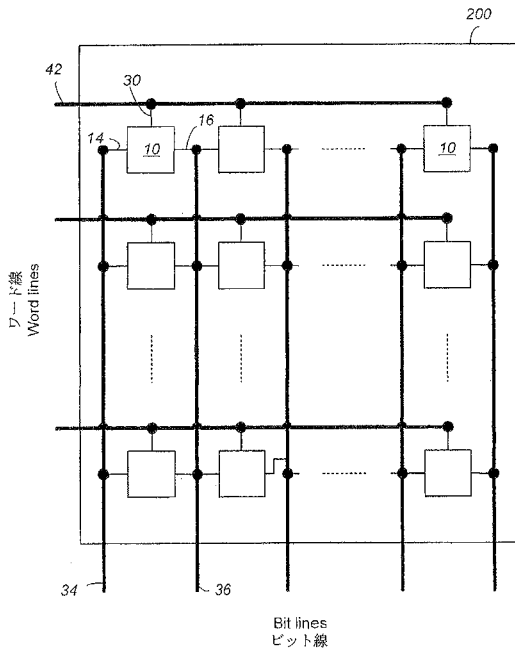


FIG. 4

【 図 5 A 】

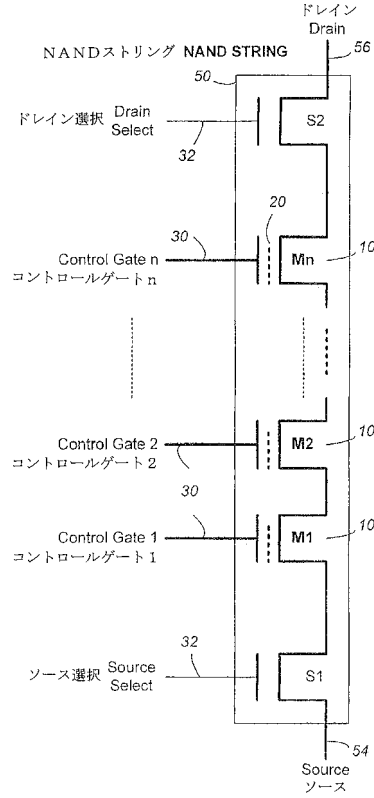


FIG. 5A

【 図 5 B 】

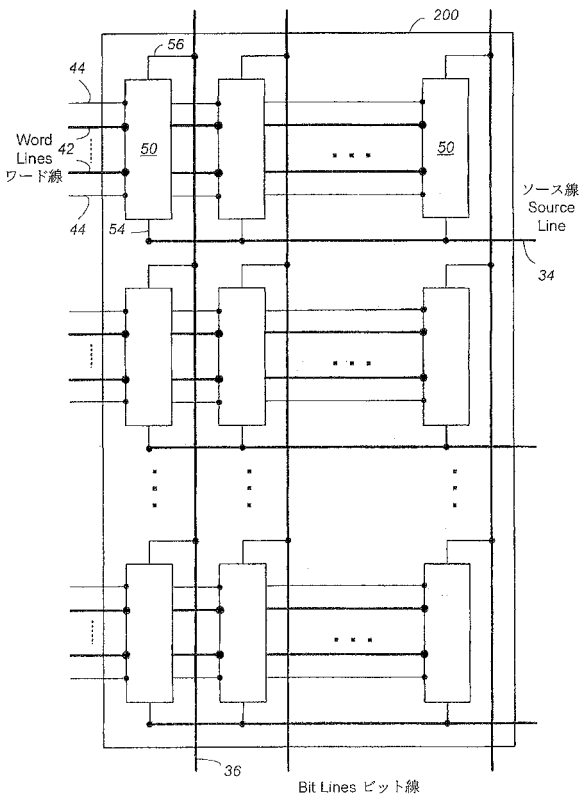


FIG. 5B

【 図 6 】

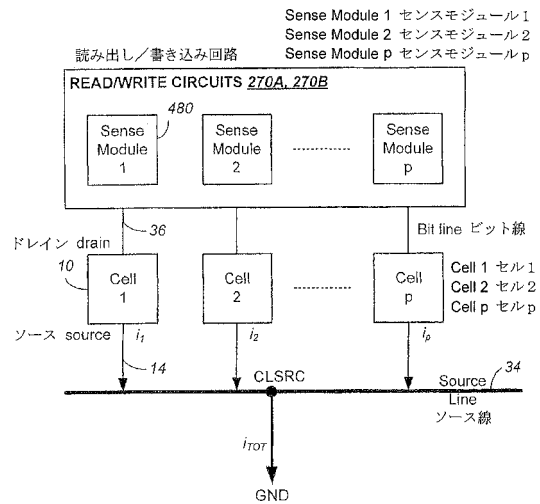


FIG. 6

【 図 7 】

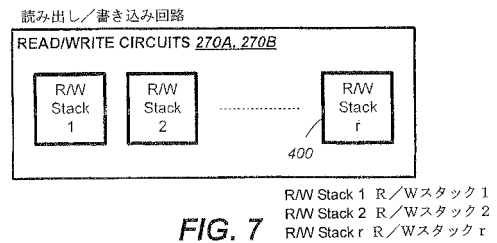
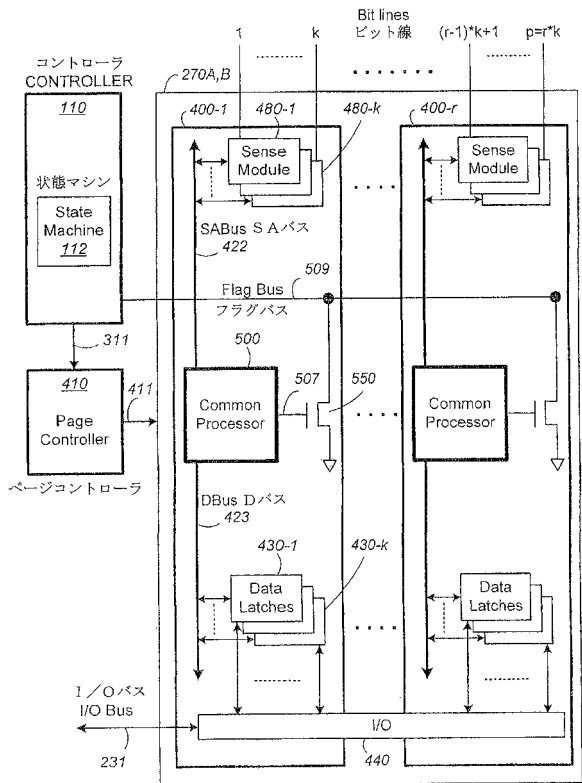


FIG. 7

R/W Stack 1 R/Wスタック 1
 R/W Stack 2 R/Wスタック 2
 R/W Stack r R/Wスタック r

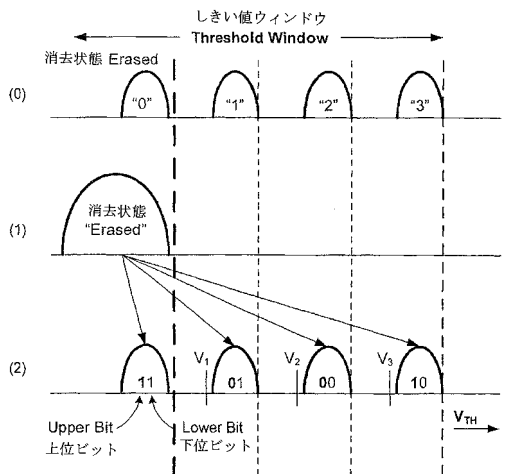
【 図 8 】



Sense Module センスモジュール
 Common Processor 共通プロセッサ
 Data Latch データラッチ

FIG. 8

【 図 9 】

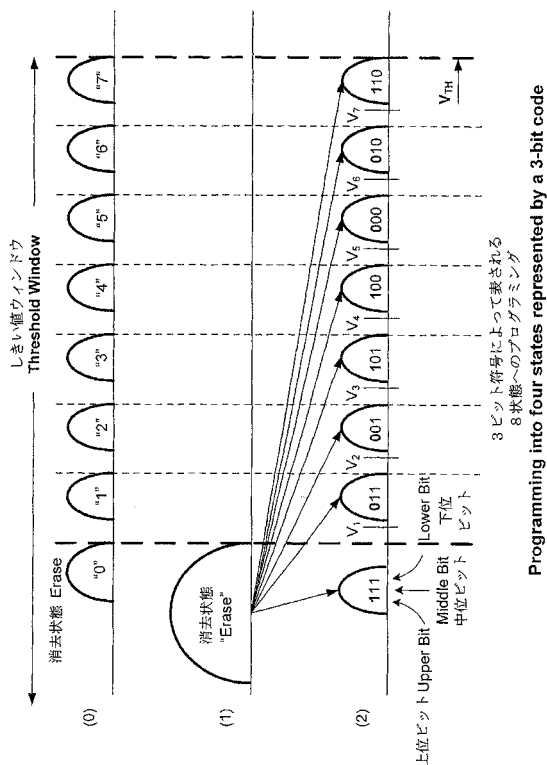


2ビット符号によって表される
 4状態へのプログラミング

Programming into four states represented by a 2-bit code

FIG. 9

【 図 10 】

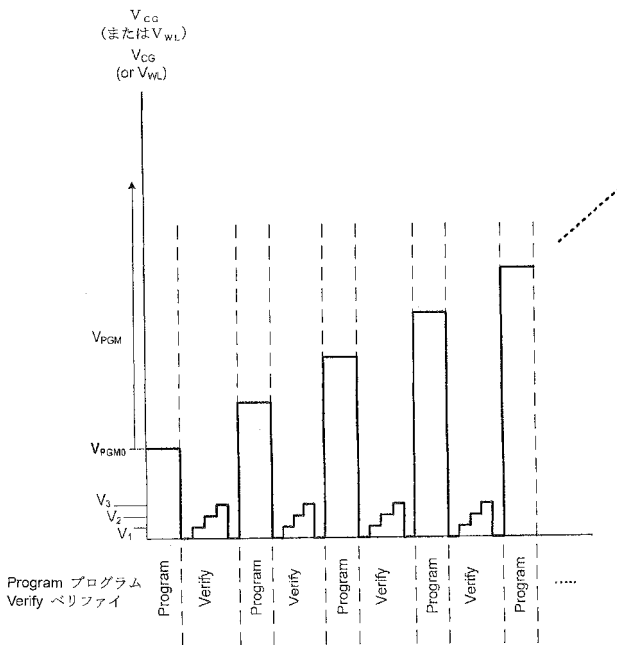


3ビット符号によって表される
 8状態へのプログラミング

Programming into four states represented by a 3-bit code

FIG. 10

【 図 11 】



Conventional Programming with alternating Program/Verify sequence
 for a 4-state memory

4状態メモリの場合の交互のプログラム/ベリファイ
 シーケンスを有する従来のプログラミング

FIG. 11

【 図 1 2 】

ビット/セル	状態の数 = N_s	プログラムパルスの推定数 = $N_p \sim N_s$	プログラムパルスのトレインパスの推定数	各ベリファイで検知される状態の数 = V_s	ベリファイサイクルの推定数 = $N_v = k * N_p * V_s$
--------	--------------	-------------------------------	---------------------	--------------------------	---------------------------------------

Bits/cell	# of States = N_s	Est. # of Program pulses = $N_p \sim N_s$	Est. # of Program pulse train passes	# of states sensed in each verify = V_s	Est. # of Verify Cycles = $N_v = k * N_p * V_s$
1	2	2	k	1	k^2
2	4	4	k	3	k^3
3	8	8	k	7	k^7
4	16	16	k	15	k^{15}
...
N	2^N	2^N	k	$2^N - 1$	$\sim k * 2^{2N}$

($k \sim 1$ から 4) ($k \sim 1$ to 4)

Estimated number of program pulses and verify cycles to program a page using conventional alternating program/verify algorithm

従来の交互のプログラム/ベリファイアルゴリズムを使用してページをプログラムするためのプログラムパルスおよびベリファイサイクルの推定数

FIG. 12

【 図 1 3 】

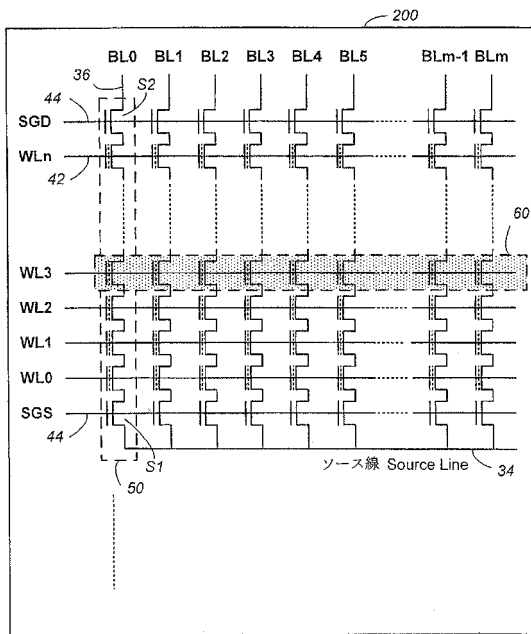


FIG. 13

【 図 1 4 】

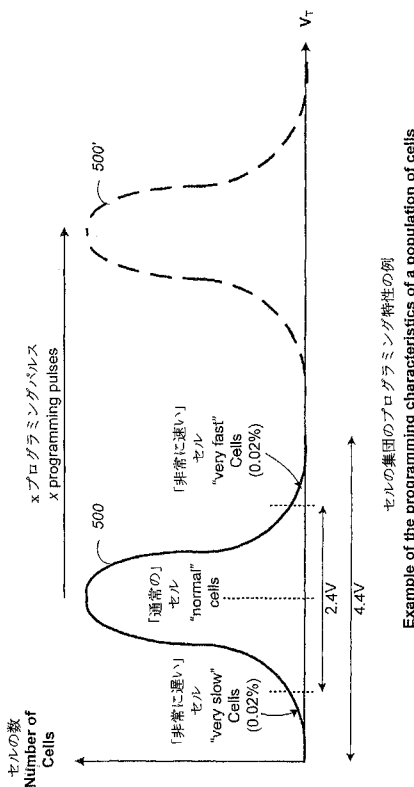
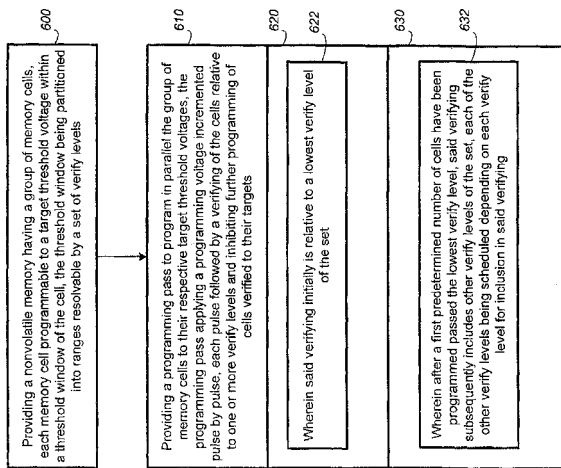


FIG. 14

Example of the programming characteristics of a population of cells

【 図 1 5 】



メモリセルのグループを有する不揮発性メモリを提供する。各メモリセルはセルのしきい値ウィンドウ内のしきい値電圧にプログラム可能であり、しきい値ウィンドウはベリファイレベルのセットによって分析可能な範囲に区分されている。

メモリセルのグループをそれぞれ目標しきい値電圧に同時にプログラムするためのプログラムミングパルスを提供する。プログラムミングパルスは、パルス毎に増加する。プログラムミング電圧を増加する。各パルスの後に、1つ以上のベリファイレベルに対してセルをベリファイすること、およびセルの目標状態に対してベリファイされたセルをそれ以上プログラムすることを禁止することが続く。

ベリファイは、まずセットのうちの最も低いベリファイレベルと比較される。

第1の所定の数のセルが最も低いベリファイレベルをプログラムした後に、ベリファイは、その後、セットのうちの他のベリファイレベルを含む、他のベリファイレベルのそれぞれは、ベリファイされるように、各ベリファイレベルに応じてスケジューリングされる。

FIG. 15

【 図 1 9 B 】

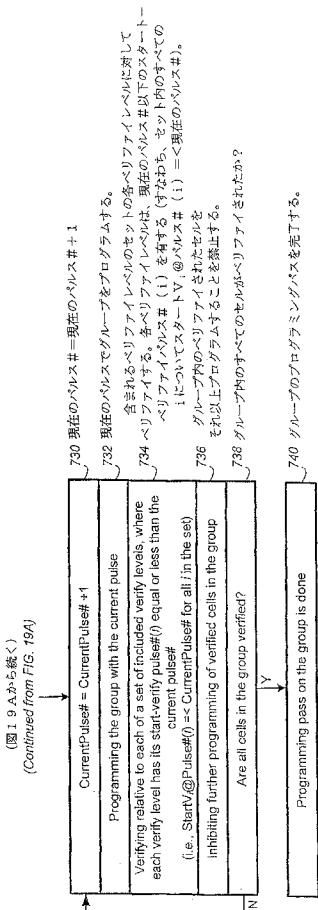


FIG. 19B

【 図 2 0 】

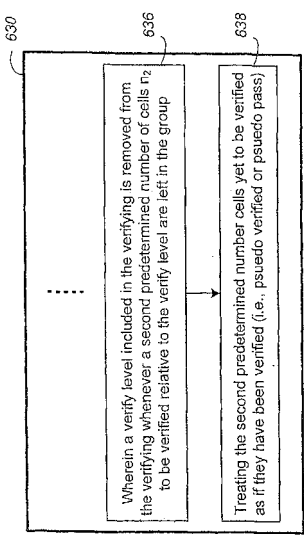


FIG. 20

ペリファイレベルに対してペリファイされていない
 第2の所定の数のセルn₂がグループに残っている
 場合は常に、ペリファイに含まれる
 このペリファイレベルがペリファイから取り除かれる。
 まだペリファイされていない第2の所定の数のセルを
 ペリファイされたかのように (すなわち、
 擬似ペリファイまたは擬似パスとして) 扱う。

【 図 2 1 A 】

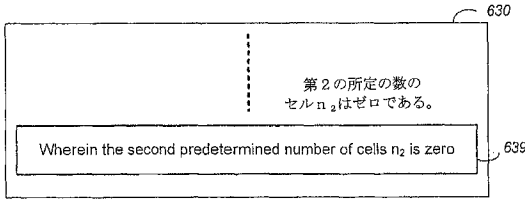


FIG. 21A

【 図 2 1 B 】

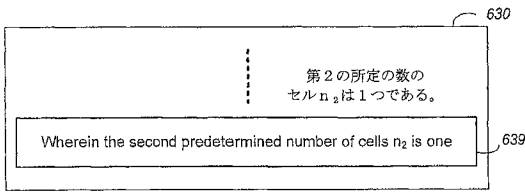


FIG. 21B

【 図 2 2 】

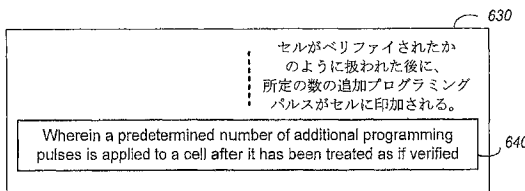


FIG. 22

【手続補正書】

【提出日】平成23年8月2日(2011.8.2)

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正の内容】

【図3】

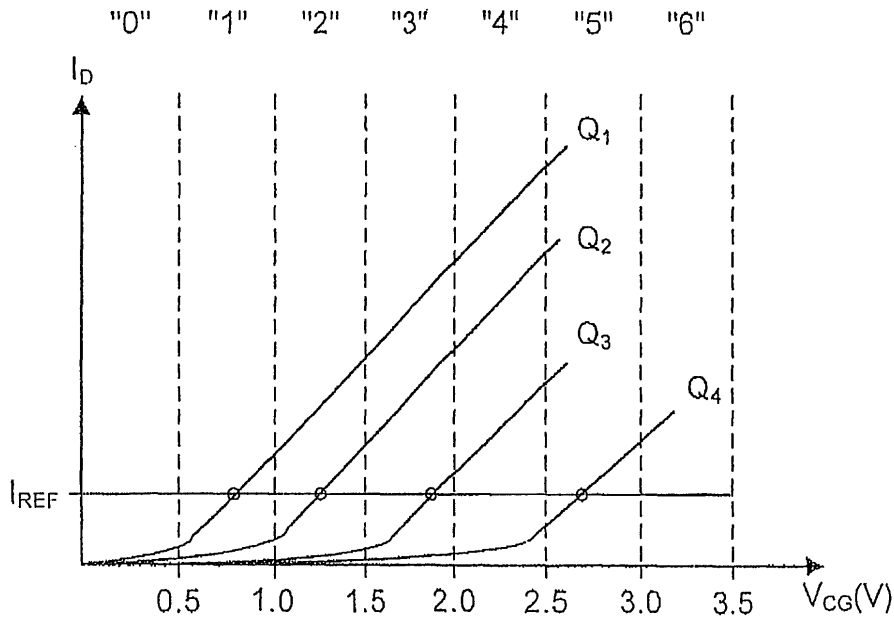


FIG. 3

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/059799

A. CLASSIFICATION OF SUBJECT MATTER INV. G11C11/56		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2004/053882 A1 (SANDISK CORP [US]) 24 June 2004 (2004-06-24)	1-7, 9-20, 22-26
Y	paragraph [0018] ~ paragraph [0043]; figure 3	8,21
Y	WO 2008/103586 A1 (SANDISK CORP [US]; MOKHLESI NIMA [US]) 28 August 2008 (2008-08-28) paragraph [0072]	8,21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 17 December 2009		Date of mailing of the international search report 29/12/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5318 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Harms, Juergen

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2009/059799

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2004053882	A1	24-06-2004	
		AT 357727 T	15-04-2007
		AU 2003296003 A1	30-06-2004
		CN 1720586 A	11-01-2006
		DE 60312729 T2	06-12-2007
		EP 1568041 A1	31-08-2005
		JP 2006509326 T	16-03-2006
		KR 20050101159 A	20-10-2005
		US 2006107136 A1	18-05-2006
		US 2004109362 A1	10-06-2004
WO 2008103586	A1	28-08-2008	
		EP 2122627 A1	25-11-2009

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(特許庁注：以下のものは登録商標)

1. フロッピー

(72)発明者 チェン, シャオロン

アメリカ合衆国、95131、カリフォルニア州、サンノゼ、マッケンジー ブレイス 2057
Fターム(参考) 5B125 BA02 BA19 CA01 DB02 DB07 DB08 DB09 DB12 DB14 DB18
DB19 DB20 DC03 DC10 DD06 DE08 EA01 EA05 EG17 FA01