

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45302

(P2010-45302A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.

H01L 21/3213 (2006.01)

F I

H01L 21/88

D

テーマコード (参考)

5 F 0 3 3

審査請求 未請求 請求項の数 5 O L (全 25 頁)

(21) 出願番号 特願2008-209849 (P2008-209849)
 (22) 出願日 平成20年8月18日 (2008. 8. 18)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100071526
 弁理士 平田 忠雄
 (74) 代理人 100099597
 弁理士 角田 賢二
 (74) 代理人 100124235
 弁理士 中村 恵子
 (74) 代理人 100124246
 弁理士 遠藤 和光
 (72) 発明者 油田 良太
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法、及び半導体装置

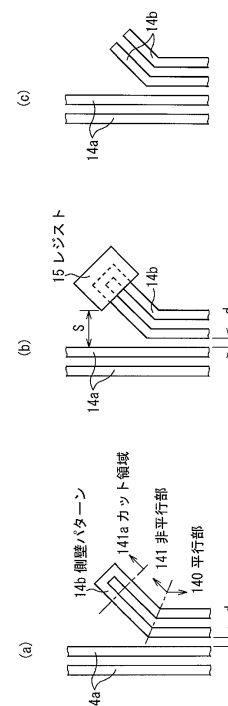
(57) 【要約】 (修正有)

【課題】 リソグラフィの解像限界を超えた寸法を有するパターンを形成する方法において、パターンの配列ピッチが小さくても、閉ループ形状のパターンの一部を切断することができる半導体装置の製造方法、及び半導体製造装置を提供する。

【解決手段】 下地層上に、線幅が一定の線状部を有する第1のパターン14aと、第1のパターンの線状部に近接した部分と線状部から離れた部分を有し、第1のパターンとは独立して、又は第1のパターンに接続されて閉ループ形状を構成する第2のパターン14bとを形成する。第2のパターンの第1のパターンの線状部から離れた部分141aで閉ループカットを行う。

【選択図】 図2

図2
 (第1の素子の形態)



【特許請求の範囲】

【請求項 1】

下地層上に、線幅が一定の線状部を有する第 1 のパターンと、前記第 1 のパターンの前記線状部に近接した部分と前記線状部から離れた部分を有し、前記第 1 のパターンとは独立して、又は前記第 1 のパターンに接続されて閉ループ形状を構成する第 2 のパターンとを形成する第 1 の工程と、

前記第 2 のパターンの前記第 1 のパターンの前記線状部から離れた部分で閉ループカットを行う第 2 の工程とを含む半導体装置の製造方法。

【請求項 2】

下地層上に、線幅が一定の線状部を有する第 1 のパターンと、前記第 1 のパターンの前記線状部との間に第 1 の間隔を有する、前記第 1 のパターンに平行な部分を備え、前記第 1 のパターンとは独立して、又は前記第 1 のパターンに接続されて閉ループ形状を構成する第 2 のパターンとを形成する第 1 の工程と、

前記第 1 のパターンの前記線状部との間に前記第 1 の間隔よりも大きい第 2 の間隔を有してレジストを前記第 2 のパターンの一部に形成し、前記レジストが形成された前記第 2 のパターンの部分で閉ループカットを行う第 2 の工程とを含む半導体装置の製造方法。

【請求項 3】

下地層上に、芯材パターンを形成し、前記芯材パターンの側面に側壁パターンを形成した後、前記芯材パターンを除去することにより、線幅が一定の線状部を有する閉ループ形状の第 1 のパターンと、前記第 1 のパターンの前記線状部に近接した部分と前記線状部から離れた部分とを有し、前記第 1 のパターンとは独立して、又は前記第 1 のパターンに接続されて閉ループ形状を構成する第 2 のパターンとを形成する第 1 の工程と、

前記第 2 のパターンの前記第 1 のパターンの前記線状部から離れた部分で閉ループカットを行う第 2 の工程とを含む半導体装置の製造方法。

【請求項 4】

下地層上に、所定の周期で配列された複数の第 1 のパターンからなる第 1 のパターン群と、前記所定の周期で配列された複数の第 2 のパターンからなり、前記複数の第 2 のパターンのうち、少なくとも前記第 1 の配線パターン群に最も近接する第 2 のパターンは、前記第 1 のパターン群に平行な平行部と、前記第 2 のパターン群から離れた部分とを有し、前記第 1 のパターン群とは独立して、又は前記第 1 のパターン群に接続されて閉ループ形状を構成する第 2 のパターン群とを形成する第 1 の工程と、

前記第 2 のパターンの前記第 1 のパターン群から離れた部分で閉ループカットを行う第 2 の工程とを含む半導体装置の製造方法。

【請求項 5】

所定の周期で配列された複数の第 1 の配線パターンからなる第 1 の配線パターン群と、前記所定の周期で配列された複数の第 2 の配線パターンからなる第 2 の配線パターン群とを備え、

前記複数の第 2 の配線パターンのうち、少なくとも前記第 1 の配線パターン群に最も近接する第 2 の配線パターンは、前記第 1 の配線パターン群に平行な平行部と、前記平行部に接続して前記第 1 の配線パターン群から遠ざかるように設けられ、かつ前記第 1 の配線パターン群に平行でない非平行部とを有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法、及び半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置の微細化に伴い、リソグラフィの解像限界を超えた寸法を有するパターンを形成する方法が求められている。

【0003】

10

20

30

40

50

その一つの方法として、芯材の側面に側壁パターンを形成し、芯材を除去した後、側壁パターンをマスクにして下地の被加工膜をエッチングする方法が知られている（例えば、特許文献１参照）。

【０００４】

側壁パターンおよび側壁パターンをマスクにして形成された配線パターンは、閉ループ形状となるため、その一部を切断する閉ループカットの工程が必要となる。閉ループカットを行う箇所の近くに他のパターンが存在する場合は、一般に、リソグラフィの位置合わせのズレ等に対するマージン（裕度）を考慮して他のパターンとの間にスペースを設けている。

【０００５】

10

【特許文献１】特開平８－５５９０８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００６】

本発明の目的は、パターンの配列ピッチが小さくても、閉ループ形状のパターンの一部を切断することができる半導体装置の製造方法、及び半導体製造装置を提供することにある。

【課題を解決するための手段】

【０００７】

本発明の一態様は、上記目的を達成するため、下地層上に、線幅が一定の線状部を有する第１のパターンと、前記第１のパターンの前記線状部に近接した部分と前記線状部から離れた部分を有し、前記第１のパターンとは独立して、又は前記第１のパターンに接続されて閉ループ形状を構成する第２のパターンとを形成する第１の工程と、前記第２のパターンの前記第１のパターンの前記線状部から離れた部分で閉ループカットを行う第２の工程とを含む半導体装置の製造方法を提供する。

20

【０００８】

本発明の一態様は、上記目的を達成するため、下地層上に、線幅が一定の線状部を有する第１のパターンと、前記第１のパターンの前記線状部との間に第１の間隔を有する、前記第１のパターンに平行な部分を備え、前記第１のパターンとは独立して、又は前記第１のパターンに接続されて閉ループ形状を構成する第２のパターンとを形成する第１の工程と、前記第１のパターンの前記線状部との間に前記第１の間隔よりも大きい第２の間隔を有してレジストを前記第２のパターンの一部に形成し、前記レジストが形成された前記第２のパターンの部分で閉ループカットを行う第２の工程とを含む半導体装置の製造方法を提供する。

30

【０００９】

本発明の一態様は、上記目的を達成するため、下地層上に、芯材パターンを形成し、前記芯材パターンの側面に側壁パターンを形成した後、前記芯材パターンを除去することにより、線幅が一定の線状部を有する閉ループ形状の第１のパターンと、前記第１のパターンの前記線状部に近接した部分と前記線状部から離れた部分とを有し、前記第１のパターンとは独立して、又は前記第１のパターンに接続されて閉ループ形状を構成する第２のパターンとを形成する第１の工程と、前記第２のパターンの前記第１のパターンの前記線状部から離れた部分で閉ループカットを行う第２の工程とを含む半導体装置の製造方法を提供する。

40

【００１０】

本発明の一態様は、上記目的を達成するため、下地層上に、所定の周期で配列された複数の第１のパターンからなる第１のパターン群と、前記所定の周期で配列された複数の第２のパターンからなり、前記複数の第２のパターンのうち、少なくとも前記第１の配線パターン群に最も近接する第２のパターンは、前記第１のパターン群に平行な平行部と、前記第２のパターン群から離れた部分とを有し、前記第１のパターン群とは独立して、又は前記第１のパターン群に接続されて閉ループ形状を構成する第２のパターン群とを形成す

50

る第 1 の工程と、前記第 2 のパターンの前記第 1 のパターン群から離れた部分で閉ループカットを行う第 2 の工程とを含む半導体装置の製造方法を提供する。

【0011】

本発明の一態様は、上記目的を達成するため、所定の周期で配列された複数の第 1 の配線パターンからなる第 1 の配線パターン群と、前記所定の周期で配列された複数の第 2 の配線パターンからなる第 2 の配線パターン群とを備え、前記複数の第 2 の配線パターンのうち、少なくとも前記第 1 の配線パターン群に最も近接する第 2 の配線パターンは、前記第 1 の配線パターン群に平行な平行部と、前記平行部に接続して前記第 1 の配線パターン群から遠ざかるように設けられ、かつ前記第 1 の配線パターン群に平行でない非平行部とを有する半導体装置を提供する。

10

【発明の効果】

【0012】

本発明によれば、パターンの配列ピッチが小さくても、閉ループ形状のパターンの一部を切断することができる。

【発明を実施するための最良の形態】

【0013】

本発明の実施の形態に係る半導体装置の製造方法は、下地層上に、線幅が一定の線状部を有する第 1 のパターンと、前記第 1 のパターンの前記線状部に近接した部分と前記線状部から離れた部分を有し、前記第 1 のパターンとは独立して、又は前記第 1 のパターンに接続されて閉ループ形状を構成する第 2 のパターンとを形成する第 1 の工程と、前記第 2 のパターンの前記第 1 のパターンの前記線状部から離れた部分で閉ループカットを行う第 2 の工程とを含む。

20

【0014】

下地層は、シリコン基板等の基板でもよく、第 1 及び第 2 のパターンをマスクとして用いて加工される被加工膜でもよい。また、下地層と第 1 及び第 2 のパターンとの間に被加工膜が形成されていてもよい。

【0015】

第 1 及び第 2 のパターンは、メモリデバイスを構成するビット線及びワード線や、ライン・アンド・スペースによる配線でもよいし、マスクとして用いられるものでもよい。

【0016】

30

第 1 のパターンは、例えば、閉ループ形状を有するものでもよく、ラインパターンでもよい。また、第 1 のパターンは、線幅が一定の線状部よりも線幅が広い部分を有していてもよい。

【0017】

第 2 のパターンの第 1 のパターンの線状部に近接した部分は、例えば、第 1 のパターンの線状部に近接し、かつ線状部に平行な平行部である。第 2 のパターンの平行部は、第 1 のパターンの線状部と平行であれば、直線状でも曲線状でもよい。

【0018】

〔第 1 の実施の形態〕

図 1 (a) ~ (h) は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す断面図、図 2 (a) ~ (c) は、図 1 (d) に示す工程と図 1 (e) に示す工程との間に行われる閉ループカット工程を示す平面図である。

40

【0019】

図 1 (a) に示すように、シリコン基板等の半導体基板上に、下地層 10 を介して配線層を形成するための配線材料 (被加工膜) 11 を形成し、配線材料 11 上にマスク材料 12 を形成し、レジストを用いたリソグラフィ及びエッチングによりマスク材料 12 上に芯材パターン 13a, 13b を形成する。芯材パターン 13a, 13b は、例えば、リソグラフィの解像限界 W に近い線幅 (例えば 40 nm) を有する。

【0020】

配線材料 11 として、例えば、Cu、W、Al 等を用いることができる。マスク材料 1

50

2として、例えば、酸化シリコン膜等を用いることができる。芯材パターン13a, 13bとして、例えば、アモルファスシリコン膜等を用いることができる。

【0021】

次に、図1(b)に示すように、異方性エッチング等により芯材パターン13a, 13bの幅を1/2に細くするスリミング処理を行う。これにより、解像限界Wの約1/2の線幅(例えば20nm)の芯材パターン13a, 13bが得られる。

【0022】

次に、図1(c)に示すように、スリミング処理後の芯材パターン13a, 13bの側面を含めた全面に側壁パターンの材料となる薄膜を堆積させ、この薄膜のうち芯材パターン13a, 13bの上面、及びマスク材料12の表面に堆積した薄膜を異方性エッチング等を用いてエッチング除去することにより、芯材パターン13a, 13bの側面に側壁パターン14a, 14bを形成する。側壁パターン14a, 14bは、例えば、解像限界Wの約1/2の線幅と間隔を有する。

【0023】

側壁パターン14a, 14bは、芯材パターン13a, 13bに対する選択比が高い材料により形成され、例えば、芯材パターン13a, 13bがアモルファスシリコン膜から形成された場合、窒化シリコン膜等を材料に用いることができる。

【0024】

次に、図1(d)に示すように、芯材パターン13a, 13bを、例えば、CDE (Chemical Dry Etching)、RIE (Reactive Ion Etching)等のドライエッチングによりエッチング除去して芯材パターン13a, 13bに対して選択比が高い側壁パターン14a, 14bを残存させる。このとき、側壁パターン14a, 14bの両方の端部は、閉ループ形状となっている。

【0025】

図2(a)において、側壁パターン14bは、閉ループカットの対象である対象パターン(第2のパターン)を示し、側壁パターン14aは、側壁パターン14bに隣接する隣接パターン(第1のパターン)を示す。本実施の形態の場合、側壁パターン14a, 14bは、線幅が一定の線状部から構成されている。なお、隣接パターンは、閉ループカットの対象であってもよい。側壁パターン14bを閉ループカットするためには、リソグラフィの位置合わせズレ等に対するマージンを考慮して、レジスト15が側壁パターン14aにかからないように側壁パターン14bの閉ループカットする領域を側壁パターン14aから離す必要がある。そのために、側壁パターン14bの形状を以下のようにしている。

【0026】

すなわち、側壁パターン14bは、側壁パターン14aとの間に間隔d(第1の間隔)を有して側壁パターン14aに近接し、かつ側壁パターン14aに平行な平行部140と、平行部140に接続し、側壁パターン14aに平行でない非平行部141とを有し、非平行部141に閉ループカットされるカット領域141aを設けている。非平行部141は、平行部140と非平行部141との接合点から側壁パターン14aから遠ざかるように斜め方向に曲げているが、直角方向に曲げてよい。

【0027】

図2(b)に示すように、側壁パターン14bの端部のカット領域141a上に側壁パターン14aとの間にスペースS(第2の間隔)を設けてレジスト15を形成し、図2(c)に示すように、リソグラフィによって側壁パターン14bのカット領域141aをカットする。スペースSは、側壁パターン14aと側壁パターン14bとの間の間隔d(第1の間隔)よりも大きく設定されている。

【0028】

次に、図1(e)に示すように、側壁パターン14a, 14bをマスクとして用いてマスク材料12をCF₄、CHF₃等のガスを用いたドライエッチング等によりエッチング除去してマスクパターン12a, 12bを形成し、図1(f)に示すように、側壁パターン14a, 14bをウェットエッチング等により除去する。

【0029】

次に、図1(g)に示すように、マスクパターン12a, 12bを用いて配線材料11をエッチングして配線パターン11a, 11bを形成し、図1(h)に示すように、ウェットエッチング等によりマスクパターン12a, 12bを除去する。

【0030】

第1の実施の形態によれば、側壁パターンの配列ピッチがリソグラフィの解像限界Wよりも小さくても、側壁パターンの閉ループカットを行うことができる。

【0031】

[第2の実施の形態]

図3(a)～(h)は、本発明の第2の実施の形態に係る半導体装置の製造工程を示す断面図、図4(a)～(c)は、図3(h)の工程の後に行われる閉ループカット工程を示す平面図である。第1の実施の形態では、予め配線材料を形成しておき、側壁パターンの端部を閉ループカットした後に配線材料から配線パターンを形成したが、本実施の形態は、閉ループ形状の配線パターンを形成した後に配線パターンの端部を閉ループカットするものである。

【0032】

図3(a)に示すように、シリコン基板等の半導体基板上に、下地層10を介してマスク材料12を形成し、レジストを用いたリソグラフィ及びエッチングによりマスク材料12上に芯材パターン13a, 13bを形成する。芯材パターン13a, 13bは、例えば、リソグラフィの解像限界Wに近い線幅(例えば40nm)を有する。

【0033】

マスク材料12として、例えば、酸化シリコン膜等を用いることができる。芯材パターン13a, 13bとして、例えば、アモルファスシリコン膜等を用いることができる。

【0034】

次に、図3(b)に示すように、芯材パターン13a, 13bの幅を異方性エッチング等により1/2に細くするスリミング処理を行う。これにより、解像限界Wの約1/2の線幅(例えば20nm)の芯材パターン13a, 13bが得られる。

【0035】

次に、図3(c)に示すように、スリミング処理後の芯材パターン13a, 13bの側面を含めた全面に側壁パターンの材料となる薄膜を堆積させ、この薄膜のうち芯材パターン13a, 13bの上面、及びマスク材料12の表面に堆積した薄膜を異方性エッチング等を用いてエッチング除去することにより、芯材パターン13a, 13bの側面に側壁パターン14a, 14bを形成する。側壁パターン14a, 14bは、例えば、解像限界Wの約1/2の線幅と間隔を有する。

【0036】

次に、図3(d)に示すように、芯材パターン13a, 13bを、例えば、CDE、RIE等のドライエッチングによりエッチング除去して芯材パターン13a, 13bに対して選択比が高い側壁パターン14a, 14bを残存させる。側壁パターン14a, 14bの両方の端部は、第1の実施の形態と同様に、閉ループ形状となっている。

【0037】

次に、図3(e)に示すように、側壁パターン14a, 14bをマスクとして用いてマスク材料12をCF₄、CHF₃等のガスを用いたドライエッチング等によりエッチング除去してマスクパターン12a, 12bを形成し、図3(f)に示すように、側壁パターン14a, 14bをウェットエッチング等により除去する。

【0038】

次に、図3(g)に示すように、マスクパターン12a, 12b間の溝を含むマスクパターン12a, 12b表面全面に配線材料11をスパッタリング、メッキ法等により形成した後、溝の外側の配線材料11をCMP(Chemical Mechanical Polishing)により除去することにより、配線材料11をマスクパターン12a, 12b間の溝に充填する。配線材料11として、例えば、Cu、W、Al等を用いることができる。

【0039】

次に、図3(h)に示すように、マスクパターン12a、12bをエッチング除去して配線パターン11a、11b、及び配線パターン11a、11bよりも幅の広い幅広パターン11eを形成する。配線パターン11a、11bの両方の端部は、閉ループ形状となっている。

【0040】

図4(a)において、配線パターン11bは、閉ループカットの対象である対象パターン(第2のパターン)を示し、配線パターン11aは、対象パターンに隣接する隣接パターン(第1のパターン)を示す。本実施の形態の場合、配線パターン11a、11bは、線幅が一定の線状部から構成されている。なお、隣接パターンは、閉ループカットの対象であってもよい。配線パターン11bを閉ループカットするためには、リソグラフィの位置合わせズレ等に対するマージンを考慮して、レジスト15が配線パターン11aにかからないように配線パターン11bの閉ループカットする領域を配線パターン11aから離す必要がある。そのために、配線パターン11bの形状を以下のようにしている。

【0041】

すなわち、配線パターン11bは、配線パターン11aに平行な平行部110と、平行部110に接続し、配線パターン11aに平行でない非平行部111とを有し、非平行部111に閉ループカットされるカット領域111aを設けている。非平行部111は、平行部110と非平行部111との接合点から配線パターン11aから遠ざかるように斜め方向に曲げているが、直角方向に曲げてもよい。

【0042】

図4(b)に示すように、配線パターン11bの端部のカット領域111a上に配線パターン11aとの間にスペースS(第2の間隔)を設けてレジスト15を形成し、図4(c)に示すように、リソグラフィによって配線パターン11bのカット領域111aをカットする。スペースSは、配線パターン11aと配線パターン11bとの間の間隔d(第1の間隔)よりも大きく設定されている。

【0043】

第2の実施の形態によれば、配線パターンの配列ピッチがリソグラフィの解像限界Wよりも小さくても、配線パターンの閉ループカットを行うことができる。

【0044】

図5は、本発明の第3の実施の形態に係る側壁パターンの一例を示し、(a)は平面図、(b)は、(a)のA部詳細図である。第1の実施の形態では、第1のパターンとしての側壁パターン14aが直線状であり、第2のパターンとしての側壁パターン14bが非直線状の折れ曲がった形状を有していたが、本実施の形態は、第1のパターンとしての側壁パターン14aが折れ曲がった形状を有し、第2のパターンとしての側壁パターン14bが直線状であり、端部に閉ループカットされるカット領域141aを設けている。第2のパターンとしての側壁パターン14bは、側壁パターン14aとの間に間隔d(第1の間隔)を有して側壁パターン14aに近接し、かつ側壁パターン14aに平行な平行部140と、平行部140に接続し、側壁パターン14aに平行でない非平行部141とを有し、非平行部141に閉ループカットされるカット領域141aを設けている。

【0045】

第3の実施の形態によれば、第1の実施の形態と同様に、側壁パターンの配列ピッチがリソグラフィの解像限界Wよりも小さくても、側壁パターンの閉ループカットを行うことができる。

【0046】

次に、第1の実施の形態の半導体装置を相変化メモリに適用した実施例1～5について説明する。実施例1～5は、各配線パターン群20A、20Bを構成する配線パターン11a、11bが、それぞれ線幅20nmの36本からなる場合を示す。

【実施例1】

【0047】

図 6 (a) は、本発明の実施例 1 に係る相変化メモリの配線層の配線パターンの概略の構成を示す平面図、(b) は (a) の B 部詳細図である。

【0048】

この相変化メモリ 1 は、図 6 (a) に示すように、メモリセル領域 2 を有し、このメモリセル領域 2 の左右に、ワード線 (WL) が引き出される WL 引き出し領域 3 を設け、メモリセル領域 2 の上下に、ビット線 (BL) が引き出される BL 引き出し領域 4 を設け、メモリセル領域 2 の下層に周辺回路を配置している。

【0049】

相変化メモリ 1 は、x 方向に伸びる配線パターン 11a, 11b からなる複数のビット線と、y 方向に伸びる配線パターン 21a, 21b からなる複数のワード線と、これらのビット線とワード線との各交差部に配置された複数のメモリセルとを有する。メモリセルは、カルコゲナイド等から形成された可変抵抗素子と、ショットキーダイオード等のダイオードとの直列回路から構成されている。この相変化メモリ 1 は、セル選択のための信号線を省略することができ、セルの高集積化が可能になる。

【0050】

複数のワード線を形成した下部配線層と、下部配線層上に複数のメモリセルからなるメモリ層と、メモリ層上に複数のビット線を形成した上部配線層とからセルアレイを構成し、複数のセルアレイを積層状態でシリコン基板上に配置することにより、三次元メモリ構造を構成することができる。

【0051】

上側配線層を構成するビット線は、図 6 (a) に示すように、全体的に右側にシフトした位置に形成された所定の本数の配線パターン (第 1 のパターン) 11a からなる第 1 の配線パターン群 20A と、全体的に左側にシフトした位置に形成された所定の本数の配線パターン (第 2 のパターン) 11b からなる第 2 の配線パターン群 20B とから構成されている。

【0052】

下側配線層を構成するワード線は、図 6 (a) に示すように、全体的に上側にシフトした位置に形成された所定の本数の配線パターン (第 1 のパターン) 21a からなる第 1 の配線パターン群 20C と、全体的に下側にシフトした位置に形成された所定の本数の配線パターン (第 2 のパターン) 21b からなる第 2 の配線パターン群 20D とから構成されている。

【0053】

配線パターン 11a, 11b は、一方の端部に閉ループカットされた終端 11c を有し、他方の端部に芯材を残す処理を行った後に閉ループカットされて形成されたコンタクトフリンジ 11d を有する。終端 11c 及びコンタクトフリンジ 11d は、WL 引き出し領域 3 に設けられている。配線パターン 21a, 21b は、一方の端部に閉ループカットされた終端 21c を有し、他方の端部に芯材を残す処理を行った後に閉ループカットされて形成されたコンタクトフリンジ 21d を有する。終端 21c 及びコンタクトフリンジ 21d は、BL 引き出し領域 4 に設けられている。

【0054】

上側配線層上の第 2 の配線パターン群 20B を構成する配線パターン 11b は、図 6 (b) に示すように、第 1 の配線パターン群 20A 寄りの複数本の配線パターン 11b が平行部 110 と、非平行部 111 とを有し、中央の複数本の配線パターン 11b は、非平行部 111 を有していない。このような構成は、第 1 の配線パターン群 20A も同様であり、下側配線層上の第 1 及び第 2 の配線パターン群 20C, 20D も同様である。

【0055】

図 7 (a) ~ (f) は、本発明の実施例 1 の製造工程の一例を示し、上側配線層の要部平面図である。図 7 (a) ~ (d) は、それぞれ図 1 (a) ~ (d) に対応し、図 7 (e) は、図 2 (b) に対応し、図 7 (f) は、図 1 (h) に対応する。

【0056】

第1の実施の形態と同様に、下地層上に、配線材料及びマスク材料を形成した後、マスク材料上に、図7(a)に示すように、芯材パターン13a, 13bを形成する。第2の配線パターン群20Bのうち、第1の配線パターン群20A寄りの複数本の芯材パターン13bは、先端側が第1の配線パターン群20Aから遠ざかるように斜め方向に曲げられている。

【0057】

次に、図7(b)に示すように、芯材パターン13a, 13bのスリミング処理を行い、図7(c)に示すように、スリミング処理後の芯材パターン13a, 13bの側面に側壁パターン14a, 14bを形成し、図7(d)に示すように、芯材パターン13a, 13bをエッチング除去して側壁パターン14a, 14bを残存させる。

10

【0058】

次に、図7(e)に示すように、側壁パターン14bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けて六角形のレジスト15を形成し、リソグラフィによって側壁パターン14bのカット領域をカットする。第1の配線パターン群20Aとレジスト15との間のスペースSは、リソグラフィの位置合せズレ等に対するマージンを考慮して、例えば、140nmとする。

【0059】

次に、側壁パターン14a, 14bをマスクとして用いてマスク材料をエッチング除去してマスクパターンを形成し、側壁パターン14a, 14bを除去する。次に、マスクパターンを用いて配線材料をエッチングして配線パターン11a, 11bを形成し、マスクパターンを除去する。図7(f)に示すように、線幅及び間隔が20nmの配線パターン11a, 11bが得られる。

20

【0060】

実施例1によれば、側壁パターンの配列ピッチがリソグラフィの解像限界Wよりも小さくても、側壁パターンの閉ループカットを行うことができる。また、第1及び第2の配線パターン群を左右と上下に交互にシフトさせることにより、引き出し領域3、4の面積を小さくすることができ、相変化メモリのセルの高集積化が可能になる。

【実施例2】

【0061】

図8(a)～(c)は、本発明の実施例2の製造工程の一例を示し、上側配線層の要部平面図である。図8(a)は、図1(d)に対応し、図8(b)は、図2(b)に対応し、図8(c)は、図1(h)に対応する。なお、図1(a)～図1(c)に対応する図は省略する。

30

【0062】

実施例2の第2の配線パターン群20Bを構成する側壁パターン14bは、図8(a)に示すように、第1の配線パターン群20Aに最も近い側壁パターン14b同士が接続されて閉ループ形状となり、他の34本の側壁パターン14bは、隣同士で閉ループ形状となっている。

【0063】

その後は、図8(b)に示すように、側壁パターン14bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けて六角形のレジスト15を形成し、リソグラフィによって側壁パターン14bのカット領域をカットし、図8(c)に示すように、実施例1と同様の配線パターン11a, 11bを形成する。

40

【実施例3】

【0064】

図9(a)～(c)は、本発明の実施例3の製造工程の一例を示し、上側配線層の要部平面図である。図9(a)は、図1(d)に対応し、図9(b)は、図2(b)に対応し、図9(c)は、図1(h)に対応する。なお、図1(a)～図1(c)に対応する図は省略する。

【0065】

50

実施例 3 の第 2 の配線パターン群 20 B を構成する側壁パターン 14 b は、図 9 (a) に示すように、第 1 の配線パターン群 20 A に最も近い側壁パターン 14 b 同士が他の側壁パターン 14 b の端部位置に沿って接続された閉ループ形状となり、他の 34 本の側壁パターン 14 b は、隣同士で閉ループ形状となっている。

【0066】

その後は、図 9 (b) に示すように、側壁パターン 14 b の端部のカット領域上に第 1 の配線パターン群 20 A との間にスペース S を設けて六角形のレジスト 15 を形成し、リソグラフィによって側壁パターン 14 b のカット領域をカットし、図 9 (c) に示すように、実施例 1 と同様の配線パターン 11 a, 11 b を形成する。

【実施例 4】

【0067】

図 10 (a) ~ (c) は、本発明の実施例 4 の製造工程の一例を示し、上側配線層の要部平面図である。図 10 (a) は、図 1 (d) に対応し、図 10 (b) は、図 2 (b) に対応し、図 10 (c) は、図 1 (h) に対応する。なお、図 1 (a) ~ 図 1 (c) に対応する図は省略する。

【0068】

実施例 4 の第 2 の配線パターン群 20 B を構成する側壁パターン 14 b は、図 10 (a) に示すように、第 1 の配線パターン群 20 A に近い側の 26 本の側壁パターン 14 b は、第 1 の配線パターン群 20 A に最も近いものから順に互いに接続された閉ループ形状となっている。また、それらの内側の 10 本の側壁パターン 14 b は、隣同士で閉ループ形状となっている。

【0069】

その後は、図 10 (b) に示すように、側壁パターン 14 b の端部のカット領域上に第 1 の配線パターン群 20 A との間にスペース S を設けて六角形のレジスト 15 を形成し、リソグラフィによって側壁パターン 14 b のカット領域をカットし、図 10 (c) に示すように、実施例 1 と同様の配線パターン 11 a, 11 b を形成する。

【実施例 5】

【0070】

図 11 (a) ~ (c) は、本発明の実施例 5 の製造工程の一例を示し、上側配線層の要部平面図である。図 11 (a) は、図 1 (d) に対応し、図 11 (b) は、図 2 (b) に対応し、図 11 (c) は、図 1 (h) に対応する。なお、図 1 (a) ~ 図 1 (c) に対応する図は省略する。

【0071】

実施例 5 の第 2 の配線パターン群 20 B を構成する側壁パターン 14 b は、図 11 (a) に示すように、第 1 の配線パターン群 20 A に最も近いものから順に互いに接続された閉ループ形状となっている。

【0072】

その後は、図 11 (b) に示すように、側壁パターン 14 b の端部のカット領域上に第 1 の配線パターン群 20 A との間にスペース S を設けて六角形のレジスト 15 を形成し、リソグラフィによって側壁パターン 14 b のカット領域をカットし、図 10 (c) に示すように、配線パターン 11 a, 11 b を形成する。

【0073】

上記の実施例 1 ~ 5 によれば、ラインアンドスペースで構成された側壁パターンの配列ピッチがリソグラフィの解像限界 W よりも小さくても、側壁パターンの閉ループカットを行うことができる。

【0074】

次に、第 1 の実施の形態をライン・アンド・スペースによる配線に適用した実施例 6 ~ 10 について説明する。実施例 6 ~ 10 は、配線パターン群 20 A, 20 B を構成する配線パターン 11 a, 11 b が、それぞれ線幅 20 nm の 36 本からなる場合を示す。

【実施例 6】

【0075】

図12(a)～(c)は、本発明の実施例6の製造工程の一例を示す要部平面図である。図12(a)は、図1(d)に対応し、図12(b)は、図2(b)に対応し、図12(c)は、図1(h)に対応する。なお、図1(a)～図1(c)に対応する図は省略する。また、本実施例は、左右に第2の配線パターン群20Bが存在している場合を示す。

【0076】

実施例6の第2の配線パターン群20Bを構成する側壁パターン14bは、図12(a)に示すように、第1の配線パターン群20Aに最も近いものから順に互いに接続された閉ループ形状を構成し、これらが左右対称となっている。

【0077】

その後は、図12(b)に示すように、側壁パターン14bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けて8角形のレジスト15を形成し、リソグラフィによって側壁パターン14bのカット領域をカットし、図12(c)に示すように、配線パターン11a, 11bを形成する。

【実施例7】

【0078】

図13(a)～(c)は、本発明の実施例7の製造工程の一例を示す要部平面図である。図13(a)は、図1(d)に対応し、図13(b)は、図2(b)に対応し、図13(c)は、図1(h)に対応する。なお、図1(a)～図1(c)に対応する図は省略する。また、本実施例は、左右に第2の配線パターン群20Bが存在している場合を示す。

【0079】

実施例7の第2の配線パターン群20Bを構成する側壁パターン14bは、図13(a)に示すように、第1の配線パターン群20Aに近い側の16本の側壁パターン14b同士が左右の端部(図示せず)で接続された閉ループ形状を構成している。また、それらの内側の10本の側壁パターン14bは、第1の配線パターン群20Aに最も近いものから順に互いに接続されて閉ループ形状を構成し、これらが左右対称となっている。さらに内側の10本の側壁パターン14bは、隣同士でループ形状を構成し、これらが左右対称となっている。

【0080】

その後は、図13(b)に示すように、側壁パターン14bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けて8角形のレジスト15を形成し、リソグラフィによって側壁パターン14bのカット領域をカットし、図12(c)に示すように、配線パターン11a, 11bを形成する。

【実施例8】

【0081】

図14(a)～(c)は、本発明の実施例8の製造工程の一例を示す要部平面図である。図14(a)は、図1(d)に対応し、図14(b)は、図2(b)に対応し、図14(c)は、図1(h)に対応する。なお、図1(a)～図1(c)に対応する図は省略する。また、本実施例は、左右に第2の配線パターン群20Bが存在している場合を示す。

【0082】

実施例8の第2の配線パターン群20Bを構成する側壁パターン14bは、図14(a)に示すように、第1の配線パターン群20Aに最も近い2本の側壁パターン14b同士が左右の端部(図示せず)で接続された1つのループ形状を構成し、内側のその他の側壁パターン14bは、隣同士でループ形状を構成し、これらが左右対称となっている。

【0083】

その後は、図14(b)に示すように、側壁パターン14bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けて8角形のレジスト15を形成し、リソグラフィによって側壁パターン14bのカット領域をカットし、図14(c)に示すように、配線パターン11a, 11bを形成する。

【実施例9】

10

20

30

40

50

【0084】

図15(a)～(c)は、本発明の実施例9の製造工程の一例を示す要部平面図である。図15(a)は、図1(d)に対応し、図15(b)は、図2(b)に対応し、図15(c)は、図1(h)に対応する。なお、図1(a)～図1(c)に対応する図は省略する。また、本実施例は、左右に第2の配線パターン群20Bが存在している場合を示す。

【0085】

実施例9の第2の配線パターン群20Bを構成する側壁パターン14bは、図15(a)に示すように、図14(a)に示す実施例8において、中央に六角形の側壁パターン14bを追加したものであり、他は実施例8と同様である。

【0086】

その後は、図15(b)に示すように、側壁パターン14bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けて八角形のレジスト15を形成し、リソグラフィによって側壁パターン14bのカット領域をカットし、図15(c)に示すように、実施例8と同様の配線パターン11a, 11bを形成する。

【実施例10】

【0087】

図16(a)～(c)は、本発明の実施例10の製造工程の一例を示す要部平面図である。図16(a)は、図1(d)に対応し、図16(b)は、図2(b)に対応し、図16(c)は、図1(h)に対応する。なお、図1(a)～図1(c)に対応する図は省略する。また、本実施例は、左右に第2の配線パターン群20Bが存在している場合を示す。

【0088】

実施例10の第2の配線パターン群20Bを構成する側壁パターン14bは、図16(a)に示すように、第1の配線パターン群20Aに最も近い2本の側壁パターン14b同士が左右の端部で接続された1つのループ形状を構成している。また、それらの内側の24本の側壁パターン14b同士が外側同士から内側に向かってループ形状を構成し、これらが左右対称となっている。さらに内側の10本の側壁パターン14bは、隣同士でループ形状を構成し、これらが左右対称となっている。

【0089】

その後は、図16(b)に示すように、側壁パターン14bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けて八角形のレジスト15を形成し、リソグラフィによって側壁パターン14bのカット領域をカットし、図16(c)に示すように、実施例7と同一の配線パターン11a, 11bを形成する。

【0090】

次に、第2の実施の形態の半導体装置を相変化メモリに適用した実施例11～14について説明する。実施例11～14は、各配線パターン群20A, 20Bを構成する配線パターン11a, 11bが、それぞれ線幅20nmの33本からなる場合を示す。

【実施例11】

【0091】

図17(a)～(h)は、本発明の実施例11の製造工程の一例を示し、上側配線層の要部平面図である。図17(a)～(d)は、それぞれ図3(a)～(d)に対応し、図17(e)は、図3(g)に対応し、図17(f)は、図3(h)に対応する。図17(g)は、図4(b)に対応し、図17(h)は、図4(c)に対応する。

【0092】

第2の実施の形態と同様に、下地層上に、マスク材料を形成した後、マスク材料上に、図17(a)に示すように、芯材パターン13a, 13bを形成する。第2の配線パターン群20Bを構成する芯材パターン13bは、第1の配線パターン群20Aに最も近いものから順に互いに接続された閉ループ形状となっている。

【0093】

次に、図17(b)に示すように、芯材パターン13a, 13bのスリミング処理を行

10

20

30

40

50

い、図 17 (c) に示すように、スリミング処理後の芯材パターン 13 a, 13 b の側面に側壁パターン 14 a, 14 b を形成し、図 17 (d) に示すように、芯材パターン 13 a, 13 b をエッチング除去して側壁パターン 14 a, 14 b を残存させる。

【0094】

次に、図 17 (e) に示すように、側壁パターン 14 a, 14 b をマスクとして用いてマスク材料をエッチング除去してマスクパターンを形成し、側壁パターン 14 a, 14 b を除去する。

【0095】

次に、図 17 (e) に示すように、マスクパターン 12 a, 12 b の周囲に配線材料 11 を充填する。

【0096】

次に、図 17 (f) に示すように、マスクパターン 12 a, 12 b を除去して配線パターン 11 a, 11 b を形成する。配線パターン 11 a, 11 b は、閉ループ形状になっている。第 1 の配線パターン群 20 A 間に幅広パターン 11 e が形成される。

【0097】

次に、図 17 (g) に示すように、配線パターン 11 b の端部のカット領域上に第 1 の配線パターン群 20 A との間にスペース S を設けて六角形のレジスト 15 を形成し、リソグラフィによって配線パターン 11 b のカット領域をカットし、図 17 (h) に示すように、配線パターン 11 a, 11 b を形成する。

【実施例 12】

【0098】

図 18 (a) ~ (c) は、本発明の実施例 12 の製造工程の一例を示す要部平面図である。図 18 (a) は、図 3 (h) に対応する。図 18 (b) は、図 4 (b) に対応し、図 18 (c) は、図 4 (c) に対応する。なお、図 3 (a) ~ (g) に対応する図は省略する。

【0099】

実施例 12 の第 2 の配線パターン群 20 B を構成する配線パターン 11 b は、図 18 (a) に示すように、1 本置きに互いに接続されて閉ループ形状となっており、さらに第 1 の配線パターン群 20 A の第 2 の配線パターン群 20 B に最も近い配線パターン 11 a も接続されて閉ループ形状を構成している。

【0100】

その後は、図 18 (b) に示すように、配線パターン 11 b の端部のカット領域上に第 1 の配線パターン群 20 A との間にスペース S を設けて六角形のレジスト 15 を形成し、リソグラフィによって配線パターン 11 b のカット領域をカットし、図 18 (c) に示すように、配線パターン 11 a, 11 b を形成する。

【実施例 13】

【0101】

図 19 (a) ~ (c) は、本発明の実施例 13 の製造工程の一例を示す要部平面図である。図 19 (a) は、図 3 (h) に対応する。図 19 (b) は、図 4 (b) に対応し、図 19 (c) は、図 4 (c) に対応する。なお、図 3 (a) ~ (g) に対応する図は省略する。

【0102】

実施例 13 の第 2 の配線パターン群 20 B を構成する配線パターン 11 b は、図 19 (a) に示すように、1 本置きに互いに接続されて閉ループ形状となっており、さらに第 1 の配線パターン群 20 A の第 2 の配線パターン群 20 B に最も近い配線パターン 11 a も接続されて閉ループ形状を構成している。

【0103】

その後は、図 19 (b) に示すように、配線パターン 11 b の端部のカット領域上に第 1 の配線パターン群 20 A との間にスペース S を設けて六角形のレジスト 15 を形成し、リソグラフィによって配線パターン 11 b のカット領域をカットし、図 19 (c) に示す

10

20

30

40

50

ように、実施例 1 2 と同様の配線パターン 1 1 a, 1 1 b を形成する。

【実施例 1 4】

【0 1 0 4】

図 2 0 (a) ~ (c) は、本発明の実施例 1 4 の製造工程の一例を示す要部平面図である。図 2 0 (a) は、図 3 (h) に対応する。図 2 0 (b) は、図 4 (b) に対応し、図 2 0 (c) は、図 4 (c) に対応する。なお、図 3 (a) ~ (g) に対応する図は省略する。

【0 1 0 5】

実施例 1 4 の第 2 の配線パターン群 2 0 B を構成する配線パターン 1 1 b は、図 2 0 (a) に示すように、第 1 の配線パターン群 2 0 A に近い側の 2 4 本の配線パターン 1 1 b は、第 1 の配線パターン群 2 0 A に最も近いものから順に互いに接続された閉ループ形状となっている。また、それらの内側の 9 本の配線パターン 1 1 b は、最も内側の閉ループ形状の配線パターン 1 1 b に交互に接続されている。また、第 1 の配線パターン群 2 0 A の第 2 の配線パターン群 2 0 B に最も近い配線パターン 1 1 a 同士が接続されて閉ループ形状となっている。

【0 1 0 6】

その後は、図 2 0 (b) に示すように、配線パターン 1 1 b の端部のカット領域上に第 1 の配線パターン群 2 0 A との間にスペース S を設けて 6 角形のレジスト 1 5 を形成し、リソグラフィによって配線パターン 1 1 b のカット領域をカットし、図 2 0 (c) に示すように、配線パターン 1 1 a, 1 1 b を形成する。

【0 1 0 7】

次に、第 2 の実施の形態をライン・アンド・スペースによる配線に適用した実施例 1 5 ~ 1 9 について説明する。実施例 1 5 ~ 1 9 は、配線パターン群 2 0 A, 2 0 B を構成する配線パターン 1 1 a, 1 1 b が、それぞれ線幅 2 0 nm の 3 6 本からなる場合について説明する。

【実施例 1 5】

【0 1 0 8】

図 2 1 (a) ~ (c) は、本発明の実施例 1 5 の製造工程の一例を示す要部平面図である。図 2 1 (a) は、図 4 (a) に対応し、図 2 1 (b) は、図 4 (b) に対応し、図 2 1 (c) は、図 4 (c) に対応する。なお、図 3 (a) ~ (g) に対応する図は省略する。また、本実施例は、左右に第 2 の配線パターン群 2 0 B が存在している場合を示す。

【0 1 0 9】

実施例 6 の第 2 の配線パターン群 2 0 B を構成する配線パターン 1 1 b は、図 2 1 (a) に示すように、中央を除く 3 2 本が第 1 の配線パターン群 2 0 A に最も近いものから順に互いに接続された閉ループ形状を構成し、これらが左右対称となっている。

【0 1 1 0】

その後は、図 2 1 (b) に示すように、配線パターン 1 1 b の端部のカット領域上に第 1 の配線パターン群 2 0 A との間にスペース S を設けて 8 角形のレジスト 1 5 を形成し、リソグラフィによって配線パターン 1 1 b のカット領域をカットし、図 2 1 (c) に示すように、配線パターン 1 1 a, 1 1 b を形成する。

【実施例 1 6】

【0 1 1 1】

図 2 2 (a) ~ (c) は、本発明の実施例 1 6 の製造工程の一例を示す要部平面図である。図 2 2 (a) は、図 4 (a) に対応し、図 2 2 (b) は、図 4 (b) に対応し、図 2 2 (c) は、図 4 (c) に対応する。なお、図 3 (a) ~ (g) に対応する図は省略する。また、本実施例は、左右に第 2 の配線パターン群 2 0 B が存在している場合を示す。

【0 1 1 2】

実施例 1 6 の第 2 の配線パターン群 2 0 B を構成する配線パターン 1 1 b は、図 2 2 (a) に示すように、中央に形成された幅広パターン 1 1 e に交互に接続されてそれぞれ閉ループ形状を構成し、これらが左右対称となっている。また、第 1 の配線パターン群 2 0

Aの第2の配線パターン群20Bに最も近い配線パターン11aは、閉ループカットされるカット領域の近傍に線幅が太い部分（三角形）が形成されている。

【0113】

その後は、図22(b)に示すように、配線パターン11bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けてほぼ六角形のレジスト15を形成し、リソグラフィによって配線パターン11bのカット領域をカットし、図22(c)に示すように、配線パターン11a, 11bを形成する。

【実施例17】

【0114】

図23(a)～(c)は、本発明の実施例17の製造工程の一例を示す要部平面図である。図23(a)は、図4(a)に対応し、図23(b)は、図4(b)に対応し、図23(c)は、図4(c)に対応する。なお、図3(a)～(g)に対応する図は省略する。また、本実施例は、左右に第2の配線パターン群20Bが存在している場合を示す。

【0115】

実施例17の第2の配線パターン群20Bを構成する配線パターン11bは、図23(a)に示すように、中央の幅広パターン11eの周囲に形成された環状のパターンに交互に接続されてそれぞれ閉ループ形状を構成し、これらが左右対称となっている。また、第1の配線パターン群20Aの第2の配線パターン群20Bに最も近い配線パターン11aは、閉ループカットされるカット領域の近傍に線幅が太い部分（三角形）が形成されている。

【0116】

その後は、図23(b)に示すように、配線パターン11bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けてほぼ六角形のレジスト15を形成し、リソグラフィによって配線パターン11bのカット領域をカットし、図23(c)に示すように、配線パターン11a, 11bを形成する。

【実施例18】

【0117】

図24(a)～(c)は、本発明の実施例18の製造工程の一例を示す要部平面図である。図24(a)は、図4(a)に対応し、図24(b)は、図4(b)に対応し、図24(c)は、図4(c)に対応する。なお、図3(a)～(g)に対応する図は省略する。また、本実施例は、左右に第2の配線パターン群20Bが存在している場合を示す。

【0118】

実施例18の第2の配線パターン群20Bを構成する配線パターン11bは、図24(a)に示すように、第1の配線パターン群20Aに近い側の26本の側壁パターン11bは、第1の配線パターン群20Aに最も近いものから順に互いに接続された閉ループ形状を構成して、これらが左右対称となっている。さらに内側の10本の配線パターン11bは、内側の閉ループ形状の配線パターン11bに交互に接続し、これらが左右対称となっている。また、第1の配線パターン群20Aの第2の配線パターン群20Bに最も近い配線パターン11aは、閉ループカットされるカット領域の近傍に線幅が太い部分（三角形）が形成されている。

【0119】

その後は、図24(b)に示すように、配線パターン11bの端部のカット領域上に第1の配線パターン群20Aとの間にスペースSを設けて八角形のレジスト15を形成し、リソグラフィによって配線パターン11bのカット領域をカットし、図24(c)に示すように、配線パターン11a, 11bを形成する。

【実施例19】

【0120】

図25は、本発明の実施例19の製造工程の一例を示す要部平面図である。図25(a)は、図4(a)に対応し、図25(b)は、図4(b)に対応し、図25(c)は、図4(c)に対応する。なお、図3(a)～(g)に対応する図は省略する。また、本実施

10

20

30

40

50

例は、左右に第 2 の配線パターン群 20 B が存在している場合を示す。

【0121】

実施例 19 の第 2 の配線パターン群 20 B を構成する配線パターン 11 b は、図 25 (a) に示すように、第 1 の配線パターン群 20 A に近い側の 22 本の配線パターン 11 b 同士が左右の端部で閉ループ形状となっている。また、それらの内側の 4 本は、第 1 の配線パターン群 20 A に最も近いものから順に互いに接続された閉ループ形状を構成し、これらが左右対称となっている。さらに内側の 9 本は、内側の閉ループ形状に交互に接続されて左右対称となっている。また、第 1 の配線パターン群 20 A の第 2 の配線パターン群 20 B に最も近い配線パターン 11 a は、閉ループカットされるカット領域の近傍に線幅が太い部分 (三角形) が形成されている。

10

【0122】

その後は、図 25 (b) に示すように、配線パターン 11 b の端部のカット領域上に第 1 の配線パターン群 20 A との間にスペース S を設けて 8 角形のレジスト 15 を形成し、リソグラフィによって配線パターン 11 b のカット領域をカットし、図 25 (c) に示すように、配線パターン 11 a, 11 b を形成する。

【0123】

なお、本発明は、上記実施の形態、上記実施例に限定されず、その発明の要旨を逸脱しない範囲内で種々変形実施が可能である。

【図面の簡単な説明】

【0124】

20

【図 1】図 1 (a) ~ (h) は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す断面図である。

【図 2】図 2 (a) ~ (c) は、図 1 (d) に示す工程と図 1 (e) に示す工程との間に行われる閉ループカット工程を示す平面図である。

【図 3】図 3 (a) ~ (h) は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す断面図である。

【図 4】図 4 (a) ~ (c) は、図 3 (h) の工程の後に行われる閉ループカット工程を示す平面図である。

【図 5】図 5 は、本発明の第 3 の実施の形態に係る側壁パターンの一例を示し、(a) は平面図、(b) は、(a) の A 部詳細図である。

30

【図 6】図 6 (a) は、本発明の実施例 1 に係る相変化メモリの配線層の配線パターンの概略の構成を示す平面図、(b) は (a) の B 部詳細図である。

【図 7 A】図 7 A (a) ~ (c) は、本発明の実施例 1 の製造工程の一例を示し、上側配線層の要部平面図である。

【図 7 B】図 7 B (d) ~ (f) は、本発明の実施例 1 の製造工程の一例を示し、上側配線層の要部平面図である。

【図 8】図 8 (a) ~ (c) は、本発明の実施例 2 の製造工程の一例を示し、上側配線層の要部平面図である。

【図 9】図 9 (a) ~ (c) は、本発明の実施例 3 の製造工程の一例を示し、上側配線層の要部平面図である。

40

【図 10】図 10 (a) ~ (c) は、本発明の実施例 4 の製造工程の一例を示し、上側配線層の要部平面図である。

【図 11】図 11 (a) ~ (c) は、本発明の実施例 5 の製造工程の一例を示し、上側配線層の要部平面図である。

【図 12】図 12 (a) ~ (c) は、本発明の実施例 6 の製造工程の一例を示す要部平面図である。

【図 13】図 13 (a) ~ (c) は、本発明の実施例 7 の製造工程の一例を示す要部平面図である。

【図 14】図 14 (a) ~ (c) は、本発明の実施例 8 の製造工程の一例を示す要部平面図である。

50

【図 15】図 15 (a) ~ (c) は、本発明の実施例 9 の製造工程の一例を示す要部平面図である。

【図 16】図 16 (a) ~ (c) は、本発明の実施例 10 の製造工程の一例を示す要部平面図である。

【図 17 A】図 17 (a) ~ (c) は、本発明の実施例 11 の製造工程の一例を示し、上側配線層の要部平面図である。

【図 17 B】図 17 (d) ~ (f) は、本発明の実施例 11 の製造工程の一例を示し、上側配線層の要部平面図である。

【図 17 C】図 17 (g) ~ (h) は、本発明の実施例 11 の製造工程の一例を示し、上側配線層の要部平面図である。

10

【図 18】図 18 (a) ~ (c) は、本発明の実施例 12 の製造工程の一例を示す要部平面図である。

【図 19】図 19 (a) ~ (c) は、本発明の実施例 13 の製造工程の一例を示す要部平面図である。

【図 20】図 20 (a) ~ (c) は、本発明の実施例 14 の製造工程の一例を示す要部平面図である。

【図 21】図 21 (a) ~ (c) は、本発明の実施例 15 の製造工程の一例を示す要部平面図である。

【図 22】図 22 (a) ~ (c) は、本発明の実施例 16 の製造工程の一例を示す要部平面図である。

20

【図 23】図 23 (a) ~ (c) は、本発明の実施例 17 の製造工程の一例を示す要部平面図である。

【図 24】図 24 (a) ~ (c) は、本発明の実施例 18 の製造工程の一例を示す要部平面図である。

【図 25】図 25 (a) ~ (c) は、本発明の実施例 19 の製造工程の一例を示す要部平面図である。

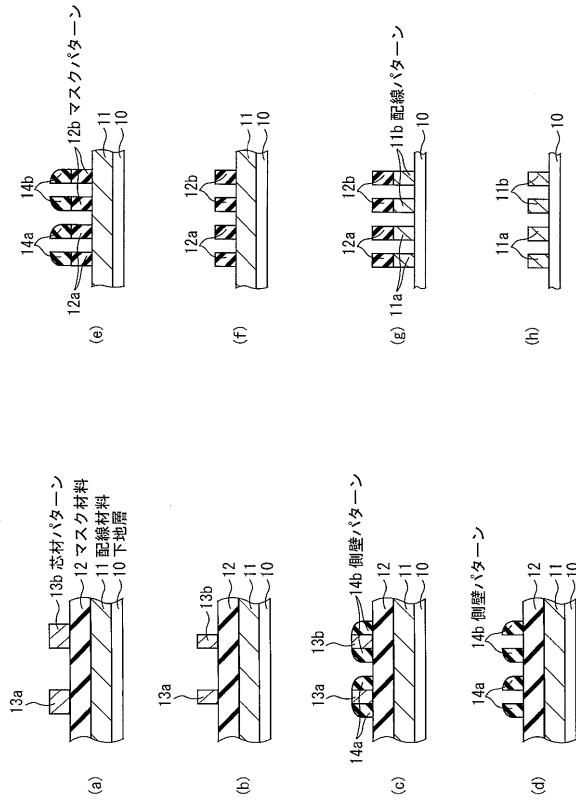
【符号の説明】

【0125】

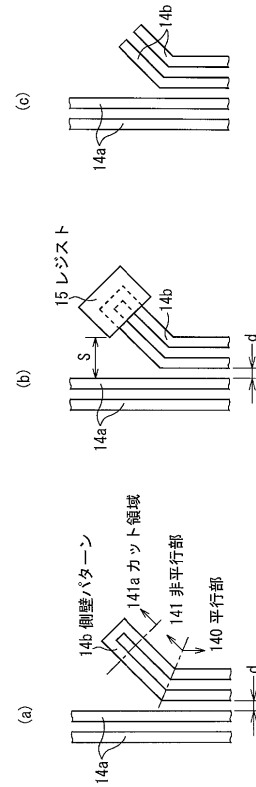
1…相変化メモリ、2…メモリセル領域、3…WL引き出し領域、4…BL引き出し領域、10…下地層、11…配線材料、11a, 11b…配線パターン、11c…終端、11d…コンタクトフリンジ、11e…幅広パターン、12a, 12b…マスクパターン、12…マスク材料、13a, 13b…芯材パターン、14a, 14b…側壁パターン、15…レジスト、20A, 20C…第1の配線パターン群、20B, 20D…第2の配線パターン群、21a, 21b…配線パターン、21c…終端、21d…コンタクトフリンジ、110…平行部、111…非平行部、111a…カット領域、140…平行部、141…非平行部、141a…カット領域、S…スペース

30

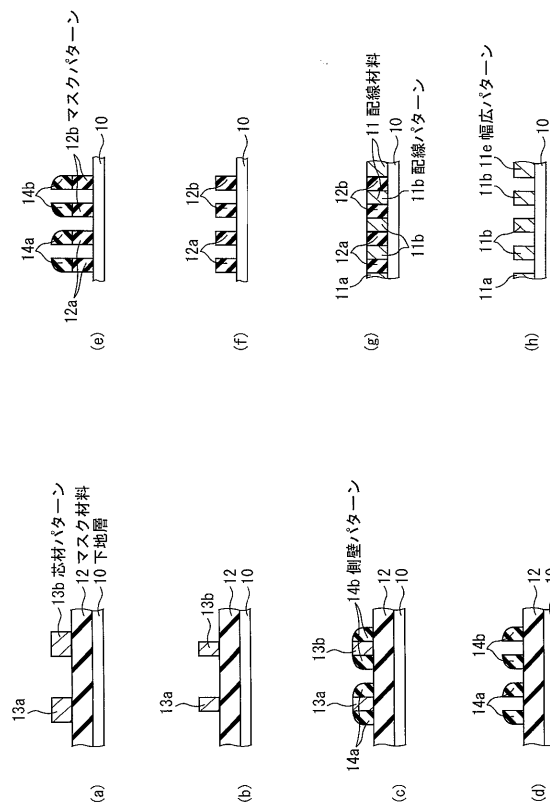
【図 1】

図 1
(第 1 の実施の形態)

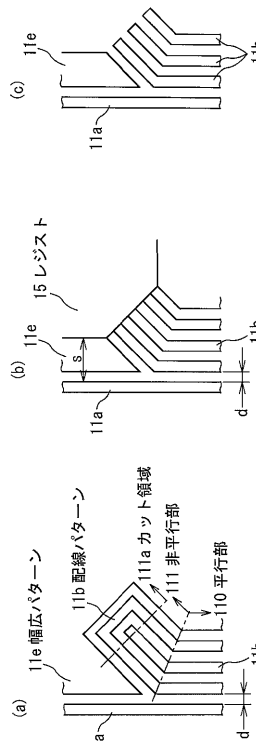
【図 2】

図 2
(第 1 の実施の形態)

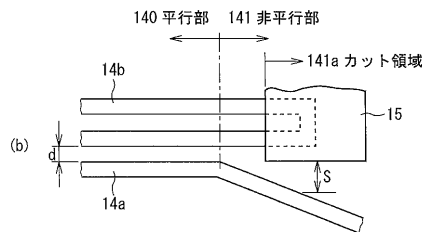
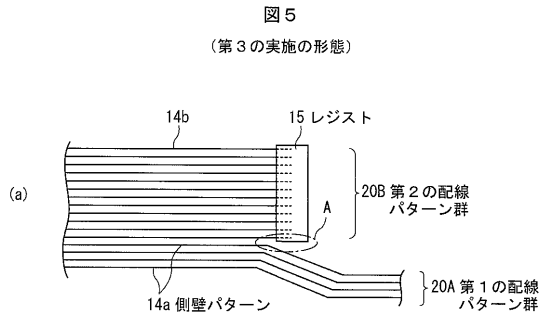
【図 3】

図 3
(第 2 の実施の形態)

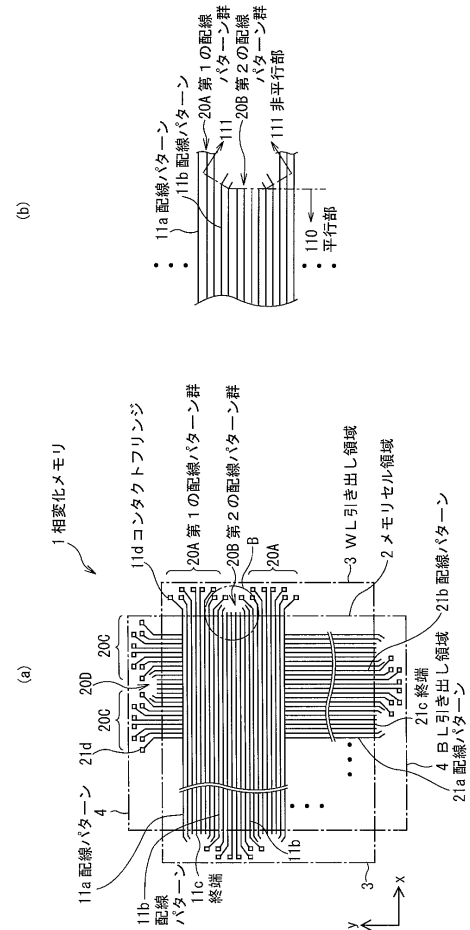
【図 4】

図 4
(第 2 の実施の形態)

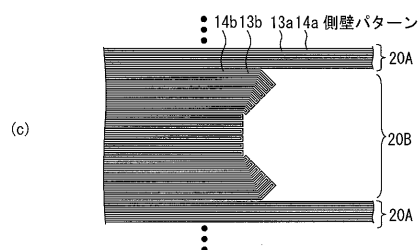
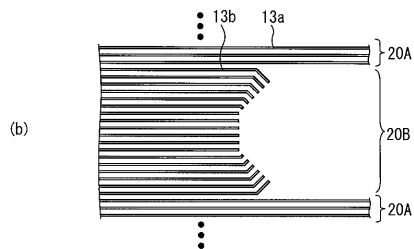
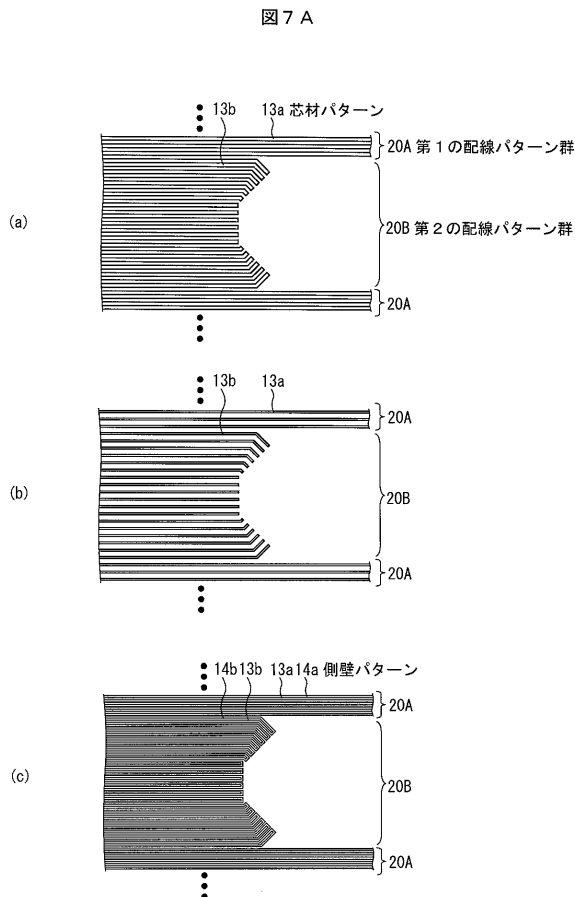
【図 5】



【図 6】

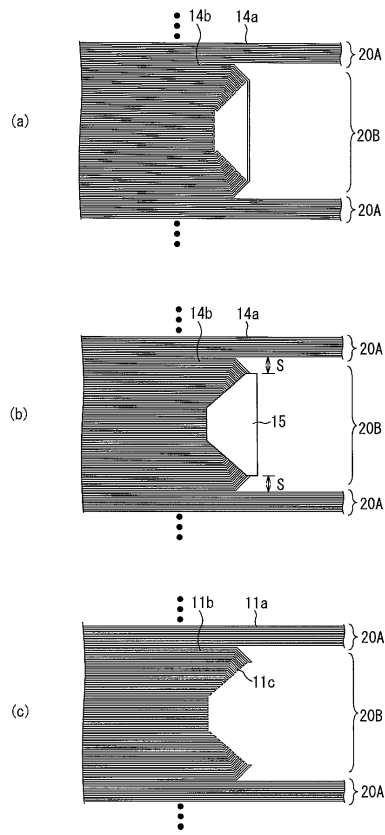


【図 7 A】



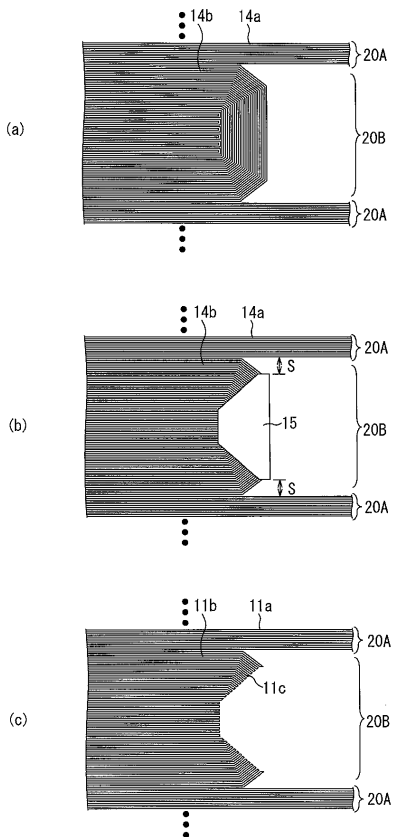
【図 8】

図 8



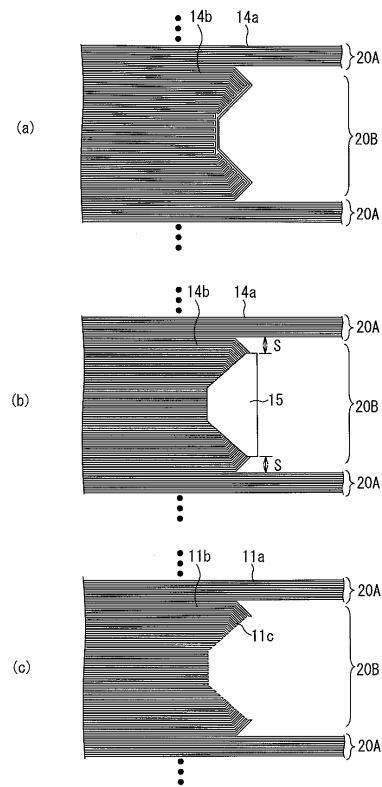
【図 10】

図 10



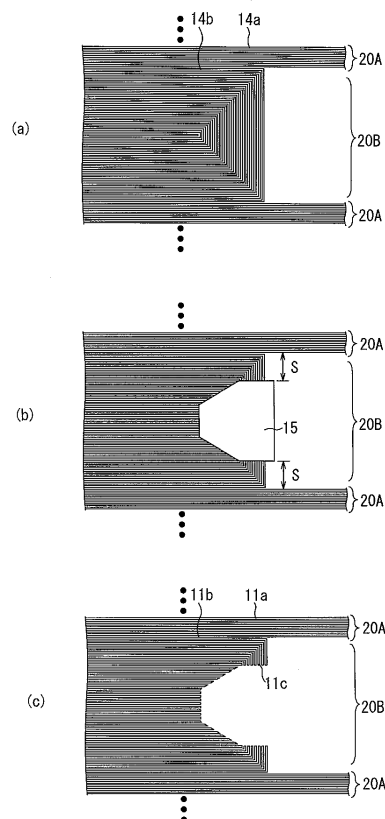
【図 9】

図 9



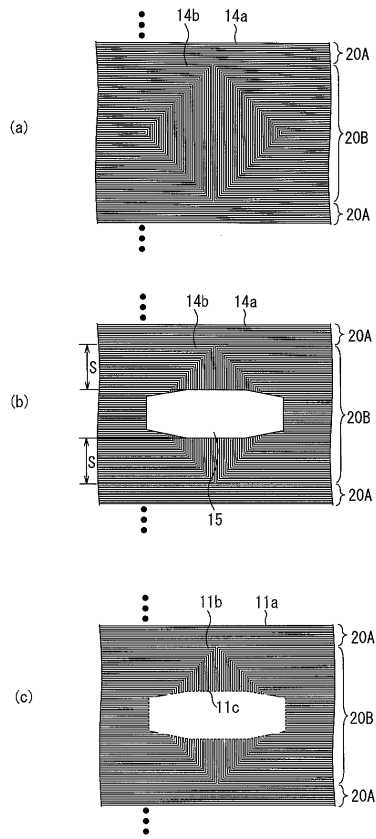
【図 11】

図 11



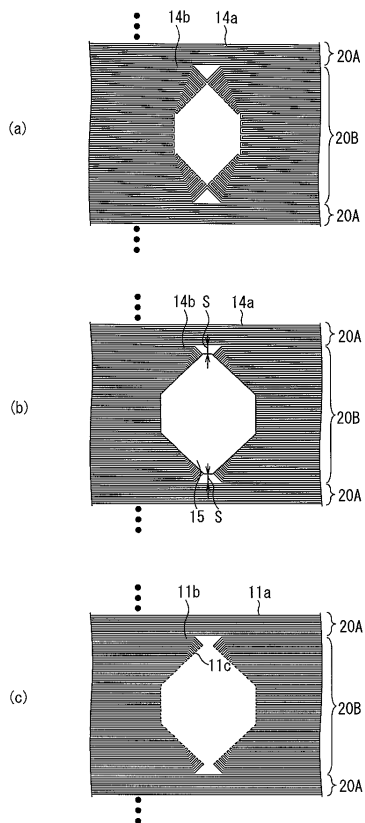
【図 1 2】

図 1 2



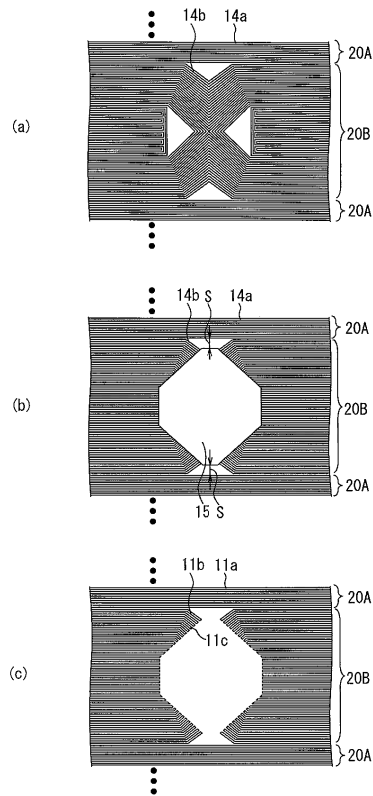
【図 1 4】

図 1 4



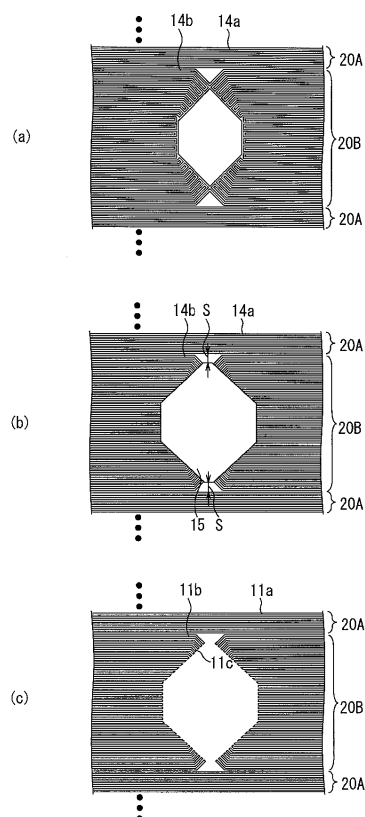
【図 1 3】

図 1 3



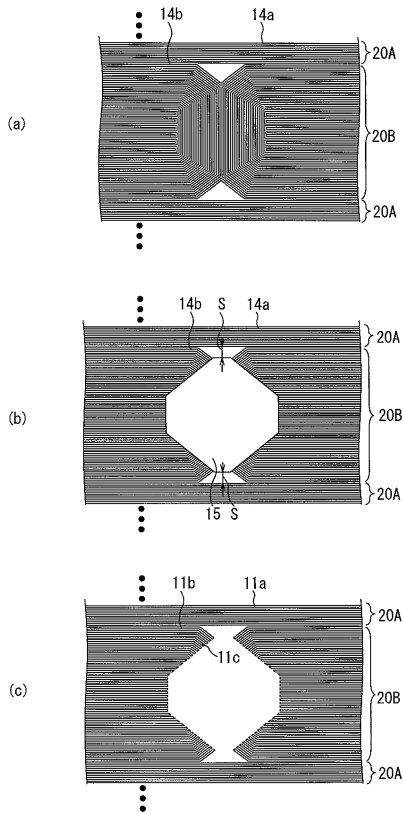
【図 1 5】

図 1 5



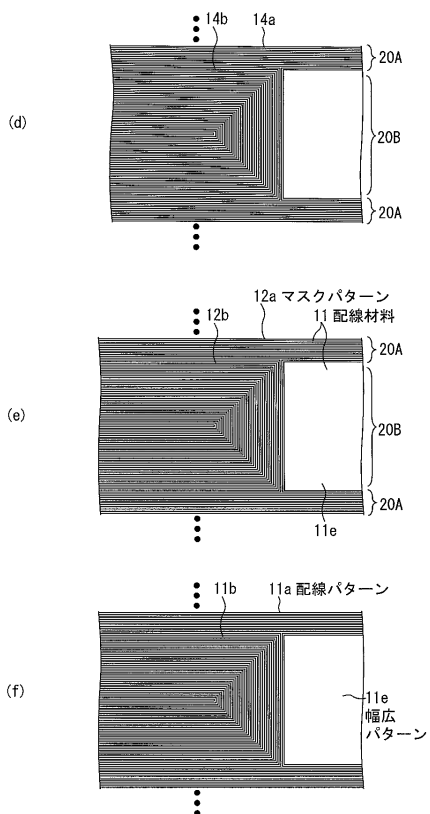
【図 16】

図 16



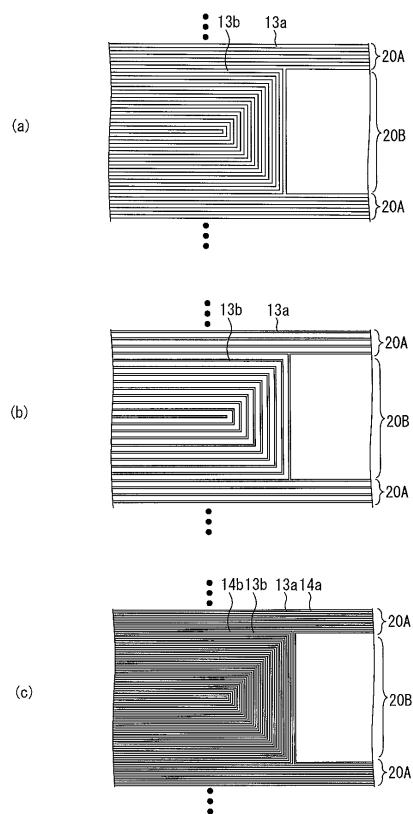
【図 17 B】

図 17 B



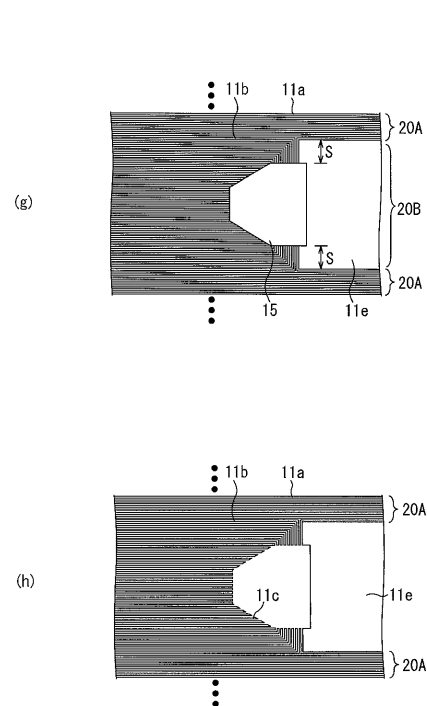
【図 17 A】

図 17 A



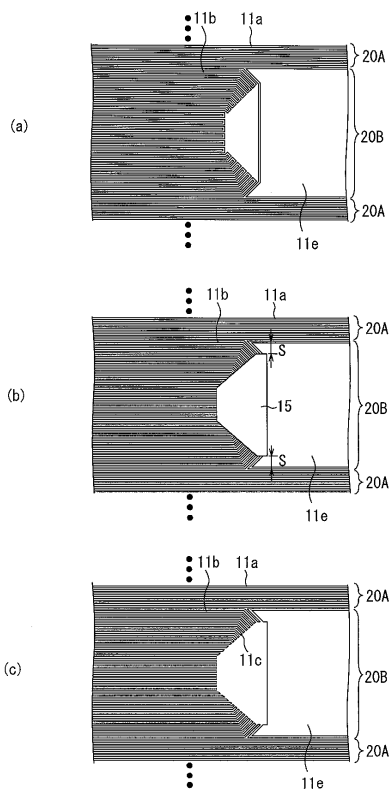
【図 17 C】

図 17 C



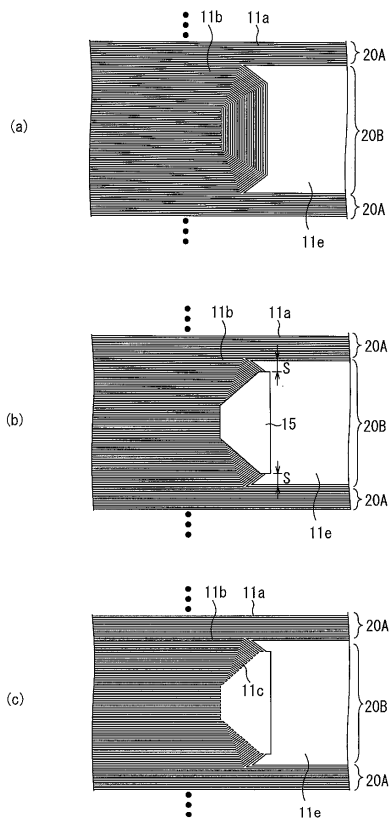
【図 18】

図 18



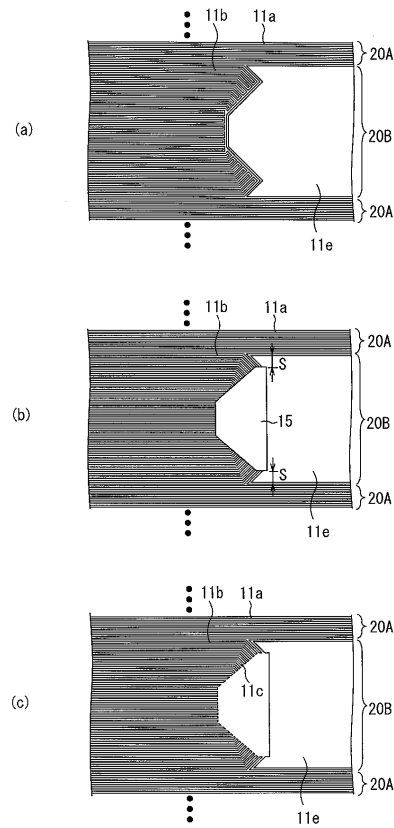
【図 20】

図 20



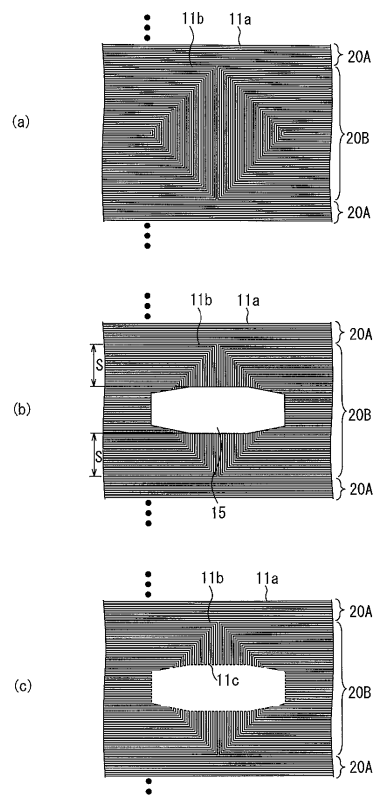
【図 19】

図 19



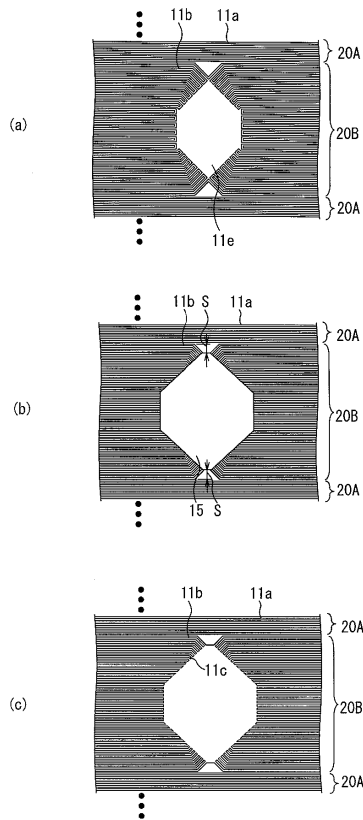
【図 21】

図 21



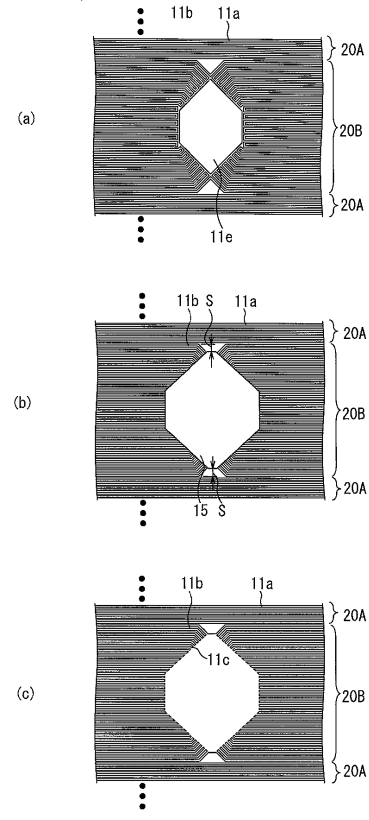
【図 2 2】

図 2 2



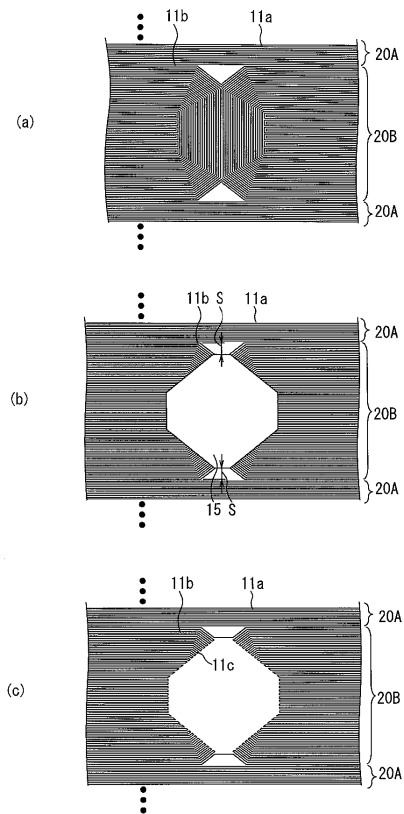
【図 2 3】

図 2 3



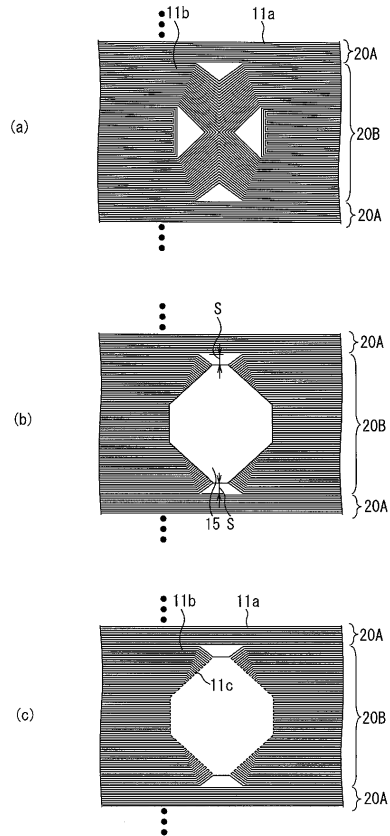
【図 2 4】

図 2 4



【図 2 5】

図 2 5



フロントページの続き

(72)発明者 間下 浩充

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小谷 敏也

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 児玉 親亮

神奈川県川崎市川崎区駅前本町2番地1 東芝マイクロエレクトロニクス株式会社内

Fターム(参考) 5F033 HH08 HH11 HH19 PP15 PP26 QQ07 QQ08 QQ11 QQ13 QQ16

QQ19 QQ28 QQ48 VV16 XX03