(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0121785
(43) 공개일자 2017년11월03일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01)
(52) CPC특허분류
H01L 27/11551 (2013.01)
H01L 27/11519 (2013.01)
(21) 출원번호 10-2016-0050309
(22) 출원일자 2016년04월25일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
황성민
서울특별시 광진구 아차산로25길 47 (화양동)
허성회
서울특별시 강남구 언주로 110 5동 803호 (개포동,경남아파트)
(74) 대리인
특허법인 고려

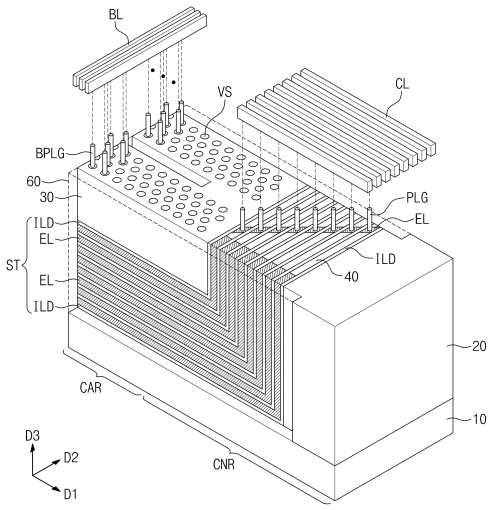
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **3차원 반도체 장치**

(57) 요 약

3차원 반도체 장치가 제공된다. 3차원 반도체 장치는 기판 상에 수직적으로 적층된 복수 개의 전극들을 포함하는 전극 구조체를 포함하되, 상기 전극들 각각은 상기 기판의 상부면에 평행하며 제 1 방향으로 연장되는 전극부, 상기 전극부로부터 상기 기판의 상부면에 대해 경사진 방향을 따라 연장되는 패드부, 및 상기 패드부의 일부분으로부터 상기 경사진 방향으로 돌출되는 돌출부를 포함하고, 상기 전극들의 상기 돌출부들은, 평면적 관점에서, 상기 제 1 방향에 대해 사선 방향을 따라 배치될 수 있다.

대 표 도 - 도2h



(52) CPC특허분류
H01L 27/11548 (2013.01)
H01L 27/11565 (2013.01)
H01L 27/11575 (2013.01)
H01L 27/11578 (2013.01)

명 세 서

청구범위

청구항 1

기판 상에 수직적으로 적층된 복수 개의 전극들을 포함하는 전극 구조체를 포함하되,

상기 전극들 각각은 상기 기판의 상부면에 평행하며 제 1 방향으로 연장되는 전극부, 상기 전극부로부터 상기 기판의 상부면에 대해 경사진 방향을 따라 연장되는 패드부, 및 상기 패드부의 일부분으로부터 상기 경사진 방향으로 돌출되는 돌출부를 포함하고,

상기 전극들의 상기 돌출부들은, 평면적 관점에서, 상기 제 1 방향에 대해 사선 방향을 따라 배치되는 3차원 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 전극들의 상기 돌출부들은 상기 전극 구조체의 일 측벽으로부터 상기 제 1 방향에 수직하는 제 2 방향으로 서로 다른 거리에 배치되는 3차원 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 전극들의 상기 돌출부들의 상부면들은 상기 기판으로부터 동일한 높이에 위치하는 3차원 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 전극들의 상기 전극부들은 상기 기판으로부터 멀어질수록 상기 제 1 방향으로의 길이가 감소하는 3차원 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 전극들의 상기 패드부들 각각은 상기 전극부의 폭보다 작은 폭을 가지며 상기 경사진 방향으로 연장되는 수직 패드부 및 상기 수직 패드부의 일 부분으로부터 상기 기판에 대해 평행하며 상기 제 1 방향에 수직하는 제 2 방향으로 연장되는 수평 패드부를 포함하는 3차원 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 기판은 셀 어레이 영역 및 연결 영역을 포함하되,

상기 전극들의 상기 전극부들 각각은,

상기 셀 어레이 영역 상에서 상기 제 1 방향으로 연장되며, 상기 제 2 방향으로 서로 이격되는 서브-전극부들; 및

상기 연결 영역에서 상기 서브-전극부들을 수평적으로 연결하는 전극 연결부를 포함하는 3차원 반도체 장치.

청구항 7

기판 상에 수직적으로 적층된 복수 개의 전극들을 포함하는 전극 구조체를 포함하되,

상기 전극들 각각은 상기 기판의 상부면에 대해 평행하며, 제 1 방향으로 연장되는 전극부, 상기 전극부의 일부분으로부터 연장되며 상기 기판의 상부면에 대해 경사진 수직 패드부, 및 상기 수직 패드부의 일부분으로부터

상기 제 1 방향과 교차하며 상기 기판의 상부면과 평행한 제 2 방향으로 연장되는 수평 패드부를 포함하는 3차원 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 2 방향으로, 상기 수직 패드부의 폭은 상기 전극부의 폭보다 작은 3차원 반도체 장치.

청구항 9

제 7 항에 있어서,

상기 제 2 방향으로, 상기 수평 패드부의 길이가 상기 전극부의 폭과 같거나 작은 3차원 반도체 장치.

청구항 10

제 7 항에 있어서,

상기 전극들의 상기 수평 패드부들의 하부면들은 최상층의 상기 전극의 상기 전극부의 하부면보다 위에 위치하는 3차원 반도체 장치.

청구항 11

제 7 항에 있어서,

상기 전극들의 상기 수평 패드부들은 상기 제 2 방향으로 동일한 길이를 갖는 3차원 반도체 장치.

청구항 12

제 7 항에 있어서,

상기 전극들의 상기 수평 패드부들은 상기 제 2 방향으로 서로 다른 길이를 갖는 3차원 반도체 장치.

청구항 13

제 7 항에 있어서,

상기 전극 구조체는 상기 전극들 사이에 배치되는 절연막들 및 상기 전극들의 상기 수평 패드부들 아래에 그리고 상기 절연막들 사이에 배치되는 희생 패턴들을 더 포함하되,

상기 희생 패턴들은 상기 절연막들과 다른 절연 물질로 이루어지는 3차원 반도체 장치.

청구항 14

제 7 항에 있어서,

상기 전극들 각각은 상기 수평 패드부의 일부분으로부터 수직으로 돌출되는 돌출부를 더 포함하되,

상기 전극들의 상기 돌출부들은 상기 기판으로부터 동일한 높이에 상부면들을 갖는 3차원 반도체 장치.

청구항 15

제 14 항에 있어서,

상기 전극들의 상기 돌출부들은, 평면적 관점에서, 상기 제 1 및 제 2 방향들에 대해 사선 방향을 따라 배치되는 3차원 반도체 장치.

청구항 16

셀 어레이 영역 및 연결 영역을 포함하는 기판; 및

상기 기판 상에 수직적으로 적층된 복수 개의 전극들을 포함하는 전극 구조체를 포함하되,

상기 전극들 각각은 상기 기판의 상부면에 대해 평행하며, 제 1 방향으로 연장되는 전극부 및 상기 전극부의 일부분으로부터 연장되며 상기 기판의 상부면에 대해 경사진 수직 패드부를 포함하되,

상기 전극부는 상기 셀 어레이 영역에서 제 1 폭을 갖는 제 1 부분 및 상기 연결 영역에서 상기 제 1 폭보다 작은 제 2 폭을 갖는 제 2 부분을 포함하고, 상기 수직 패드부는 상기 제 2 폭과 동일한 폭을 갖는 3차원 반도체 장치.

청구항 17

제 16 항에 있어서,

상기 전극부는 상기 제 1 부분과 상기 제 2 부분 사이에 제 3 부분을 더 포함하되, 상기 제 3 부분은 상기 제 1 폭보다 작고 상기 제 2 폭보다 큰 제 3 폭을 갖는 3차원 반도체 장치.

청구항 18

제 16 항에 있어서,

상기 전극들의 상기 수직 패드부들은 상기 기판으로부터 동일한 높이에 상부면들을 갖는 3차원 반도체 장치.

청구항 19

제 16 항에 있어서,

상기 전극들 사이에 개재되는 절연막들;

상기 연결 영역에서 상기 절연막들 사이에 개재되며, 상기 수직 패드부들의 측벽들과 접하는 희생 패턴들을 더 포함하되,

상기 희생 패턴들은 상기 절연막들과 다른 절연 물질로 이루어지는 3차원 반도체 장치.

청구항 20

제 16 항에 있어서,

상기 전극들 각각은 상기 수직 패드부의 일부분으로부터 상기 제 1 방향과 교차하며 상기 기판의 상부면과 평행한 제 2 방향으로 연장되는 수평 패드부를 더 포함하는 3차원 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것으로서, 보다 상세하게는 3차원 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 반도체 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 장치의 집적도는 증가하고는 있지만 여전히 제한적이다. 이에 따라, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본원 발명이 해결하고자 하는 과제는 집적도가 보다 향상된 3차원 반도체 장치를 제공하는데 있다.

[0004] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 장치는 기판 상에 수직적으로 적층된 복수 개의 전극들을 포함하는 전극 구조체를 포함하되, 상기 전극들 각각은 상기 기판의 상부면에 평행하며 제 1 방향으로 연장되는 전극부, 상기 전극부로부터 상기 기판의 상부면에 대해 경사진 방향을 따라 연장되는 패드부, 및 상기 패드부의 일부분으로부터 상기 경사진 방향으로 돌출되는 돌출부를 포함하고, 상기 전극들의 상기 돌출부들은, 평면적 관점에서, 상기 제 1 방향에 대해 사선 방향을 따라 배치될 수 있다.

[0006] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 장치는 기판 상에 수직적으로 적층된 복수 개의 전극들을 포함하는 전극 구조체를 포함하되, 상기 전극들 각각은 상기 기판의 상부면에 대해 평행하며, 제 1 방향으로 연장되는 전극부, 상기 전극부의 일부분으로부터 연장되며 상기 기판의 상부면에 대해 경사진 수직 패드부, 및 상기 수직 패드부의 일부분으로부터 상기 제 1 방향과 교차하며 상기 기판의 상부면과 평행한 제 2 방향으로 연장되는 수평 패드부를 포함할 수 있다.

[0007] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 장치는

[0008] 셀 어레이 영역 및 연결 영역을 포함하는 기판; 및 상기 기판 상에 수직적으로 적층된 복수 개의 전극들을 포함하는 전극 구조체를 포함하되, 상기 전극들 각각은 상기 기판의 상부면에 대해 평행하며, 제 1 방향으로 연장되는 전극부 및 상기 전극부의 일 부분으로부터 연장되며 상기 기판의 상부면에 대해 경사진 수직 패드부를 포함하고, 상기 전극부는 상기 셀 어레이 영역에서 제 1 폭을 갖는 제 1 부분 및 상기 연결 영역에서 상기 제 1 폭보다 작은 제 2 폭을 갖는 제 2 부분을 포함하고, 상기 수직 패드부는 상기 제 2 폭과 동일한 폭을 가질 수 있다.

[0009] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법은 기판 상에 절연막들 및 희생막들이 번갈아 적층된 박막 구조체를 형성하되, 상기 절연막들 및 상기 희생막들 각각은 상기 기판의 상부면에 대해 평행하며 제 1 방향으로 연장되는 수평부 및 상기 기판의 상부면에 대해 경사진 측벽부를 포함하는 것; 및 상기 희생막들의 상기 측벽부들의 일부분들을 리세스하여 돌출부들을 형성하는 것을 포함하되, 상기 희생막들의 상기 돌출부들은, 평면적 관점에서, 제 1 방향에 대해 사선 방향을 따라 배치될 수 있다.

[0010] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법은 제 1 영역 및 제 2 영역을 포함하는 기판 상에 절연막들 및 희생막들이 번갈아 적층된 박막 구조체를 형성하는 것; 상기 박막 구조체를 패터닝하여 제 1 방향을 따라 연장되는 트렌치들을 형성하는 것; 상기 제 2 영역에서, 상기 트렌치들에 노출된 상기 박막 구조체의 측벽 일부분을 덮는 마스크 패턴을 형성하는 것; 상기 트렌치들 및 상기 마스크 패턴에 노출된 상기 희생막들의 일부분들을 수평적으로 식각하는 제 1 식각 공정을 수행하여, 상기 절연막들 사이에 제 1 희생 패턴들을 형성하는 것; 상기 마스크 패턴을 제거한 후, 상기 트렌치들에 노출되는 상기 제 1 희생 패턴들의 일부분들을 수평적으로 식각하는 제 2 식각 공정을 수행하여, 상기 제 1 영역에서 상기 절연막들 사이에 게이트 영역들을 형성하고 상기 제 2 영역에서 상기 절연막들 사이에 제 2 희생 패턴들을 형성하는 것; 및 상기 게이트 영역들 내에 전극들을 형성하되, 상기 전극들은 상기 제 2 희생 패턴들의 측벽들로 연장될 수 있다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면, 차례로 적층된 복수 개의 전극들을 포함하는 전극 구조체에서, 전극들 각각은 영역에서 기판의 상부면에 경사진 패드부, 및 패드부의 일부분으로부터 돌출부를 포함할 수 있다. 여기서, 전극들의 돌출부들은 전극들의 연장 방향에 대해 사선 방향을 따라 배치되므로, 전극들에 각각 접속되는 콘택 플러그들의 콘택 마진을 확보할 수 있다.

[0012] 나아가, 전극들 각각은, 연결 영역에서, 기판의 상부면에 대해 경사진 수직 패드부 및 수직 패드부의 일부분으로부터 전극부의 연장 방향에 교차하는 방향으로 수평적으로 연장되는 수평 패드부를 포함할 수 있다. 여기서, 수직 패드부의 폭이 셀 어레이 영역의 전극부의 폭보다 작으므로, 전극들의 수직 패드부들이 휘어지거나 무너지는 것을 방지할 수 있다. 또한, 수평 패드부를 포함하므로 전극들과 연결되는 콘택 플러그들 및 도전 라인들의

공정 마진을 확보할 수 있다.

[0013] 또한, 전극들 각각에서, 수직 패드부와 인접한 전극부의 폭이 셀 어레이 영역에서 연결 영역으로 갈수록 달라질 수 있다. 이에 따라, 전극부의 끝단과 연결되는 수직 패드부의 폭이 감소되어, 연결 영역에서 전극들이 무너지거나 휘어지는 것을 방지할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 개략적인 구성을 설명하기 위한 도면이다.

도 2a 내지 도 2g는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 3, 도 4, 및 도 5는 본 발명의 실시예들에 따른 3차원 반도체 장치의 전극 구조체를 나타내는 사시도들이다.

도 6a 내지 도 12a는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 6b 내지 도 12b는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들로서, 도 6a 내지 도 10a의 I-I'선들을 따라 자른 단면들이다.

도 6c 내지 도 12c는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들로서, 도 6a 내지 도 11a의 II-II'선들을 따라 자른 단면들이다.도 13a 및 도 13b는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법의 변형례들을 설명하기 위한 도면들이다.

도 14는 도 6a 내지 도 12c를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타내는 사시도들이다.

도 15a 내지 도 17a는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 15b 내지 도 17b는 도 15a 내지 도 17a의 II-II'선을 따라 자른 단면들이다.

도 18 및 도 19는 도 15a 내지 도 17a 및 도 15b 내지 도 17b를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

도 20a 내지 도 25a는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 20b 내지 도 25b는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들로서, 도 20a 내지 도 25a의 II-II' 선을 따라 자른 단면들이다.

도 26 및 도 27은 도 20a 내지 도 25a 및 도 20b 내지 도 25b를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

도 28 내지 도 32는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 나타낸다.

도 33은 도 28 내지 도 32를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

도 34 및 도 35는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 36 및 도 37은 도 34 및 도 35를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

도 38 및 도 39는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 40은 도 38 및 도 39를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

도 41 내지 도 45는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 46은 도 41 내지 도 45를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

도 47은 본 발명의 실시예들에 따른 전극 구조체를 포함하는 3차원 메모리 반도체 장치를 예시적으로 도시하는 회로도이다.

도 48a 내지 도 48d는 본 발명의 실시예들에 따른 3차원 메모리 반도체 장치의 일 부분을 나타내는 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0016] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0017] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0018] 이하, 도면들을 참조하여 본 발명의 실시예들에 따른 반도체 장치에 대해 상세히 설명한다.

[0019] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 개략적인 구성을 설명하기 위한 도면이다.

[0020] 도 1을 참조하면, 3차원 반도체 메모리 장치는 셀 어레이 영역(CAR), 및 주변 회로 영역을 포함한다. 주변 회로 영역은 로우 디코더 영역들(ROW DCR), 페이지 버퍼 영역(PBR), 칼럼 디코더 영역(COL DCR), 및 제어 회로 영역(미도시)을 포함할 수 있다. 실시예들에 따르면, 셀 어레이 영역(CAR)과 로우 디코더 영역들(ROW DCR) 사이에 연결 영역(CNR)이 배치될 수 있다.

[0021] 셀 어레이 영역(CAR)에는 복수 개의 메모리 셀들로 구성된 메모리 셀 어레이가 배치된다. 실시예들에서, 메모리 셀 어레이는 3차원적으로 배열된 메모리 셀들 및 메모리 셀들과 전기적으로 연결된 복수 개의 워드 라인들 및 비트 라인들을 포함한다.

[0022] 로우 디코더 영역(ROW DCR)에는 메모리 셀 어레이의 워드라인들을 선택하는 로우 디코더가 배치되며, 연결 영역(CNR)에는 메모리 셀 어레이와 로우 디코더를 전기적으로 연결하는 콘택 플러그들 및 배선들을 포함하는 배선 구조체가 배치될 수 있다. 로우 디코더는 어드레스 정보에 따라, 메모리 셀 어레이의 워드 라인들 중 하나를 선택한다. 로우 디코더는 제어 회로의 제어 신호에 응답하여 워드라인 전압을 선택된 워드 라인 및 비선택된 워드 라인들로 각각 제공할 수 있다.

[0023] 페이지 버퍼 영역(PBR)에는 메모리 셀들에 저장된 정보를 판독하기 위한 페이지 버퍼가 배치될 수 있다. 페이지 버퍼는 동작 모드에 따라, 메모리 셀들에 저장될 데이터를 임시로 저장하거나, 메모리 셀들에 저장된 데이터를 감지할 수 있다. 페이지 버퍼는 프로그램 동작 모드시 기입 드라이버(write driver) 회로로 동작하며, 읽기 동작 모드시 감지 증폭기(sense amplifier) 회로로서 동작할 수 있다.

[0024] 컬럼 디코더 영역(COL DCR)에는 메모리 설 어레이의 비트 라인들과 연결되는 컬럼 디코더가 배치된다. 컬럼 디코더는 페이지 버퍼와 외부 장치(예를 들면, 메모리 컨트롤러) 사이에 데이터 전송 경로를 제공할 수 있다.

[0026] 도 2a 내지 도 2h는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다.

[0027] 도 2a를 참조하면, 기판(10)은 셀 어레이 영역(CAR) 및 연결 영역(CNR)을 포함할 수 있다. 예를 들어, 기판(10)은 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(SiGe), 갈륨비소(GaAs), 인듐갈륨비소(InGaAs), 알루미늄갈륨비소(AlGaAs), 또는 이들의 혼합물 중 적어도 하나를 포함할 수 있다. 기판(10)은 벌크(bulk) 실리콘 기판, 실리콘-온-인슐레이터(silicon on insulator: SOI) 기판, 게르마늄 기판, 게르마늄-온-인슐레이터(germanium on insulator: GOI) 기판, 실리콘-게르마늄 기판, 또는 선택적 에피택시얼 성장(selective epitaxial growth: SEG)을 수행하여 획득한 에피택시얼 박막의 기판일 수 있다. 다른 예로, 기판(10)은 절연 물질로 이루어질 수

있으며, 기판(10)은 단일막 또는 복수 개의 박막들을 포함할 수 있다. 예를 들어, 기판(10)은 실리콘 산화막, 실리콘 질화막 또는 저유전막 등일 수 있다.

[0028] 기판(10) 상에 트렌치를 정의하는 몰드 패턴(20)이 형성될 수 있다. 몰드 패턴(20)은 연결 영역(CNR) 상에 또는 연결 영역(CNR) 및 주변 회로 영역 상에 국소적으로 형성될 수 있다. 일 예로, 몰드 패턴(20)은 기판(10)의 전면을 덮는 몰드 절연막을 형성하고, 몰드 절연막의 일부분을 식각하여 형성될 수 있다. 식각 공정에 의해, 몰드 패턴(20)의 측벽은 기판(10)의 상부면에 대해 약 90도 내지 130도의 기울기를 가질 수 있다. 다른 예로, 기판(10)의 일부분을 패터닝하여 몰드 패턴(20)을 형성할 수도 있다. 이러한 경우, 몰드 패턴(20)은 기판(10)과 동일한 물질로 이루어질 수도 있다. 또 예로, 몰드 패턴(20)은 복수의 박막들로 구성되는 다층 구조일 수 있다.

[0029] 계속해서, 몰드 패턴(20)을 갖는 기판(10) 상에 절연막들(ILD) 및 희생막들(SL)이 번갈아 적층된 박막 구조체(100)가 형성될 수 있다.

[0030] 희생막들(SL) 및 절연막들(ILD)은 몰드 패턴(20)이 형성된 결과물을 컨포말하게 덮도록 형성될 수 있다. 예를 들면, 희생막들(SL) 및 절연막들(ILD)은 우수한 단차 도포성(step coverage)을 제공할 수 있는 증착 기술들 중의 하나를 사용하여 형성될 수 있다. 예를 들어, 희생막들(SL) 및 절연막들(ILD)은 열적 화학기상증착(Thermal CVD), 플라즈마 인핸스드(Plasma enhanced CVD), 물리적 화학기상증착(physical CVD) 또는 원자층 증착(Atomic Layer Deposition; ALD) 기술을 이용하여 증착될 수 있다. 증착 방법을 이용하여 희생막들(SL) 및 절연막들(ILD)은 형성하는 경우, 희생막들(SL) 및 절연막들(ILD)은 실질적으로 균일한 두께를 가지면서 기판(10)의 상부면, 몰드 패턴(20)의 측벽 및 몰드 패턴(20)의 상부면을 덮을 수 있다.

[0031] 박막 구조체(100)에서, 희생막들(SL)은 절연막들(ILD)에 대해 식각 선택성을 가지고 식각될 수 있는 물질로 형성될 수 있다. 예를 들어, 희생막들(SL) 및 절연막들(ILD)은 케미컬 용액을 이용한 습식 식각 공정에서의 높은 식각 선택비를 가지며, 식각 가스를 이용한 건식 식각 공정에서 낮은 식각 선택비를 가질 수 있다.

[0032] 일 예로, 희생막들(SL) 및 절연막들(ILD)은 절연 물질로 형성되되, 서로 식각 선택성을 가질 수 있다. 예를 들어, 희생막들(SL)은 실리콘막, 실리콘 산화막, 실리콘 카바이드, 실리콘 저마늄, 실리콘 산질화막 및 실리콘 질화막 중의 적어도 하나일 수 있다. 절연막들(ILD)은 실리콘막, 실리콘 산화막, 실리콘 카바이드막, 실리콘 산질화막, 및 실리콘 질화막 중의 적어도 하나이되, 희생막들(SL)과 다른 물질일 수 있다. 예를 들어, 희생막들(SL)은 실리콘 질화막으로 형성될 수 있으며, 절연막들(ILD)은 저유전막으로 형성될 수 있다. 이와 달리, 희생막들(SL)은 도전 물질로 형성되고, 절연막들(ILD)은 절연 물질로 이루어질 수도 있다.

[0033] 실시예들에서, 희생막들(SL)은 동일한 두께를 가질 수 있다. 이와 달리, 희생막들(SL) 중 최하층 및 최상층의 희생막들(SL)은 그것들 사이에 위치한 희생막들(SL)에 비해 두껍게 형성될 수 있다. 또한, 절연막들(ILD)은 동일한 두께를 가지거나, 절연막들(ILD) 중 일부는 두께가 다를 수도 있다. 이에 더하여, 박막 구조체(100)의 절연막들(ILD) 중 최하층에 형성된 절연막(ILD)은 그 위에 형성되는 희생막들(SL) 및 절연막들(ILD)보다 얇은 두께를 가질 수 있다. 최하층의 절연막(ILD)은 열산화 공정을 통해 형성되는 실리콘 산화막일 수도 있다.

[0034] 실시예들에서, 박막 구조체(100)의 두께는 몰드 패턴(20)의 두께보다 작을 수 있다. 이러한 경우, 셀 어레이 영역(CAR)에서 박막 구조체(100)의 상부면은 몰드 패턴(20)의 상부면보다 아래에 위치할 수 있다.

[0035] 계속해서, 박막 구조체(100)의 상부를 평탄화시키는 평탄화 공정이 수행될 수 있다. 이에 따라, 몰드 패턴(20) 상에 적층된 희생막들(SL) 및 절연막들(ILD)이 제거될 수 있으며, 박막 구조체(100)가 트렌치 내에 형성될 수 있다.

[0036] 또한, 평탄화 공정을 수행하기 전에, 박막 구조체(100) 상에 평탄 절연막이 형성될 수 있으며, 평탄 절연막은 평탄화 공정에서의 평탄도를 향상시킬 수 있다. 이에 따라, 평탄 절연막(30)이 몰드 패턴(20)에 의해 정의된 트렌치 내에 형성될 수 있다.

[0037] 이와 같이 몰드 패턴(20)의 트렌치 내에 형성된 박막 구조체(100)는 연결 영역(CNR)에서 L자 형태로 구부러진 일부분을 가질 수 있다. 다시 말해, 희생막들(SL) 및 절연막들(ILD) 각각은 기판(10)의 상부면에 평행한 수평부 및 몰드 패턴(20)의 측벽에 평행한 측벽부를 가질 수 있다. 또한, 평탄화 공정에 의해 연결 영역(CNR)에서 희생막들(SL) 및 절연막들(ILD)은 기판(10)의 상부면으로부터 실질적으로 동일한 높이에 상부면들을 가질 수 있다.

[0038] 도 2b를 참조하면, 연결 영역(CNR)에서 박막 구조체(100)의 일부분을 노출시키는 제 1 마스크 패턴(MP1)이 형성될 수 있다. 일 예에서, 제 1 마스크 패턴(MP1)은 희생막들(SL)의 측벽부들의 일부분들을 노출시키는 제 1 및 제 2 오프닝들(OP1, OP2)을 가질 수 있다. 다른 예로, 제 1 마스크 패턴(MP1)은 연결 영역(CNR)에서 1개의 오프

닝을 가질 수도 있다.

[0039] 제 1 마스크 패턴(MP1)은 연결 영역(CNR)에서 서로 교차하며 기판(10)의 상부면에 대해 평행한 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향으로 연장되는 일부분을 포함할 수 있다. 다시 말해, 제 1 마스크 패턴(MP1)의 일부분은 연결 영역(CNR)에서 희생막들(SL) 및 절연막들(ILD)을 사선 방향으로 가로지를 수 있다. 다시 말해, 제 1 마스크 패턴(MP1)의 제 1 및 제 2 오프닝들(OP1, OP2)은 각각 희생막들(SL) 및 절연막들(ILD)을 사선 방향으로 가로지르는 일 측벽을 가질 수 있으며, 제 1 및 제 2 오프닝들(OP1, OP2)의 사선 방향의 측벽들은 서로 나란하게 연장될 수 있다. 즉, 제 1 및 제 2 오프닝들(OP1, OP2)은 삼각형 형태를 가질 수 있다.

[0040] 일 예에서, 제 1 오프닝(OP1)에 의해 노출되는 희생막들(SL)의 면적은 셀 어레이 영역(CAR)에서 멀어질수록 감소할 수 있으며, 제 2 오프닝(OP2)들에 의해 노출되는 희생막들(SL)의 면적은 셀 어레이 영역(CAR)에서 멀어질수록 증가할 수 있다.

[0041] 계속해서, 제 1 마스크 패턴(MP1)에 의해 노출된 희생막들(SL)의 일부분들을 선택적으로 식각하는 공정이 수행될 수 있다. 예를 들어, 제 1 마스크 패턴(MP1)을 식각 마스크로 이용하여, 희생막들(SL)의 일부분들을 선택적으로 이방성 또는 등방성 식각할 수 있다. 이에 따라, 도 2c에 도시된 바와 같이, 연결 영역(CNR)에서 절연막들(ILD) 사이에 리세스 영역들(RR)이 형성될 수 있다. 리세스 영역들(RR)에서 희생막들(SL)의 상부면들은 몰드 패턴(20)의 상부면보다 아래에 위치할 수 있으며, 셀 어레이 영역(CAR)에 위치하는 최상층 희생막(SL)의 하부면보다 위에 위치할 수 있다. 즉, 희생막들(SL)의 측벽부들의 일부분들이 식각되어, 절연막들(ILD) 사이에 돌출부들(SLa)이 각각 형성될 수 있다.

[0042] 실시예들에서, 희생막들(SL)의 돌출부들(SLa)은, 평면적 관점에서, 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향으로 배열될 수 있다. 또한, 일 예에 따르면, 제 1 마스크 패턴(MP1)은 제 1 및 제 2 오프닝들(OP1, OP2)을 가지므로, 제 2 방향(D2)에서, 희생막들(SL)의 돌출부들(SLa) 양측에 리세스 영역들(RR)이 형성될 수 있다. 나아가, 리세스 영역들(RR)을 형성시 제 1 및 제 2 오프닝들(OP1, OP2)의 제 2 방향(D2)의 폭에 따라, 희생막들(SL)에 돌출부들(SLa)과 함께 더미 돌출부들(SLb)이 형성될 수 있다. 더미 돌출부들(SLb)은 돌출부들(SLa)과 제 2 방향(D2)으로 서로 이격될 수 있다. 이와 같이, 희생막들(SL)에 돌출부들(SLa)을 형성한 후, 제 1 마스크 패턴(MP1)은 제거될 수 있다.

[0043] 도 2d를 참조하면, 연결 영역(CNR)에서 절연막들 사이의 리세스 영역들(RR) 내에 매립 절연막(40)이 형성될 수 있다. 일 예에서, 매립 절연막(40)은 리세스 영역들(RR)을 완전히 채울 수 있다. 매립 절연막(40)을 형성하는 것은, 리세스 영역들(RR)이 형성된 박막 구조체(100) 상에 절연막을 증착하는 것, 및 희생막들(SL)의 돌출부들(SLa)의 상부면들이 노출되도록 절연막들을 평탄화시키는 것을 포함할 수 있다. 여기서, 매립 절연막(40)은 희생막들(SL)에 대해 식각 선택성을 갖는 절연 물질로 형성될 수 있다. 예를 들어, 매립 절연막(40)은 실리콘막, 실리콘 산화막, 실리콘 카바이드막, 실리콘 산질화막, 및 실리콘 질화막 중의 적어도 하나이되, 희생막들(SL)과 다른 물질일 수 있다.

[0044] 계속해서, 셀 어레이 영역(CAR)에서 박막 구조체(100)를 관통하는 수직 구조체들(VS)이 형성될 수 있다. 수직 구조체들(VS)은 반도체 물질 또는 도전성 물질을 포함할 수 있다.

[0045] 일 예로, 수직 구조체들(VS)을 형성하는 것은, 박막 구조체(100)를 관통하여 개구부들을 형성하는 것, 및 개구부들 내에 반도체 패턴을 형성하는 것을 포함할 수 있다. 개구부들을 형성하는 것은, 박막 구조체(100) 상에 마스크 패턴(미도시)을 형성하고, 마스크 패턴(미도시)을 식각 마스크로 이용하여 박막 구조체(100)를 이방성 식각함으로써 형성될 수 있다. 이방성 식각 공정에서 기판(10)의 상부면까지 과도 식각(over-etch)될 수 있으며, 이에 따라, 개구부들에 노출된 기판(10)의 상부면은 소정의 깊이로 리세스될 수 있다. 또한, 개구부들은 평면적 관점에서 일 방향으로 배열되거나, 지그재그 형태로 배열될 수 있다.

[0046] 나아가, 수직 구조체들(VS) 각각의 상단에 도전 패드를 가질 수 있으며, 도전 패드는 불순물이 도핑된 불순물 영역이거나, 도전 물질로 이루어질 수 있다. 도전 패드들은 최상층의 희생막(SL)의 상부면보다 위에 위치할 수 있다.

[0047] 이에 더하여, 개구부들 내에 수직 구조체들(VS)을 형성하기 전에, 개구부들 내에 수직 절연막(미도시)이 형성될 수 있다. 수직 절연막은 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 본 발명의 실시예들에서, 수직 절연막은 전하 트랩형 플래시 메모리 트랜지스터의 데이터 저장막의 일부일 수 있다. 데이터 저장막에 대해서 도 48a 내지 도 48e를 참조하여 보다 상세히 후술하기로 한다.

[0048] 일 예에서, 수직 구조체들(VS)은 희생막들(SL)에 돌출부들(SLa)을 형성한 후에 형성되는 것으로 설명하였으나,

본 발명은 이에 제한되지 않으며, 수직 구조체들(VS)은 연결 영역(CNR)에서 희생막들(SL)에 돌출부들(SLa)을 형성하기 전에 형성될 수도 있다.

[0049] 도 2e를 참조하면, 박막 구조체(100)를 패터닝하여, 몰드 구조체를 정의하는 제 1 트렌치들(T1)이 형성될 수 있다. 또한, 몰드 구조체를 정의하는 제 1 트렌치들(T1)과 함께, 셀 어레이 영역(CAR)에서 희생막들(SL)의 수평부들을 수평적으로 분리하는 제 2 트렌치(T2)가 형성될 수 있다.

[0050] 보다 상세하게, 수직 구조체들(VS)을 형성한 후, 수직 구조체들(VS) 및 박막 구조체(100) 상에 캡핑막(50)이 형성될 수 있으며, 캡핑막(50) 상에 제 2 마스크 패턴(MP2)이 형성될 수 있다. 캡핑막(50)은 트렌치들을 형성하기 위한 식각 공정에서 하드 마스크로 사용될 수 있으며, 제 2 마스크 패턴(MP2)은 포토 마스크 패턴일 수 있다.

[0051] 제 2 마스크 패턴(MP2)은 라인 형태의 오프닝들을 가질 수 있다. 일 예로, 제 2 마스크 패턴(MP2)은 평면적 관점에서, 제 1 방향(D1)으로 연장되며, 제 1 방향(D2)에 대해 수직하는 제 2 방향으로 이격된 제 1 오프닝들을 가질 수 있다. 이에 더하여, 제 2 마스크 패턴(MP2)은 제 1 오프닝들 사이에서 제 1 방향(D1)으로 연장되되, 제 1 오프닝들보다 짧은 적어도 하나의 제 2 오프닝을 가질 수 있다. 제 1 오프닝들은 박막 구조체(100)를 가로지를 수 있으며, 몰드 패턴(20)의 일부를 노출시킬 수 있다. 제 2 오프닝은 셀 어레이 영역(CAR)에서 박막 구조체(100)를 가로지를 수 있다.

[0052] 일 예로, 제 1 트렌치들(T1)에 의해 정의되는 몰드 구조체는 제 1 방향(D1)으로 연장될 수 있으며, 제 1 트렌치들(T1)은 수직 구조체들(VS)과 이격되어 형성될 수 있다. 제 2 트렌치(T2)는 셀 어레이 영역(CAR)에서 제 1 방향(D1)으로 연장되며, 수직 구조체들(VS)과 이격되어 형성될 수 있다.

[0053] 제 1 트렌치들(T1)은 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 희생막들(SL)의 측벽들을 노출시킬 수 있으며, 제 2 트렌치(T2)는 셀 어레이 영역(CAR)에서 희생막들(SL)의 측벽들을 노출시킬 수 있다. 다시 말해, 제 1 트렌치들(T1)은 희생막들(SL)의 수평부들 및 측벽부들을 노출시킬 수 있으며, 제 2 트렌치(T2)는 희생막들(SL)의 수평부들을 노출시킬 수 있다.

[0054] 도 2f를 참조하면, 제 1 및 제 2 트렌치들(T1, T2)에 노출된 희생막들(SL)을 제거함으로써, 절연막들(ILD) 사이에 게이트 영역들(GR)이 형성될 수 있다. 게이트 영역들(GR)은 절연막들(ILD), 수직 구조체들(VS) 및 기판(10)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 희생막들(SL)을 등방적으로 식각하여 형성될 수 있다. 일 예에서, 희생막들(SL)은 등방성 식각 공정에 의해 완전히 제거될 수 있다. 예를 들어, 희생막들(SL)이 실리콘 질화막이고, 절연막들(ILD)이 실리콘 산화막인 경우, 등방성 식각 공정은 인산을 포함하는 식각액을 사용하여 수행될 수 있다. 이에 더하여, 등방성 식각 공정시 수직 구조체들(VS)을 감싸는 수직 절연막(미도시)은 게이트 영역들(GR)을 형성하기 위한 식각 정지막으로 이용될 수 있다.

[0055] 이와 같이 형성된 게이트 영역들(GR)은, 셀 어레이 영역(CAR)에서, 제 1 및 제 2 트렌치들(T1, T2)로부터 절연막들(ILD) 사이로 수평적으로 연장될 수 있으며, 수직 절연막(미도시)의 측벽 일부분들 또는 수직 구조체(VS)의 측벽 일부분들을 노출시킬 수 있다.

[0056] 나아가, 게이트 영역들(GR)은 희생막들(SL)을 제거하고 남은 빈 공간이므로, 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 연장될 수 있다. 즉, 희생막들(SL)처럼, 게이트 영역들(Gr)은 기판(10)의 상부면에 평행한 수평 영역들 및 몰드 패턴(20)의 측벽에 평행한 측벽 영역들을 가질 수 있다. 또한, 실시예에 따르면, 게이트 영역들(GR)은 연결 영역(CNR)에서 희생막들의 돌출부들(도 2d의 SLa 참조)이 제거되어 절연막들(ILD)과 매립 절연막(40)에 의해 정의되는 돌출 영역들을 가질 수 있다. 즉, 돌출 영역들은 연결 영역(CNR)에서, 절연막들(ILD) 및 매립 절연막(40)에 의해 정의될 수 있다.

[0057] 도 2g를 참조하면, 게이트 영역들 내에 전극들(EL)이 형성될 수 있다. 실시예들에 따르면, 전극들(EL)을 형성하는 것은, 게이트 영역들을 채우는 게이트 도전막을 증착하는 것, 제 1 및 제 2 트렌치들(T1, T2) 내에 형성된 게이트 도전막의 일부를 제거하여, 게이트 영역들 각각에 전극들(EL)을 국소적으로 형성하는 것을 포함할 수 있다. 여기서, 게이트 도전막은 제 1 및 제 2 트렌치들(T1, T2)을 부분적으로 채우거나, 제 1 및 제 2 트렌치들(T1, T2)을 완전히 채울 수 있다. 일 예로, 게이트 도전막을 형성하는 것은, 배리어 금속막 및 금속막을 차례로 증착하는 것을 포함할 수 있다. 배리어 금속막은 예를 들어, TiN, TaN 또는 WN와 같은 금속 질화막으로 이루어질 수 있다. 그리고, 금속막은 예를 들어, W, Al, Ti, Ta, Co 또는 Cu와 같은 금속 물질들로 이루어질 수 있다. 제 1 및 제 2 트렌치들(T1, T2) 내에서 게이트 도전막의 일부는 이방성 식각 공정 또는 등방성 식각 공정에 의해 제거될 수 있다.

[0058] 한편, 게이트 영역들 내에 전극들(EL)을 형성하기 전에, 게이트 영역들 내벽을 컨포말하게 덮는 수평 절연막(미

도시)이 형성될 수 있다. 본 발명의 실시예들에서, 수평 절연막은 전하 트랩형 플래시 메모리 트랜지스터의 데이터 저장막의 일부일 수 있다. 또한, 수평 절연막은 게이트 도전막을 식각하는 공정에서 식각 정지막으로 사용될 수 있다.

[0059] 이와 같이 전극들을 형성함에 따라, 번갈아 반복적으로 적층된 절연막들(ILD) 및 전극들(EL)을 포함하는 전극 구조체(ST)가 형성될 수 있다. 실시예들에서 전극들은 게이트 영역들에 의해 정의되는 형태를 가지므로, 전극들(EL) 각각은 셀 어레이 영역(CAR)에서 기판(10)의 상부면에 평행하며, 제 1 방향(D1)으로 연장되는 전극부들 및 몰드 패턴(20)의 측벽에 평행한 수직 패드부를 가질 수 있다. 또한, 전극들(EL)은 연결 영역(CNR)에서 절연막들(ILD) 및 매립 절연막(40)에 의해 정의되는 돌출 영역을 채우는 돌출부를 가질 수 있다. 이와 같이 형성되는 전극들(EL)에 대해서는 도 3, 도 4, 및 도 5를 참조하여 보다 상세히 설명한다.

[0060] 실시예들에 따르면, 전극들(EL)을 형성한 후, 제 1 및 제 2 트렌치들(T1, T2)에 의해 노출되는 기판(10) 내에 불순물을 도핑하여 불순물 영역들(미도시)이 형성될 수도 있다. 불순물 영역들은 기판(10)과 다른 타입의 불순물을 기판(10) 내에 도핑하여 형성될 수 있다.

[0061] 도 2h를 참조하면, 제 1 및 제 2 트렌치들(T1, T2)을 채우는 분리 절연 패턴들(60)이 형성될 수 있다. 이후, 연결 영역(CNR)에서 전극 구조체들(ST)과 연결되는 배선 구조체가 형성될 수 있다. 배선 구조체는 전극들(EL)의 돌출부들에 접속되는 콘택 플러그들(PLG) 및 콘택 플러그들(PLG)과 접속되는 도전 라인들(CL)을 포함할 수 있다.

[0062] 전극들(EL)의 돌출부들이 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향으로 배열되므로, 콘택 플러그들(PLG)을 형성시 공정 마진이 향상될 수 있다. 즉, 콘택 플러그들(PLG)이 전극들(EL)의 돌출부들과 동일하게 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향으로 배열될 수 있으며, 콘택 플러그들(PLG)은 실질적으로 동일한 길이를 가질 수 있다. 도전 라인들(CL)은 제 1 방향(D1)으로 연장될 수 있으며, 제 2 방향(D2)으로 서로 이격되어 배열되어 콘택 플러그들(PLG)에 각각 접속될 수 있다.

[0063] 한편, 다른 실시예에 따르면, 연결 영역(CNR)에서 콘택 플러그들(PLG)을 형성하는 공정이 생략될 수 있다. 이러한 경우, 도전 라인들(CL)이 콘택 플러그들(PLG) 없이, 전극들(EL)의 돌출부들과 직접 접촉될 수 있다.

[0064] 나아가, 셀 어레이 영역(CAR)에 비트 라인 콘택 플러그들(BPLG)을 통해, 수직 구조체들(VS)과 전기적으로 연결되는 비트 라인들(BL)이 형성될 수 있다. 비트 라인들(BL)은 셀 어레이 영역(CAR)에서 전극들(EL)을 가로질러 제 2 방향(D2)으로 연장되며, 비트 라인들(BL) 각각은 제 2 방향(D2)을 따라 배열된 수직 구조체들(VS)에 전기적으로 연결될 수 있다.

[0066] 도 3, 도 4, 및 도 5는 본 발명의 실시예들에 따른 3차원 반도체 장치의 전극 구조체를 나타내는 사시도들이다. 설명의 간결함을 위해, 도 2a 내지 도 2h를 참조하여 설명된 실시예들과 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0067] 도 3, 도 4, 및 도 5를 참조하면, 셀 어레이 영역(CAR) 및 연결 영역(CNR)을 포함하는 기판(10) 상에 전극 구조체(ST)가 배치될 수 있다. 전극 구조체(ST)는 기판(10) 상에 차례로 적층되는 복수 개의 전극들(EL)을 포함할 수 있다.

[0068] 실시예들에 따르면, 전극들(EL) 각각은 셀 어레이 영역(CAR) 상의 전극부(EP), 연결 영역(CNR) 상의 수직 패드부(PAD), 및 수직 패드부(PAD)의 일부분으로부터 수직적으로 돌출되는 돌출부(PP)를 포함할 수 있다. 전극부(EP)는 기판(10)의 상부면과 평행한 제 1 방향(D1)으로 연장되며, 수직 패드부(PAD)는 전극부(EP)로부터 연장되고 기판(10)의 상부면에 대해 경사질 수 있다.

[0069] 전극들(EL)의 전극부들(EP)은 기판(10)의 상부면에 대해 수직하는 제 3 방향(D3)을 따라 적층될 수 있으며, 기판(10)으로부터 멀어질수록 제 1 방향(D1)으로의 길이가 감소할 수 있다. 실시예들에서, 전극부들(EP)은 도 2d를 참조하여 설명된 수직 구조체들이 관통하는 홀들을 가질 수 있다. 나아가, 실시예들에 따르면, 전극들(EL)의 전극부들(EP) 각각은 제 1 방향(D1)으로 연장되되, 제 2 방향(D2)으로 수평적으로 이격되는 복수 개의 서브-전극부들(SEP) 및 서브-전극부들(SEP)을 수평적으로 연결하는 전극 연결부(ECP)를 포함할 수 있다.

[0070] 전극들(EL)의 수직 패드부들(PAD)은 전극 연결부(ECP)로부터 기판(10)의 상부면에 대해 경사진 방향으로 연장될 수 있다. 전극들(EL)의 수직 패드부들(PAD)은 제 2 방향(D2)으로 동일한 폭을 가질 수 있으며, 수직 패드부들(PAD)의 제 2 방향(D2)의 폭은 전극부들(EP)의 제 2 방향(D2)의 폭과 실질적으로 동일할 수 있다. 일 예에서,

수직 패드부들(PAD)의 제 2 방향(D2)의 폭은 전극 연결부들(ECP)의 제 2 방향(D2)의 폭과 실질적으로 동일할 수 있다.

[0071] 수직 패드부들(PAD)의 상부면들은 기판(10)으로부터 동일한 높이에 위치할 수 있으며, 최상층 전극(EL)의 전극부(EP)보다 위에 위치할 수 있다. 그리고, 수직 패드부들(PAD)의 제 3 방향(D3)의 길이는 기판(10)의 상부면으로부터 전극들(EL)의 전극부들(EP)이 멀어질수록 감소할 수 있다.

[0072] 실시예들에 따르면, 전극들(EL)의 돌출부들(PP)은, 평면적 관점에서, 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향을 따라 배열될 수 있다. 돌출부들(PP)의 상부면들은 기판(10)의 상부면으로부터 동일한 레벨에 위치할 수 있다. 즉, 돌출부들(PP)의 상부면들은 실질적으로 공면을 이룰 수 있다.

[0073] 전극들(EL) 각각에서, 제 1 방향(D1)으로 돌출부(PP)의 폭은 수직 패드부(PAD)의 폭(즉, 전극부(EP)의 두께)과 실질적으로 동일할 수 있다. 일 예에서, 전극들(EL)의 돌출부들(PP)은 제 2 방향(D2)으로 실질적으로 동일한 폭을 가질 수 있다. 또한, 전극들(EL)의 돌출부들(PP)의 제 2 방향(D2)의 폭은 도 2b를 참조하여 설명된 제 1 및 제 2 오프닝들(OP1, OP2)의 측벽들 간의 거리에 따라 달라질 수 있다. 다른 예로, 도 4를 참조하면, 전극들(EL)의 돌출부들(PP)은 제 2 방향(D2)으로의 폭이 서로 다를 수 있다. 다시 말해, 전극들(EL)의 돌출부들(PP)은 정렬된 일측벽들을 가질 수 있으며, 돌출부들(PP)의 일 측벽들이 사선 방향을 따라 배치될 수 있다.

[0074] 돌출부들(PP)의 높이는 도 2c를 참조하여 설명된 리세스 영역들(RR)을 형성시 희생막들(SL)의 식각 깊이에 따라 달라질 수 있다. 그리고, 전극들(EL)의 돌출부들(PP)은 제 3 방향(D3)으로 실질적으로 동일한 높이를 가질 수 있다.

[0075] 실시예들에서, 전극들(EL)의 돌출부들(PP)의 제 2 방향(D2)으로의 폭은 전극 구조체(ST)를 구성하는 전극들(EL)의 개수에 따라 달라질 수 있다. 또한, 전극들(EL)의 돌출부들(PP)의 제 2 방향(D2)으로의 폭은 전극부(EP)의 제 2 방향(D2)의 폭에 따라서도 달라질 수 있다.

[0076] 희생막들(SL)의 측벽부들과 제 1 및 제 2 오프닝들(OP1, OP2)의 사선 방향의 측벽들 사이의 각도는 박막 구조체(100)를 구성하는 희생막들의 개수에 따라 달라질 수 있다. 또한, 전극 구조체의 제 1 방향의 폭에 따라서도 달라질 수 있다.

[0077] 나아가, 전극들(EL) 각각은 수직 패드부(PAD)로부터 돌출되며, 돌출부들(PP)과 제 2 방향(D2)으로 이격된 더미 돌출부들(DPP)을 더 포함할 수도 있다. 전극들(EL)의 더미 돌출부들(DPP)은 평면적 관점에서 제 1 방향(D1)을 따라 배열될 수 있으며, 제 2 방향(D2)으로 실질적으로 동일한 폭을 가질 수 있다.

[0078] 다른 예로, 도 5를 참조하면, 전극들(EL)의 전극부들(EP)은 연결 영역(CNR)에서 제 2 방향(D2)을 따라 내려가는 계단 구조를 가질 수 있다. 이에 따라, 연결 영역(CNR)에서, 전극부들(EP)이 기판(10)의 상부면으로부터 멀어질수록 제 2 방향(D2)의 폭이 감소할 수 있다. 또한, 전극부들(EP)이 기판(10)의 상부면으로부터 멀어질수록 전극들(EL)의 수직 패드부들(PAD)의 제 2 방향(D2)의 폭이 감소할 수 있다. 즉, 수직 패드부들(PAD)의 일 측벽들이 사선 방향을 따라 배치될 수 있다. 또한, 돌출부들(PP)은 수직 패드부들(PAD)의 일 끝단에 위치할 수 있다.

[0080] 도 6a 내지 도 12a는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다. 도 6b 내지 도 12b는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들로서, 도 6a 내지 도 10a의 I-I'선들을 따라 자른 단면들이다. 도 6c 내지 도 12c는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들로서, 도 6a 내지 도 11a의 II-II'선들을 따라 자른 단면들이다. 도 13a 및 도 13b는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법의 변형례들을 설명하기 위한 도면들이다.

[0081] 설명의 간결함을 위해, 도 2a 내지 도 2h를 참조하여 설명된 실시예들과 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0082] 도 6a, 도, 6b, 및 도 6c를 참조하면, 몰드 패턴(20)에 의해 정의된 트렌치 내에 박막 구조체(100)가 형성될 수 있다. 박막 구조체(100)는 도 2a를 참조하여 설명한 바와 같이, 기판(10) 상에 번갈아 적층된 절연막들(ILD) 및 희생막들(SL)을 포함할 수 있으며, 절연막들(ILD) 및 희생막들(SL) 각각은 셀 어레이 영역(CAR)의 수평부들 및 연결 영역(CNR)의 측벽부들을 가질 수 있다.

[0083] 이어서, 연결 영역(CNR)의 박막 구조체(100)에 리세스 영역들(RR)이 형성될 수 있다. 리세스 영역들(RR)은 연결

영역(CNR)에서 절연막들(ILD)의 측벽부들 사이에 형성될 수 있다. 또한, 리세스 영역들(RR)을 형성함에 따라, 희생막들(SL)에 돌출부들(SLa)이 형성될 수 있다. 여기서, 리세스 영역들(RR)은, 도 2b를 참조하여 설명한 바와 같이, 박막 구조체(100) 상에 제 1 마스크 패턴(도 2b의 MP1 참조)을 형성한 후, 제 1 마스크 패턴을 식각 마스크로 이용하여, 희생막들(SL)의 일부분들을 선택적으로 식각함으로써 형성될 수 있다.

[0084] 실시예들에 따르면, 리세스 영역들(RR)에서 희생막들(SL)의 상부면들은 절연막들(ILD)의 상부면들 아래에 위치할 수 있으며, 셀 어레이 영역(CAR)에서 최상층에 위치하는 희생막(SL)의 하부면보다 위에 위치할 수 있다. 또한, 연결 영역(CNR)에서 희생막들(SL)에 형성된 돌출부들(SLa)은, 평면적 관점에서, 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향을 따라 배치될 수 있다.

[0085] 일 예에서, 희생막들(SL)의 일부분들에 대한 식각 공정시, 절연막들(ILD)의 일부분들이 식각될 수도 있다. 이에 따라, 절연막들(ILD)의 상부면들이 몰드 패턴(20)의 상부면보다 아래에 위치할 수도 있다. 이러한 경우, 희생막들(SL)의 돌출부들(SLa)의 측벽들 일부가 노출될 수 있다. 다른 예로, 도 13a에 도시된 바와 같이, 희생막들(SL)의 일부분들에 대한 식각 공정시, 절연막들(ILD)이 희생막들(SL)의 돌출부들(SLa)의 측벽들을 덮을 수 있다. 또 다른 예로, 도 13b에 도시된 바와 같이, 리세스 영역들(RR)을 형성시, 돌출부들(SLa)의 측벽들이 제 1 방향(D1)으로 일부 식각되어, 돌출부들(SLa)의 폭이 측벽부들의 폭보다 작아질 수도 있다. 다시 말해, 리세스 영역들을 형성하는 식각 공정에 따라 돌출부들(SLa)의 크기가 달라질 수 있다.

[0086] 도 7a, 도 7b, 및 도 7c를 참조하면, 리세스 영역들 내에 에어 갭(AG)을 정의하는 매립 절연막(40)이 형성될 수 있다. 여기서, 에어 갭(AG)은 리세스 영역 내에 국소적으로 형성될 수 있으며, 리세스 영역들에서 희생막들(SL)의 상부면들이 에어 갭(AG)에 노출될 수 있다.

[0087] 실시예들에 따르면, 매립 절연막(40)은 스텝 커버리지 특성이 불량한 증착 공정을 이용하여 형성될 수 있다. 예를 들어, 매립 절연막(40)은 물리적 기상 증착(PVD: physical vapor deposition) 방법을 이용하여 형성될 수 있다. 스텝 커버리지 특성이 불량한 증착 공정을 이용함에 따라, 매립 절연막(40)은 오버행(overhang) 현상에 의해 리세스 영역들이 완전히 채워지지 않은 상태에서 리세스 영역들의 상부가 닫힐 수 있다. 이에 따라, 매립 절연막(40)은 리세스 영역 내에 에어 갭(AG)을 정의할 수 있다. 리세스 영역들 내에 에어 갭(AG)이 정의되므로, 각 희생막들(SL)에서 돌출부(SLa) 양측에 에어 갭(AG)이 정의될 수 있다. 여기서, 에어 갭(AG)의 최고점은 몰드 패턴(20)의 상부면 아래에 위치할 수 있다. 일 예에서, 매립 절연막(40)은 절연막들(ILD)의 리세스된 상부면들 상에 형성되며, 희생막들(SL)의 돌출부들(SLa)의 측벽들을 덮을 수 있다.

[0088] 매립 절연막(40)을 형성한 후, 매립 절연막(40)에 대한 평탄화 공정이 수행될 수 있으며, 이에 따라, 매립 절연막(40)의 상부면은 몰드 패턴(20)의 상부면과 공면을 이룰 수 있다. 이러한 매립 절연막(40)은 예를 들어, 고밀도플라즈마(HDP) 산화막, TEOS(TetraEthylOrthoSilicate), PE-TEOS(Plasma Enhanced TetraEthylOrthoSilicate), O3-TEOS(O3-Tetra Ethyl Ortho Silicate) 등일 수 있다.

[0089] 도 8a, 도 8b, 및 도 8c를 참조하면, 도 2d를 참조하여 설명한 것처럼, 셀 어레이 영역(CAR)에서 박막 구조체(100)를 관통하는 수직 구조체들(VS)이 형성될 수 있다. 그리고, 수직 구조체들(VS)을 형성한 후, 박막 구조체(100) 상에 캡핑막(50)이 형성될 수 있다. 계속해서, 도 2e를 참조하여 설명한 것처럼, 박막 구조체(100)를 패터닝하여 제 1 및 제 2 트렌치들(T1, T2)이 형성될 수 있다. 일 예에서, 박막 구조체(100)를 패터닝함에 따라, 적어도 하나의 제 1 트렌치(T1)와 적어도 하나의 제 2 트렌치(T2)가 형성될 수 있다. 제 1 및 제 2 트렌치들(T1, T2)은 제 1 방향(D1)으로 연장될 수 있으며, 제 1 방향(D1)으로 제 2 트렌치(T2)가 제 1 트렌치(T1)보다 짧을 수 있다. 나아가, 제 1 및 제 2 트렌치들(T1, T2)은 수직 구조체들(VS)과 이격될 수 있으며, 제 1 트렌치(T1)는 희생막들(SL)의 돌출부들(SLa)과 이격될 수 있다.

[0090] 제 1 및 제 2 트렌치들(T1, T2)을 형성함에 따라, 제 1 트렌치(T1)는 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 희생막들(SL)의 수평부들 및 측벽부들을 노출시킬 수 있다. 제 2 트렌치들(T2)은 셀 어레이 영역(CAR)에서 희생막들(SL)의 수평부들을 노출시킬 수 있다.

[0091] 도 9a, 도 9b, 및 도 9c를 참조하면, 제 1 및 제 2 트렌치들(T1, T2)에 노출된 희생막들(SL)을 선택적으로 그리고 수평적으로 식각함으로써 절연막들(ILD) 사이에 게이트 영역들(GR)이 형성될 수 있다.

[0092] 앞서 설명한 바와 같이, 게이트 영역들(GR)은 절연막들(ILD), 수직 구조체들(VS) 및 기판(10)에 대해 식각 선택성을 갖는 에천트를 사용하여 희생막들(SL)을 등방적으로 식각하여 형성될 수 있다. 등방성 식각 공정시 에천트는 셀 어레이 영역(CAR)에서 제 1 및 제 2 트렌치들(T1, T2)을 통해 수평적으로 공급되므로, 셀 어레이 영역(CAR)에서 수직 구조체들(VS)의 측벽들을 노출시키는 게이트 영역들(GR)이 형성될 때, 연결 영역(CNR)에서 희생

막들(SL)의 수평부들 일부가 식각되지 않고 잔류할 수 있다.

[0093] 나아가, 게이트 영역들(GR)을 형성시, 연결 영역(CNR)에서 제 1 트렌치(T1)를 통해 에천트가 제공되어 희생막들(SL)의 측벽부들이 수평적으로 식각될 수 있다. 희생막들(SL)의 측벽부들이 등방성 식각됨에 따라 매립 절연막(40) 아래에 정의되는 에어 갭(AG)이 노출될 수 있다. 이후, 에천트가 에어 갭(AG)을 통해 제공되어 희생막들(SL)의 돌출부들(SLa)이 식각될 수 있다. 희생막들(SL)의 돌출부들(SLa)이 제거된 후, 희생막들(SL)의 측벽부들의 일부분들이 잔류할 수 있다.

[0094] 즉, 희생막들(SL)에 대한 등방성 식각 공정에 의해, 절연막들(ILD) 사이에 게이트 영역들(GR)이 형성될 수 있으며, 연결 영역(CNR)에서 희생 패턴들(SLP)이 형성될 수 있다. 희생 패턴들(SLP)의 측벽부들은 매립 절연막(40)의 하부면과 이격될 수 있으며, 이에 따라, 연결 영역(CNR)에서 게이트 영역들(GR)은 매립 절연막(40)과 희생 패턴들(SLP) 사이로 제 2 방향(D2)을 따라 연장될 수 있다. 다시 말해, 게이트 영역들(GR)은 연결 영역(CNR)에서 몰드 패턴(20)의 측벽에 평행한 수직 영역과, 매립 절연막(40)과 희생 패턴들(SLP) 사이에서 제 2 방향(D2)으로 연장되는 수평 영역들 가질 수 있다.

[0095] 실시예들에 따르면, 희생 패턴들(SLP) 각각은 기판(10)의 상부면에 대해 평행한 수평부 및 몰드 패턴(20)의 측벽에 대해 평행한 측벽부를 가질 수 있다. 즉, 희생 패턴들(SLP)은 L자 형태를 가질 수 있으며, 수직 구조체들(VS) 중 일부가 희생 패턴들(SLP)의 수평부들을 관통할 수도 있다. 희생 패턴들(SLP)의 수직부들은 연결 영역(CNR)에서 절연막들(ILD) 사이의 일부분을 채우고 있으므로, 연결 영역(CNR)에서 절연막들이 휘어지거나 무너지는 것을 방지하는 서포터(supporter)로 이용될 수 있다. 또한, 희생막들(SL)에 대한 등방성 식각 공정시 에천트가 연결 영역(CNR)에서 제 1 트렌치(T1)를 통해 수평적으로 제공되므로, 셀 어레이 영역(CAR)에 비해 희생막들(SL)의 식각량이 작을 수 있다. 이에 따라, 연결 영역(CNR)에서 제 1 트렌치(T1)로부터 희생 패턴들(SLP)의 측벽들 간의 수평적 거리는 셀 어레이 영역(CAR)에서 제 1 트렌치(T1)와 제 2 트렌치(T2) 간의 거리보다 작을 수 있다.

[0096] 도 10a, 도 10b, 및 도 10c를 참조하면, 게이트 영역들 내에 전극들(EL)이 형성될 수 있다. 전극들(EL)은, 도 2g를 참조하여 설명한 것처럼, 게이트 도전막을 증착한 후, 제 1 및 제 2 트렌치들(T1, T2) 내에 증착된 도전막을 식각함으로써 형성될 수 있다. 게이트 도전막을 증착시, 단차 도포성이 우수한 증착 공정을 이용함으로써, 게이트 도전막은 셀 어레이 영역(CAR)에서 절연막들(ILD) 사이에 채워질 수 있다. 또한, 게이트 도전막은 연결 영역(CNR)에서 희생 패턴들(SLP)의 측벽부들을 덮으며, 희생 패턴들(SLP)의 상부면들과 매립 절연막(40) 사이의 게이트 영역들을 채울 수 있다. 이와 같이 전극들(EL)을 형성함에 따라, 번갈아 반복적으로 적층된 절연막들(ILD) 및 전극들(EL)을 포함하는 전극 구조체(ST)가 형성될 수 있다.

[0097] 이에 따라, 전극들(EL)은 셀 어레이 영역(CAR)에서 제 1 방향(D1)으로 연장되며 수직 구조체들(VS)을 감싸는 전극부들을 가질 수 있다. 그리고, 전극들(EL)은 연결 영역(CNR)에서 희생 패턴들(SLP)의 측벽부들의 측벽들을 따라 연장되는 수직 패드부들, 수직 패드부들로부터 희생 패턴들(SLP)의 상부면들을 따라 제 2 방향(D2)으로 연장되는 수평 패드부들과, 수평 패드부들로부터 수직적으로 돌출되는 돌출부들을 가질 수 있다. 이와 같이 형성되는 전극들(EL)에 대해서는 도 14 및 도 15를 참조하여 보다 상세히 설명한다.

[0098] 나아가, 전극들(EL)을 형성하기 전에, 게이트 영역들 내에 수평 절연막(미도시)이 균일한 두께로 형성될 수 있다. 이에 따라, 연결 영역(CNR)에서 희생 패턴들(SLP)과 전극들(EL) 사이에 수평 절연막의 일부가 개재될 수 있다. 이후, 제 1 및 제 2 트렌치들(T1, T2)을 채우는 분리 절연 패턴들이 형성될 수 있다.

[0099] 도 11a, 도 11b, 및 도 11c를 참조하면, 연결 영역(CNR)에서 전극 구조체들(ST)과 연결되는 배선 구조체가 형성될 수 있다. 배선 구조체는 전극들(EL)의 돌출부들에 접속되는 콘택 플러그들(PLG) 및 콘택 플러그들(PLG)과 접속되는 도전 라인들(CL)을 포함할 수 있다. 또한, 셀 어레이 영역(CAR)에서 수직 구조체들(VS)과 전기적으로 연결되는 비트 라인 콘택 플러그들(BPLG) 및 전극들(EL)을 가로질러 제 2 방향(D2)으로 연장되는 비트 라인들(BL)이 형성될 수 있다.

[0100] 한편, 다른 실시예에 따르면, **도** 12a, 도 12b, 및 도 12c에 도시된 바와 같이, 연결 영역(CNR)에서 콘택 플러그들(PLG)을 형성하는 공정이 생략될 수 있다. 이러한 경우, 도전 라인들(CL)이 콘택 플러그들(PLG) 없이, 전극들(EL)의 돌출부들 및 매립 절연막(40)과 직접 접촉될 수 있다.

[0102] 도 14는 도 6a 내지 도 11c를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타내는 사시도들이다. 설명의 간결함을 위해, 도 6a 내지 도 11c를 참조하여 설명된 실시예들과 중복되는 기술적 특징들에 대한

설명은 아래에서 생략될 수 있다.

[0103] 도 14를 참조하면, 셀 어레이 영역(CAR) 및 연결 영역(CNR)을 포함하는 기판(10) 상에 전극 구조체(ST)가 배치될 수 있다. 전극 구조체(ST)는 기판(10) 상에 수직적으로 적층된 복수 개의 전극들(EL)을 포함할 수 있다. 실시예들에 따르면, 전극들(EL) 각각은 셀 어레이 영역(CAR)에서 기판(10)의 상부면에 평행한 제 1 방향(D1)으로 연장되는 전극부(EP), 연결 영역(CNR)에서 기판(10)의 상부면에 대해 경사진 제 3 방향(D3)으로 연장되는 수직 패드부(PADa), 수직 패드부(PADa)의 일부분으로부터 기판(10)의 상부면에 평행하며, 제 1 방향(D1)과 수직하는 제 2 방향(D2)으로 연장되는 수평 패드부(PADb), 및 수평 패드부(PADb)의 일부분으로부터 제 3 방향(D3)으로 돌출되는 돌출부(PP)를 가질 수 있다. 나아가, 전극들(EL)은 수직 패드부들(PADa)의 일 부분들로부터 제 3 방향(D3)으로 돌출되는 더미 돌출부들(DPP)을 가질 수 있다.

[0104] 실시예들에 따르면, 전극들(EL)의 전극부들(EP) 각각은, 제 1 방향(D1)으로 연장되며, 제 2 방향(D2)으로 서로 이격되는 서브-전극부들(SEP), 연결 영역(CNR)에서 서브-전극부들(SEP)을 연결하는 전극 연결부(ECP), 전극 연결부(ECP)의 일 부분으로부터 제 1 방향(D1)으로 연장되는 연장부(EXP)를 가질 수 있다. 일 예에서, 제 2 방향(D2)으로, 연장부(EXP)의 폭은 서브-전극부(SEP)의 폭보다 작을 수 있다. 전극들(EL)의 서브-전극부들(SEP) 및 전극 연결부들(ECP)은, 평면적 관점에서, 중첩될 수 있으며, 전극들(EL)의 연장부들(EXP)은 기판(10)으로부터 멀어질수록 제 1 방향(D1)의 길이가 감소될 수 있다.

[0105] 전극들(EL)의 수직 패드부들(PADa)은 전극부들(EP)의 일부분들(즉, 연장부들(EXP))로부터 기판(10)의 상부면에 대해 경사진 제 3 방향(D3)으로 연장될 수 있다. 실시예들에서, 수직 패드부들(PADa)은 전극부들(EP)의 제 2 방향(D2)의 폭보다 작은 폭을 가질 수 있다. 전극들(EL)의 전극부들(EP)이 기판(10)으로부터 멀어질수록 전극들(EL)의 수직 패드부들(PADa)은 제 3 방향(D3)으로의 길이가 감소할 수 있다.

[0106] 전극들(EL)의 수평 패드부들(PADb)은 제 2 방향(D2)으로 실질적으로 동일한 폭을 가질 수 있으며, 수평 패드부들(PADb)의 하부면들은 기판(10)으로부터 실질적으로 동일한 높이에 위치할 수 있다다. 그리고, 전극들(EL)의 수평 패드부들(PADb)은 전극들(EL)의 전극부들(EP)과 이격될 수 있다.

[0107] 전극들(EL)의 돌출부들(PP)은 수평 패드부들(PADb)의 일부분들로부터 제 3 방향(D3)으로 돌출될 수 있으며, 기판(10)으로부턴 실질적으로 동일한 높이에 위치하는 상부면들을 가질 수 있다. 그리고, 전극들(EL)의 돌출부들(PP)은 서로 교차하는 제 1 및 제 2 방향(D2)들에 대해 사선 방향을 따라 형성될 수 있다. 실시예들에서, 돌출부들(PP)의 제 2 방향(D2)의 폭은, 도 6a, 도 6b, 및 도 6c를 참조하면 설명한 제 1 마스크 패턴에서 제 1 및 제 2 오프닝들 간의 간격에 따라 달라질 수 있다.

[0108] 전극들(EL)의 더미 돌출부들(DPP)은 돌출부들(PP)과 제 2 방향(D2)으로 서로 이격되어 배치될 수 있으며, 더미 돌출부들(PP)의 상부면들이 돌출부들(PP)의 상부면들과 실질적으로 공면을 이룰 수 있다. 또한, 더미 돌출부들(DPP)의 측벽들은 전극부들(EP)의 측벽들과 정렬될 수 있다.

[0109] 이에 더하여, 전극 구조체(ST)는 앞서 설명한 바와 같이, 전극들(EL)의 수평 패드부들(PADb) 아래에 배치된 희생 패턴들(SLP)을 더 포함할 수 있다. 희생 패턴들(SLP)은 연결 영역(CNR)에서 L자 형상을 가질 수 있다. 일 예에서 희생 패턴들(SLP)은 전극들(EL)의 전극부들(EP)의 일측벽과 공면을 이룰수 있으며, 제 2 방향(D2)으로 전극 연결부(ECP)의 폭보다 작은 폭을 가질 수 있다.

[0111] 도 15a 내지 도 17a는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다. 도 15b 내지 도 17b는 도 15a 내지 도 17a의 II-II'선을 따라 자른 단면들이다. 설명의 간결함을 위해, 도 6a 내지 도 11c를 참조하여 설명된 실시예들과 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0112] 도 15a 및 도 15b를 참조하면, 도 7a, 도 7b, 및 도 7c를 참조하여 설명한 바와 같이, 연결 영역(CNR)에서, 박막 구조체(100)의 절연막들(ILD) 사이에 에어 갭(AG)을 정의하는 매립 절연막(40)을 형성한 후, 박막 구조체(100)에 대한 패터닝 공정이 수행될 수 있다.

[0113] 일 예에서, 박막 구조체(100)에 대한 패터닝 공정은, 도 2e를 참조하여 설명된 제 2 마스크 패턴(도 2의 MP2 참조)처럼, 제 1 방향(D1)으로의 길이가 서로 다른 오프닝들을 갖는 마스크 패턴이 식각 마스크로 사용될 수 있다. 즉, 박막 구조체(100)를 패터닝함에 따라, 몰드 구조체를 정의하는 복수 개의 제 1 트렌치들(T1) 및 제 1 트렌치들(T1) 사이의 적어도 하나의 제 2 트렌치(T2)가 형성될 수 있다. 여기서, 제 1 방향(D1)으로 제 1 트렌

치들(T1)의 길이가 제 2 트렌치(T2)의 길이보다 길 수 있다.

[0114] 이와 같이, 제 1 트렌치들(T1)을 형성함에 따라, 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 몰드 구조체들의 양측벽들이 노출될 수 있다. 또한, 제 2 트렌치(T2)에 의해 셀 어레이 영역(CAR)에서 몰드 구조체의 일부분들이 노출될 수 있다. 다시 말해, 연결 영역(CNR)에서 희생막들(SL)의 측벽부들의 양측벽들이 제 1 트렌치들(T1)에 노출될 수 있다.

[0115] 도 16a 및 도 16b를 참조하면, 제 1 및 제 2 트렌치들(T1, T2)에 노출된 희생막들(SL)을 제거하는 등방성 식각 공정이 수행될 수 있다. 등방성 식각 공정시 셀 어레이 영역(CAR)의 희생막들(SL)은 제 1 트렌치들(T1) 및 제 2 트렌치(T2)를 통해 제공되는 에천트에 의해 등방성 식각될 수 있으며, 연결 영역(CNR)에서 희생막들(SL)은 제 1 트렌치들(T1)을 통해 제공되는 에천트에 의해 등방성 식각될 수 있다. 이에 따라, 셀 어레이 영역(CAR)과 연결 영역(CNR)에서 희생막들(SL)의 식각량이 서로 다를 수 있다.

[0116] 등방성 식각 공정에 의해 셀 어레이 영역(CAR)에서 희생막들(SL)이 제거되어 절연막들(ILD) 사이의 빈 공간인 게이트 영역들(GR)이 형성될 수 있다. 또한, 셀 어레이 영역(CAR)의 희생막들(SL)이 식각되는 동안 연결 영역(CNR)에서 희생막들(SL)의 일부가 잔류하여 희생 패턴들(SLP)이 형성될 수 있다. 희생 패턴들(SLP)은 절연막들(ILD) 사이에서 L자 형태를 가질 수 있으며, 수직 구조체들(VS) 중 일부가 희생 패턴들(SLP)의 수평부들을 관통할 수도 있다. 실시예들에 따르면, 희생 패턴들(SLP)은 제 1 트렌치들(T1)로부터 수평적으로 리세스된 양측벽들을 가질 수 있다. 그리고, 희생 패턴들(SLP)에서 제 2 방향(D2)의 폭은 제 1 트렌치들(T1) 간의 거리보다 작을 수 있다.

[0117] 또한, 등방성 식각 공정시, 에천트가 연결 영역(CNR)에서 에어 갭을 통해 제공될 수 있으므로, 희생막들(SL)의 돌출부들이 식각될 수 있으며, 희생 패턴들(SLP)의 상부면들이 매립 절연막(40)의 하부면과 이격될 수 있다. 즉, 게이트 영역들(GR)은 연결 영역(CNR)에서 몰드 패턴(20)의 측벽에 평행한 수직 영역 및 매립 절연막(40)과 희생 패턴들(SLP) 사이에서 제 2 방향(D2)으로 연장되는 수평 영역을 가질 수 있다.

[0118] 도 17a 및 도 17b를 참조하면, 게이트 영역들(GR) 내에 전극들(EL)이 형성될 수 있다. 앞서 설명한 바와 같이, 전극들(EL)은 단차 도포성이 우수한 증착 공정을 이용하여 형성될 수 있다. 이에 따라, 전극들(EL)은 연결 영역(CNR)에서 희생 패턴들(SLP)의 양측벽들 및 희생 패턴들(SLP)의 상부면들을 따라 형성될 수 있다. 또한, 전극들(EL)은 매립 절연막들(40)에 의해 정의된 빈 공간을 채울 수 있다. 이에 따라, 전극들(EL) 각각은 희생 패턴들(SLP)의 양측벽들을 덮는 수직 패드부들, 희생 패턴(SLP)의 상부면을 덮는 수평 패드부, 및 매립 절연막들에 의해 정의된 빈 공간을 채우는 돌출부를 포함할 수 있다. 이후, 제 1 및 제 2 트렌치들(T1, T2)을 채우는 분리 절연 패턴들(60)이 형성될 수 있다.

[0120] 도 18 및 도 19는 도 15a 내지 도 17a 및 도 15b 내지 도 17b를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

[0121] 도 18을 참조하면, 전극 구조체(ST)를 구성하는 전극들(EL) 각각은 셀 어레이 영역(CAR)에서 기판(10)의 상부면에 대해 평행하며, 제 1 방향(D1)으로 연장되는 전극부(EP), 연결 영역(CNR)에서 제 3 방향(D3)으로 연장되는 수직 패드부들(PADa), 수직 패드부들(PADa)을 제 2 방향(D2)으로 연결하는 수평 패드부(PADb), 및 수평 패드부(PADb)의 일부분으로부터 제 3 방향(D3)으로 돌출되는 돌출부(PP)를 가질 수 있다. 나아가, 전극들(EL)은 수직 패드부들(PADa)의 일 부분들로부터 제 3 방향(D3)으로 돌출되는 더미 돌출부들(DPP)을 가질 수 있다.

[0122] 앞서 도 14를 참조하여 설명한 것처럼, 전극들(EL)의 전극부들(EP) 각각은, 서브-전극부들(SEP), 전극 연결부(ECP), 및 연장부(EXP)를 포함할 수 있다. 이 실시예에서, 연장부들(EXP)은 전극 연결부(ECP)로부터 제 1 방향(D1)으로 연장되되, 제 2 방향(D2)으로 서로 이격될 수 있다. 전극들(EL)의 수직 패드부들(PADa)은 연장부들(EXP)로부터 제 3 방향(D3)으로 각각 연장될 수 있다. 전극들(EL)의 수평 패드부들(PADb)은 희생 패턴들(도 17b의 SLP 참조) 상에 배치되며, 전극들(EL)의 돌출부들(PP)은, 평면적 관점에서, 서로 교차하는 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향으로 배치될 수 있다. 전극들(EL)의 돌출부들(PP)에 앞서 설명한 바와 같이, 콘택 플러그들이 각각 접속될 수 있다.

[0123] 도 19에 도시된 실시예에 따르면, 전극들(EL) 각각은 전극부(EP), 제 2 방향(D2)으로 서로 이격되는 수직 패드부들(PADa), 수직 패드부들(PADa)을 수평적으로 연결하는 수평 패드부(PADb), 및 돌출부들(PP1, PP2)을 포함할 수 있다. 일 예에서, 각 전극들(EL)은 수평 패드부(PADb) 상에서 제 2 방향(D2)으로 이격되는 돌출부들(PP1, PP2)을 포함할 수 있다. 그리고, 각 전극(EL)에서, 돌출부들(PP1, PP2) 중 어느 하나에 콘택 플러그(PLG1,

PLG2) 및 도전 라인(도 11a의 CL 참조)이 접속될 수 있다.

[0124] 일 예로, 전극 구조체(ST)에서, 전극들(EL)의 돌출부들은 제 1 사선 방향을 따라 배열되는 제 1 돌출부들(PP1)과 제 1 사선 방향과 다른 제 2 사선 방향으로 배열되는 제 2 돌출부들(PP2)을 포함할 수 있다. 제 1 돌출부들(PP1)과 제 2 돌출부들(PP2)은 제 1 방향(D1)으로 연장되는 가상선을 기준으로 미러 대칭적으로 배치될 수 있다.

[0125] 이러한 전극 구조체(ST)에서, 홀수층에 위치하는 전극들(EL)의 제 1 돌출부들(PP1)에 제 1 콘택 플러그들(PLG1)이 각각 접속될 수 있으며, 짝수층에 위치하는 전극들(EL)의 제 2 돌출부들(PP2)에 제 2 콘택 플러그들(PLG2)이 각각 접속될 수 있다. 이에 따라, 제 1 방향(D1)으로 연장되며, 제 1 및 제 2 콘택 플러그들(PLG1, PLG2)에 각각 접속되는 도전 라인들의 공정 마진이 향상될 수 있다.

[0127] 도 20a 내지 도 25a는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다. 도 20b 내지 도 25b는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들로서, 도 20a 내지 도 25a의 II-II' 선을 따라 자른 단면들이다. 설명의 간결함을 위해, 도 6a 내지 도 11c를 참조하여 설명된 실시예들과 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0128] 도 20a 및 도 20b를 참조하면, 몰드 패턴(20)에 의해 정의된 트렌치 내에 박막 구조체(100)를 형성한 후에, 박막 구조체(100) 상에 연결 영역(CNR)에서 희생막들(SL)의 일부분들을 노출시키는 제 1 마스크 패턴(MP1)이 형성될 수 있다.

[0129] 제 1 마스크 패턴(MP1)은 연결 영역(CNR)에서 오프닝(OP)을 가질 수 있으며, 오프닝(OP)에 의해 노출되는 희생막들(SL)의 면적이 셀 어레이 영역(CAR)에서 멀어질수록 달라질 수 있다. 즉, 오프닝(OP)에 의해 노출되는 희생막들(SL)의 면적들이 서로 다를 수 있다. 다시 말해, 평면적 관점에서, 오프닝(OP)은 삼각형 형태를 가질 수 있으며, 오프닝(OP)은 서로 수직하는 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향으로 연장되는 일 측벽을 가질 수 있다.

[0130] 이에 더하여, 일 예에 따르면, 제 1 마스크 패턴(MP1)을 형성하기 전에, 셀 어레이 영역(CAR)에서 박막 구조체(100) 관통하는 수직 구조체들(VS)이 형성될 수 있으며, 수직 구조체들(VS)이 형성된 박막 구조체(100) 상에 캡핑막(50)이 형성될 수 있다.

[0131] 제 1 마스크 패턴(MP1)을 형성한 후, 제 1 마스크 패턴(MP1)을 이용하여 희생막들(SL)의 일부분들 선택적으로 식각함으로써, 절연막들(ILD)의 상부 부분들 사이에 리세스 영역들(RR)이 형성될 수 있다. 리세스 영역들(RR)을 형성시 희생막들(SL)에 대한 등방성 또는 이방성 식각 공정이 수행될 수 있다. 리세스 영역들(RR)에 노출된 희생막들(SL)의 상부면들은 절연막들(ILD)의 상부면들 아래에 위치할 수 있으며, 셀 어레이 영역(CAR)에서 최상층 희생막(SL)의 상부면보다 위에 위치할 수 있다.

[0132] 일 예에서 리세스 영역들(RR)은 수평적으로 정렬된 일측벽들을 가질 수 있으며, 제 2 방향(D2)으로 서로 다른 폭들을 가질 수 있다.

[0133] 도 21a 및 도 21b를 참조하면, 리세스 영역들(RR)의 일부분들을 채우는 매립 절연막(40)이 형성될 수 있다. 매립 절연막(40)은, 앞서 도 7a, 도 7b, 및 도 7c를 참조하여 설명한 것처럼, 스텝 커버리지 특성이 불량한 증착 공정을 이용하여 형성될 수 있다. 이에 따라, 매립 절연막(40)은 리세스 영역 내에 에어 갭(AG)을 정의할 수 있다. 여기서, 에어 갭(AG)은 리세스 영역 내에 국소적으로 형성될 수 있으며, 리세스 영역들에서 희생막들(SL)의 상부면들이 에어 갭(AG)에 노출될 수 있다. 일 예에서, 리세스 영역들의 제 2 방향(D2)으로 서로 다른 폭들을 가지므로, 에어 갭들(AG) 또한 제 2 방향(D2)으로의 폭이 서로 다를 수 있다.

[0134] 도 22a 및 도 22b를 참조하면, 박막 구조체(100)를 패터닝함으로써, 몰드 구조체를 정의하는 제 1 및 제 2 트렌치들(T1, T2)이 형성될 수 있다. 일 예에서, 제 1 및 제 2 트렌치들(T1, T2)은 제 1 방향(D1)으로 연장될 수 있으며, 제 1 방향(D1)으로 제 2 트렌치(T2)가 제 1 트렌치(T1)보다 짧을 수 있다. 또한, 제 1 트렌치(T1)는 연결 영역(CNR)에서 매립 절연막(40)과 이격되어 형성될 수 있다.

[0135] 제 1 트렌치(T1)에 의해 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 몰드 구조체의 일측벽이 노출될 수 있으며, 제 2 트렌치(T2)에 의해 셀 어레이 영역에서 몰드 구조체의 일측벽이 노출될 수 있다. 즉, 제 1 트렌치(T1)는 희생막들(SL)의 수평부들 및 측벽부들을 노출시킬 수 있으며, 제 2 트렌치(T2)는 희생막들(SL)의 수평부

들의 일부분들을 노출시킬 수 있다.

[0136] 도 23a 및 23b를 참조하면, 제 1 및 제 2 트렌치들(T1, T1)에 노출된 희생막들(SL)을 등방성 식각함으로써, 절연막들(ILD) 사이에 게이트 영역들(GR)이 형성될 수 있다. 게이트 영역들(GR)은, 앞서 설명한 바와 같이, 절연막들(ILD), 수직 구조체들(VS) 및 기판(10)에 대해 식각 선택성을 갖는 에천트를 사용하여 희생막들(SL)을 등방적으로 식각하여 형성될 수 있다. 등방성 식각 공정시 에천트는 셀 어레이 영역(CAR)에서 제 1 및 제 2 트렌치들(T1, T2)을 통해 수평적으로 공급되므로, 셀 어레이 영역(CAR)과 연결 영역(CNR)에서 희생막들의 식각량이 다를 수 있다. 이에 따라, 연결 영역(CNR)에서 희생막들의 일부분들이 잔류하여 희생 패턴들(SLP)이 형성될 수 있다.

[0137] 일 예에서, 등방성 식각 공정시 매립 절연막(40) 아래의 에어 갭들을 통해 에천트가 제 2 방향(D2)으로 제공될 수 있다. 이에 따라, 에어 갭들에 노출된 희생막들(SL)의 측벽들이 제 2 방향(D2)으로 리세스될 수 있다. 즉, 연결 영역(CNR)에서 희생막들(SL)의 일측벽들이 제 2 방향(D2)으로 매립 절연막(40)의 일측벽과 이격될 수 있다. 이에 따라, 매립 절연막(40)과 희생막들(SL) 사이에 캡핑막(50)의 하부면 일부를 노출시키는 빈 공간이 형성될 수 있다.

[0138] 이와 같이 형성된 게이트 영역들(GR)은 연결 영역(CNR)에서 절연막들(ILD)의 측벽부들 사이에 수직 영역, 연결 영역(CNR)에서 매립 절연막(40)의 하부면과 희생 패턴(SLP)의 상부면 사이로 제 2 방향(D2)을 따라 연장되는 수평 영역, 및 수평 영역으로부터 매립 절연막과 희생 패턴(SLP)의 측벽들 사이로 제 3 방향(D3)을 따라 연장되는 돌출 영역을 가질 수 있다. 일 예에서, 게이트 영역들(GR)의 수평 영역들은 제 1 트렌치(T1)로부터 제 2 방향(D2)으로 서로 다른 폭을 가질 수 있다. 따라서, 게이트 영역들(GR)의 수평 영역들은 수평적으로 서로 다른 위치들에 위치할 수 있다.

[0139] 나아가, 일 예에서, 희생 패턴들(SLP)은 연결 영역(CNR)에서 캡핑막(50)과 접촉하는 제 1 상부면과 제 1 상부면 아래에서 게이트 영역들(GR)의 수평 영역들을 정의하는 제 2 상부면을 가질 수 있다.

[0140] 도 24a 및 도 24b를 참조하면, 게이트 영역들 내에 전극들(EL)이 형성될 수 있다. 전극들(EL) 단차 도포성이 우수한 증착 공정을 이용하여 형성되므로, 게이트 영역들을 채울 수 있다. 이에 따라, 전극들(EL) 각각은 매립 절연막(40)과 희생 패턴(SLP) 사이로 제 2 방향(D2)을 따라 연장되는 수평 패드부를 가질 수 있다. 또한, 전극들(EL) 각각은 수평 패드부의 끝단에서 수직으로 돌출된 돌출부를 가질 수 있다.

[0141] 일 예에 따르면, 전극들(EL)의 수평 패드부들은 희생 패턴들(SLP)의 제 2 상부면 상에 형성될 수 있다. 또한, 전극들(EL)의 돌출부들은 제 2 방향(D2)으로 희생 패턴들(SLP)과 매립 절연막(40) 사이에 개재될 수 있다. 그리고, 전극들(EL)의 돌출부들의 상부면들은 희생 패턴(SLP)의 제 1 상부면과 실질적으로 공면을 이룰 수 있다. 이와 같이 형성된 전극들(EL)에 대해서 도 26 및 도 27을 참조하여 보다 더 자세히 설명하기로 한다.

[0142] 계속해서, 도 25a 및 도 25b를 참조하면, 연결 영역(CNR)에서 전극 구조체들(ST)과 연결되는 배선 구조체가 형성될 수 있다. 배선 구조체는 전극들(EL)의 돌출부들에 접속되는 콘택 플러그들(PLG) 및 콘택 플러그들(PLG)과 접속되는 도전 라인들(CL)을 포함할 수 있다. 또한, 셀 어레이 영역(CAR)에서 수직 구조체들(VS)과 전기적으로 연결되는 비트 라인 콘택 플러그들(BPLG) 및 전극들(EL)을 가로질러 제 2 방향(D2)으로 연장되는 비트 라인들(BL)이 형성될 수 있다.

[0143] 한편, 다른 실시예에 따르면, 도 12a, 도 12b, 및 도 12을 참조하여 설명한 것처럼, 연결 영역(CNR)에서 콘택 플러그들(PLG)을 형성하는 공정이 생략될 수 있다. 이러한 경우, 도전 라인들(CL)이 콘택 플러그들(PLG) 없이, 전극들(EL)의 돌출부들 및 매립 절연막(40)과 직접 접촉될 수 있다.

[0145] 도 26 및 도 27은 도 20a 내지 도 25a 및 도 20b 내지 도 25b를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

[0146] 도 26을 참조하면, 기판(10) 상에 수직적으로 적층된 전극들(EL)을 포함하는 전극 구조체(ST)가 배치될 수 있다. 전극들(EL) 각각은 셀 어레이 영역(CAR)에서 기판(10)의 상부면에 평행한 제 1 방향(D1)으로 연장되는 전극부(EP), 연결 영역(CNR)에서 기판(10)의 상부면에 대해 경사진 제 3 방향(D3)으로 연장되는 수직 패드부(PADa), 수직 패드부(PADa)의 일부분으로부터 기판(10)의 상부면에 평행하며, 제 1 방향(D1)과 수직하는 제 2 방향(D2)으로 연장되는 수평 패드부(PADb), 및 수평 패드부(PADb)의 일부분으로부터 제 3 방향(D3)으로 돌출되는 돌출부(PP)를 가질 수 있다. 나아가, 전극들(EL)은 수직 패드부들(PADa)의 일 부분들로부터 제 3 방향(D3)으

로 돌출되는 더미 돌출부들(DPP)을 가질 수 있다.

[0147] 전극들(EL)의 전극부들(EP)은 앞서 도 14를 참조하여 설명한 것처럼, 서브-전극부들((SEP), 전극 연결부(ECP), 및 연장부(EXP)를 포함할 수 있다.

[0148] 일 예에서, 전극들(EL)의 수직 패드부들(PADa)은 수평적으로 정렬된 일측벽들을 가질 수 있으며, 제 2 방향(D2)으로 실질적으로 동일한 폭을 가질 수 있다. 전극들(EL)의 수평 패드부들(PADb)은 수직 패드부들(PADa)로부터 제 2 방향(D2)으로 서로 다른 폭을 가질 수 있다. 예를 들어, 전극부들(EP)이 기판(10)으로부터 멀어질수록 수평 패드부들(PADb)의 제 2 방향(D2)의 폭이 감소하거나 증가할 수 있다. 전극들(EL)의 돌출부들(PP)은 수평 패드부들(PADb)의 끝단들에 각각 배치될 수 있다. 이에 따라, 전극들(EL)의 돌출부들(PP)은, 평면적 관점에서, 서로 수직하는 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향을 따라 배치될 수 있다.

[0149] 나아가, 전극 구조체(ST)는 전극들(EL)과 동일층에 위치하는 희생 패턴들(SLP)을 포함할 수 있으며, 희생 패턴들(SLP)은 연결 영역(CNR)에서 실질적으로 L자 형태의 단면을 가질 수 있다. 일 예에서, 희생 패턴들(SLP)의 상부면들은 연결 영역(CNR)에서 전극들(EL)의 돌출부들(PP)의 상부면들과 실질적으로 동일한 높이에 위치할 수 있다. 또한, 희생 패턴들(SLP)은 전극들(EL)의 수평 패드부들(PADb)의 아래에 위치할 수 있다.

[0150] 도 27을 참조하면, 전극들(EL) 각각은 제 2 방향(D2)으로 서로 이격된 제 1 및 제 2 수직 패드부들(PAD1a, PAD2a), 제 1 수직 패드부(PAD1a)의 일부분으로부터 제 2 방향(D2)으로 연장되는 제 1 수평 패드부(PAD1b), 제 2 수직 패드부(PAD2a)의 일부분으로부터 제 2 방향(D2)으로 연장되는 제 2 수평 패드부(PAD2b)를 가질 수 있다. 제 1 및 제 2 수평 패드부들(PAD1b, PAD2b)은 서로 반대 방향으로 연장될 수 있다. 다시 말해, 전극들(EL)의 제 1 수평 패드부들(PAD1b)과 전극들(EL)의 제 2 수평 패드부들(PAD2b)은 제 1 방향(D1)으로 장축을 갖는 가상선을 기중으로 미러 대칭일 수 있다.

[0151] 제 1 수평 패드부들(PAD1b)의 끝단들에 제 1 돌출부들(PP1)이 각각 배치될 수 있으며, 제 2 수평 패드부들(PAD2b)의 끝단들에 제 2 돌출부들(PP2)이 각각 배치될 수 있다. 즉, 제 1 돌출부들(PP1)은 제 1 및 제 2 방향들(D1, D2)에 대해 제 1 사선 방향을 따라 배열될 수 있으며, 제 2 돌출부들(PP2)은 제 1 사선 방향과 다른 제 2 사선 방향을 따라 배열될 수 있다.

[0152] 이러한 전극 구조체(ST)에서, 홀수층에 위치하는 전극들(EL)의 제 1 돌출부들(PP1)에 제 1 콘택 플러그들(PLG1)이 각각 접속될 수 있으며, 짝수층에 위치하는 전극들(EL)의 제 2 돌출부들(PP2)에 제 2 콘택 플러그들(PLG2)이 각각 접속될 수 있다. 이에 따라, 제 1 방향(D1)으로 연장되며, 제 1 및 제 2 콘택 플러그들(PLG1, PLG2)에 각각 접속되는 도전 라인들의 공정 마진이 향상될 수 있다.

[0154] 도 28 내지 도 32는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 나타낸다. 도 33은 도 28 내지 도 32를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다. 설명의 간략함을 위해, 도 20a 내지 도 25a 및 도 20b 내지 도 25b를 설명된 실시예들과 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0155] 도 28을 참조하면, 몰드 패턴(20)에 의해 정의된 트렌치 내에 박막 구조체(100)가 형성될 수 있다. 박막 구조체(100)는 기판(10) 상에 번갈아 적층된 절연막들(ILD) 및 희생막들(SL1, SL2)을 포함하며, 절연막들(ILD) 및 희생막들(SL1, SL2) 각각은 기판(10)의 상부면에 평행한 수평부 및 몰드 패턴(20)의 측벽에 평행한 측벽부를 가질 수 있다. 일 예에 따르면, 박막 구조체(100)는 기판(10) 상에 차례로 적층된 하부 희생막들(SL1)을 포함하는 하부 박막 구조체 및 하부 박막 구조체 상에 차례로 적층된 상부 희생막들(SL2)을 포함하는 상부 박막 구조체를 포함할 수 있다.

[0156] 이어서, 박막 구조체(100) 상에 연결 영역(CNR)에서 제 1 및 제 2 오프닝들(OP1, OP2)을 갖는 제 1 마스크 패턴(MP1)이 형성될 수 있다. 일 예에서, 제 1 오프닝(OP1)은 하부 희생막들(SL1)의 일 부분을 노출시킬 수 있으며, 제 2 오프닝(OP2)은 상부 희생막들(SL2)의 일부분을 노출시킬 수 있다.

[0157] 제 1 및 제 2 오프닝들(OP1, OP2) 각각은 삼각형 형태를 가질 수 있다. 다시 말해, 제 1 및 제 2 오프닝들(OP1, OP2) 각각은, 평면적 관점에서 서로 교차하는 제 1 및 제 2 방향들(D1, D2)에 대해 사선 방향으로 일측벽을 가질 수 있다. 또한, 제 1 및 제 2 오프닝들(OP1, OP2)의 일 측벽들은 서로 나란하게 연장될 수 있다. 예를 들어, 제 1 오프닝(OP1)에 의해 노출되는 하부 박막 구조체의 면적은 셀 어레이 영역(CAR)으로부터 멀어질수록 증가할 수 있다. 마찬가지로, 제 2 오프닝(OP2)에 의해 노출되는 상부 박막 구조체의 면적은 셀 어레이 영역(CAR)으로

부터 멀어질수록 증가할 수 있다.

[0158] 한편, 다른 예로, 제 1 마스크 패턴(MP1)은 도 2b에 도시된 것처럼, 하부 및 상부 박막 구조체들 각각에서 한 쌍의 오프닝들을 가질 수도 있다.

[0159] 계속해서, 도 20a 및 도 20b를 참조하여 설명한 것처럼, 제 1 마스크 패턴(MP1)을 식각 마스크로 이용하여, 하부 및 상부 희생막들(SL1, SL2)의 일부분들을 식각함으로써, 하부 및 상부 희생막들(SL1, SL2)의 측벽부들에 리세스 영역들(RR)이 형성될 수 있다. 즉, 리세스 영역들(RR)에 노출된 하부 및 상부 희생막들(SL1, SL2)의 상부면들은 몰드 패턴(20)의 상부면보다 아래에 위치할 수 있다.

[0160] 일 예에 따르면, 하부 희생막들(SL1)의 리세스 영역들(RR)은 수평적으로 정렬된 일측벽들을 가질 수 있으며, 제 2 방향(D2)으로 서로 다른 폭들을 가질 수 있다. 이는 상부 희생막들(SL2)의 리세스 영역들(RR)에서도 마찬가지일 수 있다.

[0161] 도 29를 참조하면, 하부 및 상부 희생막들(SL1, SL2)의 리세스 영역들(RR)을 내에 매립 절연막(40)이 형성될 수 있다.

[0162] 매립 절연막(40)은 도 2d를 참조하여 설명한 바와 같이, 리세스 영역들(RR)을 완전히 채우도록 형성될 수 있다. 이와 달리, 매립 절연막(40)은, 도 21a 및 도 21b를 참조하여 설명한 바와 같이, 리세스 영역들의 상부 부분을 채우며 리세스 영역들 내에 에어 갭을 정의할 수 있다.

[0163] 나아가, 실시예들에 따르면, 하부 및 상부 희생막들(SL1, SL2)의 측벽부들의 리세스 영역들에 매립 절연막(40)을 형성한 후에, 셀 어레이 영역(CAR)에서 박막 구조체(100)를 관통하는 수직 구조체들(VS)이 형성될 수 있다. 이와 달리, 수직 구조체들(VS)은 하부 및 상부 희생막들(SL1, SL2)에 리세스 영역들을 형성하기 전에 형성될 수도 있다.

[0164] 도 30을 참조하면, 박막 구조체를 패터닝하여 몰드 구조체를 정의하는 제 1 및 제 2 트렌치들(T1, T2)이 형성될 수 있다. 제 1 및 제 2 트렌치들(T1, T2)은 제 1 방향(D1)으로 연장되되 서로 다른 길이를 가질 수 있다.

[0165] 계속해서, 제 1 및 제 2 트렌치들(T1, T2)에 노출된 하부 및 상부 희생막들(SL1, SL2)을 등방성 식각하여 게이트 영역들이 형성될 수 있다. 하부 희생막들(SL1)이 제거되어 절연막들(ILD) 사이에 하부 게이트 영역들(GR1)이 형성될 수 있으며, 상부 희생막들(SL2)이 제거되어 절연막들(ILD) 사이에 상부 게이트 영역들(GR2)이 형성될 수 있다.

[0166] 일 예로, 등방성 식각 공정시, 연결 영역(CNR)에서 하부 및 상부 희생막들(SL1, SL2)의 일측벽들이 제 2 방향(D2)으로 매립 절연막(40)의 일측벽과 이격될 수 있다. 이에 따라, 매립 절연막(40)과 하부 및 상부 희생막들(SL1, SL2) 사이에 캡핑막(50)의 하부면 일부를 노출시키는 빈 공간이 형성될 수 있다. 다른 예로, 등방성 식각 공정에 의해 하부 및 상부 희생막들(SL1, SL2) 각각에서 제 2 방향(D2)의 매립 절연막들(40) 사이에 빈 공간이 형성될 수도 있다.

[0167] 하부 및 상부 게이트 영역들(GR1, GR2)은 각각, 도 23a 및 도 23b를 참조하여 설명한 것처럼, 연결 영역(CNR)에서, 몰드 패턴(20)의 측벽에 대해 평행한 수직 영역 및 수직 영역에서 제 2 방향(D2)으로 연장되는 수평 영역, 및 수평 영역으로부터 매립 절연막(40)과 희생 패턴(SLP)의 측벽들 사이로 제 3 방향(D3)을 따라 연장되는 돌출 영역을 가질 수 있다

[0168] 일 예에서, 하부 게이트 영역들(GR1)의 돌출 영역들은 상부 게이트 영역들(GR2)의 돌출 영역들과 제 1 방향(D1)으로 이격될 수 있다. 그리고 제 1 방향(D1)으로 인접하는 하부 및 상부 게이트 영역들(GR1, GR2)의 돌출 영역들의 거리는 실질적으로 동일할 수 있다.

[0169] 도 31을 참조하면, 하부 게이트 영역들 내에 하부 전극들(EL1)이 형성될 수 있으며, 상부 게이트 영역들 내에 상부 전극들(EL2)이 형성될 수 있다. 하부 전극들(EL1) 및 상부 전극들(EL2)은 도 24a 및 도 24b를 참조하여 설명한 것처럼, 단차 도포성이 우수한 증착 공정을 이용하여 형성될 수 있다. 즉, 기판(10) 상에 수직적으로 적층된 하부 전극들(EL1)을 포함하는 하부 전극 구조체와 하부 전극 구조체 상에 수직적으로 적층된 상부 전극들(EL2)을 포함하는 상부 전극 구조체를 포함하는 전극 구조체(ST)가 형성될 수 있다. 이와 같이 형성된 하부 및 상부 전극들(EL1, EL2) 각각은, 도 33에 도시된 바와 같이, 연결 영역(CNR)에서 제 2 방향(D2)으로 연장되는 수평 패드부(PADb) 및 수평 패드부(PADb)의 일부분으로부터 돌출되는 돌출부(PP1, PP2)를 가질 수 있다. 하부 및 상부 전극들(EL1, EL2)의 돌출부들(PP1, PP2)은 제 2 방향(D2)으로 희생 패턴들(SLP)과 매립 절연막(40) 사이에 개재될 수 있다. 그리고, 하부 및 상부 전극들(EL1, EL2)의 돌출부들(PP1, PP2)의 상부면들은 실질적으로 공면

을 룰 수 있다.

[0170] 실시예들에 따르면, 도 33에 도시된 바와 같이, 하부 및 상부 전극들(EL1, EL2)은 앞서 설명한 것처럼, 기판(10)의 상부면에 평행한 전극부(EP), 기판(10)의 상부면에 대해 경사진 수직 패드부(PADa), 수직 패드부(PADa)의 일부분으로부터 제 2 방향으로 연장되는 수평 패드부(PADb), 및 수평 패드부(PADb)의 일부분으로부터 돌출되는 돌출부(PP1, PP2)를 포함할 수 있다.

[0171] 하부 전극들(EL1)의 돌출부들은 상부 전극들(EL2)의 돌출부들과 나란하게 사선 방향으로 배치될 수 있다. 하부 전극들(EL1)의 돌출부들(PP1)은 상부 전극들(EL2)의 돌출부들(PP2)과 제 1 방향(D1)으로 이격될 수 있다. 그리고 제 1 방향(D1)으로 인접하는 돌출부들(PP1, PP2) 간의 거리는 실질적으로 동일할 수 있다.

[0172] 도 32를 참조하면, 하부 전극들(EL1) 및 상부 전극들(EL2)을 포함하는 전극 구조체(ST)와 연결되는 배선 구조체가 형성될 수 있다. 일 예에서, 배선 구조체는 하부 전극들(EL1)과 전기적으로 연결되는 하부 콘택 플러그들(PLG1) 및 하부 배선들(CL1)과, 상부 전극들(EL2)과 전기적으로 연결되는 상부 콘택 플러그들(PLG2) 및 상부 배선들(CL2)을 포함할 수 있다.

[0173] 제 1 하부 콘택 플러그들(PLG1)은 하부 전극들(EL1)의 돌출부들에 각각 접속될 수 있으며, 제 1 방향(D1)으로 연장되는 하부 배선들(CL1)이 제 1 하부 콘택 플러그들(PLG1)에 각각 연결될 수 있다. 하부 전극들(EL1)의 돌출부들이 사선 방향을 따라 배열되므로, 제 1 방향(D1)으로 하부 배선들(CL1)의 길이가 서로 다를 수 있다. 이와 달리, 연결 영역(CNR)에서 콘택 플러그들(PLG)을 형성하는 공정이 생략될 수도 있다. 이러한 경우, 하부 배선들(CL1)이 제 1 하부 콘택 플러그들(PLG1) 없이, 하부 전극들(EL1)의 돌출부들과 직접 접촉할 수 있다.

[0174] 나아가, 상부 전극들(EL2)의 돌출부들에 제 2 하부 콘택 플러그들(PLG2)이 각각 접속될 수 있으며, 하부 도전 패턴들(CP)이 제 2 하부 콘택 플러그들(PLG2)에 각각 연결될 수 있다. 여기서, 하부 도전 패턴들(CP)은 하부 배선들(CL1)과 기판(10)으로부터 동일한 레벨에 위치할 수 있다. 다른 예로, 제 2 하부 콘택 플러그들(PLG2)이 생략될 수도 있으며, 이러한 경우, 하부 도전 패턴들(CP)이 상부 전극들(EL2)의 돌출부들과 직접 접촉할 수 있다.

[0175] 상부 배선들(CL2)이 상부 콘택 플러그들을 통해 하부 도전 패턴들(CP)에 각각 전기적으로 연결될 수 있다. 상부 배선들(CL2)은 제 1 방향(D1)으로 연장되며, 평면적 관점에서 하부 배선들(CL1)과 일부 오버랩될 수도 있다. 이와 같이, 상부 배선들(CL2)과 하부 배선들(CL1)이 기판(10)으로부터 서로 다른 레벨들에 나누어 배치되므로, 전극 구조체(ST)를 구성하는 하부 및 상부 전극들(EL1, EL2)의 수가 증가하더라도, 하부 및 상부 배선들(CL1, CL2)을 형성시 공정 마진을 확보할 수 있다.

[0177] 도 34 및 도 35는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다. 도 36 및 도 37은 도 34 및 도 35를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

[0178] 실시예들에 따르면, 몰드 패턴(20)에 의해 정의된 트렌치 내에 박막 구조체(100)가 형성될 수 있다. 박막 구조체(100)는 번갈아 적층된 절연막들(ILD) 및 희생막들(SL)을 포함할 수 있으며, 절연막들(ILD) 및 희생막들(SL) 각각은 기판의 상부면에 대해 평행한 수평부 및 몰드 패턴(20)의 측벽에 대해 평행한 측벽부를 가질 수 있다.

[0179] 박막 구조체(100)를 형성한 후, 도 6a 내지 도 8c를 참조하여 설명한 바와 같이, 연결 영역(CNR)에서 박막 구조체(100)의 일부분에 에어 갭들을 형성한 후에, 박막 구조체(100)에 대한 패터닝 공정이 수행될 수 있다.

[0180] 박막 구조체(100)에 대한 패터닝 공정에 의해 도 8a, 도 8b, 및 도 8c를 참조하명 설명한 것처럼, 기판(10)을 노출시키는 제 1 및 제 2 트렌치들(T1, T2)이 형성될 수 있다. 제 1 및 제 2 트렌치들(T1, T2)은 제 1 방향(D1)으로 연장될 수 있으며, 서로 다른 길이를 가질 수 있다. 예를 들어, 제 1 트렌치(T1)는 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 절연막들(ILD) 및 희생막들(SL)의 수평부들 및 측벽부들을 노출시킬 수 있으며, 제 2 트렌치(T2)는 셀 어레이 영역(CAR)에서 절연막들(ILD) 및 희생막들(SL)의 수평부들을 노출시킬 수 있다.

[0181] 이어서, 도 34를 참조하면, 제 1 및 제 2 트렌치들(T1, T2)을 형성한 후, 연결 영역(CNR)에서 몰드 구조체들의 일부분들을 덮는 패드 마스크 패턴(PMP)이 형성될 수 있다. 패드 마스크 패턴(PMP)은 연결 영역(CNR)에서 제 1 트렌치들(T1)의 일부분들을 채우며, 절연막들(ILD) 및 희생막들(SL)의 수평부들을 노출시킬 수 있다. 일 예에서, 패드 마스크 패턴(PMP)은 예를 들어, 포토레지스트 패턴 또는 하드 마스크 패턴일 수 있다.

[0182] 한편, 다른 실시예에 따르면, 도 20a 내지 도 22b를 참조하여 설명한 바와 같이, 1개의 오프닝을 갖는 제 1 마스크 패턴을 이용하여 연결 영역(CNR)에서 박막 구조체(100)에 리세스 영역들이 형성될 수도 있다. 이후, 도

22a 및 도 22b에 이어서, 도 34를 참조하여 설명된 패드 마스크 패턴(PMP)이 연결 영역(CNR) 상에 형성될 수도 있다.

[0183] 도 35를 참조하면, 패드 마스크 패턴(PMP)에 의해 노출된 희생막(SL)의 일부분들을 선택적으로 식각하는 1차 식각 공정이 수행될 수 있다. 1차 식각 공정은 희생막들(SL)을 선택적으로 식각하는 에천트를 이용하는 등방성 식각 공정일 수 있다. 1차 식각 공정시 에천트가 셀 어레이 영역(CAR)에서 제 1 및 제 2 트렌치들(T1, T2)을 통해 제공되어 희생막들(SL)이 수평적으로 식각될 수 있다. 이에 따라, 셀 어레이 영역(CAR)에서 절연막들(ILD) 사이에 예비 게이트 영역들(PGR)이 형성될 수 있으며, 절연막들(ILD) 사이에 희생막들(SL)의 일부분들이 잔류할 수 있다. 1차 식각 공정시 패드 마스크 패턴(PMP)에 의해 연결 영역(CNR)의 박막 구조체가 커버되므로, 셀 어레이 영역(CAR)과 연결 영역(CNR)에서 희생막들(SL)의 제 2 방향(D2)의 폭이 서로 달라질 수 있다. 즉, 1차 식각 공정 후, 셀 어레이 영역(CAR)에서 희생막들(SL)의 폭은 연결 영역(CNR)에서 희생막들(SL)의 폭보다 작을 수 있다.

[0184] 예비 게이트 영역들(PGR)을 형성한 후, 패드 마스크 패턴(PMP)이 제거될 수 있으며, 이에 따라, 연결 영역(CNR)에서 몰드 구조체들의 측벽들이 노출될 수 있다. 즉, 연결 영역(CNR)에서 절연막들(ILD) 및 희생막들(SL)의 측벽부들이 제 1 트렌치들(T1)에 노출될 수 있다.

[0185] 이어서, 제 1 및 제 2 트렌치들(T1, T2)에 노출된 희생막들(SL)을 선택적으로 식각하는 2차 식각 공정이 수행될 수 있다. 2차 식각 공정은 희생막들(SL)을 선택적으로 식각하는 에천트를 이용하는 등방성 식각 공정일 수 있다. 즉, 2차 식각 공정시 에천트가 셀 어레이 영역(CAR)에서 제 1 및 제 2 트렌치들(T1, T2) 통해 제공되며, 연결 영역(CNR)에서 제 1 트렌치들(T1)을 통해 제공될 수 있다. 제 2 식각 공정에 의해, 도 9a, 도 9b, 및 도 9c를 참조하여 설명한 것처럼, 셀 어레이 영역(CAR)에서 희생막들(SL)은 모두 제거되어 절연막들(ILD) 사이에 게이트 영역들이 형성될 수 있으며, 연결 영역(CNR)에서 희생막들(SL)의 일부분들이 잔류하여 희생 패턴들(SLP)이 형성될 수 있다.

[0186] 나아가, 2차 식각 공정에 의해 형성된 게이트 영역들은, 도 9a, 도 9b, 및 도 9c를 참조하여 설명한 것처럼, 제 2 방향(D2)을 따라 희생 패턴들(SLP)과 매립 절연막(40) 사이로 연장되는 수평 영역과, 매립 절연막(40)의 측벽으로 연장되는 돌출 영역을 가질 수 있다. 다시 말해, 2차 식각 공정에 의해 형성된 게이트 영역들은 연결 영역(CNR)에서 희생 패턴들(SLP)의 측벽들 및 상부면들을 노출시킬 수 있다.

[0187] 일 예에 따르면, 희생 패턴들(SLP)은, 도 36에 도시된 바와 같이, 기판(10)의 상부면에 평행한 수평부 및 기판(10)의 상부면에 대해 경사진 측벽부를 가질 수 있다. 여기서, 희생 패턴들(SLP)의 수평부들은 1차 및 2차 식각 공정들에 의해 폭이 서로 다른 부분들을 가질 수 있다.

[0188] 이후, 도 10a, 도 10b, 및 도 10c를 참조하여 설명한 것처럼, 게이트 영역들 내에 전극들(EL)이 형성될 수 있다. 이에 따라, 기판(10) 상에 차례로 적층된 복수 개의 전극들(EL)을 포함하는 전극 구조체(ST)가 형성될 수 있다. 이와 같이 형성된 전극들(EL) 각각은, 도 36 및 도 37에 도시된 바와 같이, 셀 어레이 영역(CAR)에서 기판(10)의 상부면에 대해 평행하며, 제 1 방향(D1)으로 연장되는 전극부(EP)로부터 연장되어 연결 영역(CNR)에 배치되며, 기판(10)의 상부면에 대해 경사진 수직 패드부(PADa), 수직 패드부(PADa)의 일부분으로부터 제 2 방향(D2)으로 연장되는 수평 패드부(PADb), 및 수평 패드부(PADb)의 일부분으로부터 돌출되는 돌출부(PP)를 가질 수 있다. 나아가, 전극들(EL)은 수직 패드부들(PADa)의 일 부분들로부터 제 3 방향(D3)으로 돌출되는 더미 돌출부들(DPP)을 가질 수 있다.

[0189] 도 36에 도시된 실시예에서, 수평 패드부들(PADb)은 제 2 방향(D2)으로 실질적으로 동일한 길이를 가질 수 있다. 이와 달리, 도 36에 도시된 실시예에 따르면, 수평 패드부들(PADb)은 수직 패드부들(PADa)로부터 제 2 방향으로 서로 다른 길이를 가질 수 있으며, 수평 패드부들(PADb)의 끝단에 돌출부들(PP)을 각각 가질 수 있다.

[0190] 도 36 및 도 37을 참조하면, 각 전극(EL)의 전극부(EP)는 제 1 방향(D1)으로 연장되며, 제 2 방향(D2)으로 서로 이격되는 서브-전극부들(SEP), 연결 영역(CNR)에서 서브-전극부들(SEP)을 연결하는 전극 연결부(ECP), 전극 연결부(ECP)의 일 부분으로부터 제 1 방향(D1)으로 연장되는 연장부(EXP)를 가질 수 있다. 일 예에서, 제 2 방향(D2)으로, 연장부(EXP)의 폭은 서브-전극부(SEP)의 폭보다 작을 수 있다. 나아가, 연장부(EXP)는 전극 연결부(ECP)와 인접하며 제 1 폭을 갖는 제 1 부분 및 수직 패드부(PADa)와 인접하며 제 1 폭보다 작은 제 2 폭을 갖는 제 2 부분을 포함할 수 있다. 그리고, 수직 패드부(PADa)의 폭은 연장부(EXP)의 제 2 부분의 폭과 실질적으로 동일할 수 있다.

[0192] 도 38 및 도 39는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다. 도 40은 도 38 및 도 39를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

[0193] 실시예들에 따르면, 도 15a 및 도 15b를 참조하여 설명한 것처럼, 연결 영역(CNR)에서, 박막 구조체(100)의 절연막들(ILD) 사이에 에어 갭(AG)을 정의하는 매립 절연막(40)을 형성한 후, 박막 구조체(100)를 패터닝하여 제 1 및 제 2 트렌치들(T1, T2)이 형성될 수 있다. 일 예에서, 제 2 트렌치(T2)는 제 1 트렌치들(T1) 사이에 형성될 수 있으며, 제 1 방향(D1)으로 제 1 트렌치들(T1)이 제 2 트렌치(T2)보다 길 수 있다. 즉, 제 1 및 제 2 트렌치들(T1, T2)을 형성한 후, 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 몰드 구조체들의 양측벽들이 노출될 수 있다.

[0194] 이와 같이 제 1 및 제 2 트렌치들(T1, T2)을 형성한 후, 도 38에 도시된 바와 같이, 연결 영역(CNR) 상에 패드 마스크 패턴(PMP)이 형성될 수 있다. 패드 마스크 패턴(PMP)은 연결 영역(CNR)에서 제 1 트렌치들(T1)의 일부분들을 채울 수 있다. 이에 따라 절연막들(ILD) 및 희생막들(SL)의 측벽부들의 양측벽들이 패드 마스크 패턴(PMP)에 의해 커버될 수 있으며, 절연막들(ILD) 및 희생막들(SL)의 수평부들이 노출될 수 있다.

[0195] 이어서, 도 39를 참조하면, 패드 마스크 패턴(PMP)에 의해 노출된 희생막들(SL)의 일부분들을 식각하는 1차 식각 공정이 수행될 수 있다. 이에 따라, 셀 어레이 영역(CAR)의 절연막들(ILD) 사이에 예비 게이트 영역들(PGR)이 형성될 수 있다.

[0196] 일 예에서, 1차 식각 공정시 셀 어레이 영역(CAR)에서 제 1 및 제 2 트렌치들(T1, T2)을 통해 제공되어 희생막들(SL)이 수평적으로 식각될 수 있다. 예비 게이트 영역들(PGR)은 절연막들 사이에 잔류하는 희생막들(SL)의 일부분들을 노출시킬 수 있다.

[0197] 계속해서, 패드 마스크 패턴(PMP)을 제거한 후, 제 1 및 제 2 트렌치들(T1, T2)에 노출된 희생막들을 수평적으로 식각하는 2차 식각 공정이 수행될 수 있다. 2차 식각 공정은 1차 식각 공정과 실질적으로 동일한 식각 레서피를 이용하여 수행될 수 있다.

[0198] 2차 식각 공정시 연결 영역(CNR)에서 희생막들의 양측벽들이 에천트에 노출되므로, 희생막들의 양측벽들이 제 2 방향으로 식각될 수 있다. 또한, 2차 식각 공정에 의해 도 16a 및 도 16b를 참조하여 설명한 것처럼, 셀 어레이 영역(CAR)에서 희생막들(SL)은 모두 제거되어 절연막들(ILD) 사이에 게이트 영역들(GR)이 형성될 수 있으며, 연결 영역(CNR)에서 희생막들(SL)의 일부분들이 잔류하여 희생 패턴들(SLP)이 형성될 수 있다. 여기서 희생 패턴들(SLP)은 도 40에 도시된 바와 같이, 기판(10)의 상부면에 평행한 수평부 및 기판(10)의 상부면에 대해 경사진 측벽부를 가질 수 있다. 여기서, 희생 패턴들(SLP)의 수평부들은 1차 및 2차 식각 공정들에 의해 폭이 서로 다른 부분들을 가질 수 있다.

[0199] 이후, 도 17a 및 도 17b를 참조하여 설명한 것처럼, 게이트 영역들 내에 전극들(EL)이 형성될 수 있다. 이에 따라, 기판(10) 상에 차례로 적층된 복수 개의 전극들(EL)을 포함하는 전극 구조체(ST)가 형성될 수 있다. 이와 같이 형성된 전극들(EL) 각각은 도 40에 도시된 바와 같이, 셀 어레이 영역 상의 전극부(EP), 연결 영역(CNR) 상의 수직 및 수평 패드부들(PADa, PADb), 및 돌출부들(PP)을 포함할 수 있다. 여기서, 전극들(EL)의 수직 패드부들(PADa)은 전극부(EP)로부터 연장되며 제 2 방향(D2)으로 서로 이격될 수 있다. 전극들(EL)의 전극부들(EP) 각각은, 서브-전극부들(SEP), 전극 연결부(ECP), 및 연장부들(EXP)을 포함할 수 있다. 일 예에서, 연장부들(EXP)은 전극 연결부(ECP)로부터 제 1 방향(D1)으로 연장되되, 제 2 방향(D2)으로 서로 이격될 수 있다. 그리고, 연장부들(EXP) 각각은 전극 연결부(ECP)와 인접하며 제 1 폭을 갖는 제 1 부분 및 수직 패드부(PADa)와 인접하며 제 1 폭보다 작은 제 2 폭을 갖는 제 2 부분을 포함할 수 있다. 그리고, 수직 패드부(PADa)의 폭은 연장부(EXP)의 제 2 부분의 폭과 실질적으로 동일할 수 있다.

[0201] 도 41 내지 도 45는 본 발명의 실시예들에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들이다. 도 46은 도 41 내지 도 45를 참조하여 설명된 제조 방법을 이용하여 형성된 전극 구조체를 나타낸다.

[0202] 도 41을 참조하면, 도 2a를 참조하여 설명한 것처럼, 몰드 패턴(20)에 의해 정의된 트렌치 내에 박막 구조체(100)가 형성될 수 있다. 박막 구조체(100)는 번갈아 적층된 절연막들(ILD) 및 희생막들(SL)을 포함할 수 있으며, 절연막들(ILD) 및 희생막들(SL) 각각은 기판의 상부면에 대해 평행한 수평부 및 몰드 패턴(20)의 측벽에 대해 평행한 측벽부를 가질 수 있다. 그리고, 절연막들(ILD) 및 희생막들(SL)의 측벽부들은 기판의 상부면으로부

터 동일한 높이에 상부면들을 가질 수 있다. 또한, 셀 어레이 영역(CAR)의 박막 구조체(100) 상에 평탄 절연막(30)이 형성될 수 있으며, 평탄 절연막(30)의 상부면은 몰드 패턴(20)의 상부면 및 절연막들(ILD) 및 희생막들(SL)의 측벽부들의 상부면들과 실질적으로 공면을 이룰 수 있다.

[0203] 이후, 도 2d를 참조하여 설명한 것처럼, 셀 어레이 영역(CAR)에서 박막 구조체(100)를 관통하는 수직 구조체들(VS)이 형성될 수 있다.

[0204] 계속해서, 도 41을 참조하면, 박막 구조체(100)를 패터닝하여 몰드 구조체를 정의하는 제1 트렌치들(T1)이 형성될 수 있다.

[0205] 보다 상세하게, 수직 구조체들(VS)을 형성한 후, 박막 구조체(100) 상에 캡핑막 및 마스크 패턴이 형성될 수 있다. 일 예에서, 마스크 패턴은 제 1 방향(D1)으로 연장되는 라인 형태의 오프닝들을 가질 수 있으며, 오프닝들은 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 박막 구조체(100)를 가로지를 수 있다.

[0206] 마스크 패턴을 식각 마스크로 이용하여 박막 구조체(100)를 식각함으로써, 기판을 노출시키는 제 1 트렌치들(T1)이 형성될 수 있다. 일 예에 따르면, 제 1 트렌치들(T1)을 형성함에 따라, 제 1 방향(D1)으로 연장되며, 제 2 방향으로 이격되는 몰드 구조체들이 형성될 수 있다. 제 1 트렌치들(T1)은 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 희생막들(SL)의 측벽들을 노출시킬 수 있다. 제 1 트렌치들(T1)을 형성한 후, 제 1 마스크 패턴은 제거될 수 있다.

[0207] 도 42를 참조하면, 연결 영역(CNR)에서 몰드 구조체들의 일부분들을 덮는 패드 마스크 패턴(PMP)이 형성될 수 있다. 패드 마스크 패턴(PMP)은 제 1 트렌치들(T1)의 일부분들을 채우도록 형성될 수 있다. 이에 따라, 패드 마스크 패턴(PMP)은 연결 영역(CNR)에서 절연막들(ILD) 및 희생막들(SL)의 측벽부들과 절연막들(ILD) 및 희생막들(SL)의 수평부들의 일부분들을 덮을 수 있다. 패드 마스크 패턴(PMP)은 예를 들어, 포토레지스트 패턴 또는 하드 마스크 패턴일 수 있다.

[0208] 이어서, 패드 마스크 패턴(PMP)에 의해 노출된 희생막들(SL)의 일부분들을 선택적으로 식각하는 1차 식각 공정이 수행될 수 있다. 1차 식각 공정은 희생막들(SL)을 선택적으로 식각하는 에천트를 이용하는 등방성 식각 공정일 수 있다. 1차 식각 공정시 에천트가 제 1 트렌치들(T1)을 통해 제공되어 희생막들(SL)이 수평적으로 식각될 수 있다. 이에 따라, 셀 어레이 영역(CAR)에서 절연막들(ILD) 사이에 예비 게이트 영역들(PGR)이 형성될 수 있으며, 절연막들(ILD) 사이에 희생막들(SL)의 일부분들이 잔류할 수 있다. 1차 식각 공정에 의해, 셀 어레이 영역(CAR)과 연결 영역(CNR)에서 희생막들(SL)의 제 2 방향(D2)의 폭이 서로 달라질 수 있다. 즉, 1차 식각 공정 후, 셀 어레이 영역(CAR)에서 희생막들(SL)의 폭은 연결 영역(CNR)에서 희생막들(SL)의 폭보다 작을 수 있다.

[0209] 도 43을 참조하면, 예비 게이트 영역들(PGR)을 형성한 후, 패드 마스크 패턴(PMP)이 제거될 수 있으며, 이에 따라, 연결 영역(CNR)에서 몰드 구조체들의 측벽들이 노출될 수 있다. 즉, 연결 영역(CNR)에서 절연막들(ILD) 및 희생막들(SL)의 측벽부들이 제 1 트렌치들(T1)에 노출될 수 있다.

[0210] 이어서, 제 1 트렌치들(T1)에 노출된 희생막들(SL)을 선택적으로 식각하는 2차 식각 공정이 수행될 수 있다. 2차 식각 공정은 희생막들(SL)을 선택적으로 식각하는 에천트를 이용하는 등방성 식각 공정일 수 있다. 즉, 2차 식각 공정시 에천트가 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 제 1 트렌치들(T1)을 통해 제공되어 희생막들(SL)이 수평적으로 식각될 수 있다. 2차 식각 공정시 셀 어레이 영역(CAR)과 연결 영역(CNR)에서 희생막들(SL)이 수평적으로 리세스되는 깊이는 실질적으로 동일할 수 있다.

[0211] 2차 식각 공정에 의해 셀 어레이 영역(CAR)에서 잔류하는 희생막들(SL)이 제거되어 절연막들(ILD) 사이에 게이트 영역들(GR)이 형성될 수 있으며, 연결 영역(CNR)에서 희생막들(SL)의 일부분들이 잔류하여 희생 패턴들(SLP)이 형성될 수 있다. 연결 영역(CNR)에서, 게이트 영역들(GR)은 절연막들(ILD) 사이에 잔류하는 희생 패턴들(SLP)을 노출시킬 수 있으며, 셀 어레이 영역(CAR)에서 게이트 영역들(GR)은 수직 구조체들(VS)의 측벽들을 노출시킬 수 있다. 2차 식각 공정시 몰드 구조체의 양측의 제 1 트렌치들(T1)로부터 에천트가 제공되므로, 희생 패턴들(SLP)의 폭은 제 1 트렌치들(T1) 간의 간격, 즉, 몰드 구조체의 폭보다 작을 수 있다.

[0212] 실시예들에 따르면, 희생 패턴들(SLP)이 연결 영역(CNR)에서 절연막들(ILD) 사이에 잔류하므로, 게이트 영역들(GR)을 형성한 후, 연결 영역(CNR)에 위치하는 절연막들(ILD)의 일부분들이 휘어지거나 쓰러지는 것이 방지될 수 있다.

[0213] 도 44를 참조하면, 게이트 영역들(GR) 내에 전극들(EL)이 형성될 수 있다. 전극들(EL)은 앞서 설명한 바와 같이, 게이트 영역들(GR)을 채우는 게이트 도전막을 증착하고, 제 1 트렌치들(T1) 내에서 게이트 도전막의 일부를

식각함으로써, 수직적으로 서로 분리된 전극들(EL)이 형성될 수 있다. 또한, 전극들(EL)을 형성하기 전에, 게이트 영역들(GR) 내에 균일한 두께를 갖는 수평 절연막(미도시)이 형성될 수 있다. 실시예들에서, 수평 절연막은 데이터 저장막의 일부분일 수 있다. 전극들(EL)을 형성한 후, 제 1 트렌치들(T1) 내에 분리 절연 패턴(60)이 채워질 수 있다.

[0214] 이와 같이, 전극들(EL)을 형성함에 따라, 기판(10) 상에 수직적으로 적층되는 전극들(EL)을 포함하는 전극 구조체들(ST)이 형성될 수 있다. 전극 구조체들(ST)은 제 1 방향(D1)으로 연장되며 제 2 방향으로 서로 이격될 수 있다. 전극들(EL) 각각은 게이트 영역들(GR) 내에 형성되므로, 도 46에 도시된 바와 같이, 셀 어레이 영역(CAR)에서 기판(10)의 상부면에 평행한 전극부(EP)와 연결 영역(CNR)에서 기판(10)의 상부면에 대해 경사진 패드부들(PAD)을 가질 수 있다. 일 예에서, 각 전극(EL)에서 패드부들(PAD)은 전극부(EP)보다 작은 폭을 가질 수 있으며, 희생 패턴(SLP)에 의해 제 2 방향(D2)으로 이격될 수 있다.

[0215] 도 45를 참조하면, 전극 구조체들(ST) 상에 전극들(EL)과 전기적으로 연결되는 배선 구조체가 형성될 수 있다. 배선 구조체는 전극들(EL)에 각각 연결되는 콘택 플러그들 및 콘택 플러그들에 각각 연결되는 도전 라인들(CL1, CL2)을 포함할 수 있다.

[0216] 콘택 플러그들 각각은 각 전극(EL)의 패드부들(PAD) 중 어느 하나에 접속될 수 있다. 예를 들어, 홀수 층의 전극들과 연결되는 콘택 플러그들과 짝수 층의 전극들과 연결되는 콘택 플러그들은 제 2 방향(D2)으로 서로 이격될 수 있다.

[0218] 도 47은 본 발명의 실시예들에 따른 전극 구조체를 포함하는 3차원 메모리 반도체 장치를 예시적으로 도시하는 회로도이다. 도 48a 내지 도 48d는 본 발명의 실시예들에 따른 3차원 메모리 반도체 장치의 일 부분을 나타내는 도면들이다.

[0219] 도 47을 참조하면, 3차원 반도체 메모리 장치는 공통 소오스 라인(CSL), 복수개의 비트라인들(BL0, BL1, BL2), 및 공통 소오스 라인(CSL)과 비트라인들(BL) 사이에 배치되는 복수개의 셀 스트링들(CSTR)을 포함할 수 있다.

[0220] 공통 소오스 라인(CSL)은 기판(10) 상에 배치되는 도전성 박막 또는 기판(10) 내에 형성되는 불순물 영역일 수 있다. 비트라인들(BL)은, 기판(10)으로부터 이격되어 그 상부에 배치되는, 도전성 패턴들(예를 들면, 금속 라인)일 수 있다. 비트라인들(BL)은 서로 평행하게 서로 이격되어 배치되고, 그 각각에는 복수개의 셀 스트링들(CSTR)이 병렬로 연결된다. 이에 따라 셀 스트링들(CSTR)은 공통 소오스 라인(CSL) 또는 기판(10) 상에 2차원적으로 배열된다.

[0221] 셀 스트링들(CSTR) 각각은 공통 소오스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 비트라인(BL)에 접속하는 스트링 선택 트랜지스터(SST) 및 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 접지 선택 트랜지스터(GST), 스트링 선택 트랜지스터(SST) 및 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다. 이에 더하여, 공통 소오스 라인(CSL)과 비트라인들(BL) 사이에 배치되는, 접지 선택 라인(GSL), 복수개의 워드라인들(WL0-WL3), 및 복수개의 스트링 선택 라인들(SSL)은 접지 선택 트랜지스터(GST), 메모리 셀 트랜지스터들(MCT) 및 스트링 선택 트랜지스터들(SST)의 게이트 전극들로서 각각 사용될 수 있다.

[0222] 접지 선택 트랜지스터들(GST) 모두는 기판(10)으로부터 실질적으로 동일한 거리에 배치될 수 있고, 이들의 게이트 전극들은 접지 선택 라인(GSL)에 공통으로 연결되어 등전위 상태에 있을 수 있다. 유사하게, 공통 소오스 라인(CSL)으로부터 실질적으로 동일한 거리에 배치되는, 복수의 메모리 셀 트랜지스터들(MCT)의 게이트 전극들 역시 워드라인들(WL0-WL3) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 하나의 셀 스트링(CSTR)은 공통 소오스 라인(CSL)으로부터의 거리가 서로 다른 복수개의 메모리 셀 트랜지스터들(MCT)로 구성되기 때문에, 공통 소오스 라인(CSL)과 비트라인들(BL) 사이에는 다층의 워드라인들(WL0-WL3)이 배치된다. 다층의 워드라인들(WL0-WL3)은 도 2a 내지 도 46을 참조하여 설명된 반도체 장치들의 기술적 특징들을 갖도록 구성될 수 있다.

[0223] 셀 스트링들(CSTR) 각각은 공통 소오스 라인(CSL)으로부터 수직하게 연장되어 비트 라인(BL)에 접속하는 반도체 패턴을 포함할 수 있다. 워드라인들(WL0-WL3)과 반도체 패턴 사이에는 정보저장막 또는 메모리 요소가 개재될 수 있다. 일 실시예에 따르면, 정보저장막 또는 메모리 요소는 전하저장을 가능하게 하는 물질 또는 막 구조를 포함할 수 있다. 예를 들면, 정보저장막은 실리콘 질화막과 같은 트랩 사이트가 풍부한 절연막, 부유 게이트 전

극, 또는 도전성 나노 돗들(conductive nano dots)을 포함하는 절연막 중의 한가지일 수 있다.

[0224] 보다 구체적으로, 도 48a 내지 도 48d을 참조하여, 본 발명의 다양한 실시예들에 따른 데이터 저장막에 대해 상세히 설명한다.

[0225] 실시예들에 따르면, 3차원 반도체 메모리 장치는 낸드 플래시 메모리 장치일 수 있다. 예를 들어, 전극 구조체(ST)와 수직 구조체(VS) 사이에 개재되는 데이터 저장막은 터널 절연막(TIL), 전하 저장막(CIL) 및 블록킹 절연막(BK)을 포함할 수 있다. 이러한 데이터 저장막(DS)에 저장되는 데이터는 반도체 물질을 포함하는 데이터 저장막 수직 구조체(VS)와 전극들(EL) 사이의 전압 차이에 의해 유발되는 파울러-노던하임 터널링을 이용하여 변경될 수 있다.

[0226] 도 48a에 도시된 실시예에 따르면, 터널 절연막(TIL), 전하 저장막(CIL) 및 블록킹 절연막(BLK)은 전극들(EL)과 수직 구조체(VS) 사이에서 절연막(ILD)과 수직 구조체(VS) 사이로 연장될 수 있다.

[0227] 도 48b에 도시된 실시예에 따르면, 터널 절연막(TIL) 및 전하 저장막(CIL)은 전극들(EL)과 수직 구조체(VS) 사이에서 절연막(ILD)과 수직 구조체(VS) 사이로 연장될 수 있다. 그리고, 블록킹 절연막(BLK)은 전극들(EL)과 수직 구조체(VS) 사이에서 전극들(EL)의 상부면들 및 하부면들로 연장될 수 있다.

[0228] 도 48c에 도시된 실시예에 따르면, 터널 절연막(TIL)이 전극들(EL)과 수직 구조체(VS) 사이에서 절연막(ILD)과 수직 구조체(VS) 사이로 연장될 수 있으며, 전하 저장막(CIL) 및 블록킹 절연막(BLK)은 전극들(EL)과 수직 구조체(VS) 사이에서 전극들(EL)의 상부면들 및 하부면들로 연장될 수 있다.

[0229] 도 48d에 도시된 실시예에 따르면, 터널 절연막(TIL), 전하 저장막(CIL) 및 블록킹 절연막(BLK)은 전극들(EL)과 수직 구조체(VS) 사이에서 전극들(EL)의 상부면들 및 하부면들로 연장될 수 있다.

[0230] 이러한 데이터 저장막에서, 전하저장막(CIL)은 트랩 사이트들이 풍부한 절연막들 및 나노 입자들을 포함하는 절연막들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 전하저장막(CIL)은 트랩 절연막, 부유 게이트 전극 또는 도전성 나노 돗들(conductive nano dots)을 포함하는 절연막 중의 한가지를 포함할 수 있다. 더 구체적인 예로, 전하저장막(CIL)은 실리콘 질화막, 실리콘 산화질화막, 실리콘-풍부 질화막(Si-rich nitride), 나노크리스탈 실리콘(nanocrystalline Si) 및 박층화된 트랩막(laminated trap layer) 중의 적어도 하나를 포함할 수 있다.

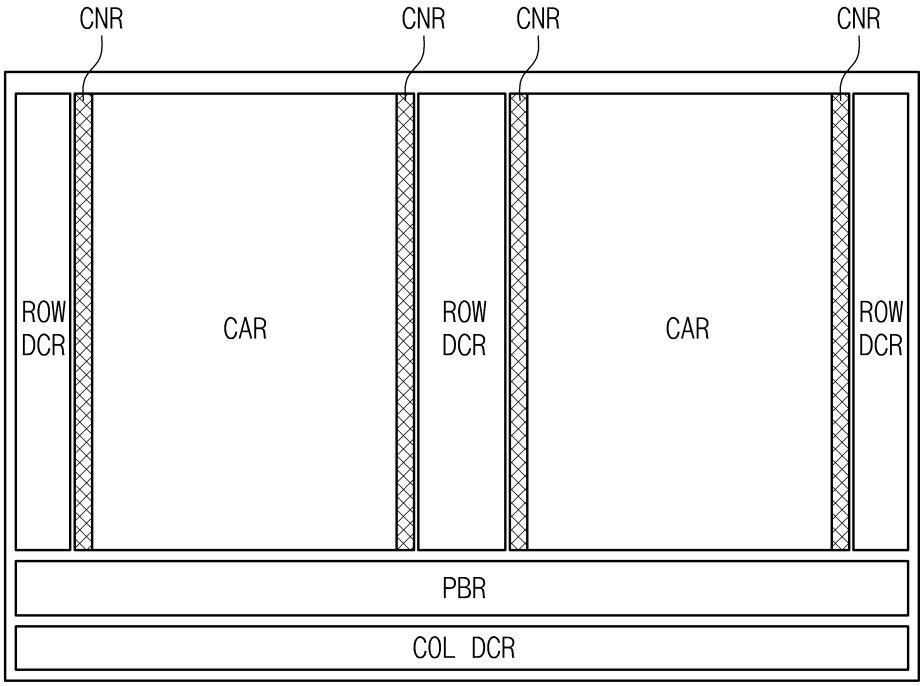
[0231] 터널 절연막(TIL)은 전하저장막(CIL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 터널 절연막(TIL)은 상술한 증착 기술들 중의 하나를 사용하여 형성되는 실리콘 산화막일 수 있다. 이와 달리, 터널 절연막은 알루미늄 산화막 및 하프늄 산화막 등과 같은 고유전막들 중의 하나일 수 있다.

[0232] 블록킹 절연막(BLK)은 서로 다른 물질로 형성되는 제 1 및 제 2 블록킹 절연막들을 포함할 수 있다. 제 1 및 제 2 블록킹 절연막들 중의 하나는 터널 절연막(TIL)보다 작고 전하저장막(CIL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있다. 또한, 제 1 및 제 2 블록킹 절연막들은 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있으며, 이들 중의 적어도 하나는 습식 산화 공정을 통해 형성될 수 있다. 일 예로, 제 1 블록킹 절연막은 알루미늄 산화막 및 하프늄 산화막 등과 같은 고유전막들 중의 하나이고, 제 2 블록킹 절연막은 제 1 블록킹 절연막보다 작은 유전 상수를 갖는 물질일 수 있다. 다른 예로, 제 2 블록킹 절연막은 고유전막들 중의 하나이고, 제 1 블록킹 절연막은 제 2 블록킹 절연막보다 작은 유전 상수를 갖는 물질일 수 있다.

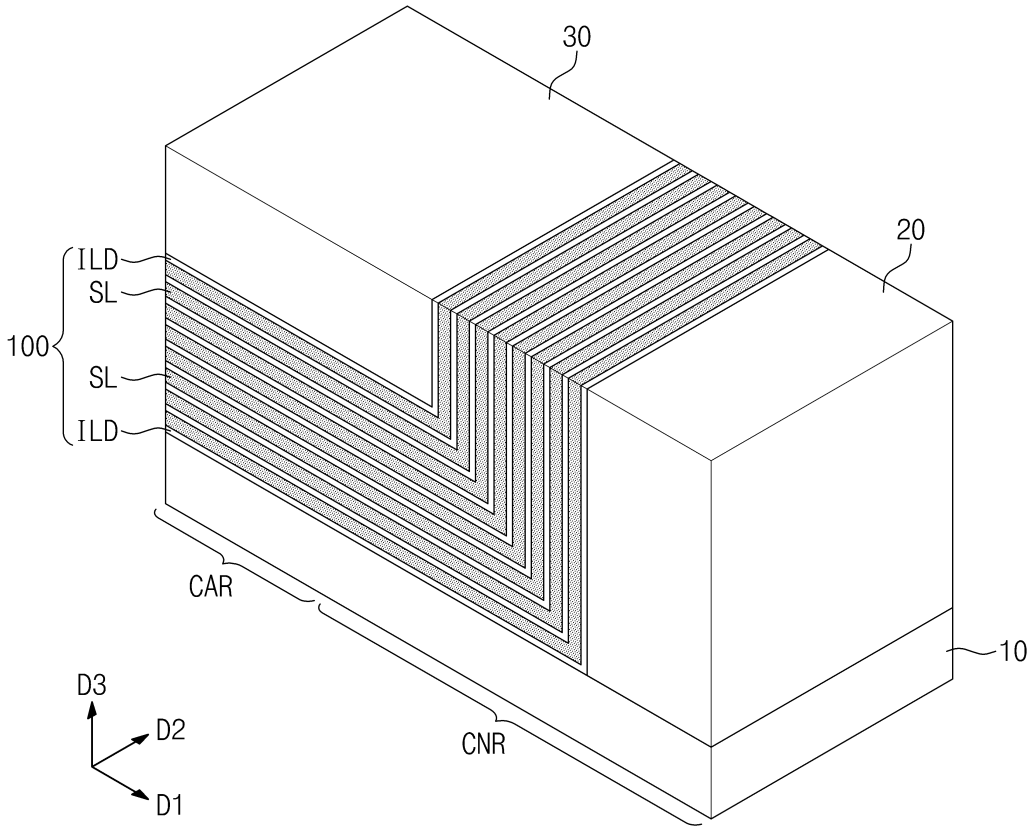
[0233] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

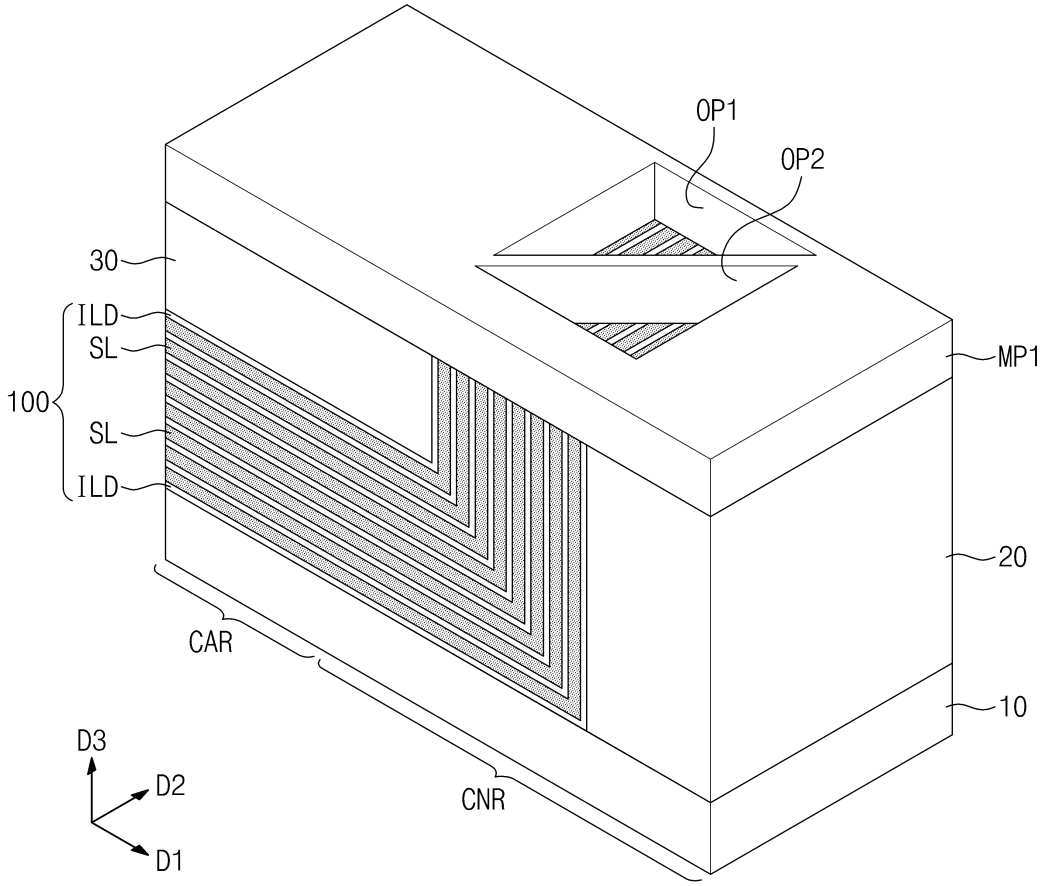
도면1


CNR
CNR
CNR
CNR
ROW DCR
CAR
ROW DCR
CAR
ROW DCR
PBR
COL DCR

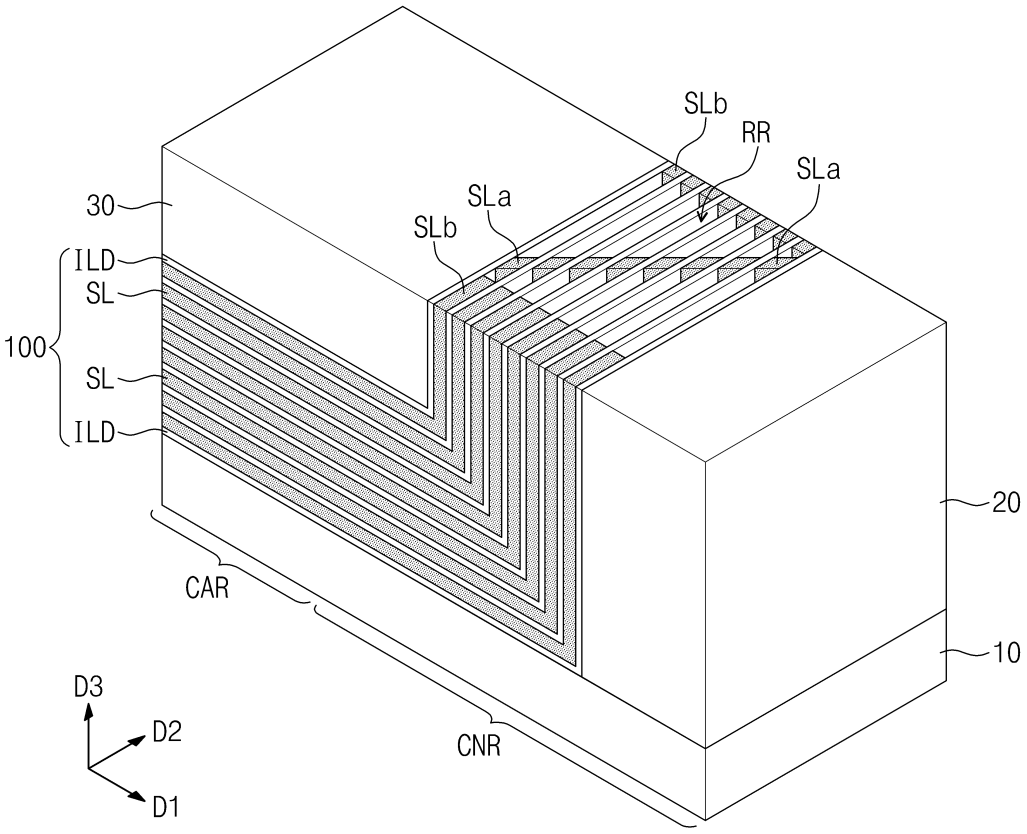
도면2a


30
20
ILD
SL
100
SL
ILD
CAR
10
D3
D2
D1
CNR

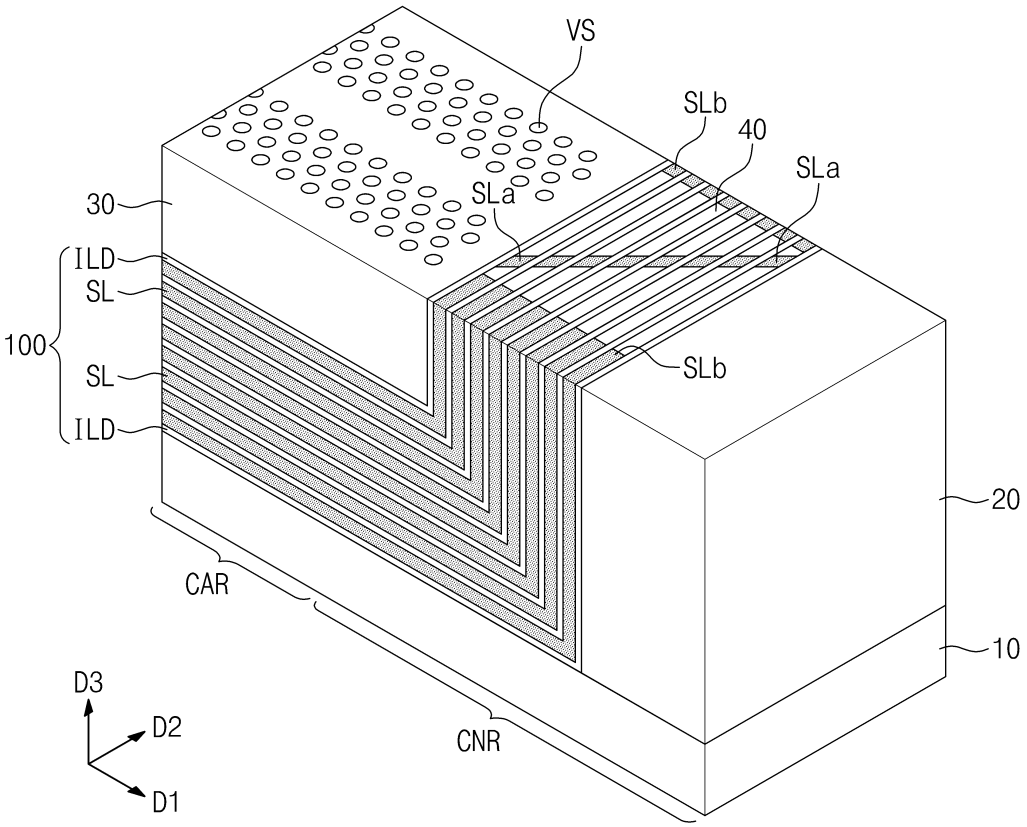
도면2b



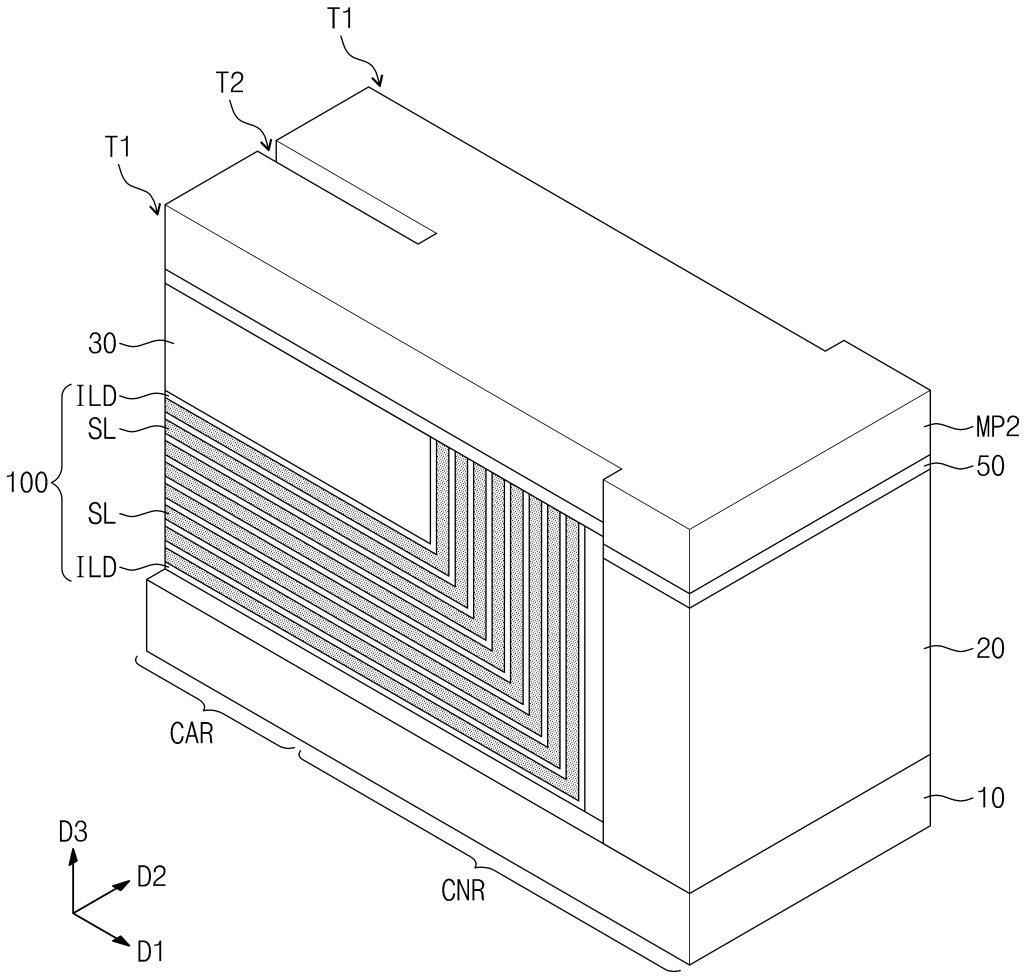
도면2c



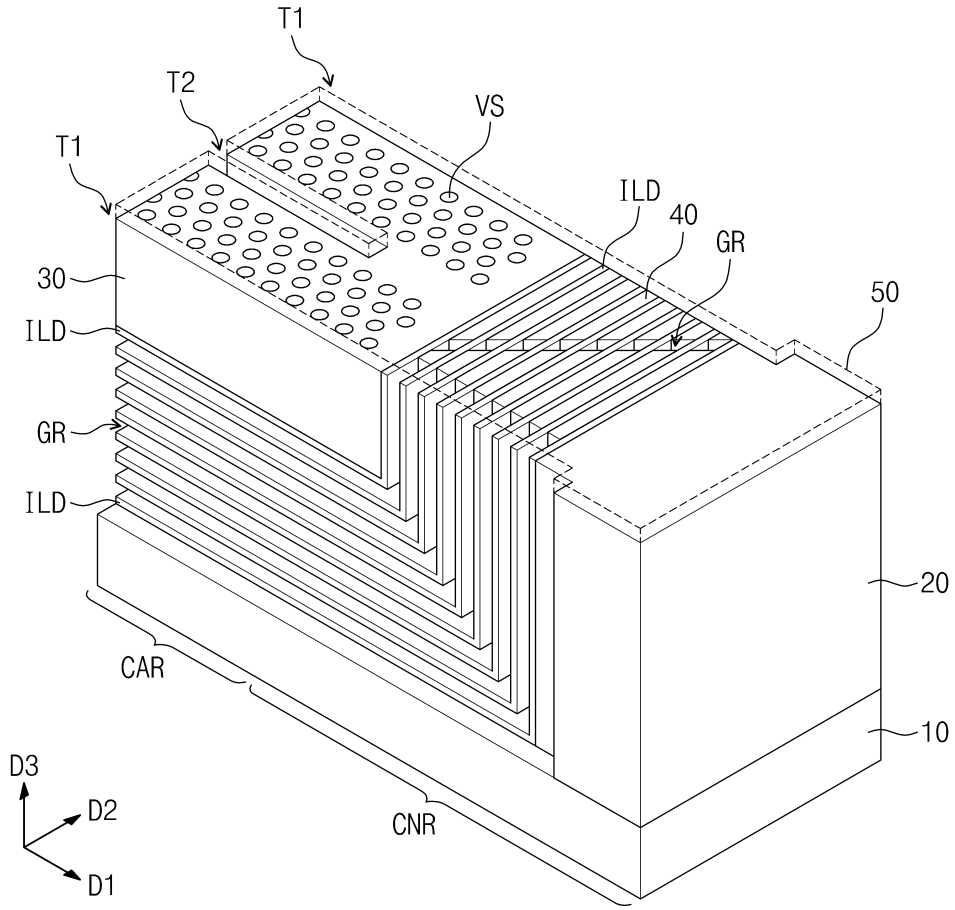
도면2d



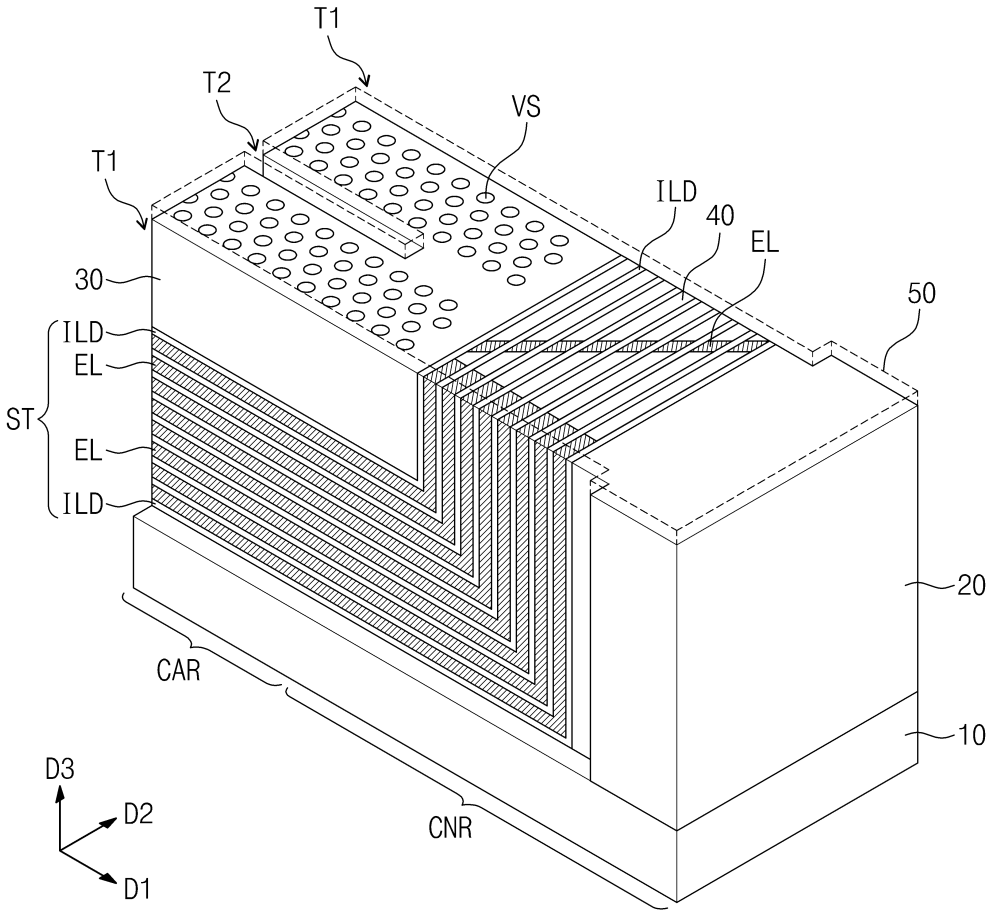
도면2e



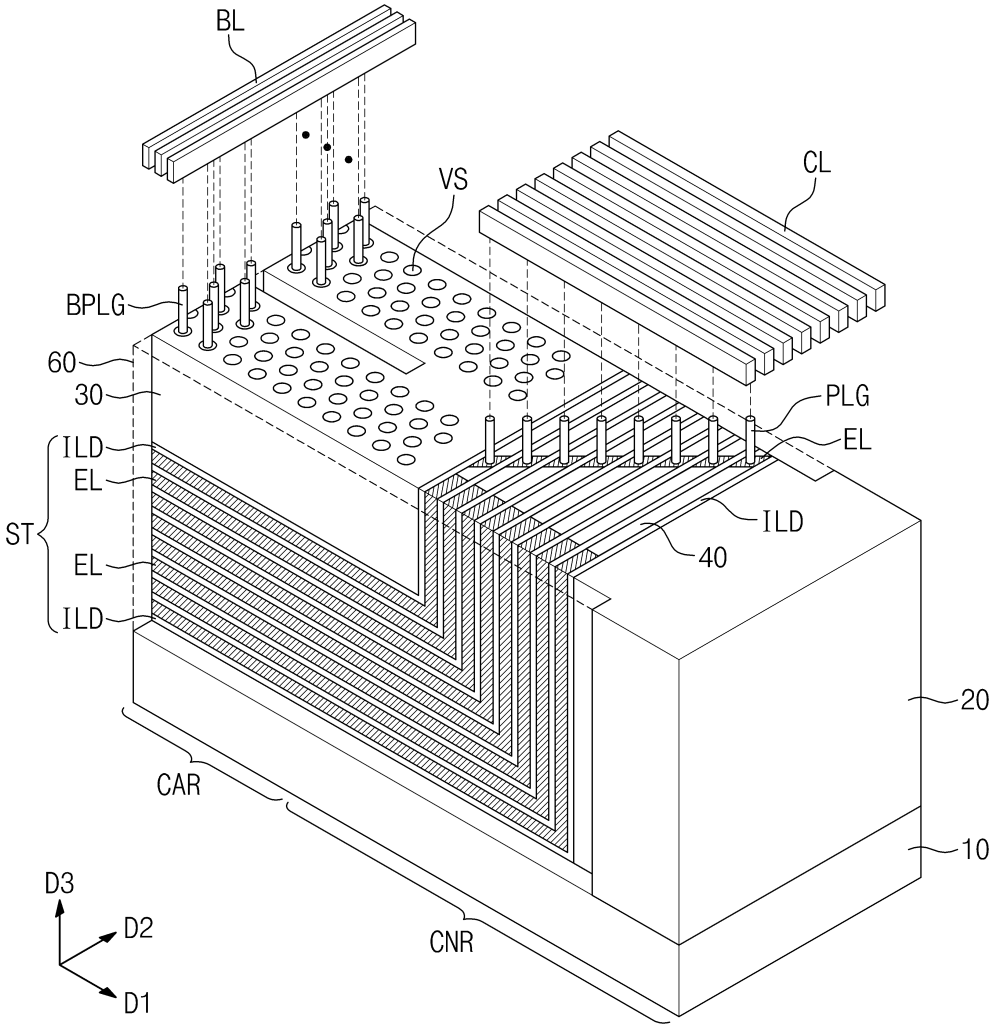
도면2f



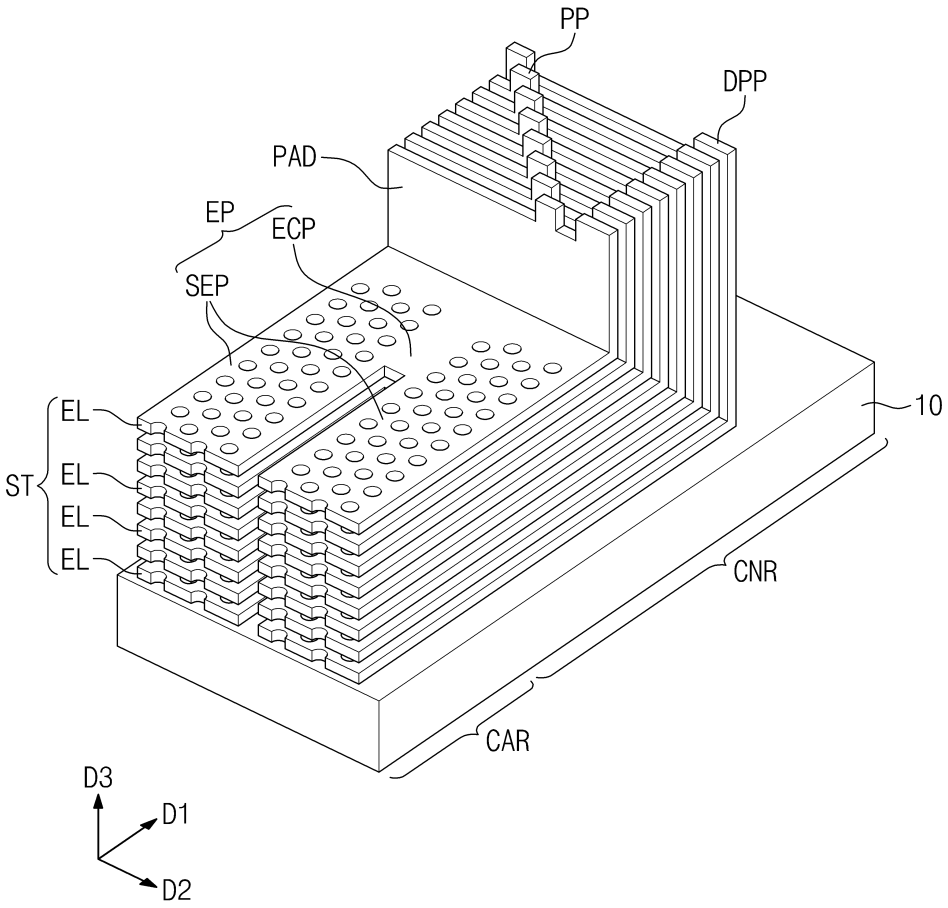
도면2g



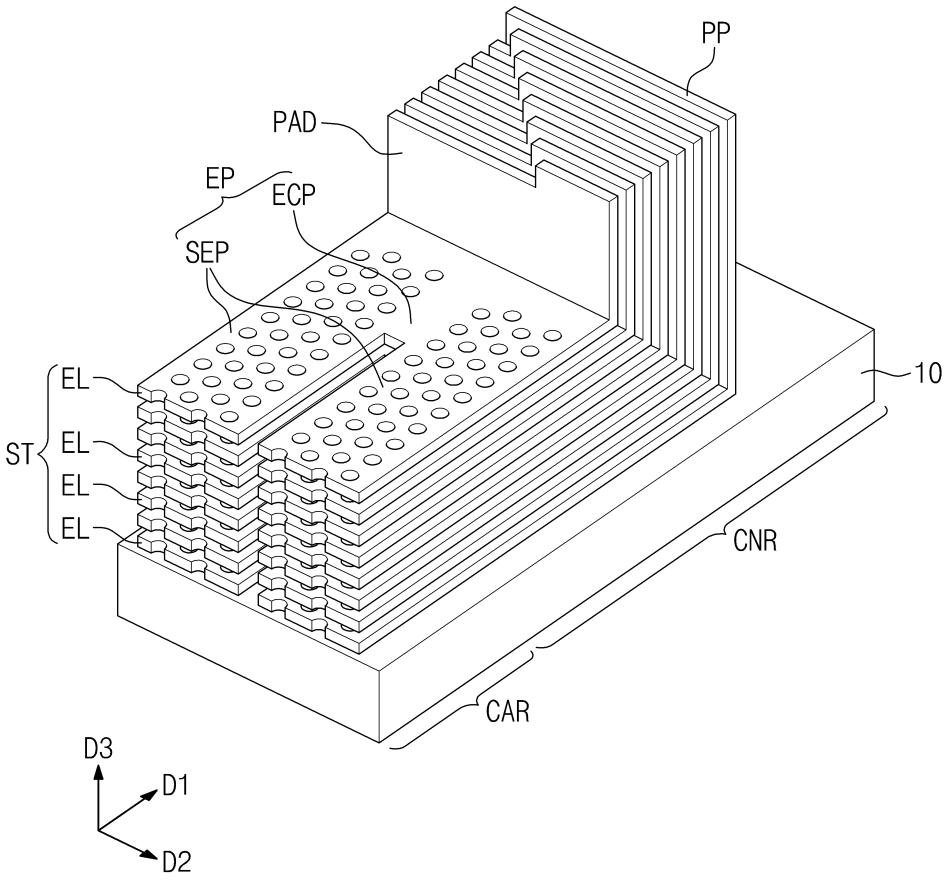
도면2h


BL
VS
CL
BPLG
60
30
PLG
EL
ILD
EL
ST
ILD
40
EL
ILD
20
CAR
10
D3
D2
D1
CNR

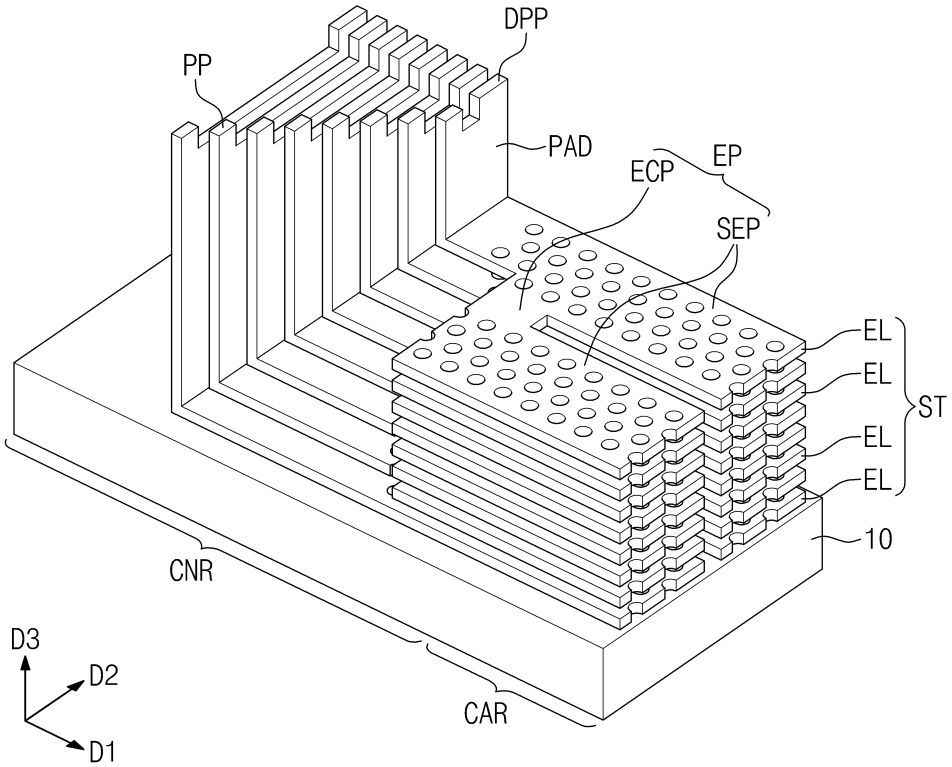
도면3



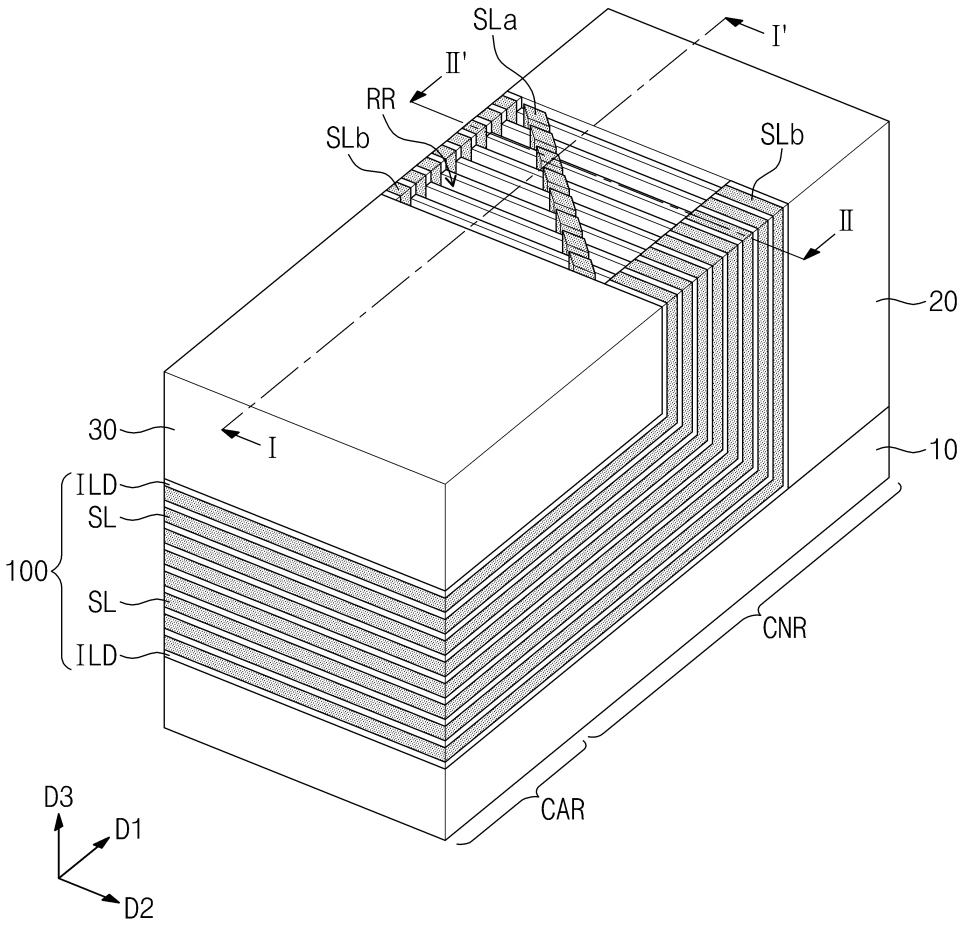
도면4


PP
PAD
EP
ECP
SEP
EL
EL
EL
EL
ST
10
CNR
CAR
D3
D1
D2

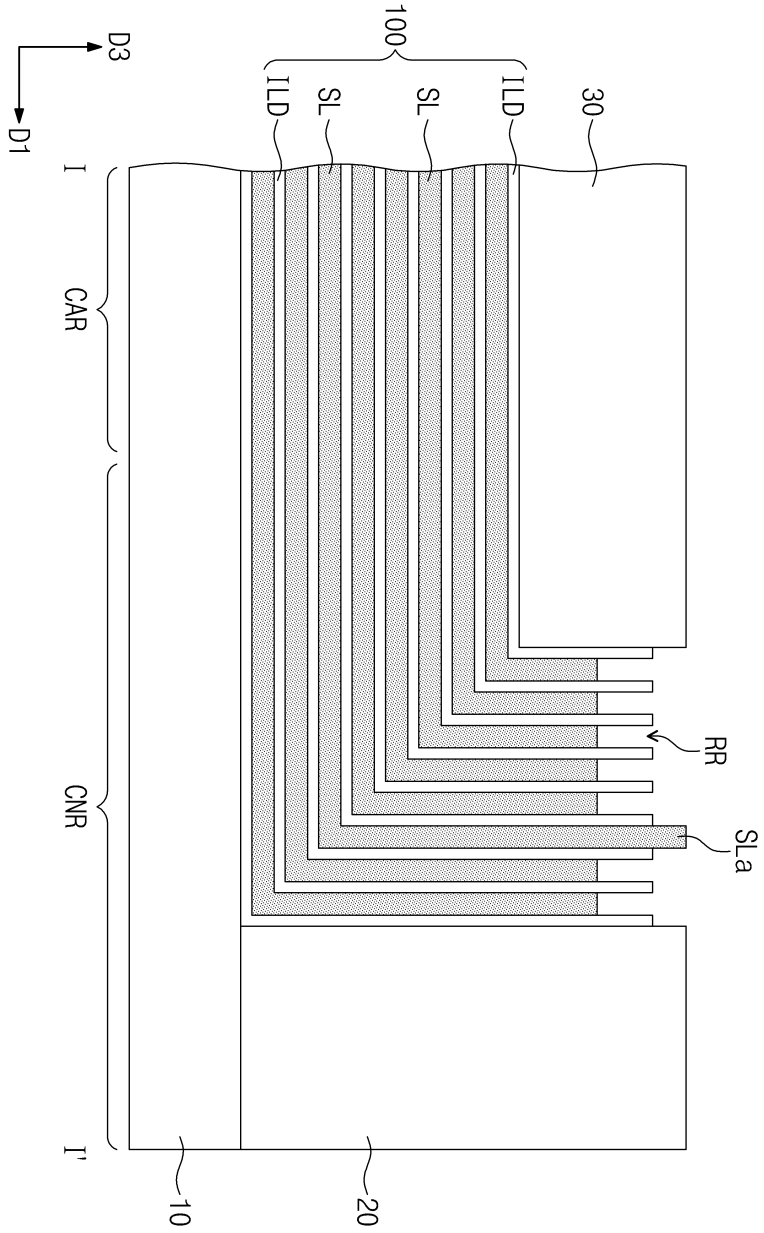
도면5


DPP
PP
PAD
ECP
EP
SEP
EL
EL
EL
EL
ST
10
CNR
CAR
D3
D2
D1

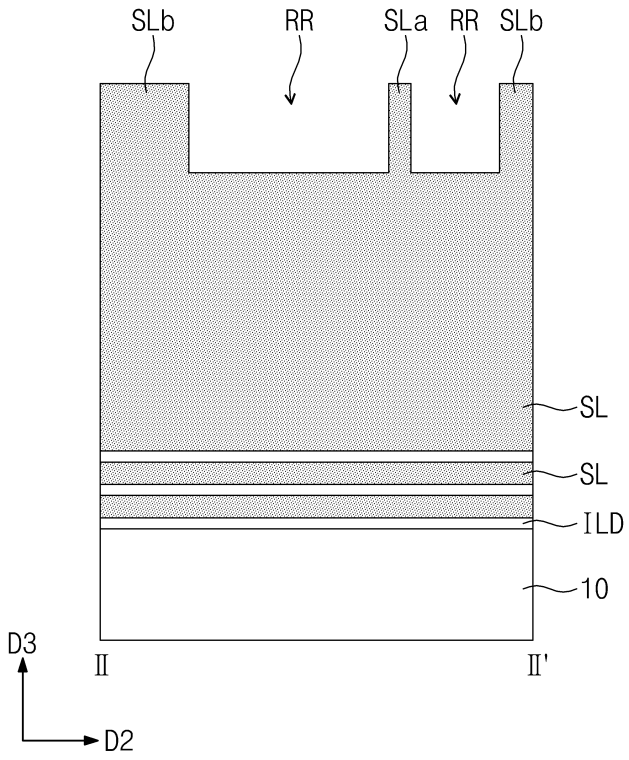
도면6a



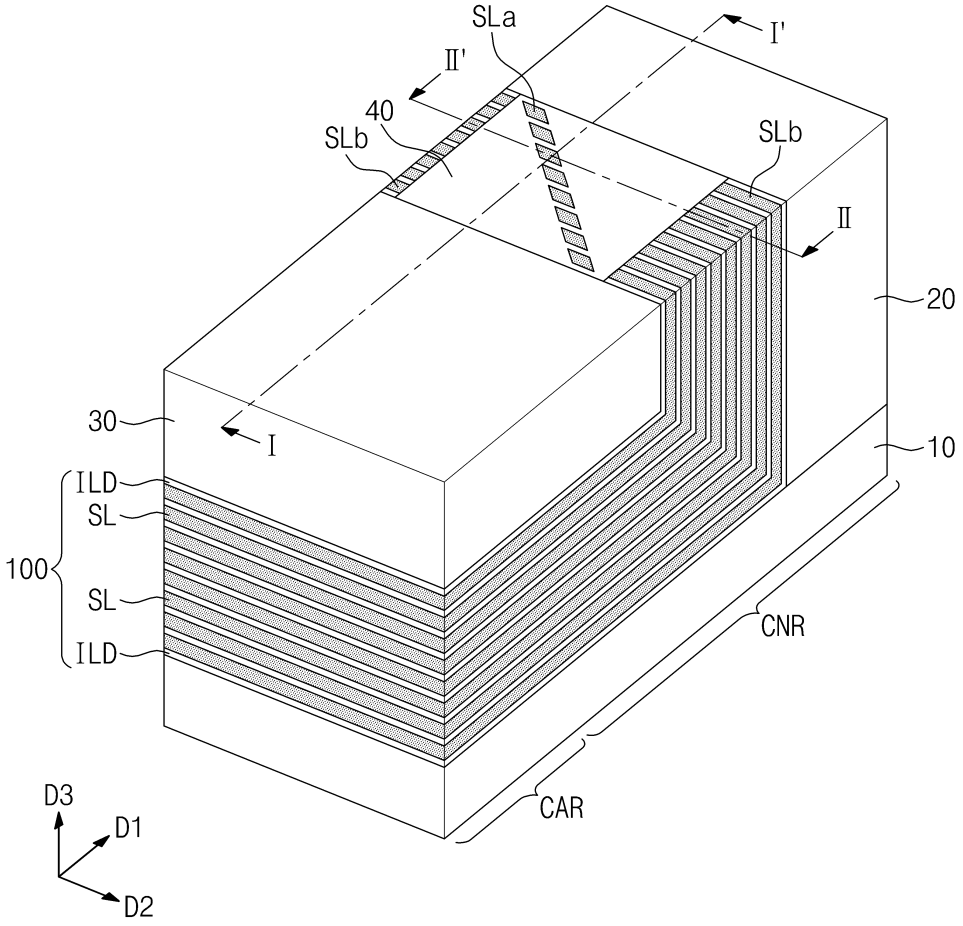
도면6b



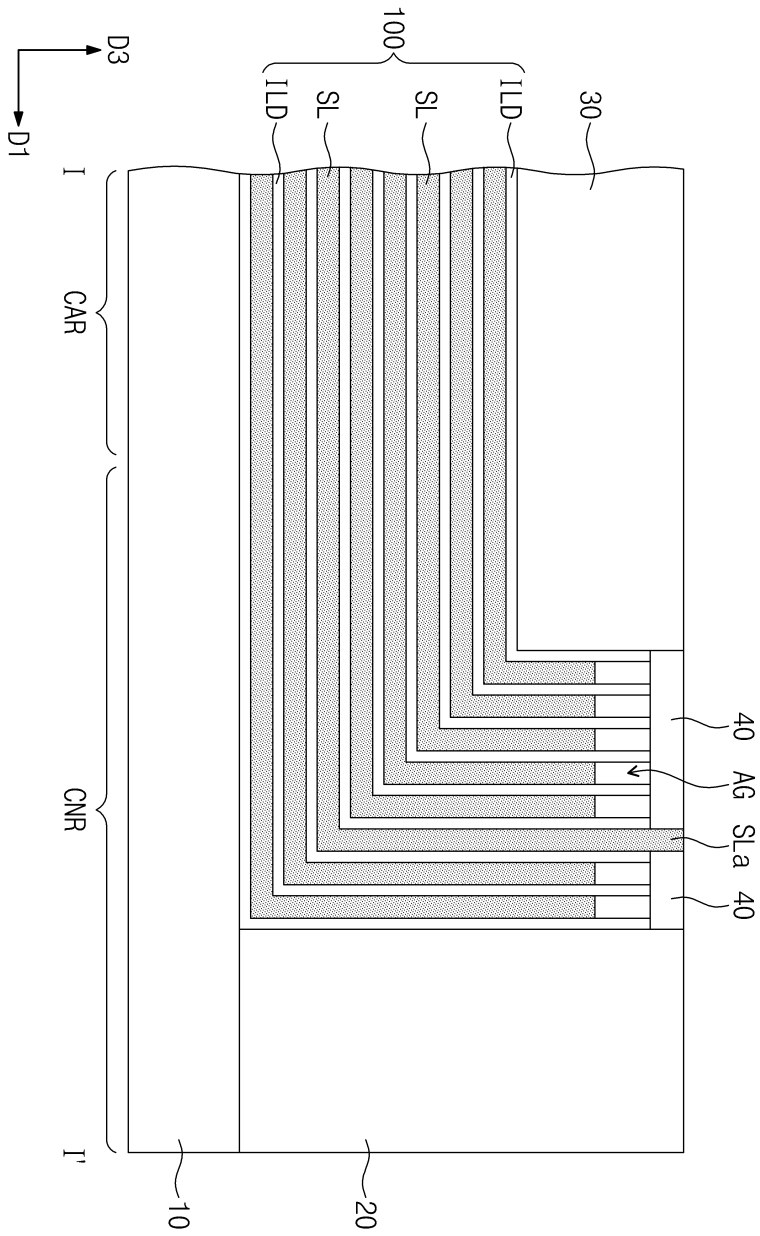
도면6c



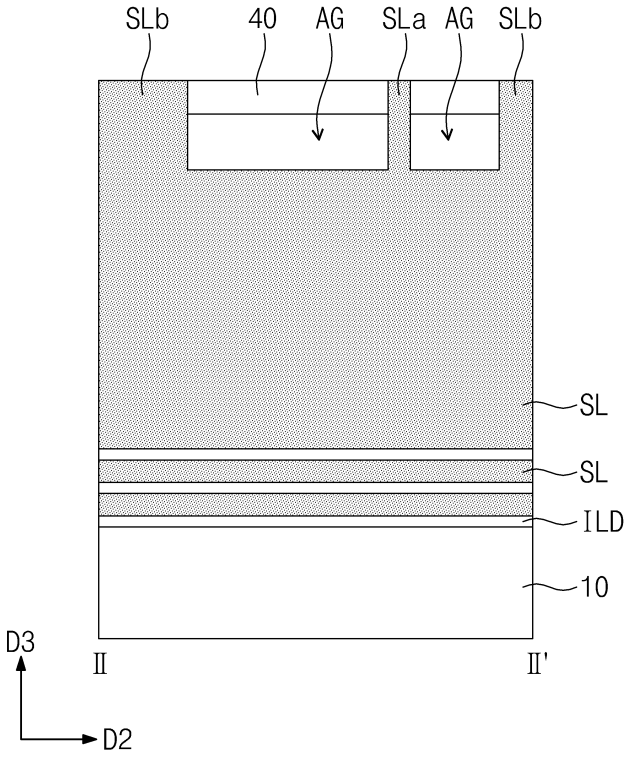
도면7a



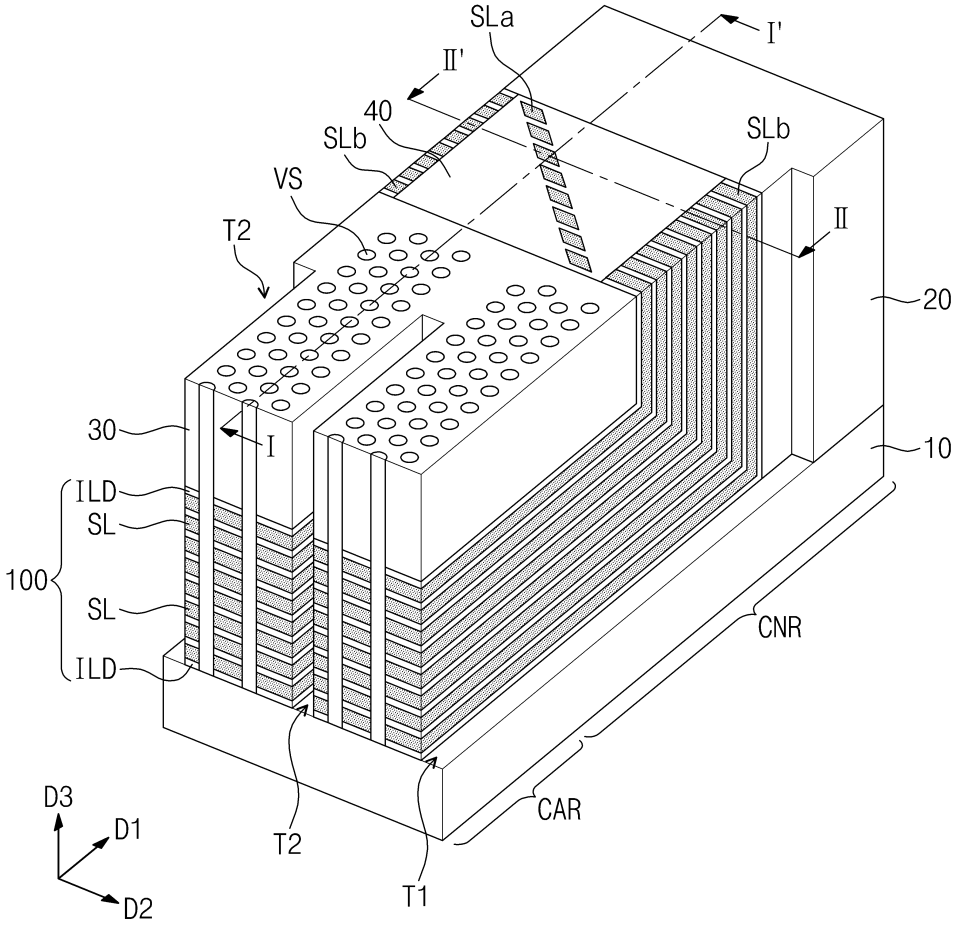
도면7b



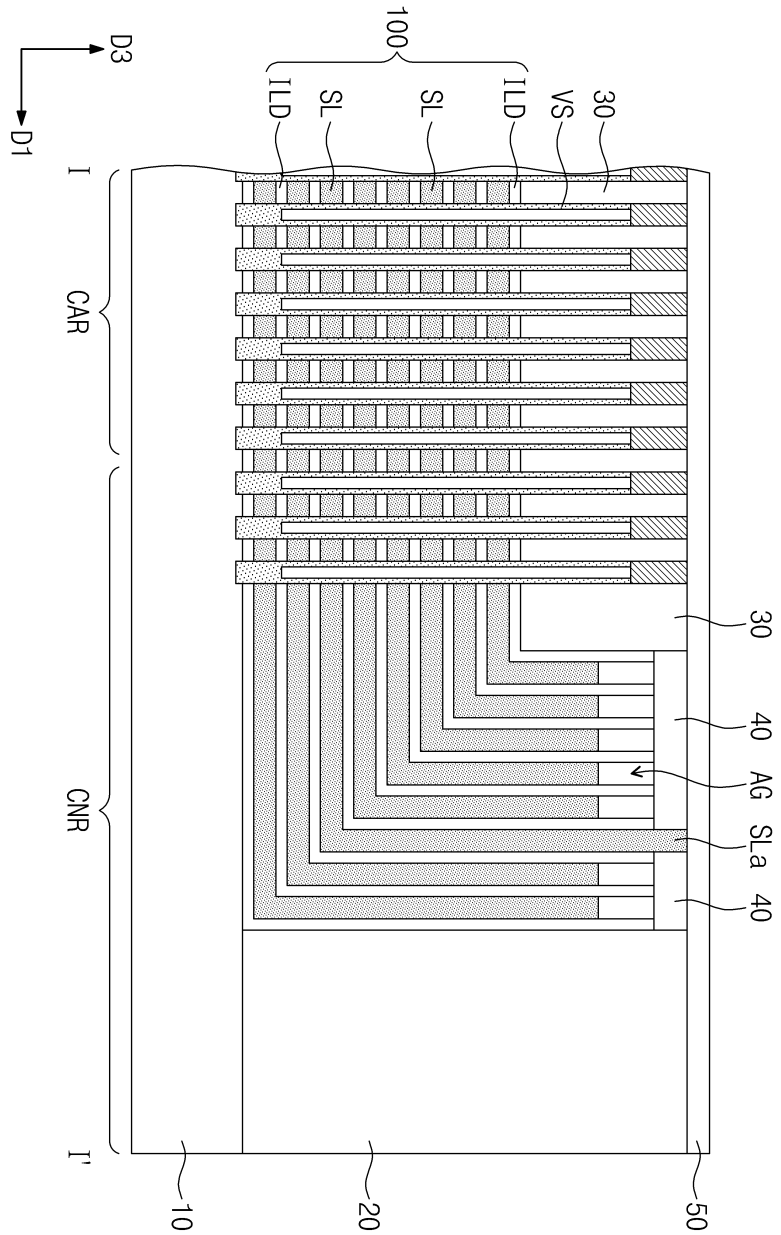
도면7c



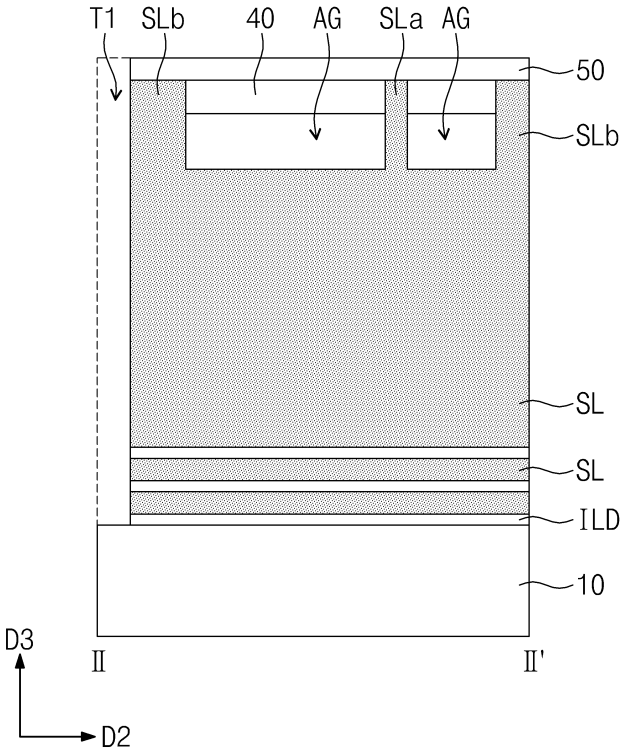
도면8a


SLa
I'
II'
40
SLb
SLb
VS
II
T2
20
30
I
10
ILD
SL
100
SL
CNR
ILD
D3
D1
T2
CAR
T1
D2

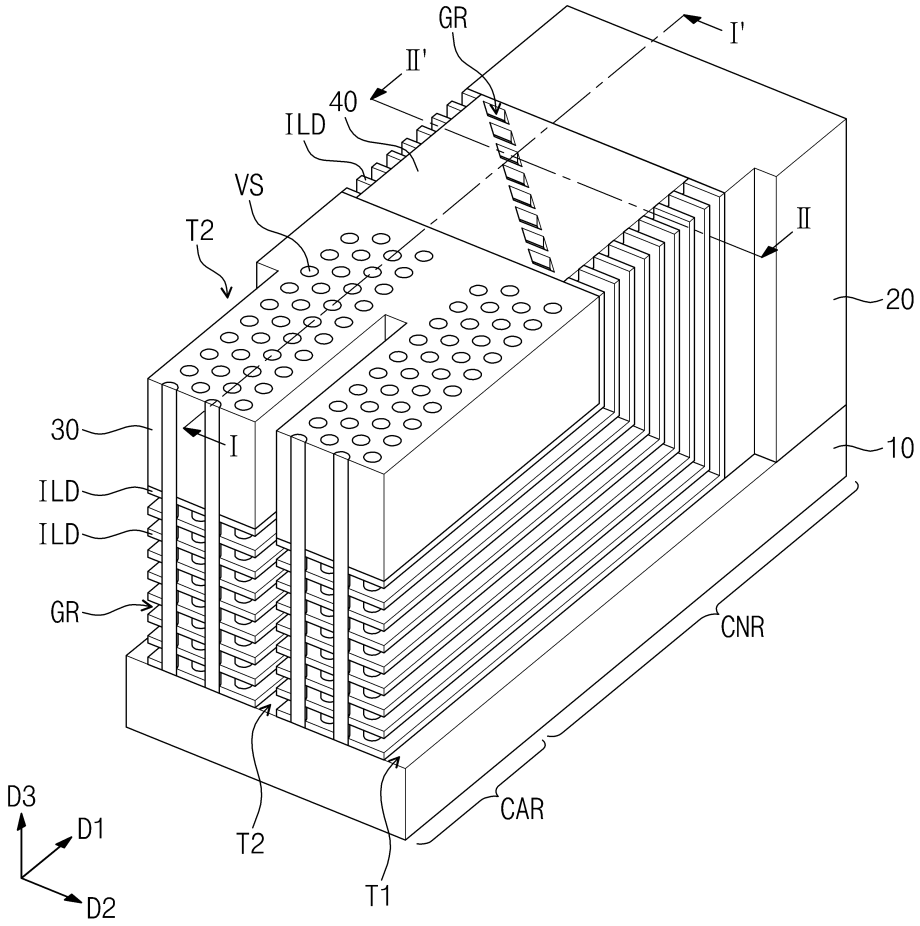
도면8b



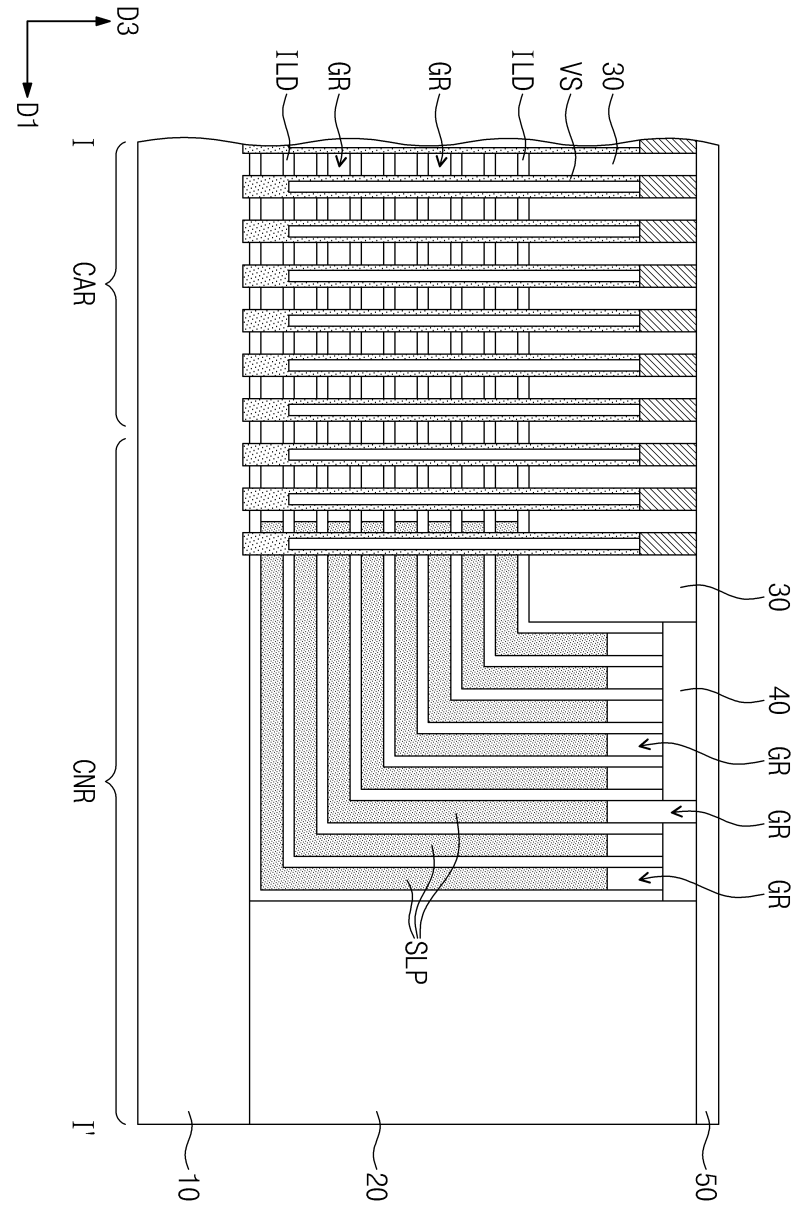
도면8c



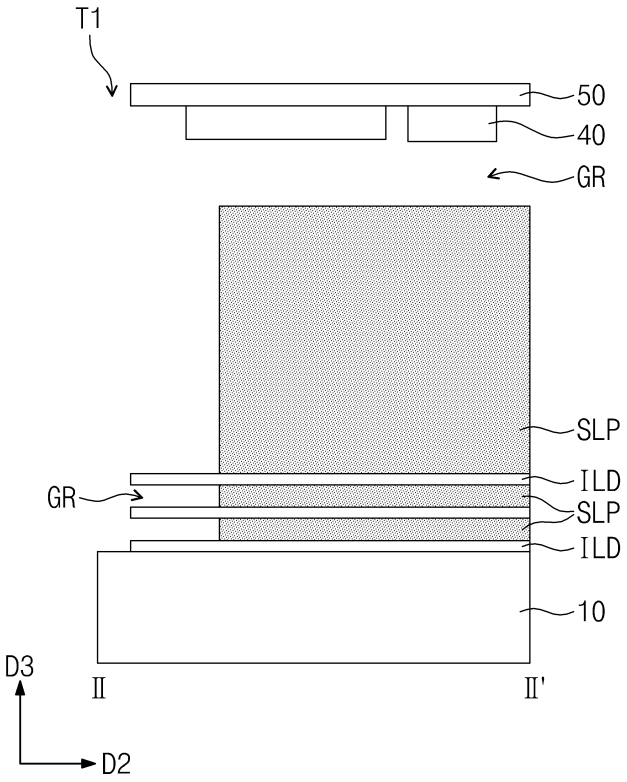
도면9a



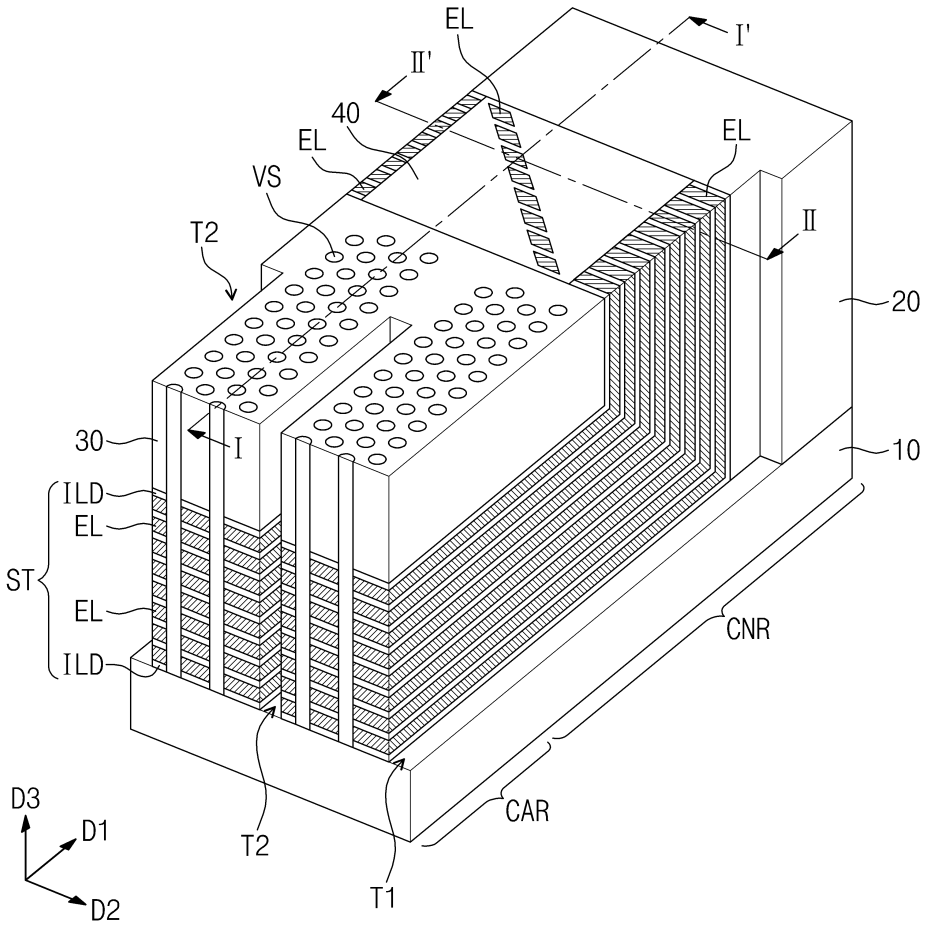
도면9b



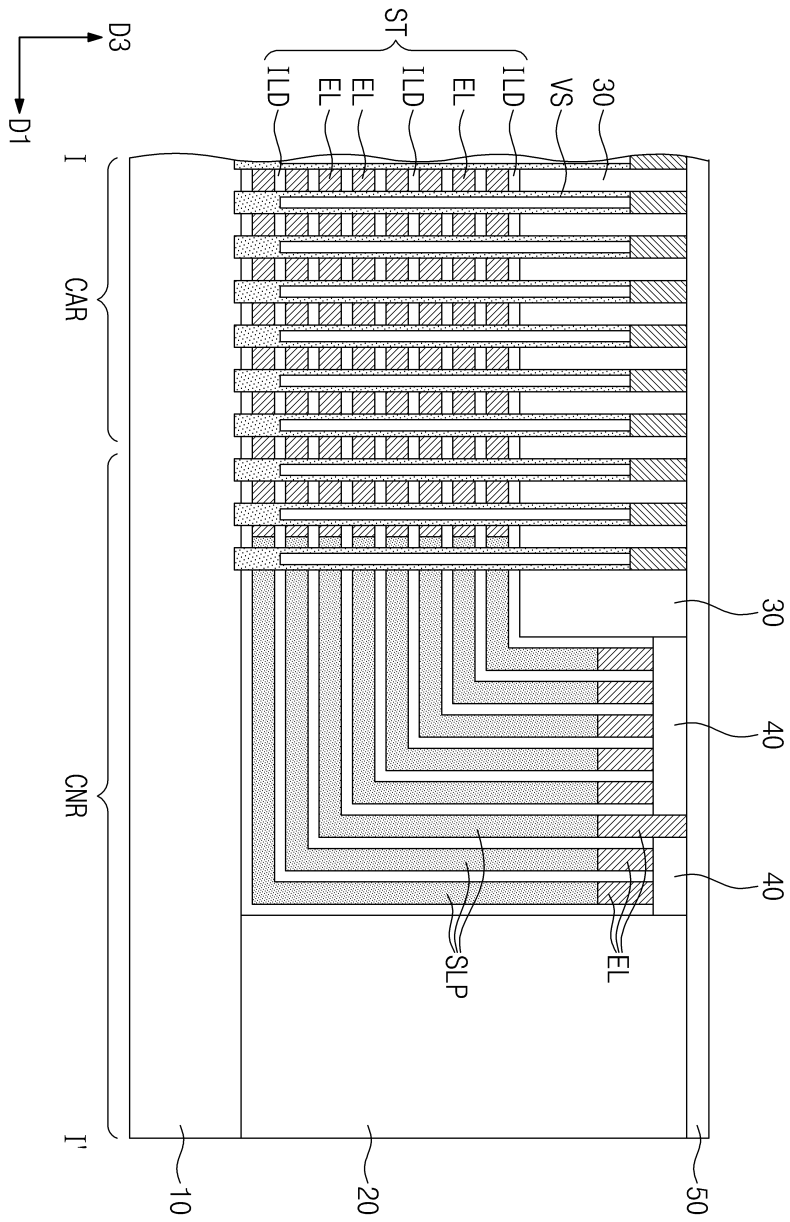
도면9c



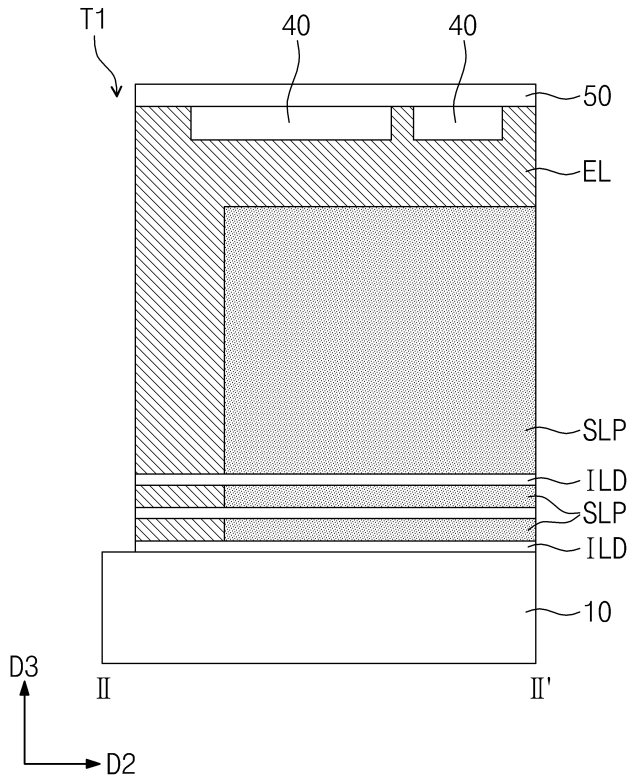
도면10a


EL
I'
II'
40
EL
EL
VS
II
T2
20
30
I
10
ILD
EL
ST
EL
CNR
ILD
D3
D1
T2
CAR
T1
D2

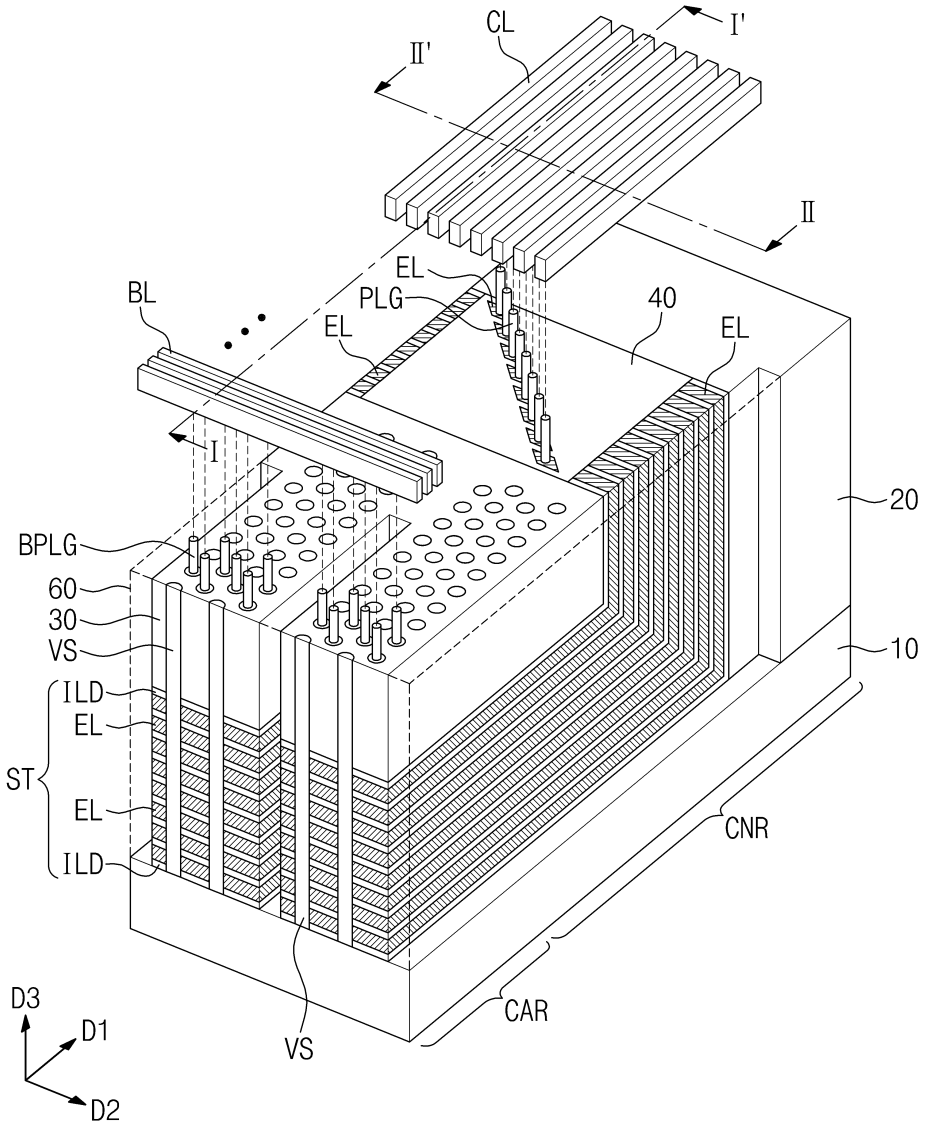
도면10b


D3
D1
ST
ILD
EL
EL
ILD
EL
ILD
VS
30
I
CAR
CNR
I'
30
40
40
SLP
EL
10
20
50

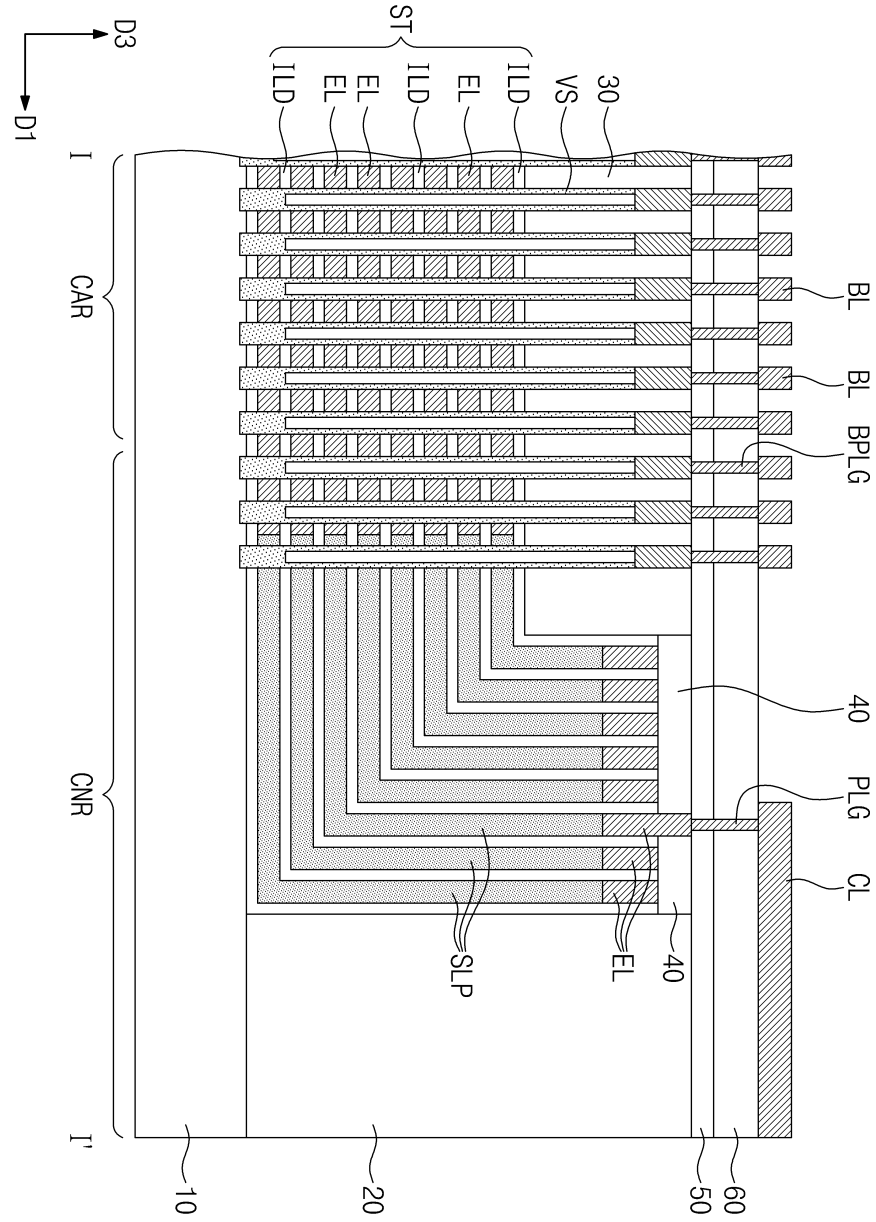
도면10c



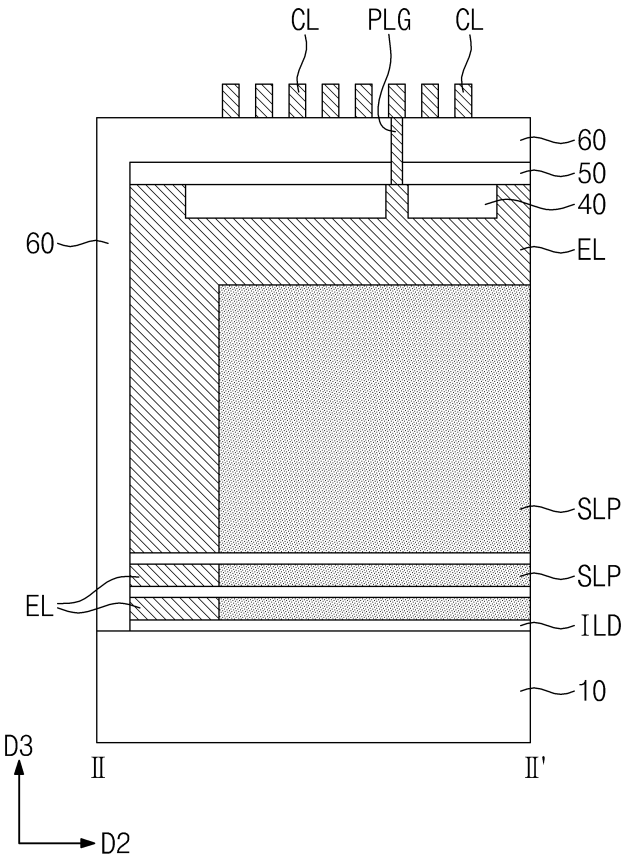
도면11a


CL
I'
II'
II
EL
PLG
40
EL
EL
BL
I
20
BPLG
60
30
VS
ILD
EL
ST
EL
ILD
10
CNR
CAR
VS
D3
D1
D2

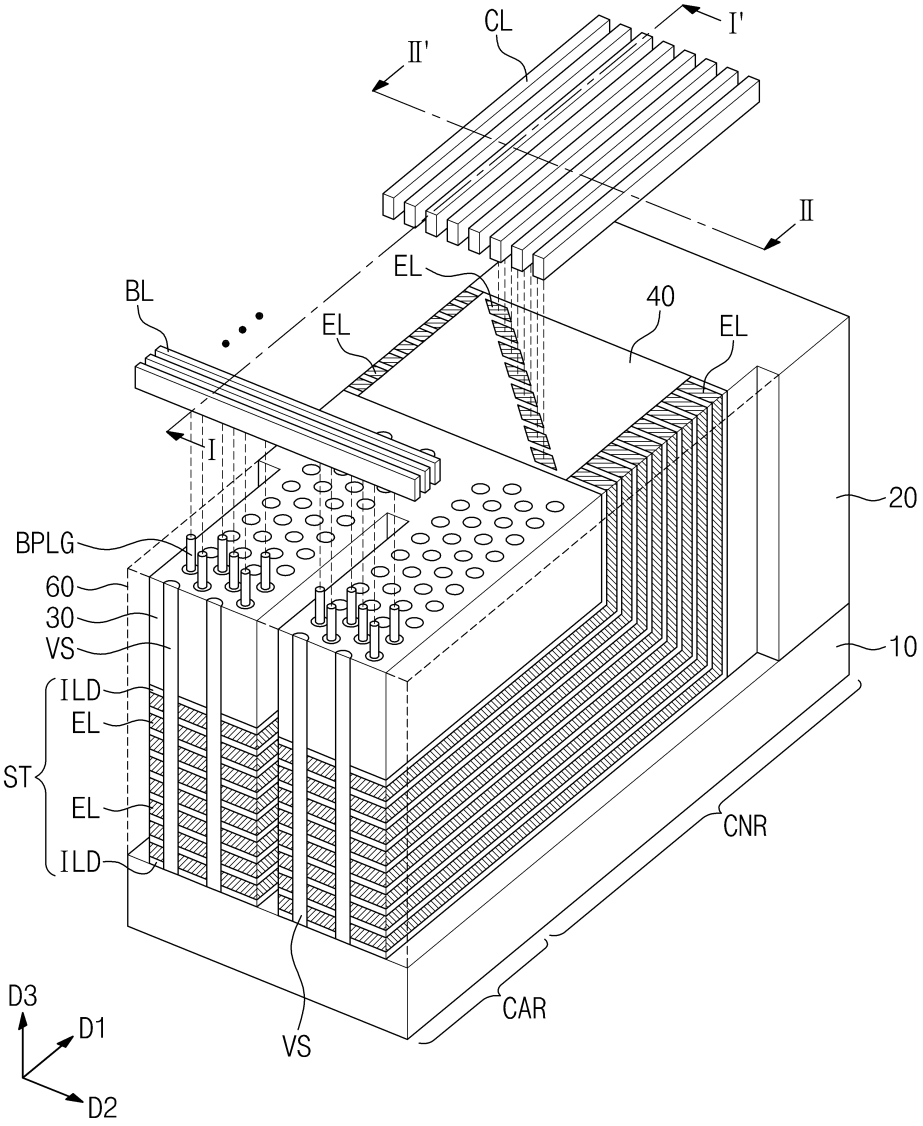
도면11b


D3
D1
ST
ILD
EL
EL
ILD
EL
ILD
VS
30
I
CAR
CNR
I'
BL
BL
BPLG
40
PLG
CL
SLP
EL
40
10
20
50
60

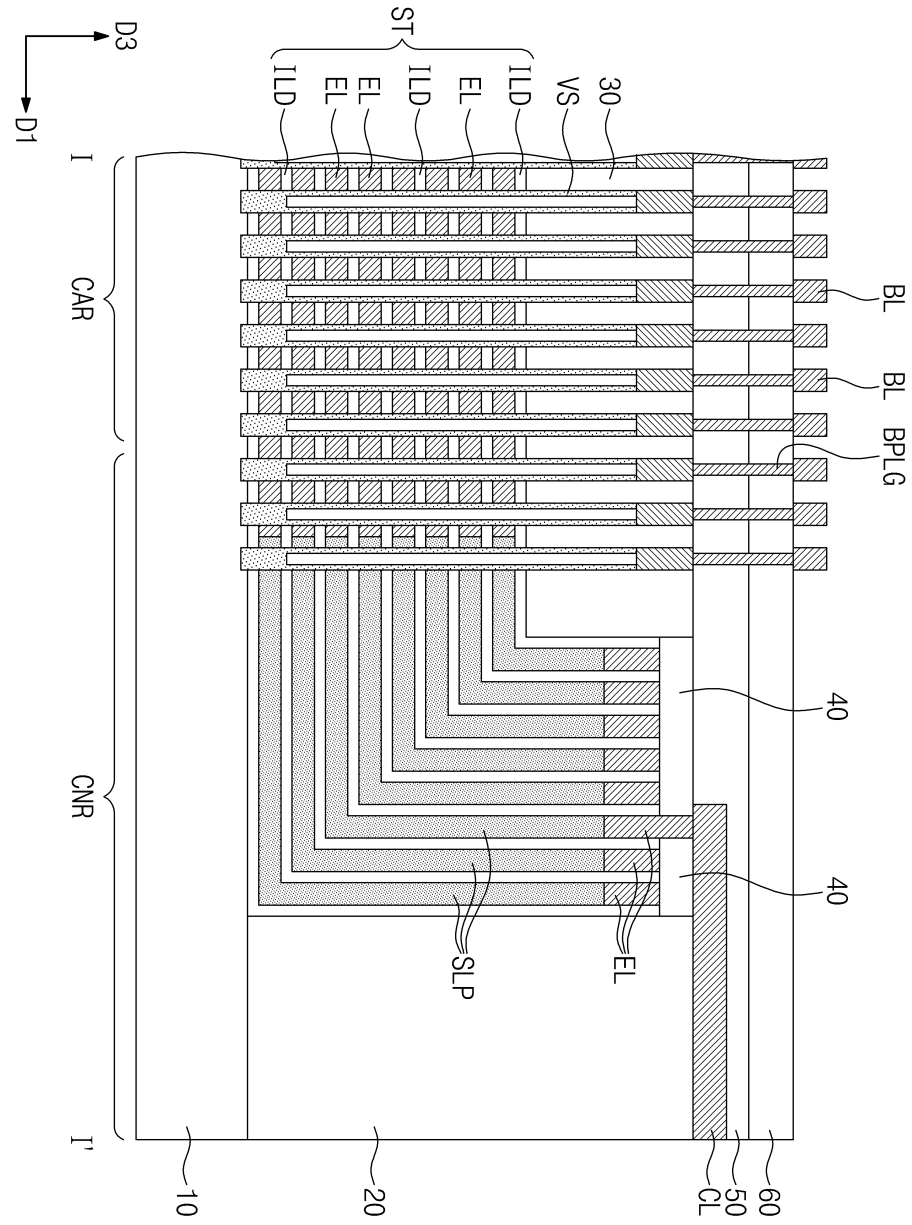
도면11c



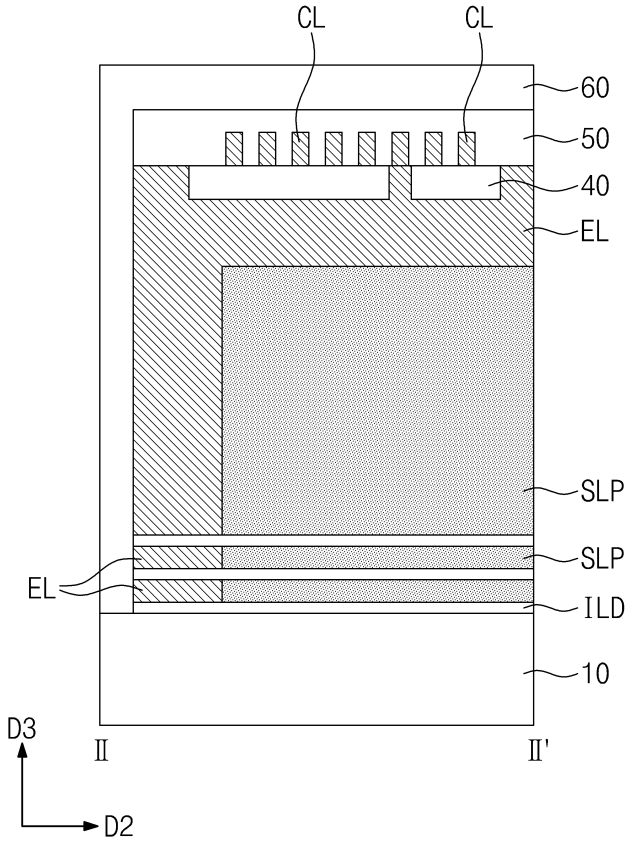
도면12a


CL
I'
II'
II
EL
BL
EL
40
EL
I
20
BPLG
60
30
VS
10
ILD
EL
ST
EL
ILD
CNR
CAR
VS
D3
D1
D2

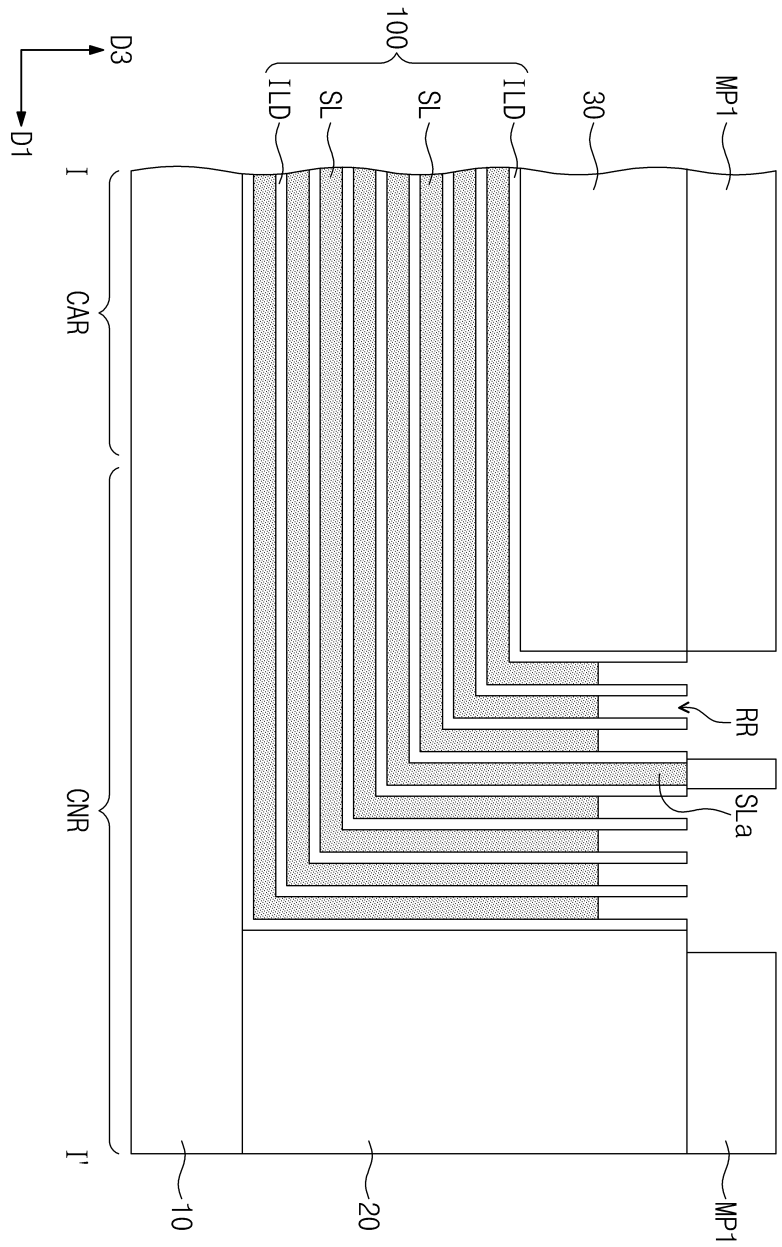
도면12b


D3
D1
ST
ILD
EL
EL
ILD
EL
ILD
VS
30
I
CAR
CNR
I'
BL
BL
BPLG
40
40
SLP
EL
10
20
CL
50
60

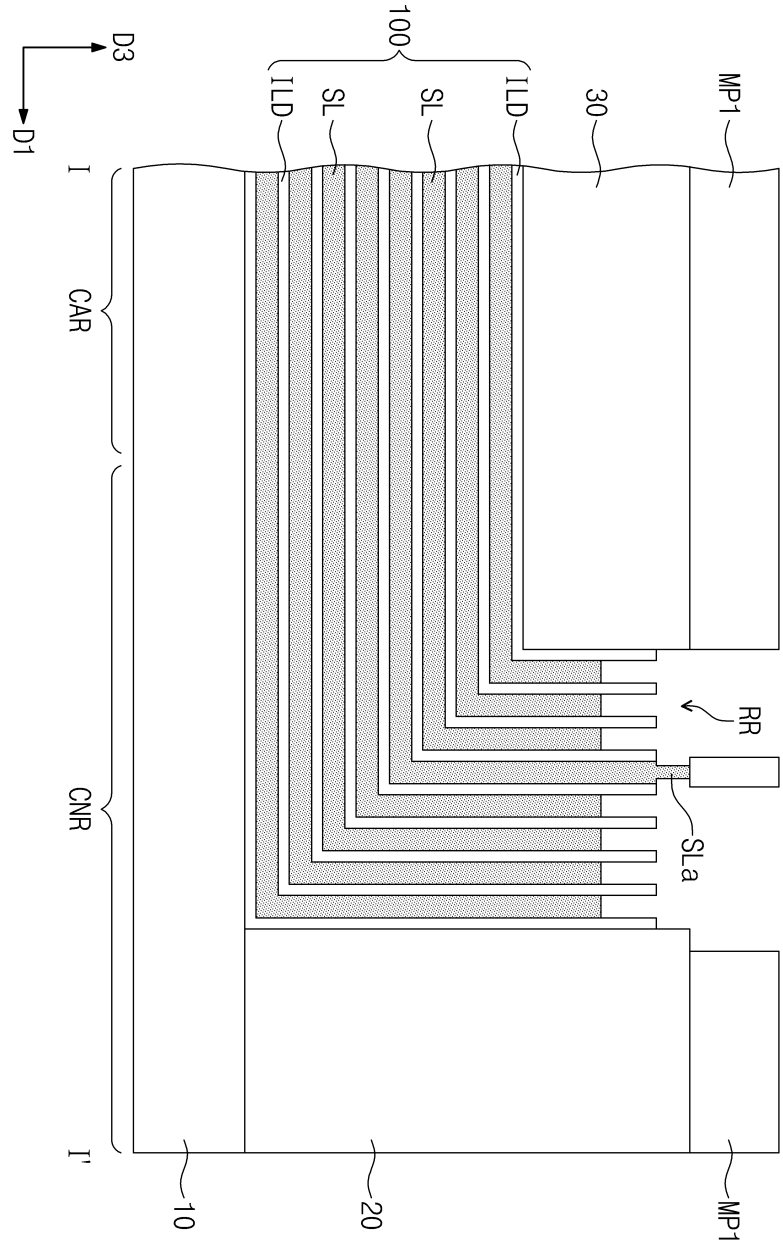
도면12c



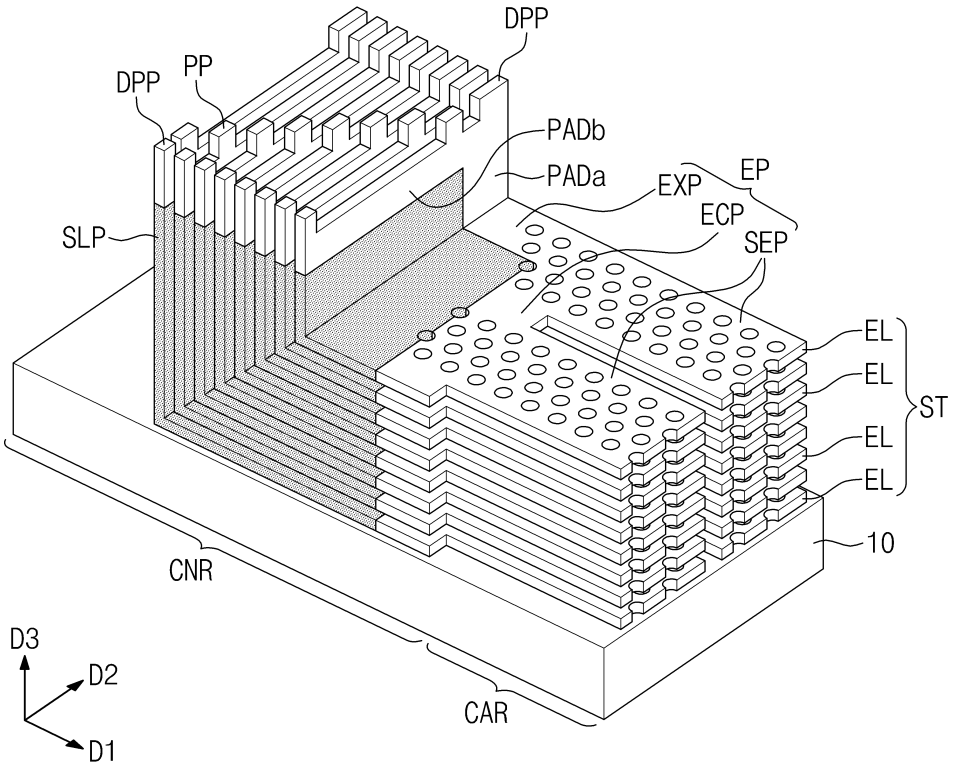
도면13a



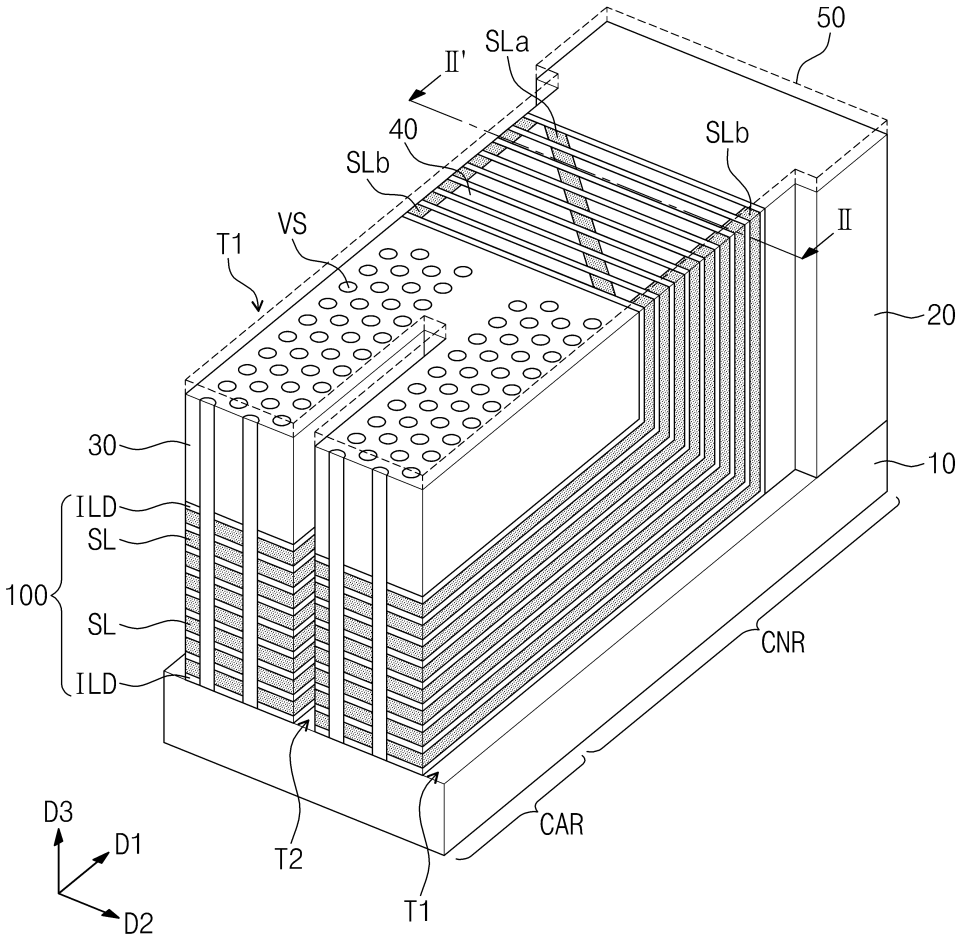
도면13b



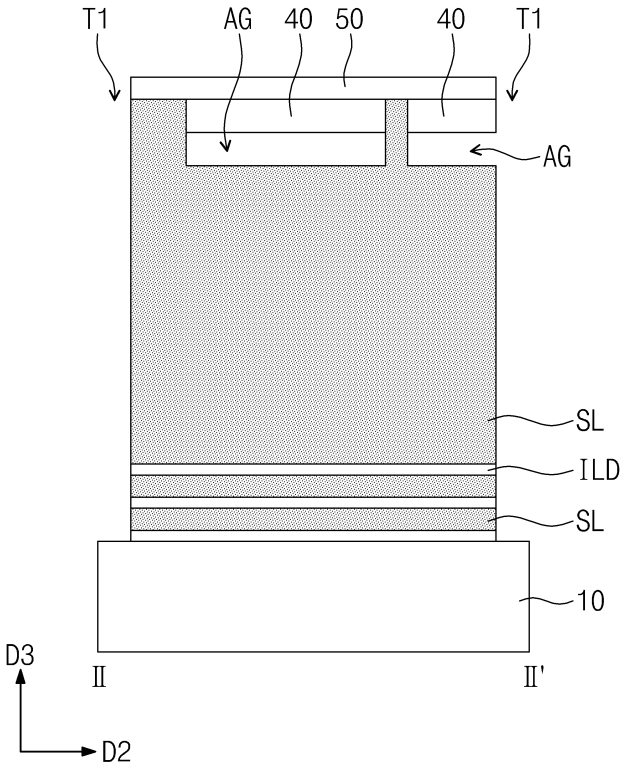
도면14


DPP
DPP
PP
PADb
PADa
EXP
EP
ECP
SEP
SLP
EL
EL
EL
EL
ST
10
CNR
CAR
D3
D2
D1

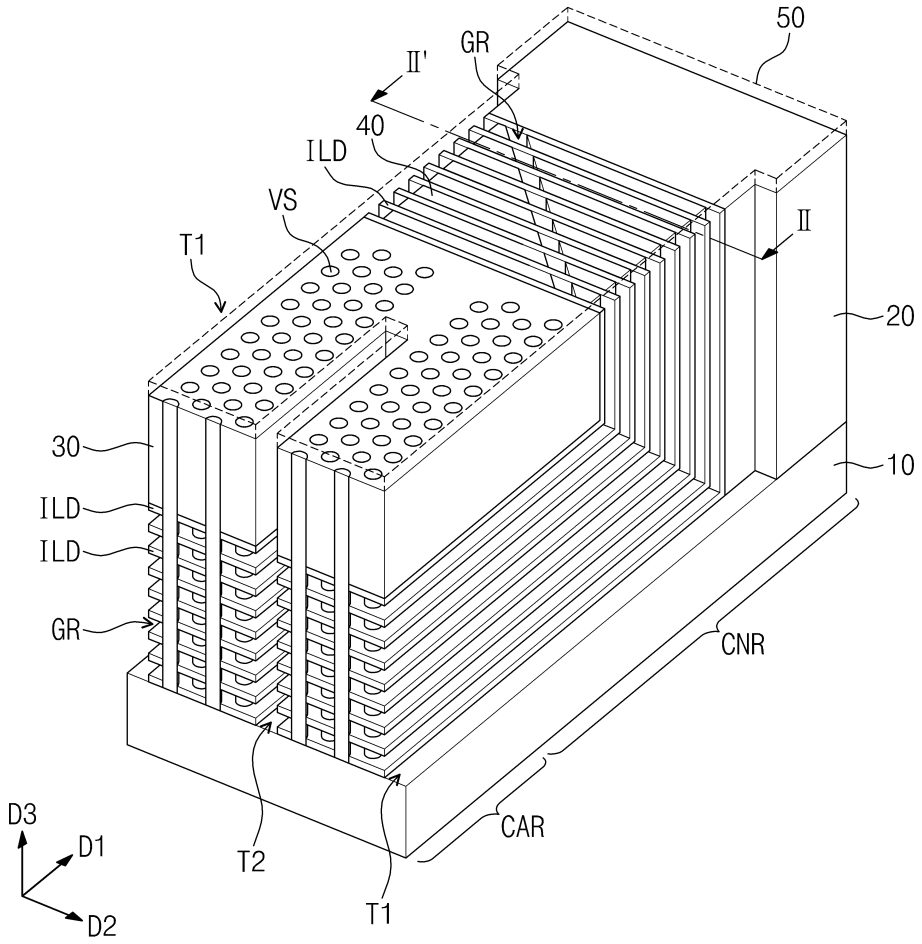
도면15a


50
II'
SLa
40
SLb
SLb
II
T1
VS
20
30
10
ILD
SL
100
SL
ILD
CNR
CAR
D3
D1
D2
T2
T1

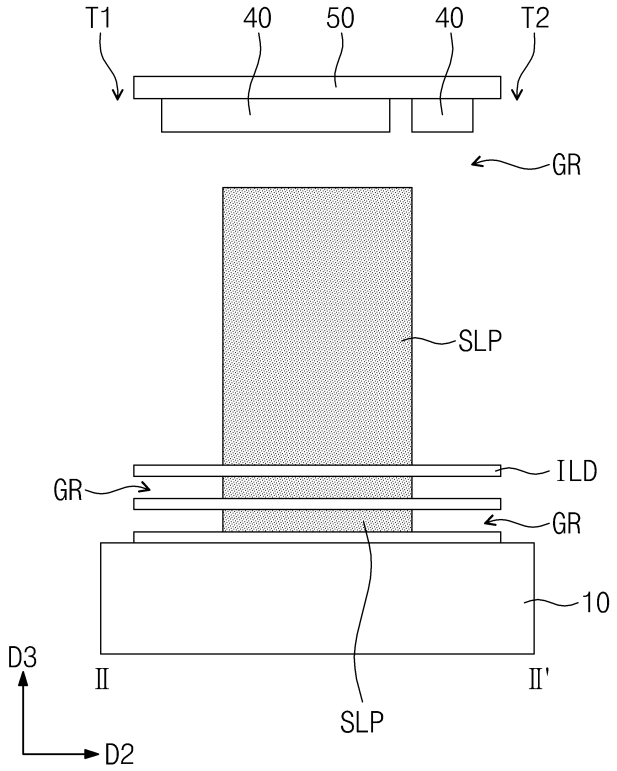
도면15b



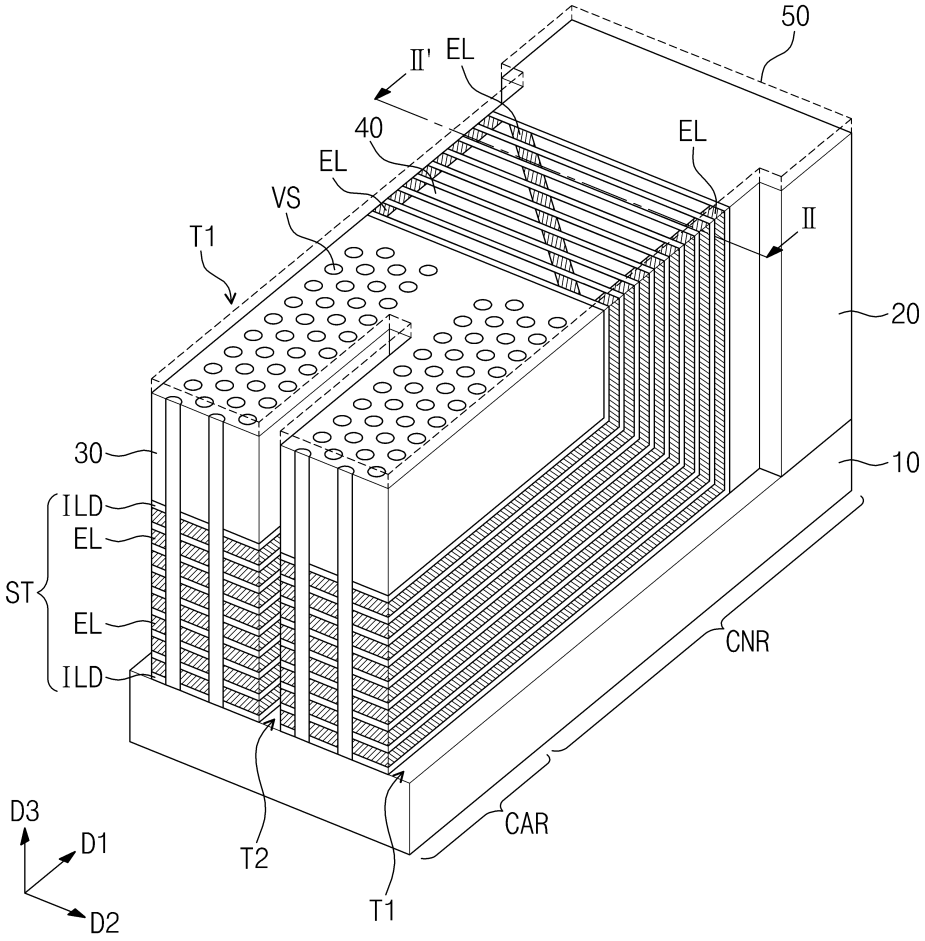
도면16a



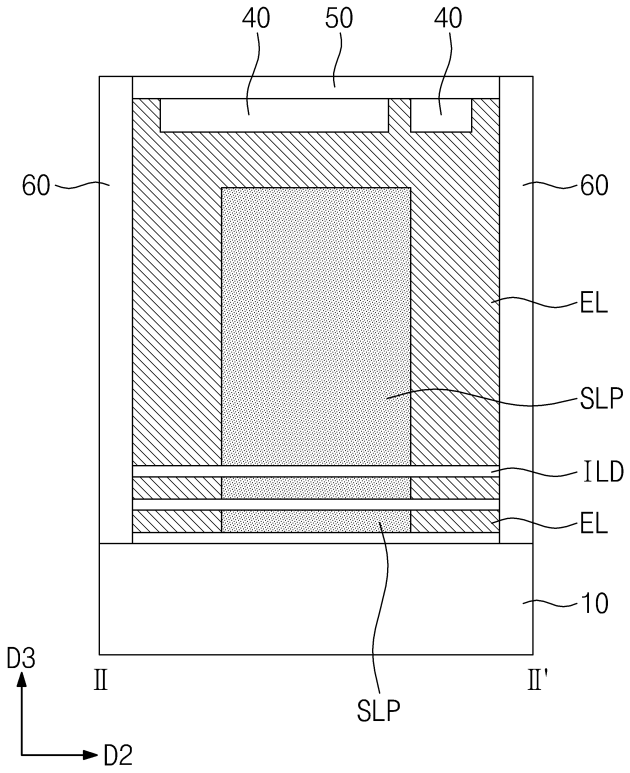
도면16b



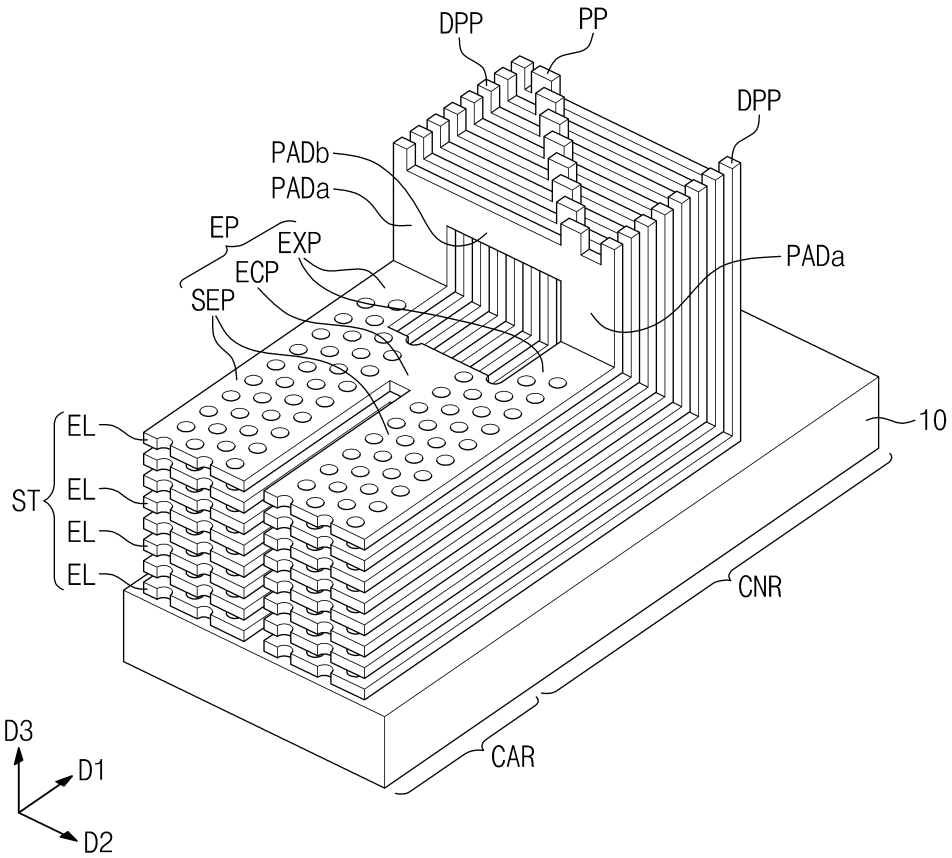
도면17a


50
II'
EL
40
EL
EL
VS
T1
II
20
30
10
ILD
EL
ST
EL
ILD
CNR
D3
D1
D2
T2
T1
CAR

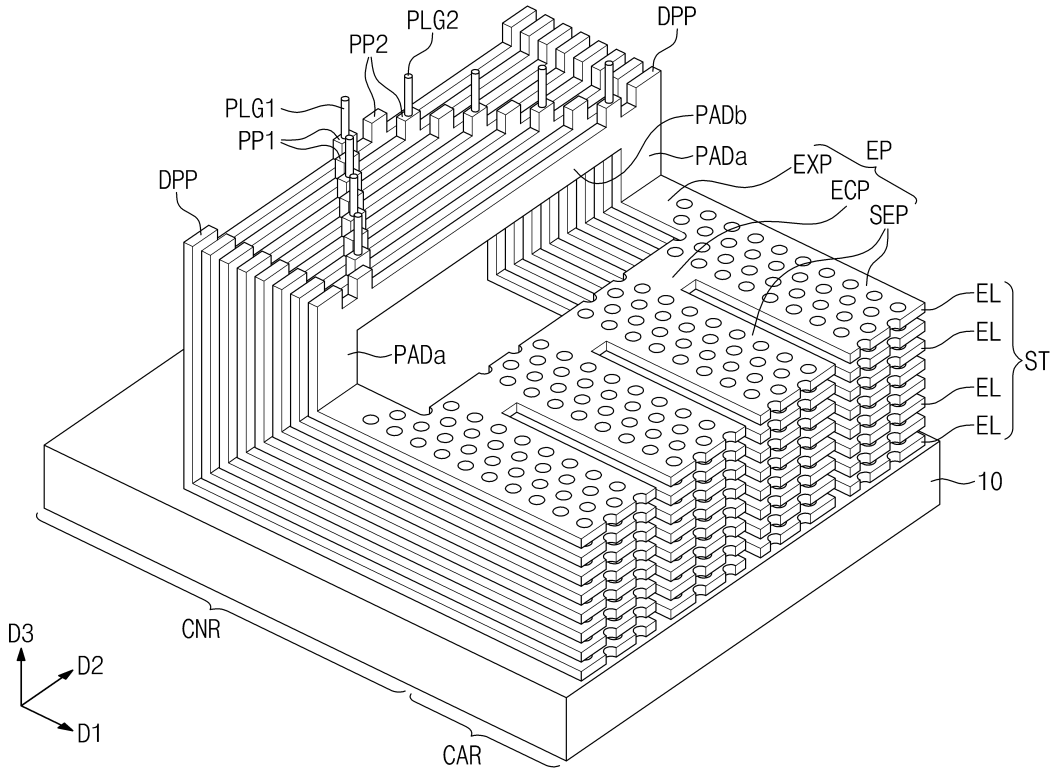
도면17b


40
50
40
60
60
EL
SLP
ILD
EL
10
D3
II
II'
SLP
D2

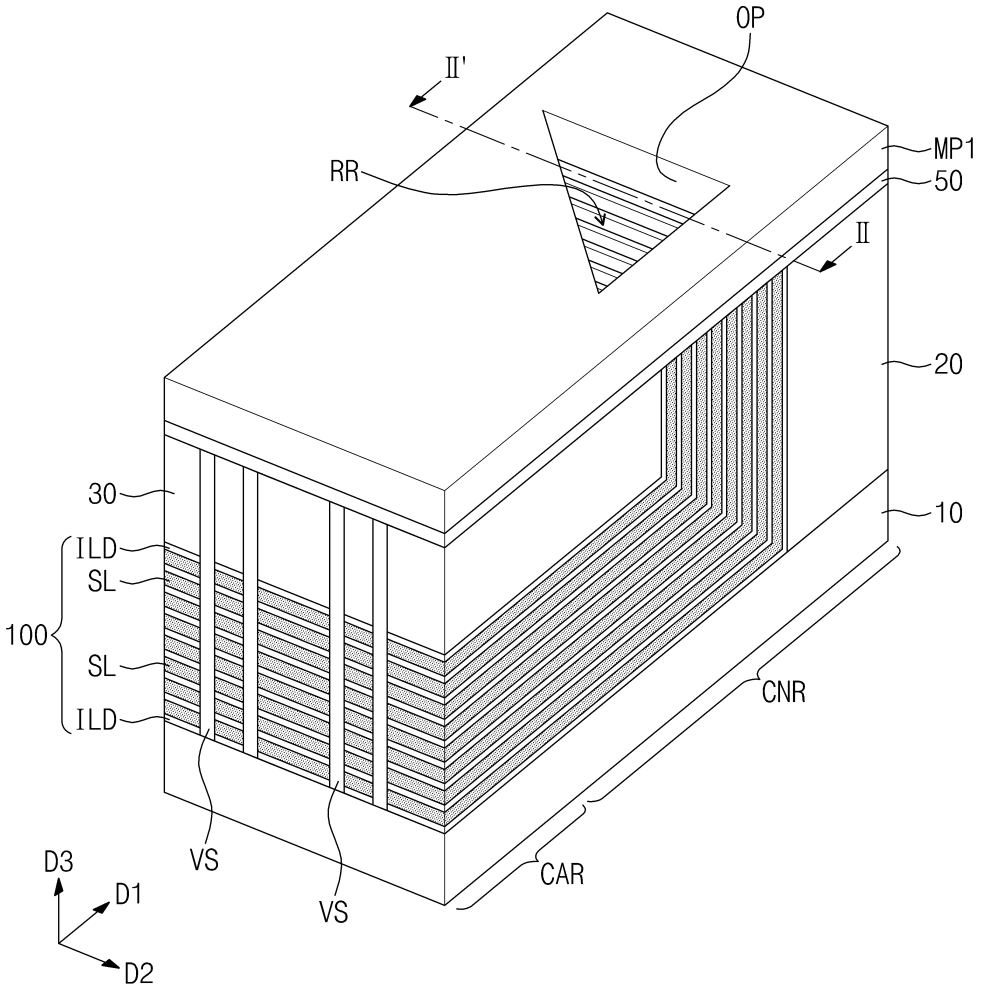
도면18


DPP
PP
DPP
PADb
PADa
EP
EXP
ECP
SEP
PADa
10
EL
EL
EL
EL
ST
CNR
D3
D1
D2
CAR

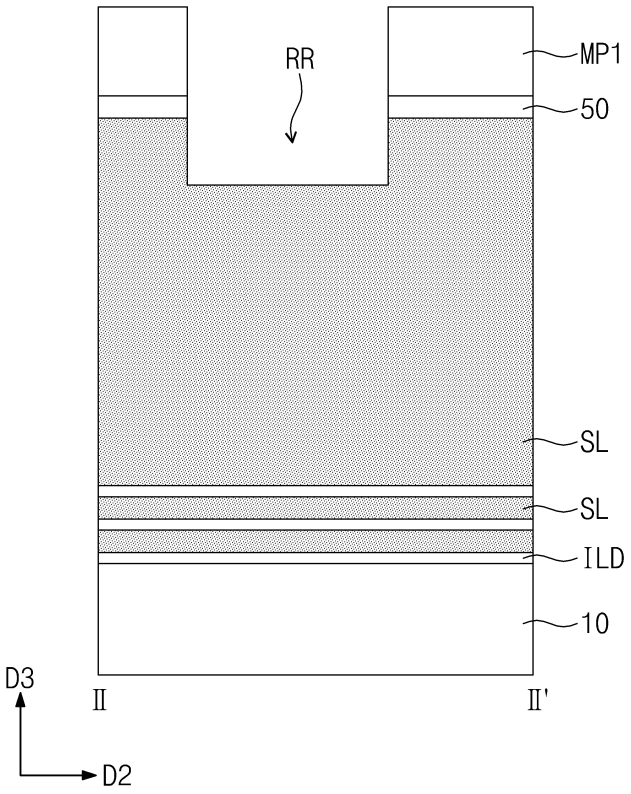
도면19


PLG2
PP2
DPP
PLG1
PP1
PADb
PADa
EXP
EP
ECP
SEP
DPP
EL
EL
ST
PADa
EL
EL
10
CNR
D3
D2
D1
CAR

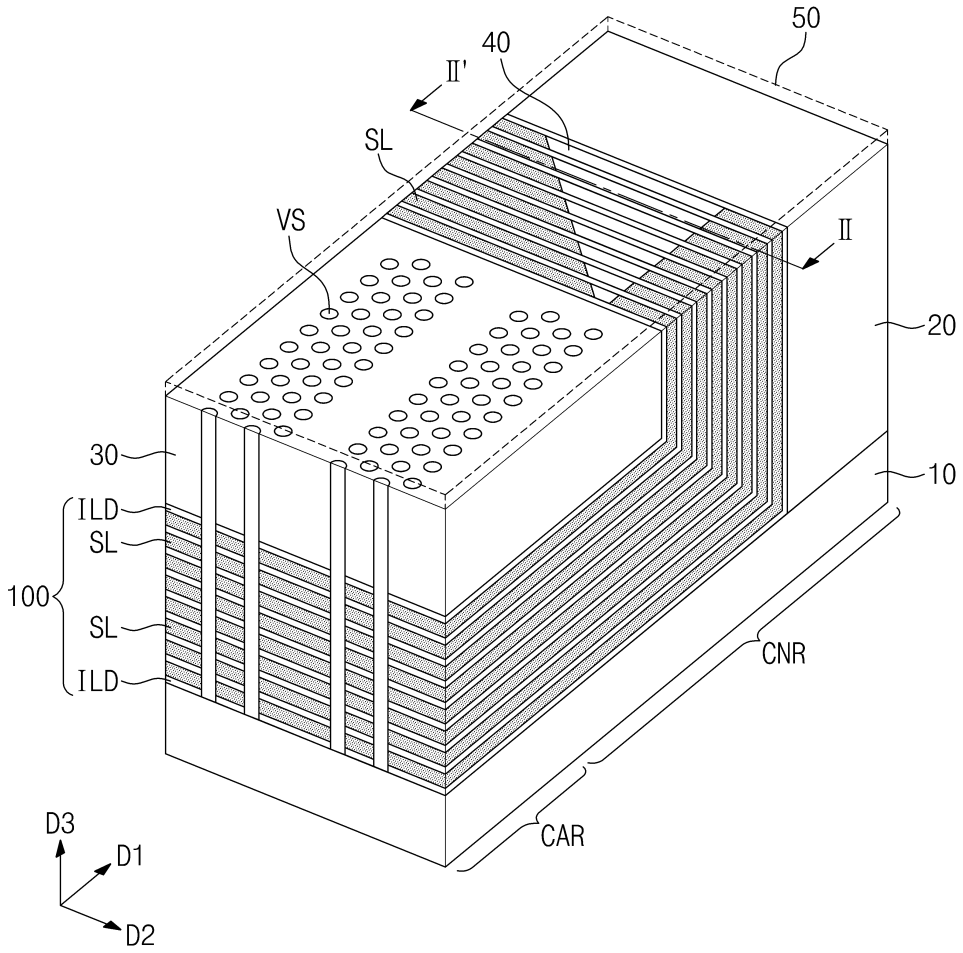
도면20a



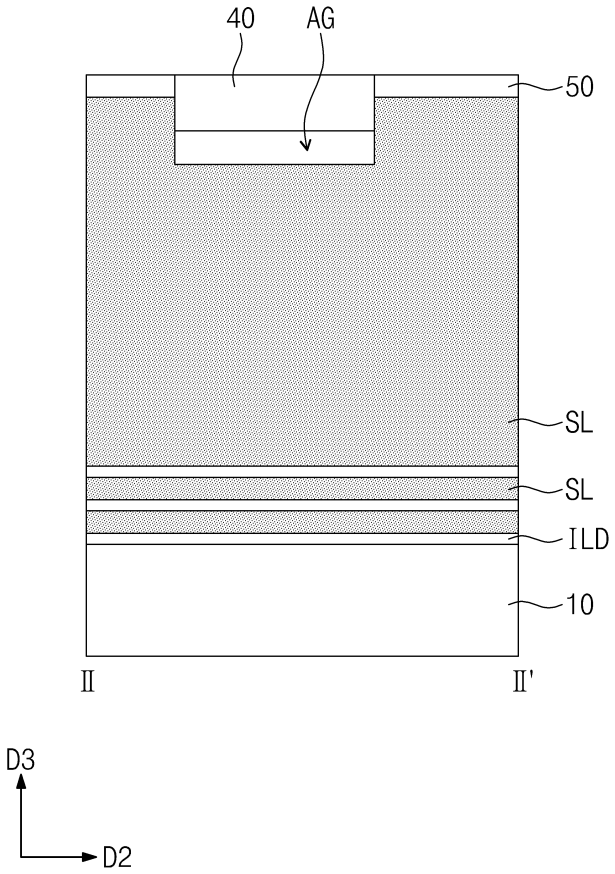
도면20b



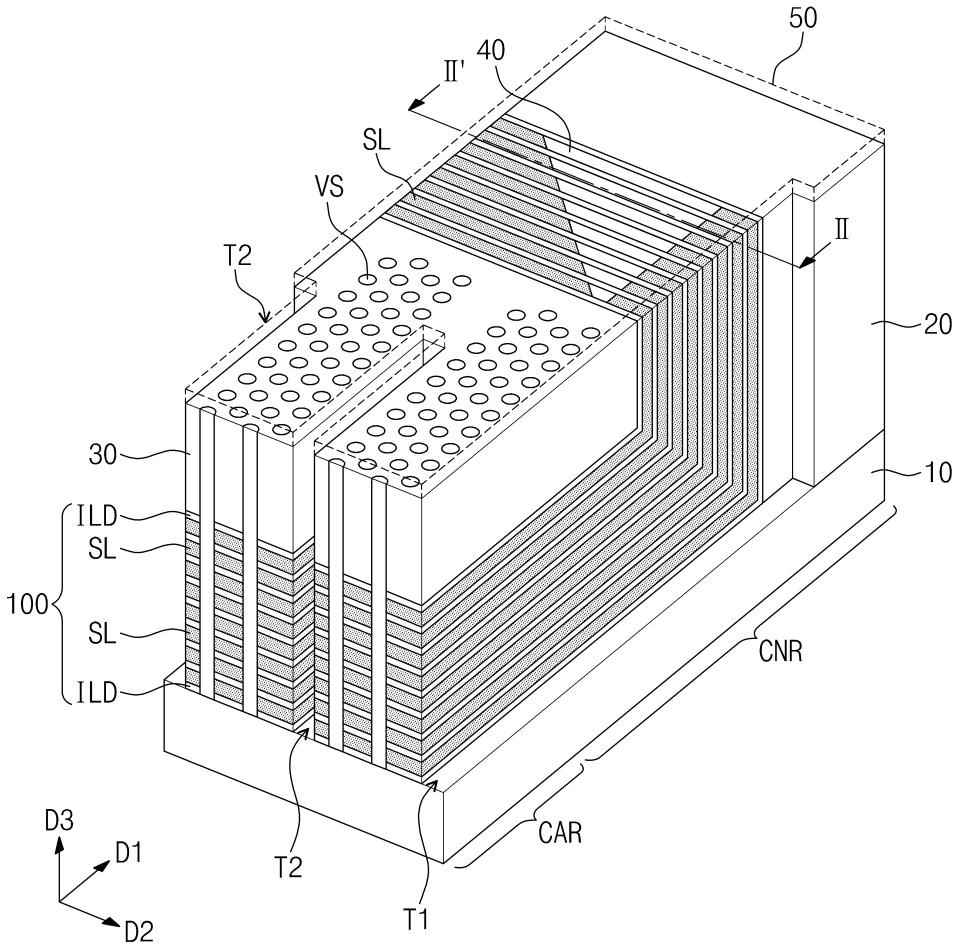
도면21a



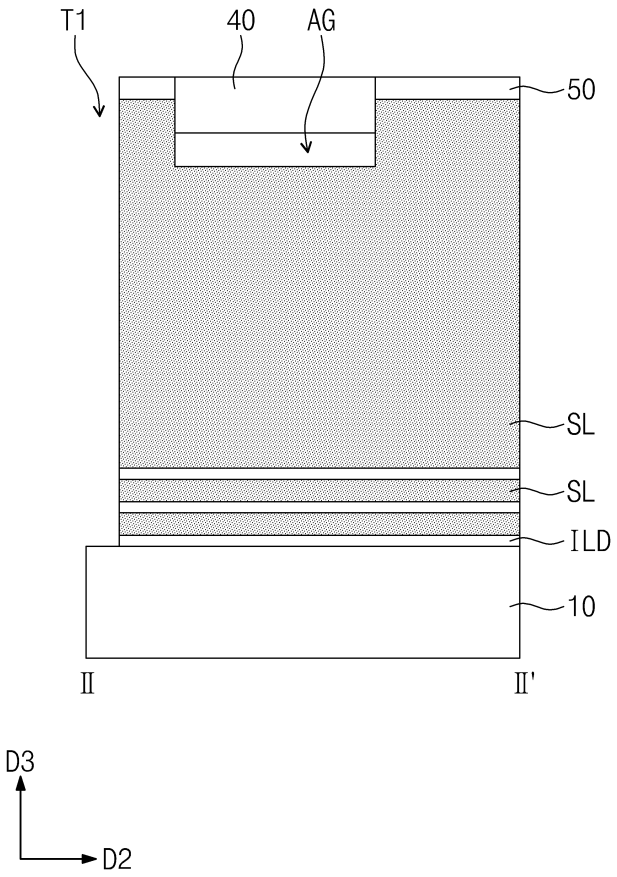
도면21b



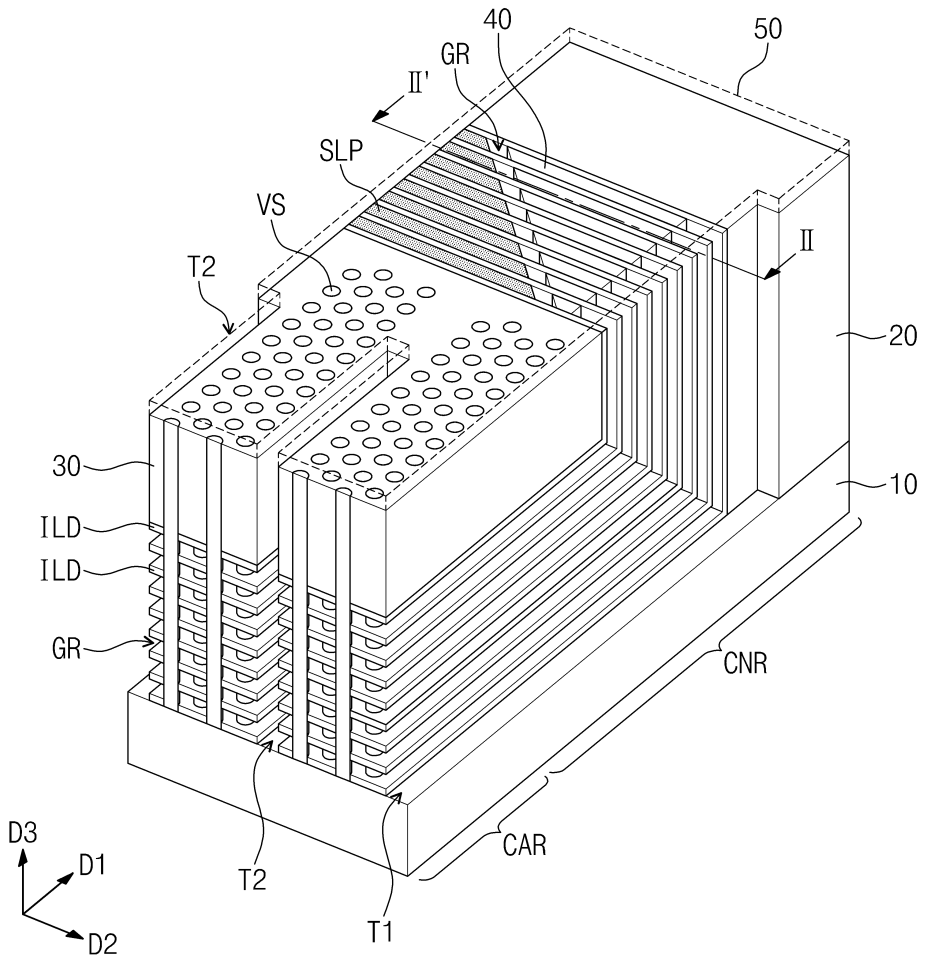
도면22a



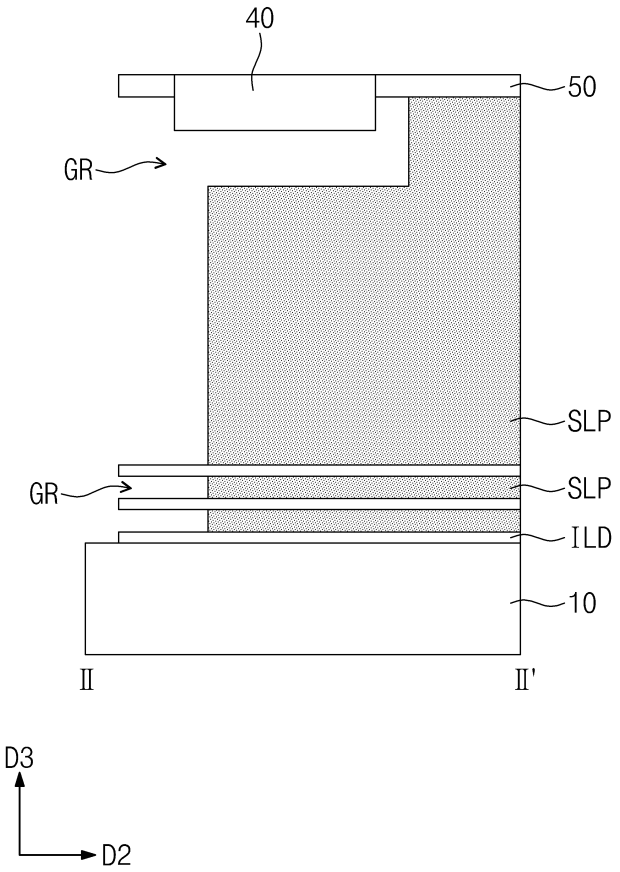
도면22b



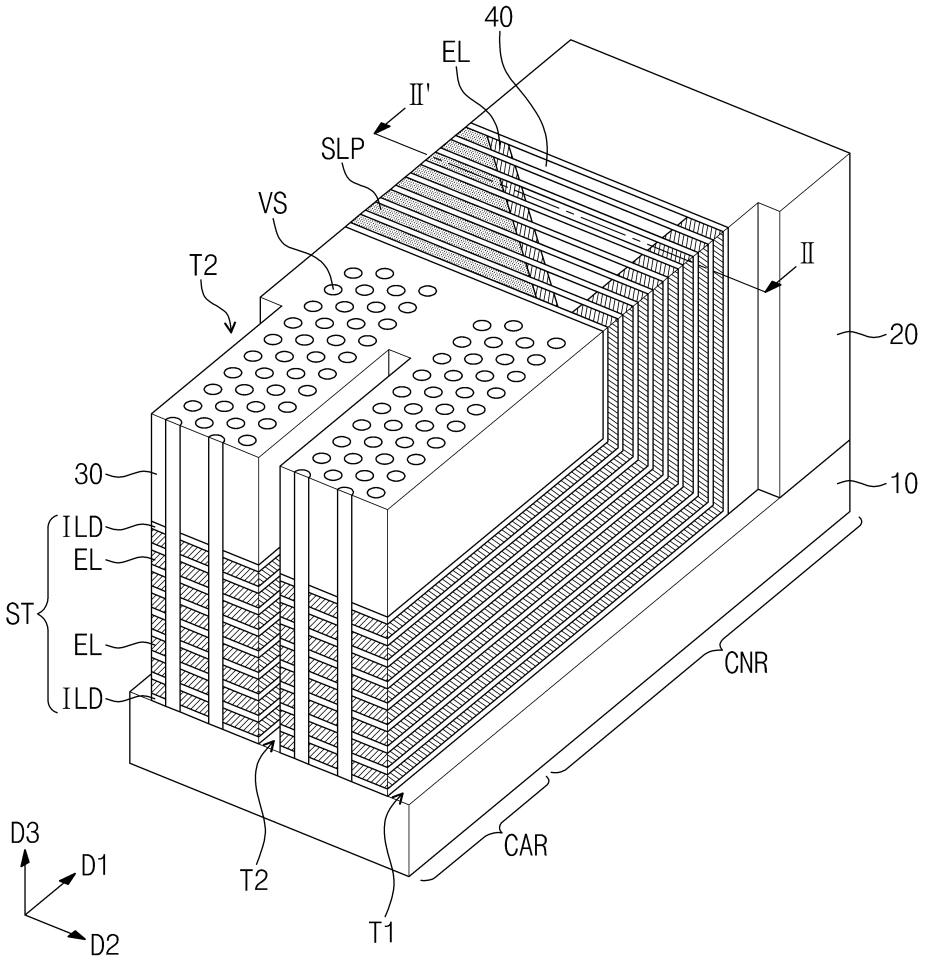
도면23a



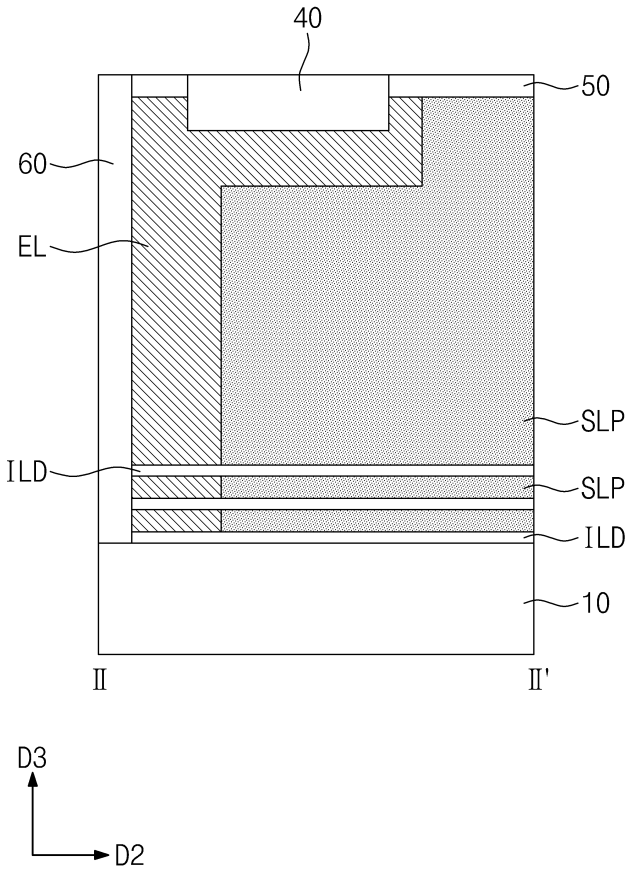
도면23b



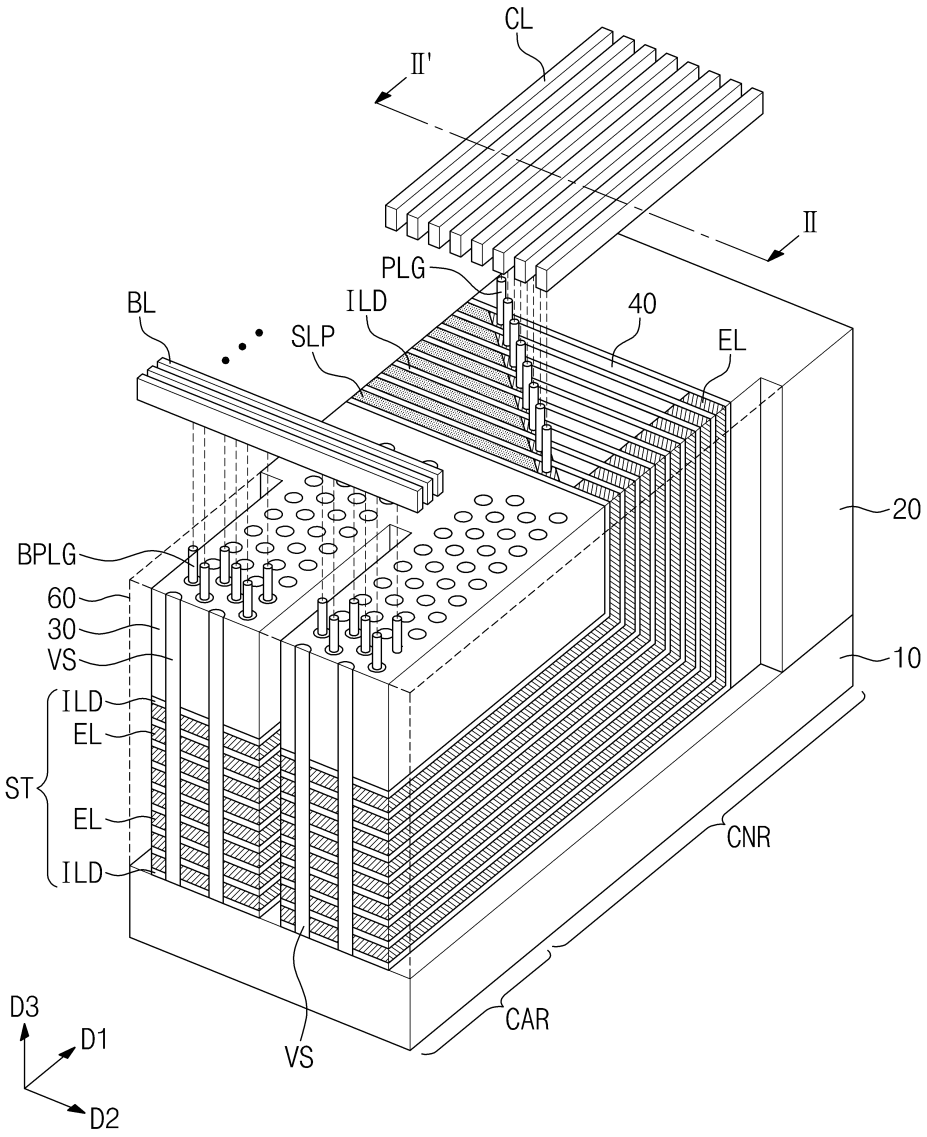
도면24a



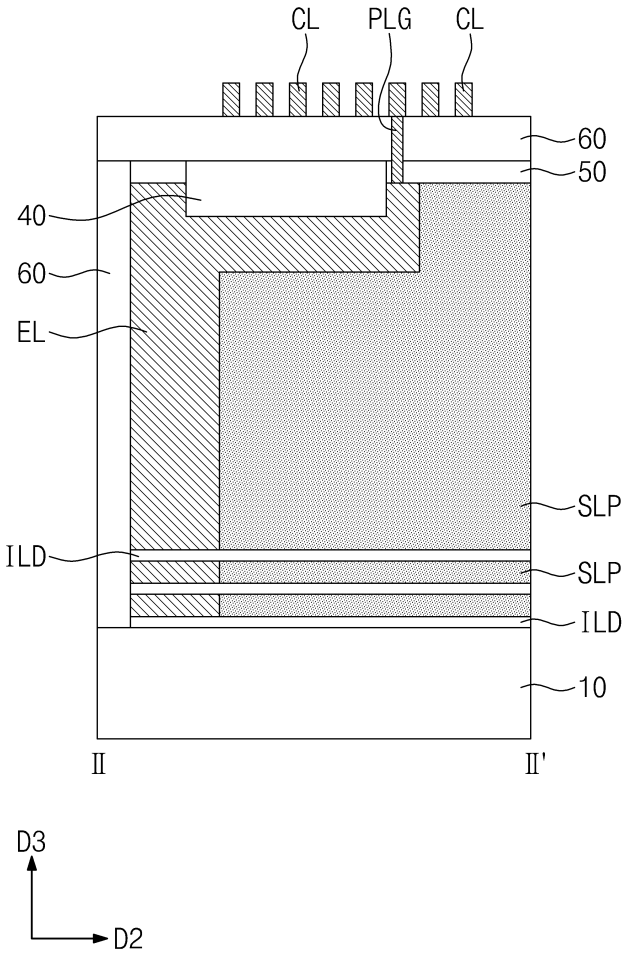
도면24b



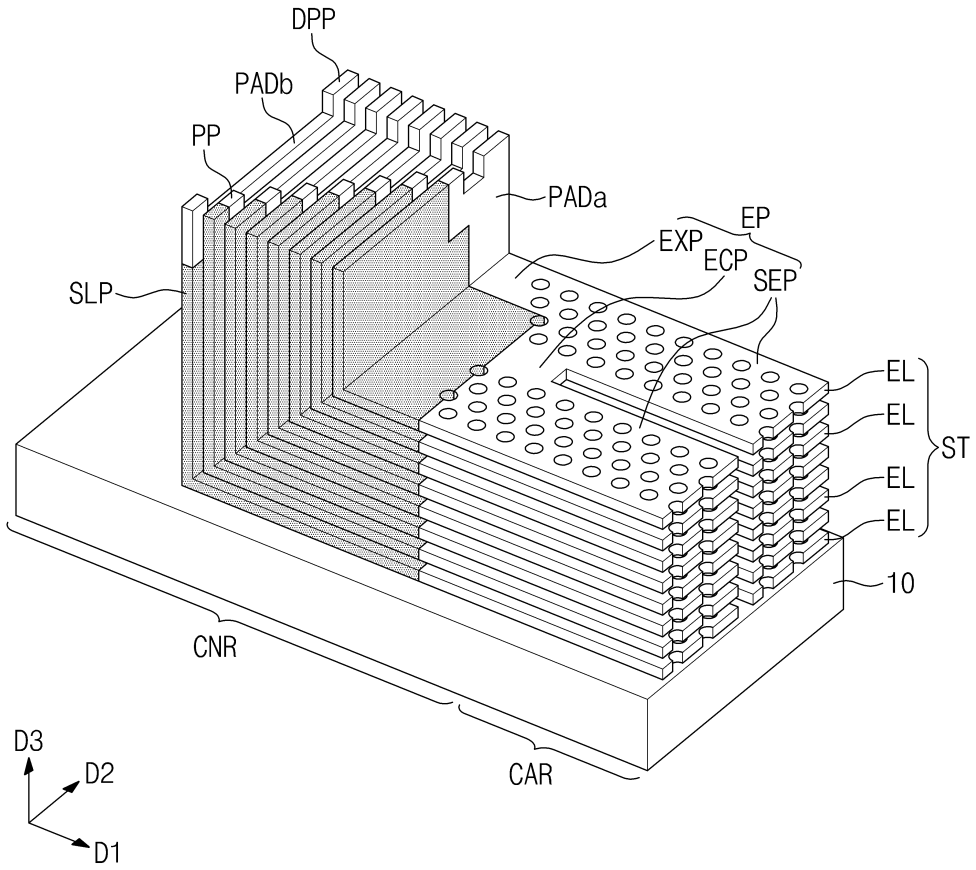
도면25a


CL
II'
II
PLG
BL
ILD
SLP
40
EL
20
BPLG
60
30
VS
10
ILD
EL
ST
EL
ILD
CNR
D3
D1
D2
VS
CAR

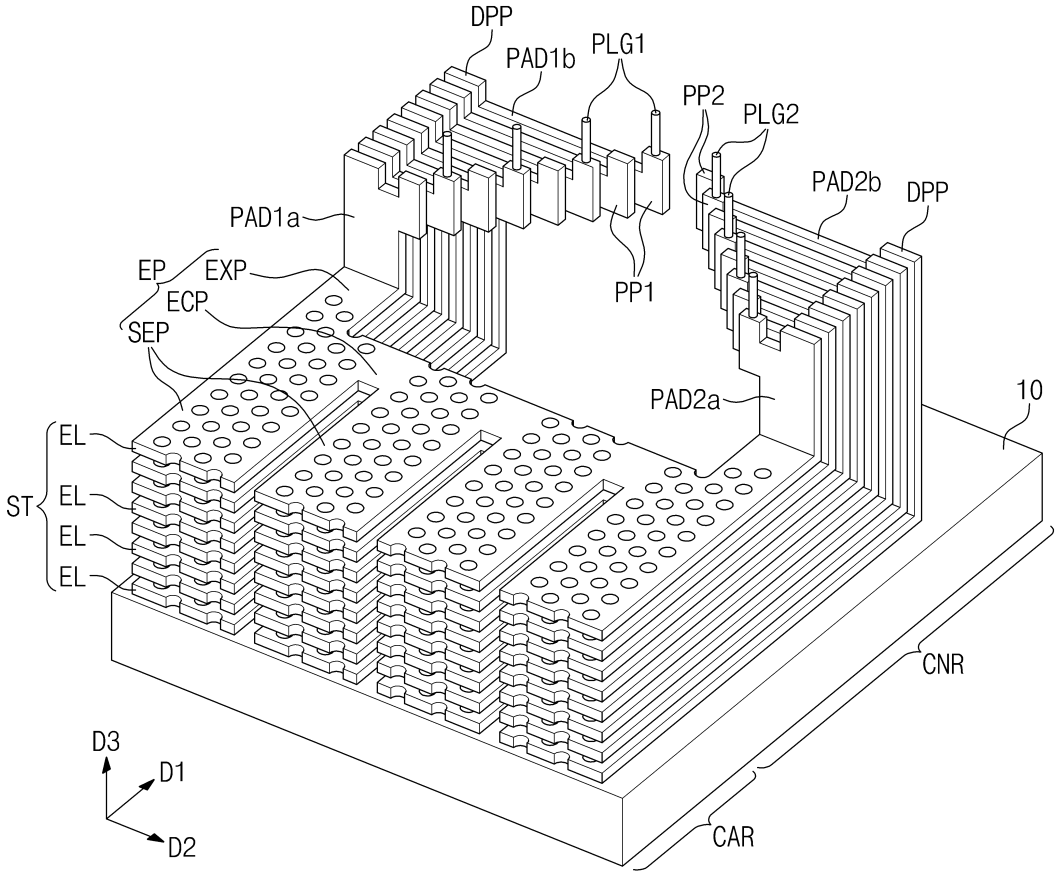
도면25b



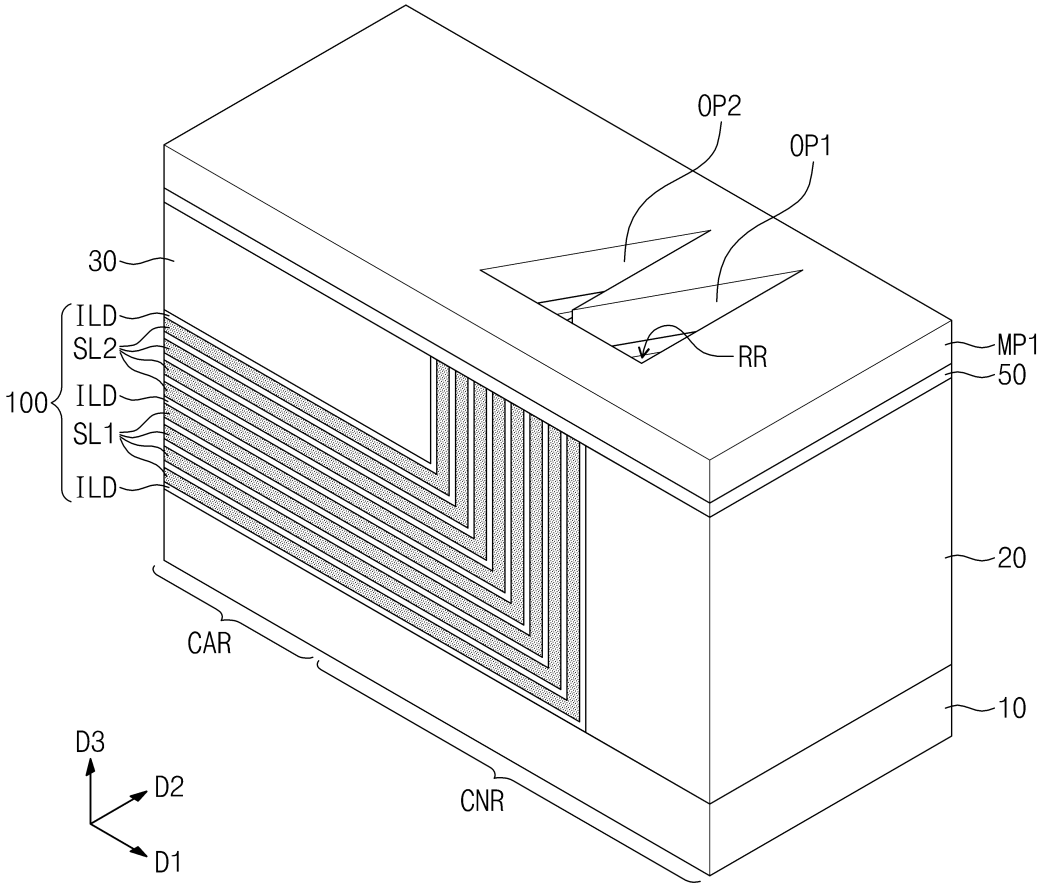
도면26


DPP
PADb
PP
PADa
EP
EXP
ECP
SEP
SLP
EL
EL
EL
EL
ST
10
CNR
CAR
D3
D2
D1

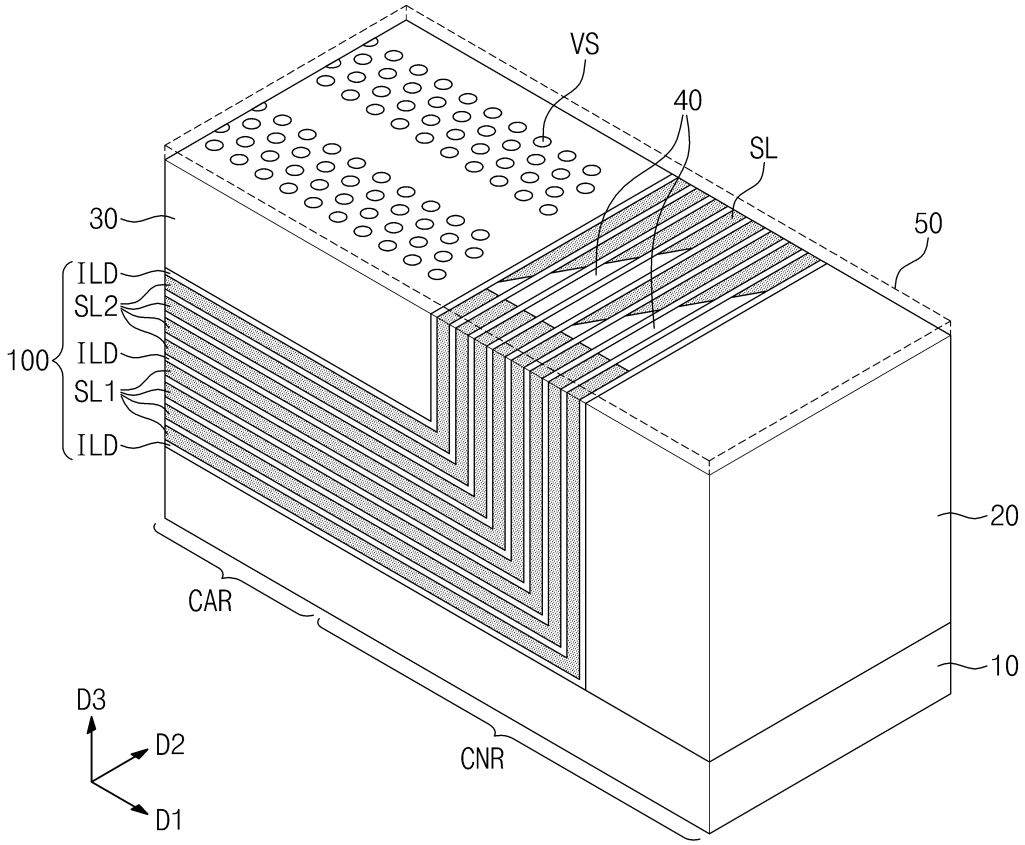
도면27


DPP
PAD1b
PLG1
PP2
PLG2
PAD2b
DPP
PAD1a
EP
EXP
ECP
SEP
PP1
PAD2a
10
ST
EL
EL
EL
EL
CNR
D3
D1
D2
CAR

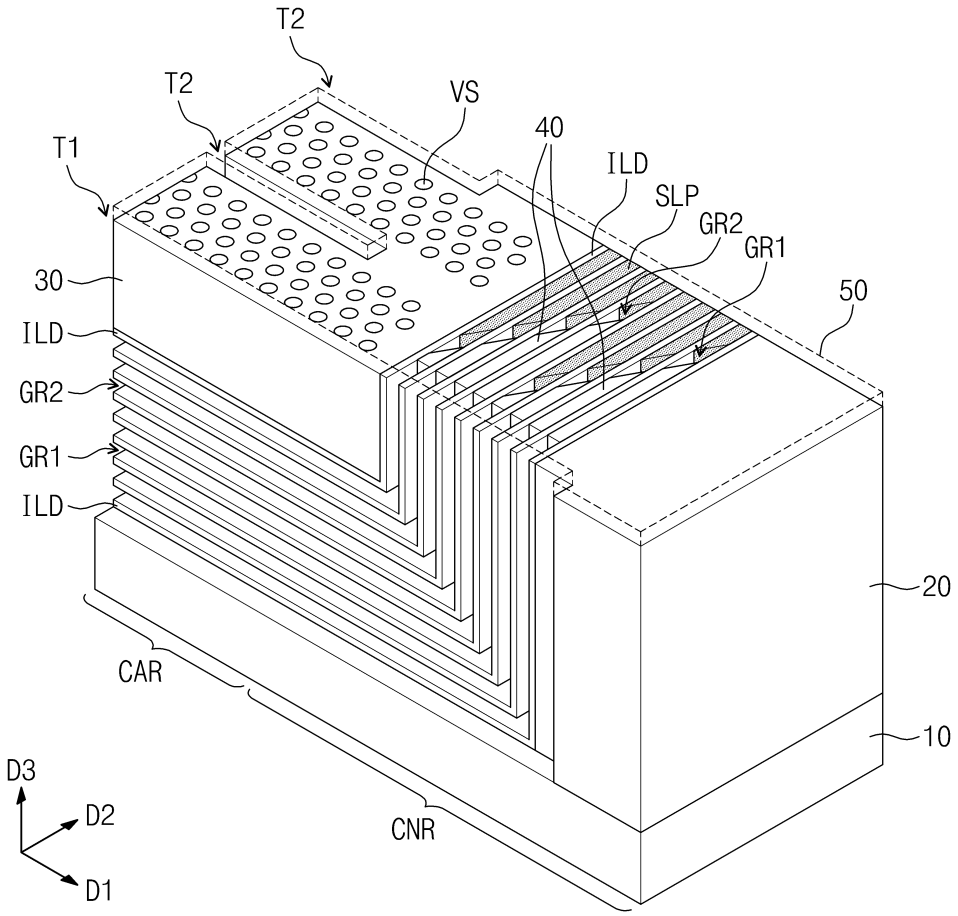
도면28



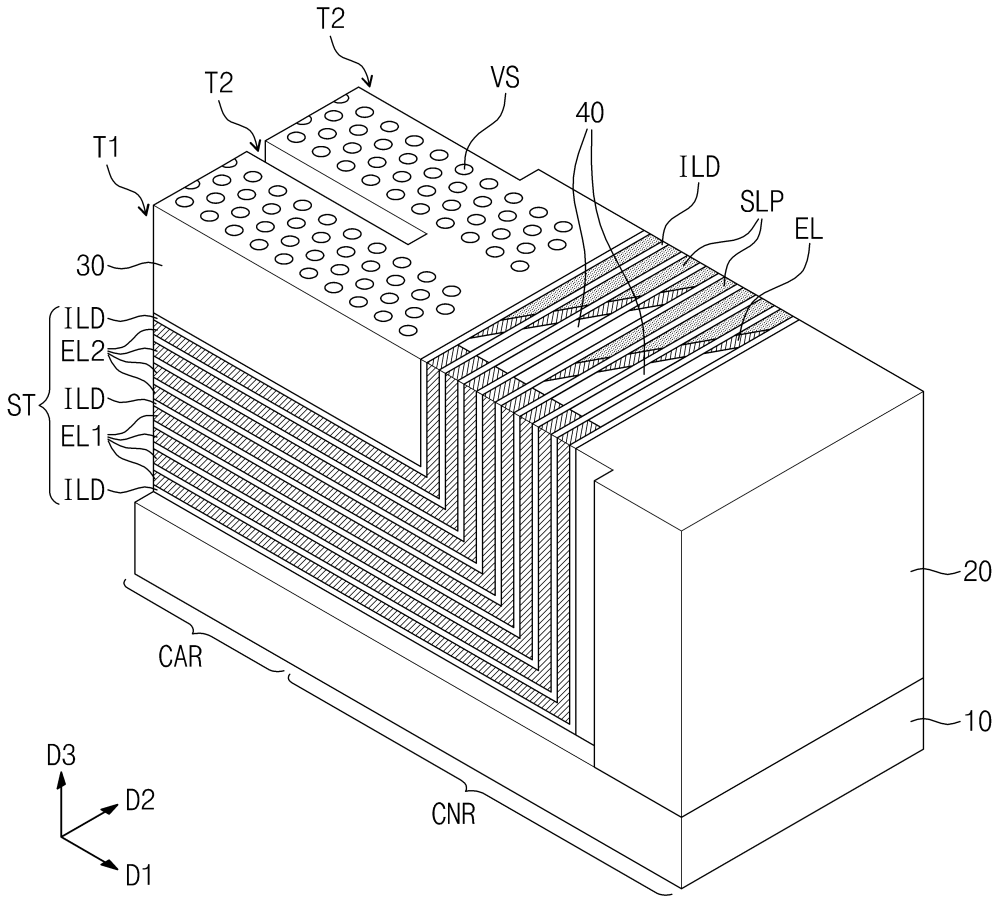
도면29



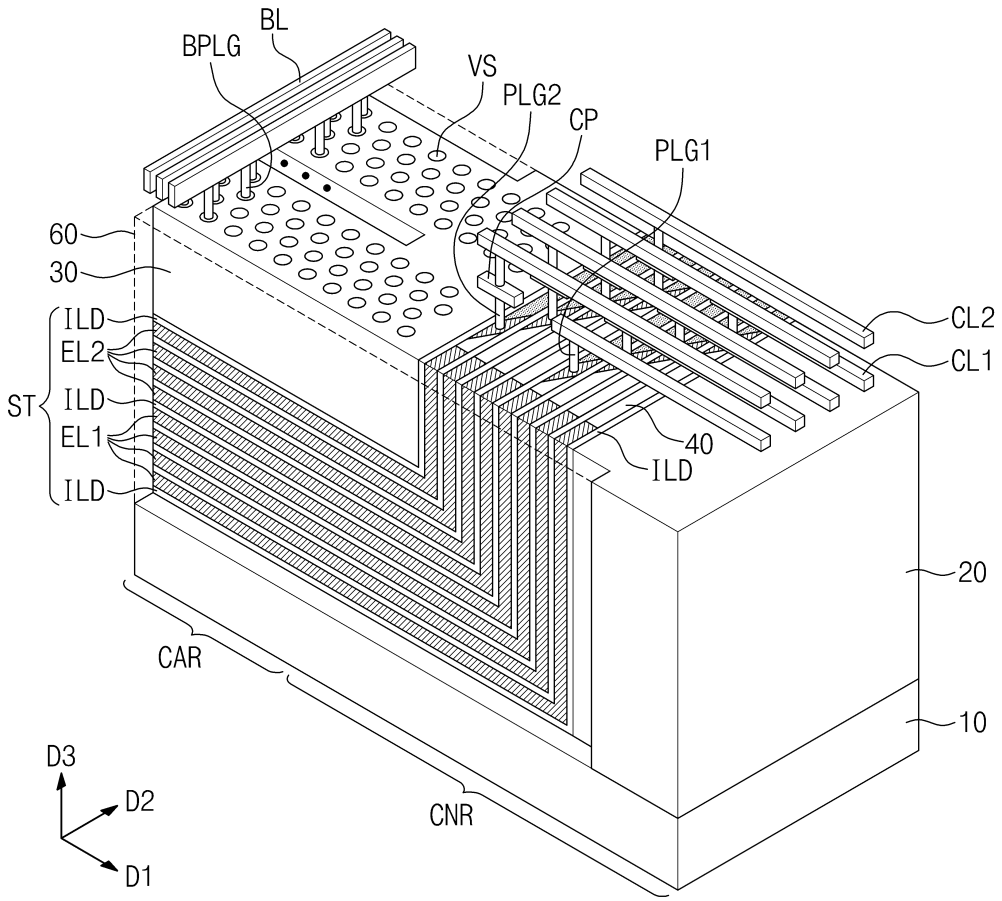
도면30


T2
T2
VS
40
T1
ILD
SLP
GR2
GR1
30
50
ILD
GR2
GR1
ILD
20
CAR
10
D3
D2
D1
CNR

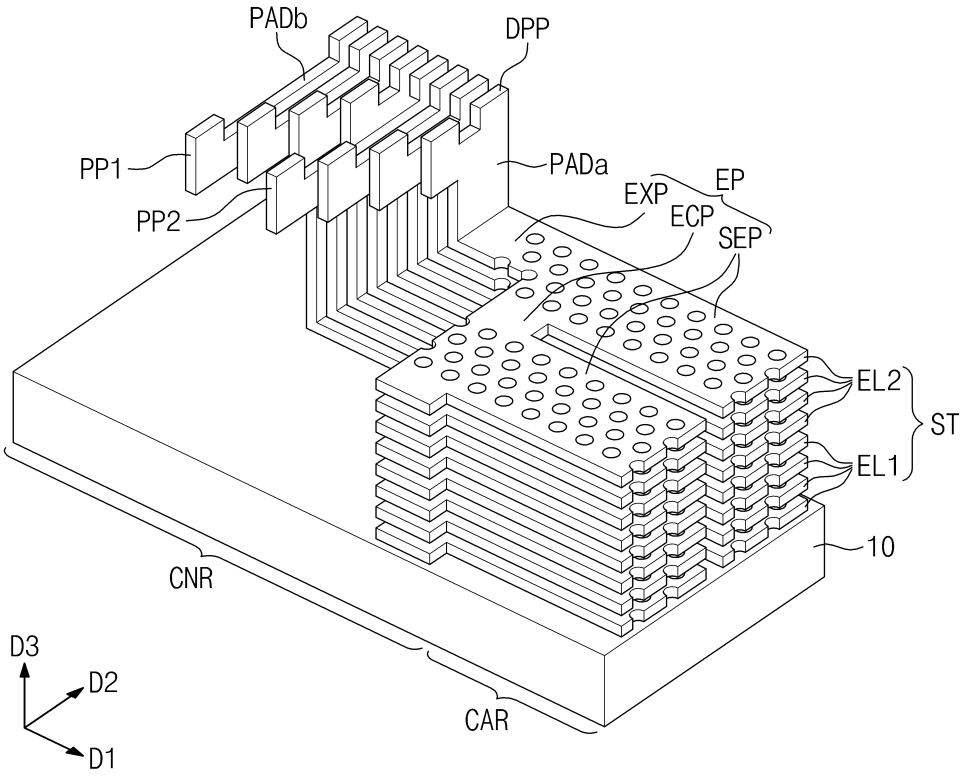
도면31


T2
T2
VS
40
T1
ILD
SLP
EL
30
ILD
EL2
ST
ILD
EL1
ILD
20
CAR
10
D3
D2
D1
CNR

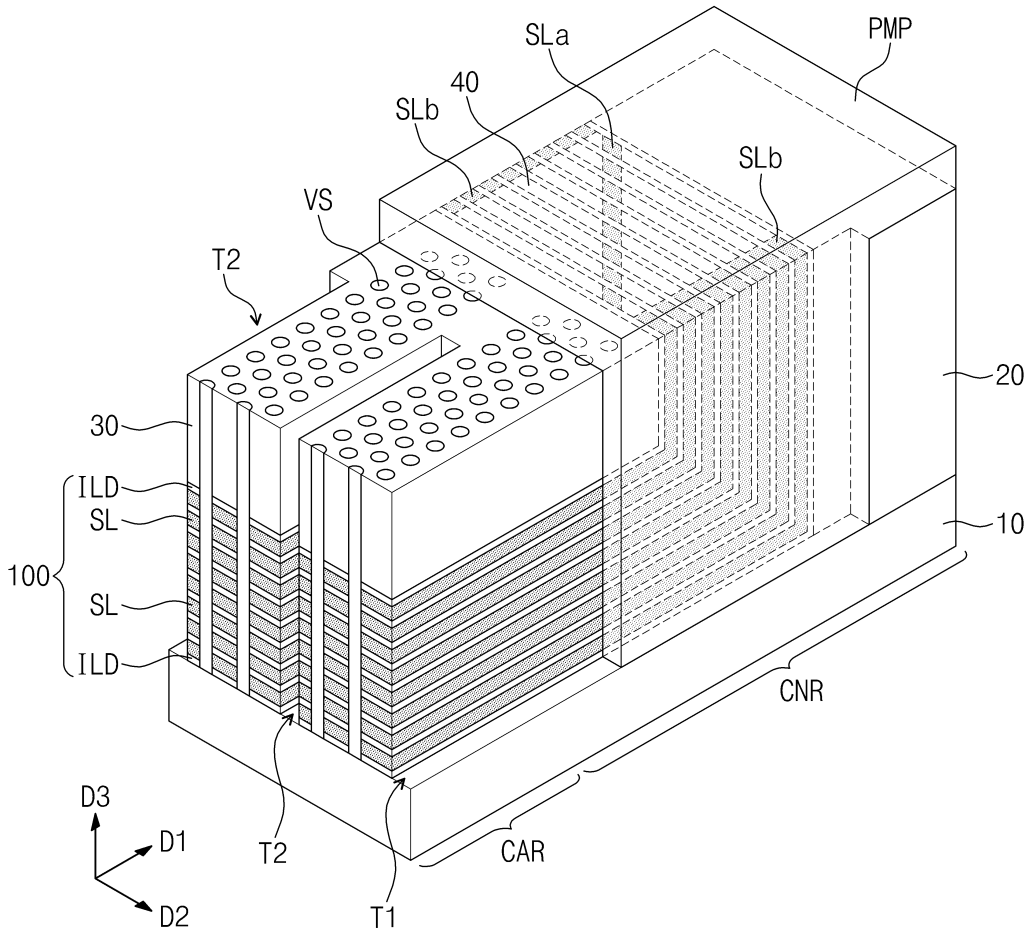
도면32


BL
BPLG
VS
PLG2
CP
PLG1
60
30
ILD
EL2
ILD
EL1
ILD
ST
CL2
CL1
40
ILD
20
CAR
10
CNR
D3
D2
D1

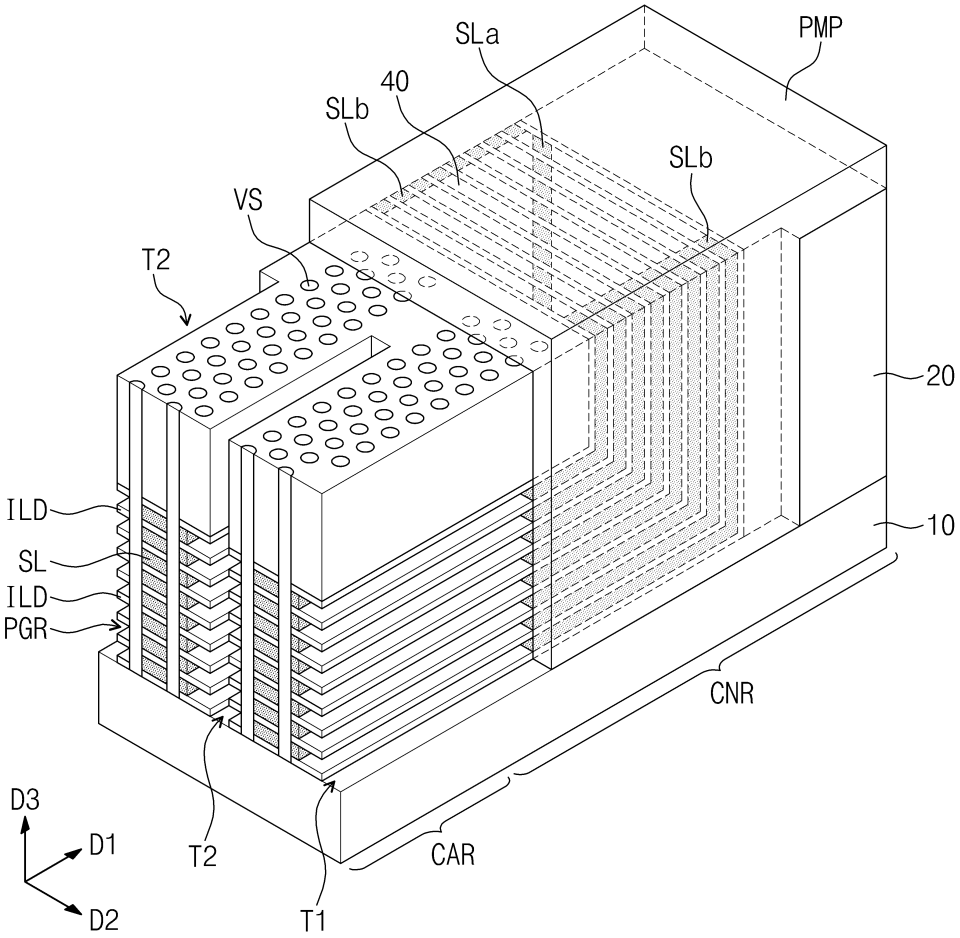
도면33


PADb
DPP
PP1
PADa
EXP
EP
PP2
ECP
SEP
EL2
ST
EL1
10
CNR
D3
D2
D1
CAR

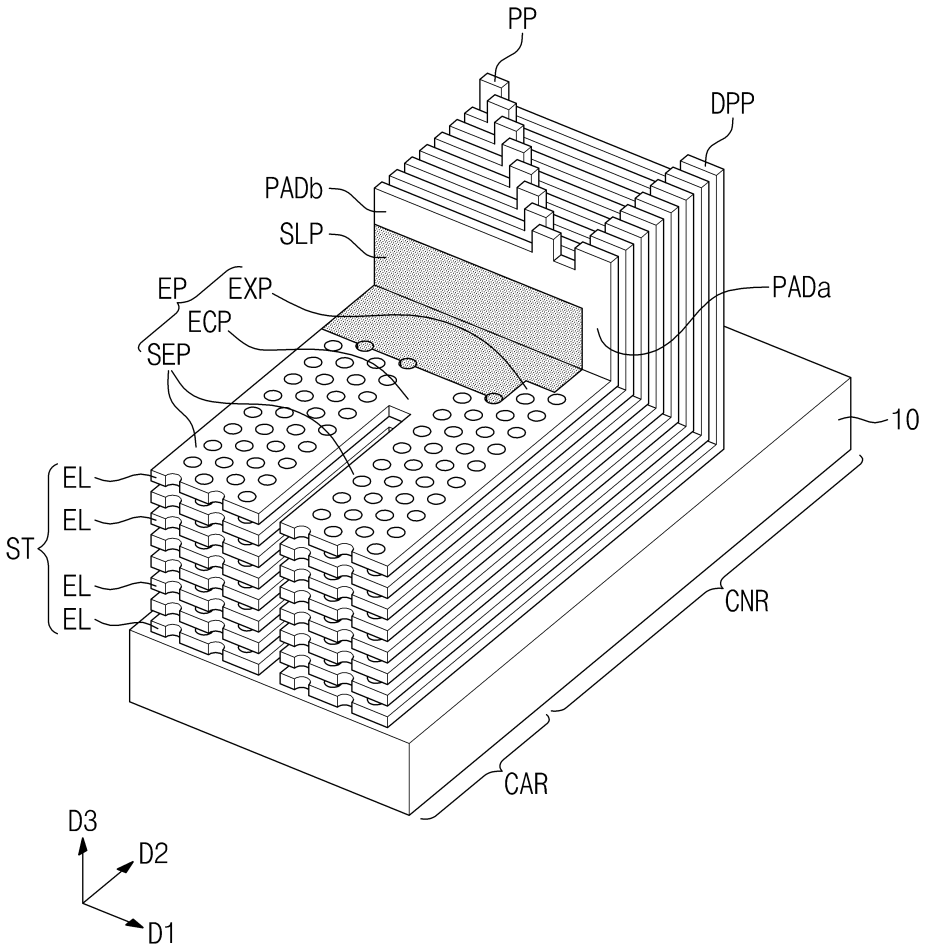
도면34


SLa
PMP
40
SLb
SLb
VS
T2
20
30
ILD
SL
100
SL
10
ILD
CNR
D3
D1
T2
CAR
D2
T1

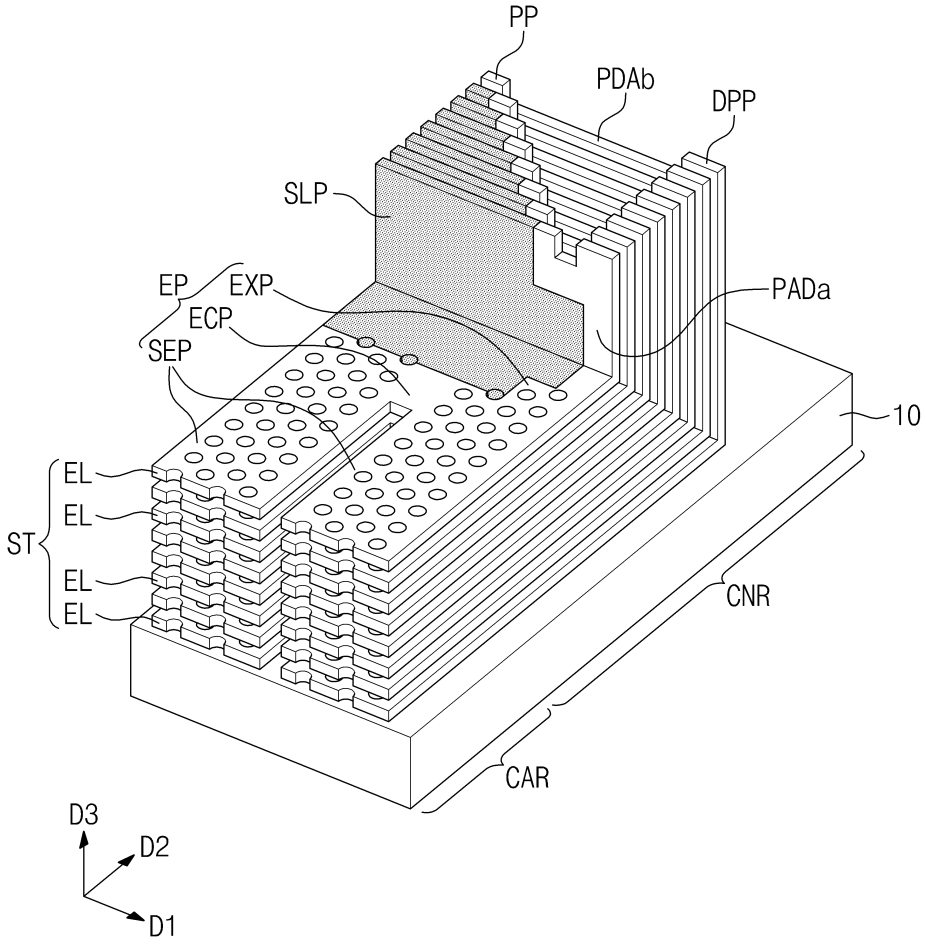
도면35



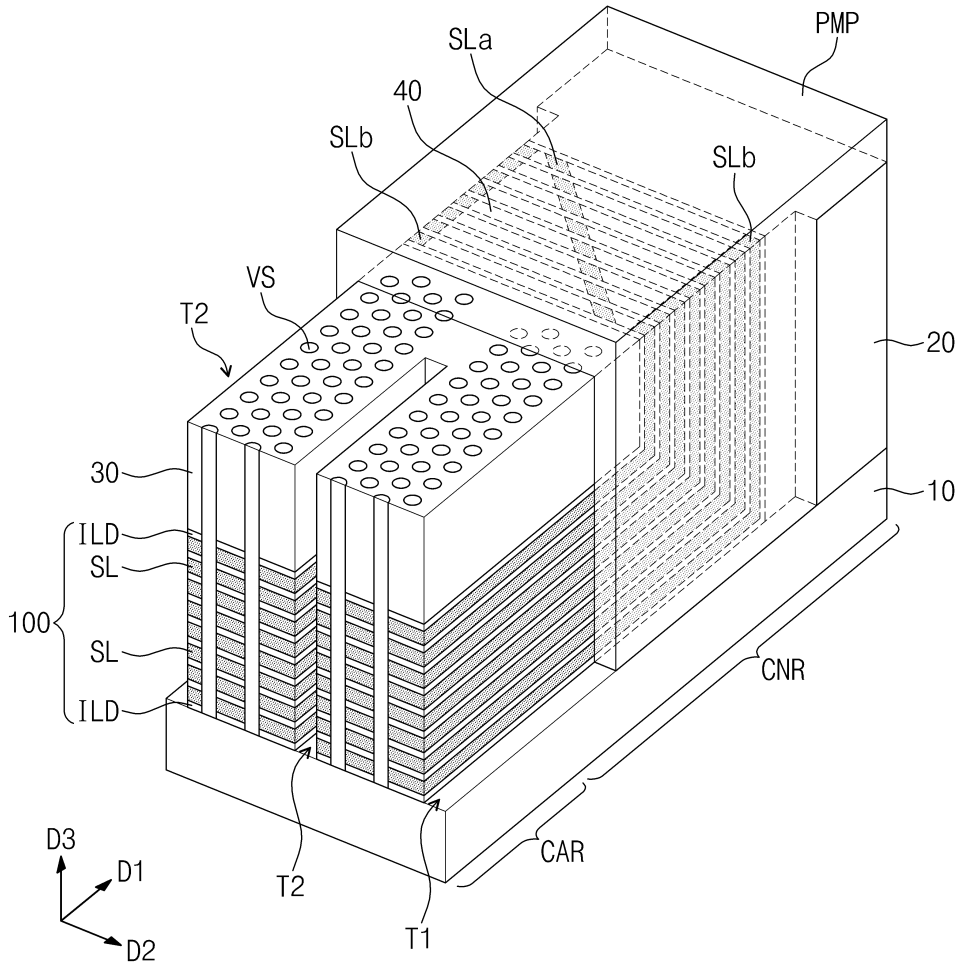
도면36


PP
DPP
PADb
SLP
EP
EXP
ECP
SEP
PADa
10
EL
EL
ST
EL
EL
CNR
CAR
D3
D2
D1

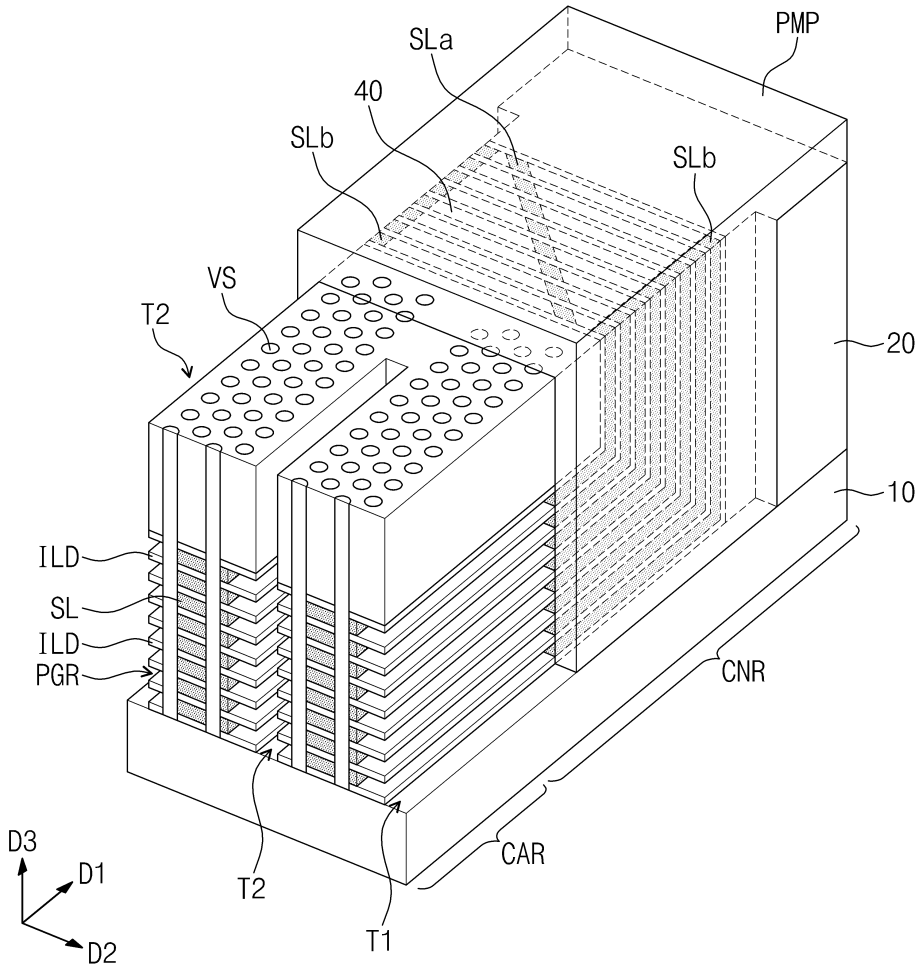
도면37


PP
PDAb
DPP
SLP
EP
EXP
ECP
SEP
PADa
10
EL
EL
ST
EL
EL
CNR
CAR
D3
D2
D1

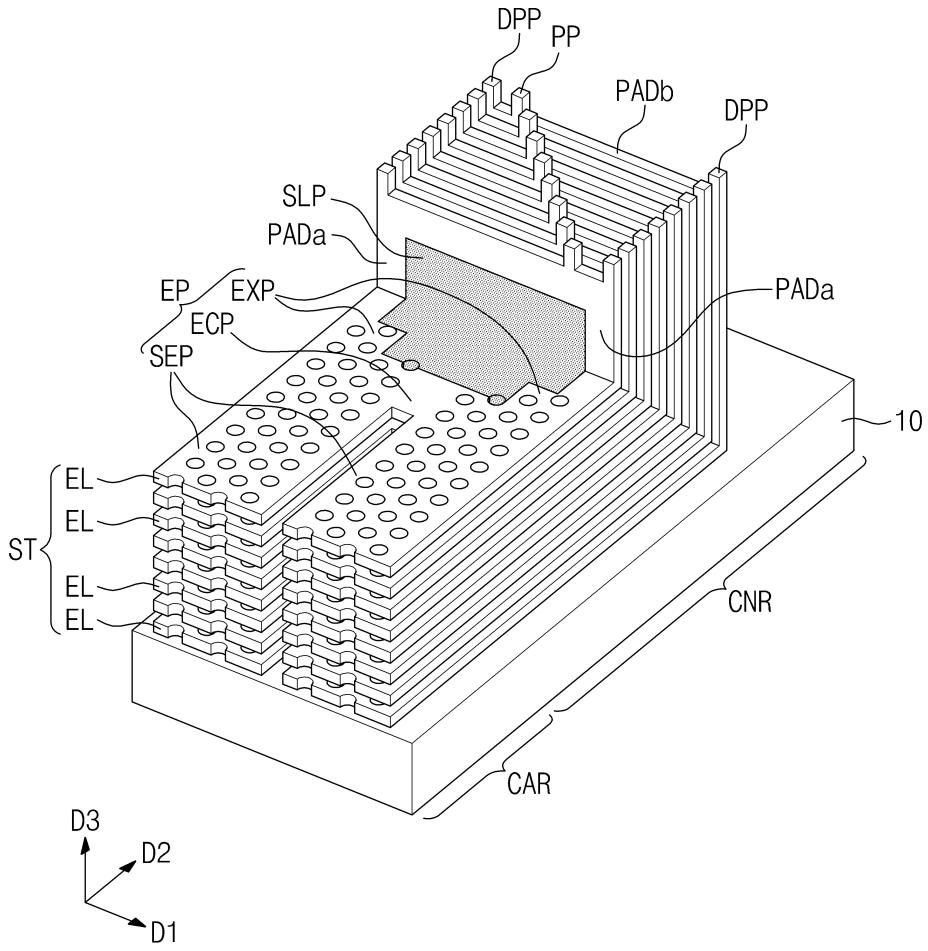
도면38


PMP
SLa
40
SLb
SLb
VS
T2
20
30
10
ILD
SL
100
SL
ILD
CNR
CAR
D3
D1
D2
T2
T1

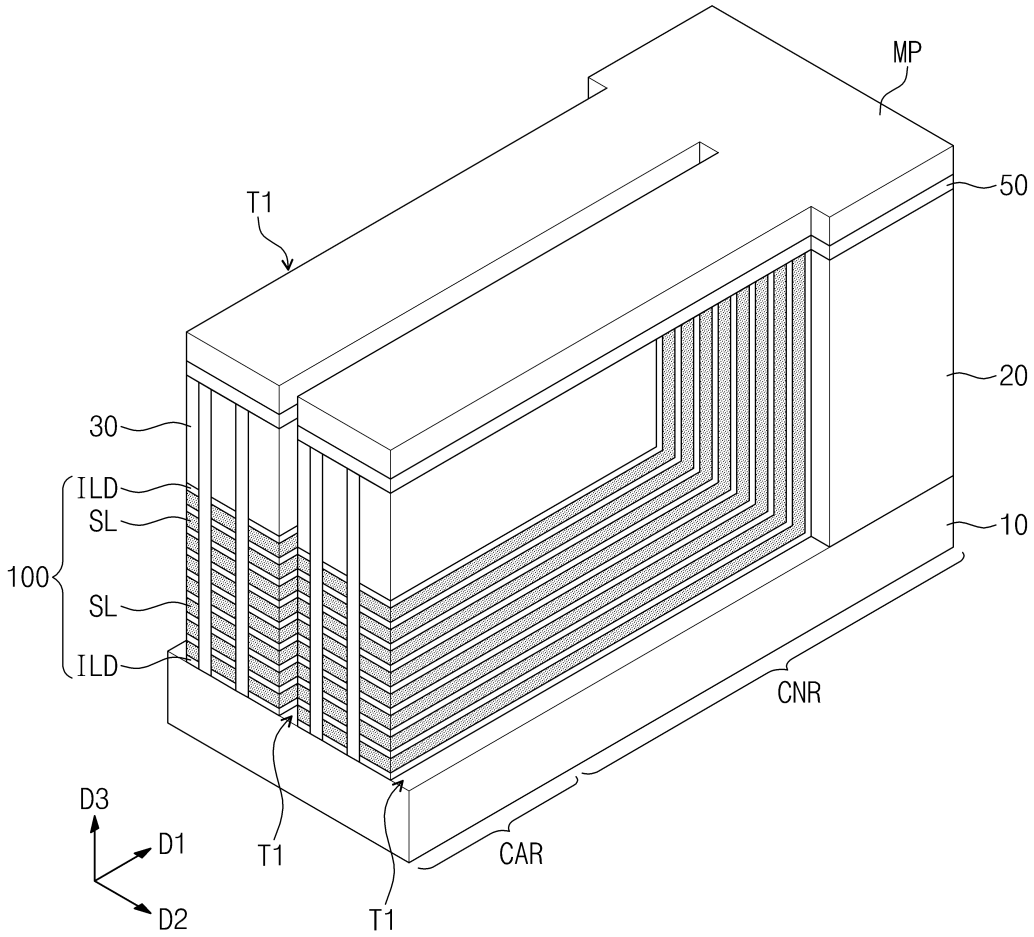
도면39



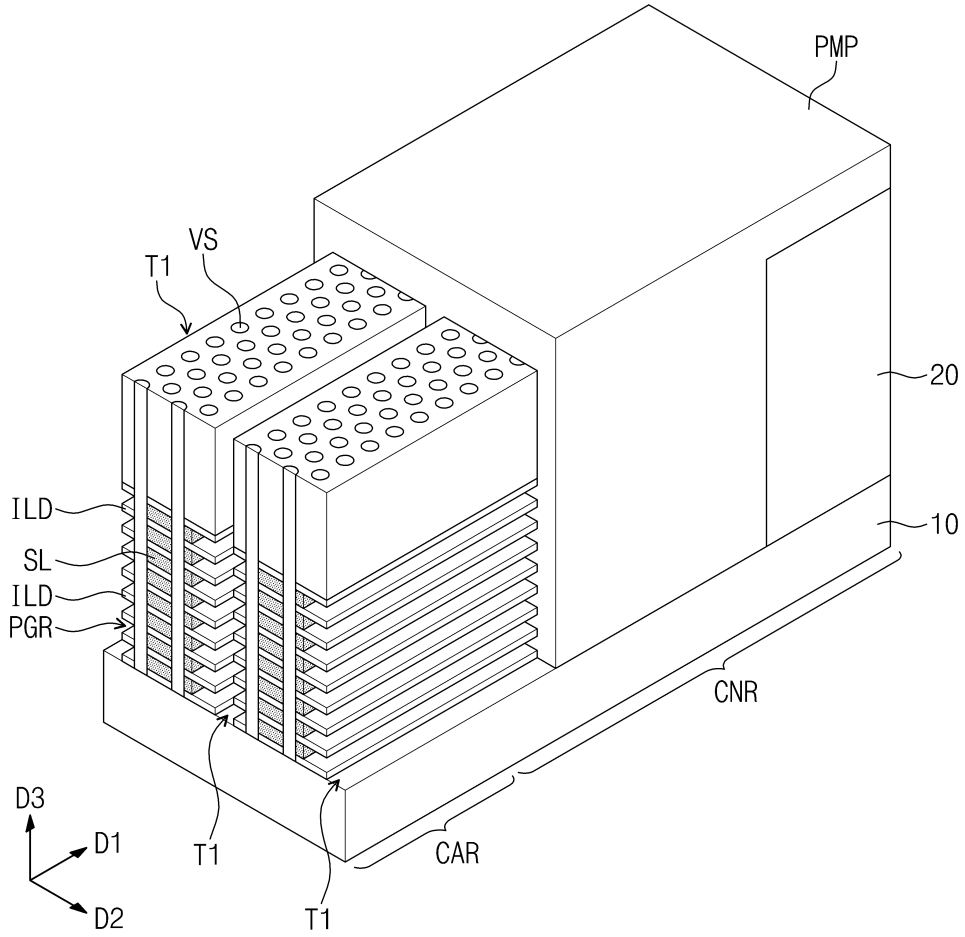
도면40


DPP
PP
PADb
DPP
SLP
PADa
EP
EXP
ECP
SEP
PADa
10
EL
EL
ST
EL
EL
CNR
CAR
D3
D2
D1

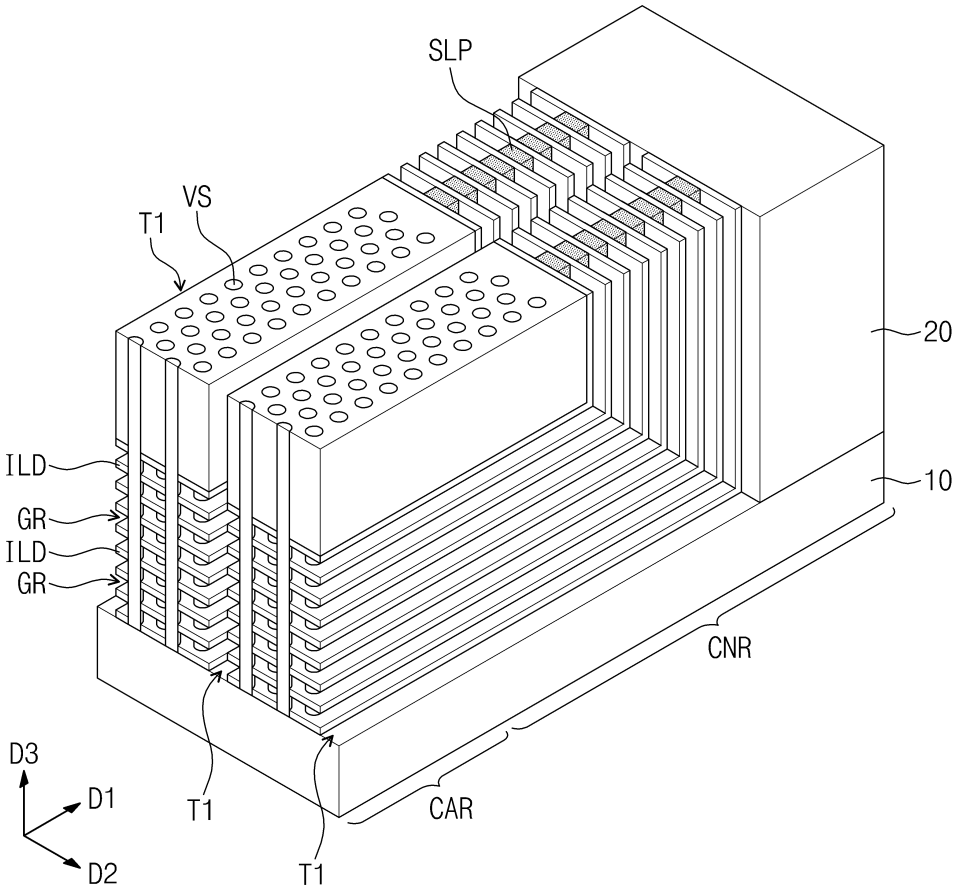
도면41



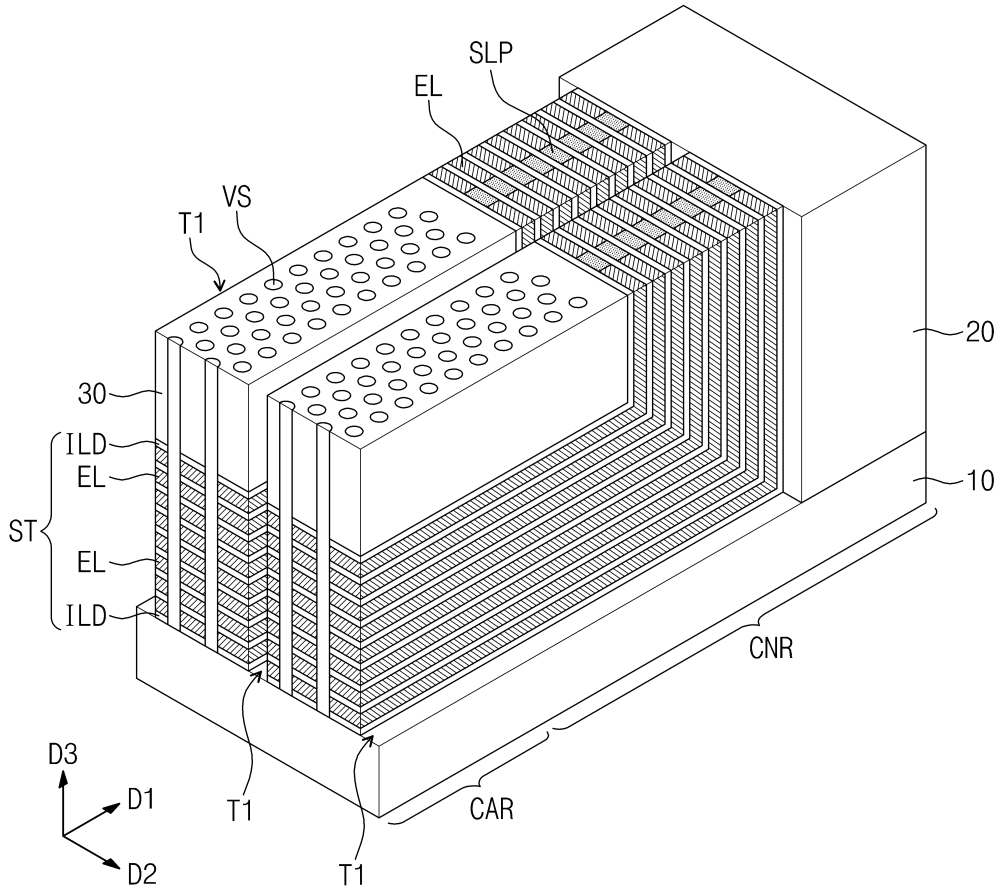
도면42



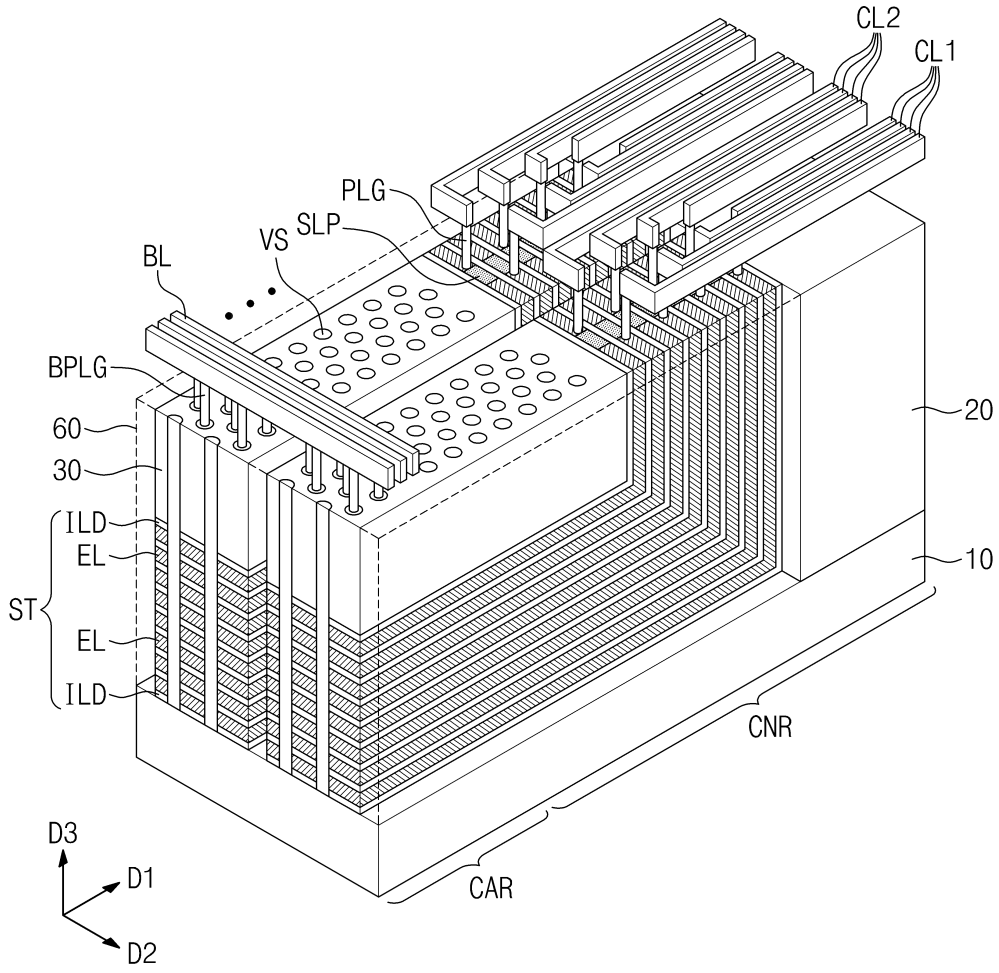
도면43



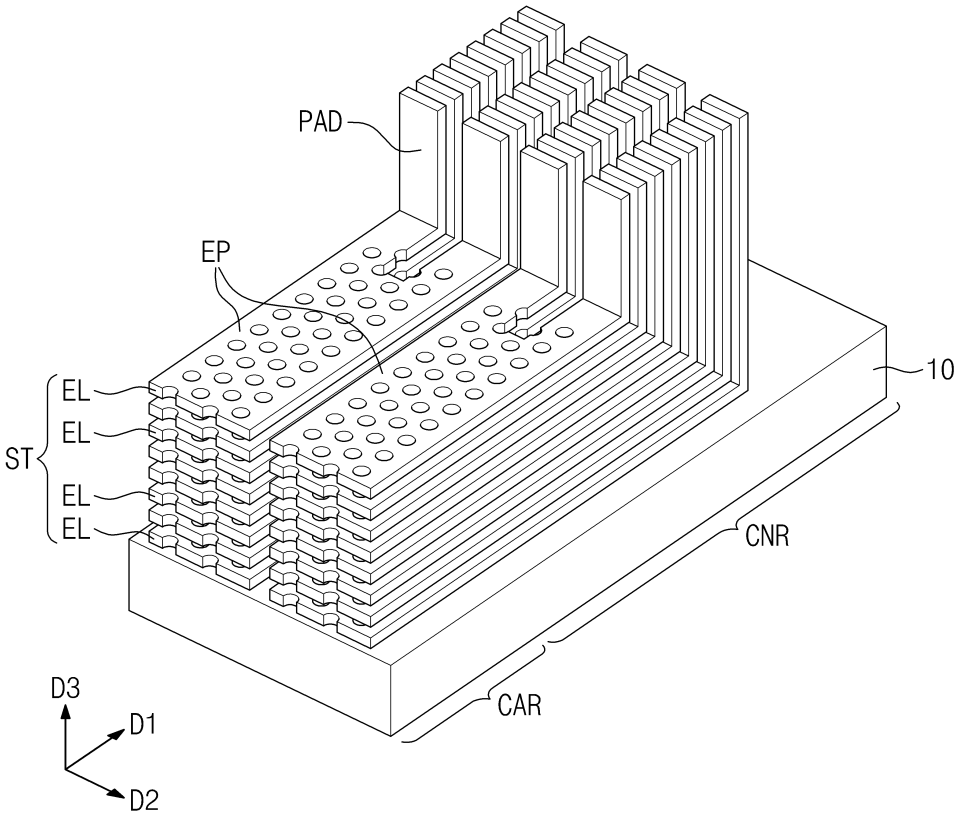
도면44



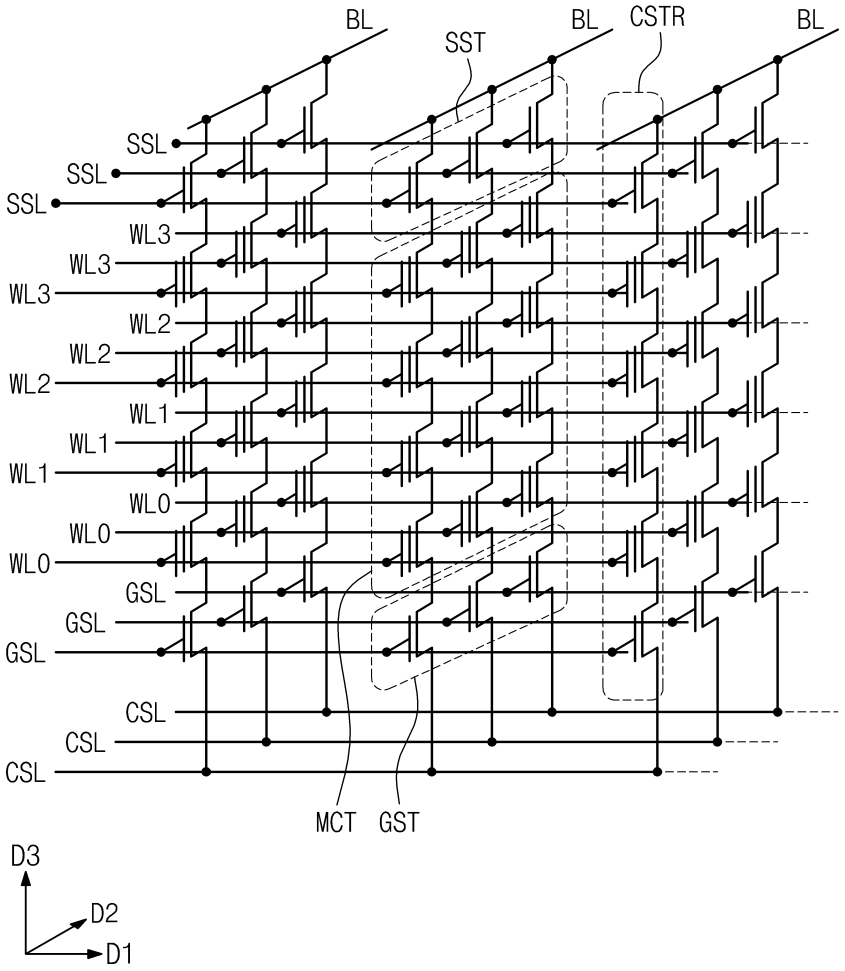
도면45


CL2
CL1
PLG
SLP
VS
BL
BPLG
60
30
ILD
EL
ST
EL
ILD
20
10
CNR
CAR
D3
D1
D2

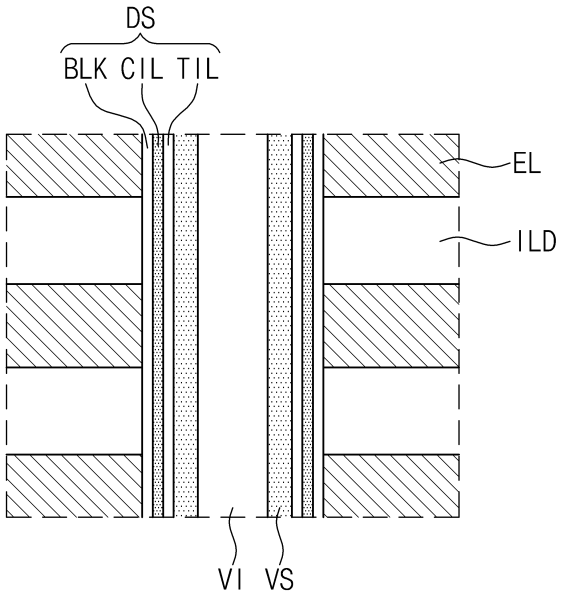
도면46



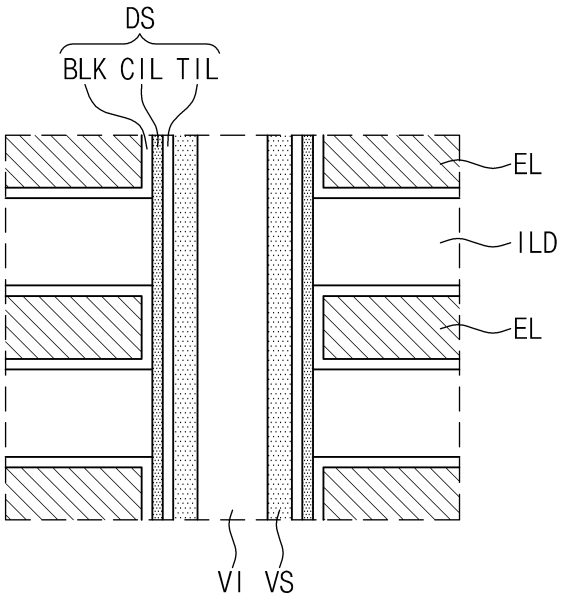
도면47


BL
SST
BL
CSTR
BL
SSL
SSL
SSL
WL3
WL3
WL3
WL2
WL2
WL2
WL1
WL1
WL1
WL0
WL0
WL0
GSL
GSL
GSL
CSL
CSL
CSL
MCT
GST
D3
D2
D1

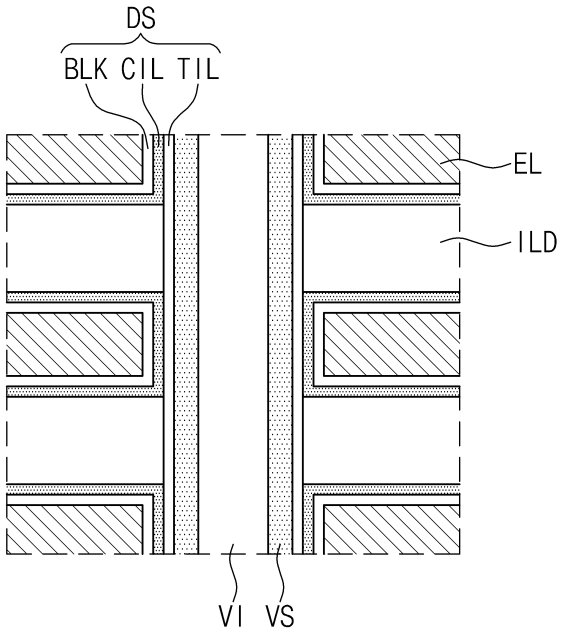
도면48a


DS
BLK CIL TIL
EL
ILD
VI
VS

도면48b



도면48c



도면48d

