



(12) 发明专利

(10) 授权公告号 CN 1717741 B

(45) 授权公告日 2011.06.22

(21) 申请号 03815344.0

(22) 申请日 2003.05.01

(30) 优先权数据

10/184,784 2002.06.28 US

(85) PCT申请进入国家阶段日

2004.12.28

(86) PCT申请的申请数据

PCT/US2003/014261 2003.05.01

(87) PCT申请的公布数据

W02004/003925 EN 2004.01.08

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 约瑟夫·J·纳哈斯

托马斯·W·安德烈

布雷德利·J·加尔尼

奇特拉·K·苏布拉马尼亚恩

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 樊卫民 钟强

(51) Int. Cl.

G11C 11/16(2006.01)

G11C 7/06(2006.01)

(56) 对比文件

US 6269040 B1, 2001.07.31, 全文.

CN 1337709 A, 2002.02.27, 全文.

审查员 姚梦琦

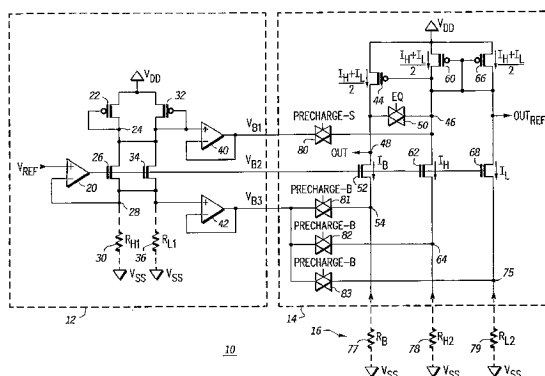
权利要求书 3 页 说明书 10 页 附图 9 页

(54) 发明名称

用于至少具有两个不同电阻状态的存储器的
读出放大器

(57) 摘要

在存储器中 (10), 读出系统 (14) 用一个数据
输入 (54) 和两个参考 (64, 75) 输入检测位状态, 从
而读出被选存储位单元 (77) 和中点参考电导之
间的电导差。参考电导等于高电导状态存储单元
(78) 和低电导状态存储单元 (79) 的平均电导。数
据输入 (54) 连接到被选存储位单元 (77)。两个
参考输入分别连接到高电导和低电导存储状态的
存储单元。读出放大器使用电流偏置或电压偏置,
在位单元上加载预定电压范围内的读出电压。通
过本电路设计平衡连接到读出放大器互补输出的
电容。在某种形式下, 两个参考输入在内部相连。
若干增益级 (90, 150, 110, 130) 之一对读出放大
器的输出进行放大而不会注入寄生误差。



1. 一种用于读出可编程为高状态或低状态的存储单元状态的读出放大器,包括:

可编程为高状态的第一高参考存储单元;

可编程为低状态的第一低参考存储单元;

第一导电类型的第一晶体管,其第一电流电极连接到存储单元,控制电极接收偏置电压,第二电流电极提供输出信号;

第二导电类型的第二晶体管,其第一电流电极连接到第一晶体管的第二电流电极,第二电流电极连接到第一电压端,还有一个控制电极;

第一导电类型的第三晶体管,其第一电流电极连接到第一高参考存储单元,控制电极连接到第一晶体管的控制电极,还有第二电流电极;

第二导电类型的第四晶体管,其第一电流电极连接到第三晶体管的第二电流电极,控制电极连接到第四晶体管的第一电流电极和第二晶体管的控制电极,第二电流电极连接到第一电压端;

第一导电类型的第五晶体管,其第一电流电极连接到第一低参考存储单元,控制电极连接到第一晶体管的控制电极,第二电流电极提供参考输出信号;和

第二导电类型的第六晶体管,其第一电流电极连接到第五晶体管的第二电流电极,控制电极直接连接到第六晶体管的第一电流电极和第四晶体管的控制电极,第二电流电极连接到第一电压端。

2. 如权利要求 1 所述的读出放大器,进一步包括用于提供偏置电压的偏置装置。

3. 如权利要求 2 所述的读出放大器,其中,所述偏置装置包括:

可编程为高状态的第二高参考存储单元;

可编程为低状态的第二低参考存储单元;

第一导电类型的第七晶体管,其第一电流电极连接到第二高参考存储单元,还有一个控制电极,以及第二电流电极;

运算放大器,其同相输入接收参考电压,反相输入连接到第七晶体管的第一电流电极,输出连接到第七晶体管的控制电极;

第二导电类型的第八晶体管,其第一电流电极连接到第七晶体管的第二电流电极,控制电极连接到第八晶体管的第一电流电极,第二电流电极连接到第一电压端;

第一导电类型的第九晶体管,其第一电流电极连接到第二低参考存储单元和第七晶体管的第一电流电极,控制电极连接到运算放大器的输出,第二电流电极连接到第八晶体管的第一电流电极;和

第二导电类型的第十晶体管,其第一电流电极连接到第九晶体管的第二电流电极,控制电极连接到第十晶体管的第一电流电极,第二电流电极连接到第一电压端;

其中,所述第一、三、五、七、九晶体管为第一种尺寸,第二、四、六、八、十晶体管为第二种尺寸。

4. 如权利要求 2 所述的读出放大器,其中,所述偏置装置包括:

可编程为高状态的第二高参考存储单元;

可编程为低状态的第二低参考存储单元;

第一导电类型的第七晶体管,其第一电流电极连接到第二高参考存储单元,第二电流电极连接到其控制电极,还有一个控制电极;

第二导电类型的第八晶体管,其第一电流电极连接到第七晶体管的第二电流电极,第二电流电极连接到电压端,还有一个控制电极;

运算放大器,其反相输入接收参考电压,同相输入连接到第七晶体管的第一电流电极,输出连接到第八晶体管的控制电极;

第一导电类型的第九晶体管,其第一电流电极连接到第二低参考存储单元和第七晶体管的第一电流电极,控制电极连接到第七晶体管的控制电极,第二电流电极连接到第八晶体管的第一电流电极;和

第二导电类型的第十晶体管,其第一电流电极连接到第九晶体管的第二电流电极,控制电极连接到运算放大器的输出,第二电流电极连接到第一电压端;

其中,所述第一、三、五、七、九晶体管为第一种尺寸,第二、四、六、八、十晶体管为第二种尺寸。

5. 如权利要求 1 所述的读出放大器,进一步包括:

均衡装置,用于均衡所述第一、三、五晶体管的第二电流电极上的电压;

第一预充电装置,用于对所述第一、三、五晶体管的第一电流电极进行预充电;和

第二预充电装置,用于对所述第一、三、五晶体管的第二电流电极进行预充电。

6. 一种用于读出可编程为高状态或低状态的存储单元状态的读出系统,包括:

可编程为高状态的第一高参考存储单元;

可编程为低状态的第一低参考存储单元;

第一导电类型的第一晶体管,其第一电流电极连接到存储单元,控制电极接收偏置电压,第二电流电极提供输出信号;

第二导电类型的第二晶体管,其第一电流电极连接到第一晶体管的第二电流电极,第二电流电极连接到第一电压端,还有一个控制电极;

第一导电类型的第三晶体管,其第一电流电极连接到第一高参考存储单元,控制电极连接到第一晶体管的控制电极,还有第二电流电极;

第二导电类型的第四晶体管,其第一电流电极连接到第三晶体管的第二电流电极,控制电极连接到第四晶体管的第一电流电极和第二晶体管的控制电极,第二电流电极连接到第一电压端;

第一导电类型的第五晶体管,其第一电流电极连接到第一低参考存储单元,控制电极连接到第一晶体管的控制电极,第二电流电极提供参考输出信号;

第二导电类型的第六晶体管,其第一电流电极连接到第五晶体管的第二电流电极,控制电极直接连接到第六晶体管的第一电流电极和第四晶体管的控制电极,第二电流电极连接到第一电压端;和

增益级,其中,所述增益级包括:

第一输入级,具有连接到所述第一晶体管的所述第二电流电极的用于接收输出信号的输入,还具有输出;

第二输入级,具有连接到所述第五晶体管的所述第二电流电极的用于接收参考输出信号的输入,还具有输出;

第一输出级,具有连接到所述第一晶体管的所述第二电流电极的用于接收输出信号的第一输入,连接到第二输入级输出的第二输入,以及输出;和

第二输出级,具有连接到所述第五晶体管的所述第二电流电极的用于接收参考输出信号的第一输入,连接到第一输入级输出的第二输入,以及输出;

7. 一种用于读出可编程为高状态或低状态的存储单元状态的读出系统,包括:

可编程为高状态的第一高参考存储单元;

可编程为低状态的第一低参考存储单元;

第一导电类型的第一晶体管,其第一电流电极连接到存储单元,控制电极接收偏置电压,第二电流电极提供输出信号;

第二导电类型的第二晶体管,其第一电流电极连接到第一晶体管的第二电流电极,第二电流电极连接到第一电压端,还有一个控制电极;

第一导电类型的第三晶体管,其第一电流电极连接到第一高参考存储单元,控制电极连接到第一晶体管的控制电极,还有第二电流电极;

第二导电类型的第四晶体管,其第一电流电极连接到第三晶体管的第二电流电极,控制电极连接到第四晶体管的第一电流电极和第二晶体管的控制电极,第二电流电极连接到第一电压端;

第一导电类型的第五晶体管,其第一电流电极连接到第一低参考存储单元,控制电极连接到第一晶体管的控制电极,第二电流电极提供参考输出信号;

第二导电类型的第六晶体管,其第一电流电极连接到第五晶体管的第二电流电极,控制电极直接连接到第六晶体管的第一电流电极和第四晶体管的控制电极,第二电流电极连接到第一电压端;和

增益级,其中,所述增益级包括:

偏置级,其输入连接到第四晶体管的第一电流电极,所述偏置级还具有输出;

第一输出级,具有连接到所述第一晶体管的所述第二电流电极的用于接收输出信号的第一输入,连接到偏置级的输出的第二输入,以及输出;和

第二输出级,具有连接到所述第六晶体管的所述第二电流电极的用于接收参考输出信号的第一输入,连接到偏置级的输出的第二输入,以及输出。

用于至少具有两个不同电阻状态的存储器的读出放大器

技术领域

[0001] 本发明一般涉及磁阻随机存取存储器 (MRAM) 和存储位 (memorybit) 至少有两个不同电阻状态的其他存储器, 并且具体涉及用于这些存储器的读出放大器电路。

背景技术

[0002] 非易失性存储器件, 比如闪存 (FLASH), 是电子系统中极其重要的元件。闪存是现在使用的主要非易失性存储器件。闪存的缺点包括高电压要求与慢编程和擦除时间。此外, 闪存存在存储失败前的写持续时间很长, 为 10^4 – 10^6 周期。另外, 为了保持合理的数据记忆, 电子可见的隧道屏蔽 (tunneling barrier) 会限制栅极氧化物的缩放比例。因此, 就限制了闪存的可缩放尺寸。

[0003] 为了克服这些缺点, 考察其他类型的非易失性存储器。磁阻随机存取存储器 (下文用“MRAM”表示) 就是这样的一种器件。然而, 从商业应用角度, MRAM 必须具有与现有存储技术相当的存储密度, 可升级以用于下一代, 低电压工作, 低功耗并且具备有竞争力的读/写速度。

[0004] 隧道结 (TJ, tunneling junction) 的电阻值随着隧道结上面和下面的磁层极性状态而改变大小。电阻从磁场同向时的较低阻值变化到磁场反向时的较高阻值。值的变化可以约为百分之三十。因此, 对于 $10\text{K}\Omega$ 的低阻值, 高阻值可以约为 $13\text{K}\Omega$ 。MRAM 的读出放大器需要检测该差值。因为电阻的标称值由于工艺而变化, 所以通过比较某一位的 TJ 电阻与附近的中点参考以检测该位的状态是很有用的, 该中点参考可以形成为高状态参考位和低状态参考位的中点。保持对称以平衡来自位线 (bit line) 寄生电阻和电容的荷载 (loading) 与列多路复用也是很重要的。在 Reohr 等人发明的题为“Interconnection network for connecting memory cells to Sense Amplifiers”的美国专利 6, 269, 040 中, 单元电阻与高低参考之间的平均电阻比较。在 Reohr 等人的电路中, 通过共享两个不同子阵列的参考以形成中点参考, 几乎但并不完全平衡了荷载。不幸的是, 本解决方案也需要两个读出放大器来实现。另外, 对于需要用大电流对涉及稳态电流信号的位线电容充电的存储阵列, 比如 MRAM 中, 读出时间中很大百分比可能是用于位线充电和均衡。

[0005] 大多数已知读出放大器的输出端, 会响应读出放大器输入节点的变化。当输入节点充电到其稳态电平时, 该响应引起输出节点的摆动。在电压摆动过程中, 电容的不平衡可能支配瞬时信号, 引起差分信号和工作速度的损失。

[0006] MRAM 提供高速和非易失性通用存储器的期望 (promise)。实现该期望 (promise) 需要进一步提高速度和存储区效率, 尤其是提高被存数据值的读出速度。

附图说明

[0007] 结合下列附图详细描述本发明, 将使得本发明的上述的特别目标和优点更加清楚, 在附图中:

[0008] 图 1 为带有偏置电路的读出放大器的示意图;

- [0009] 图 2 为另一个带有偏置电路的读出放大器的示意图；
- [0010] 图 3 为另一个带有偏置电路的读出放大器的示意图；
- [0011] 图 4 为另一个带有偏置电路的读出放大器的示意图；
- [0012] 图 5 为另一个带有偏置电路的读出放大器的示意图；
- [0013] 图 6 为又一个带有偏置电路的读出放大器的示意图；
- [0014] 图 7 为读出放大器相关增益级的示意图，与图 1、图 3 和图 5 说明的读出放大器一起使用；
- [0015] 图 8 为读出放大器另一个相关增益级的示意图，与图 2、图 4 和图 6 说明的读出放大器一起使用；
- [0016] 图 9 为读出放大器另一个增益级的示意图，与图 1、图 3 和图 5 说明的读出放大器一起使用；
- [0017] 图 10 为读出放大器另一个增益级的示意图，与图 2、图 4 和图 6 说明的读出放大器一起使用；和
- [0018] 图 11 为图 1、2、3、4、5 或 6 任一偏置电路的替换偏置电路示意图。

具体实施方式

- [0019] 图 1 中说明的存储器 10，一般含有电压偏置部分 12、读出放大器 14 和阵列部分 16。电压偏置部分 12 包含一个 P 沟道晶体管 22，其第一电流电极或源极连接到电源电压端 V_{DD} 。晶体管 22 的控制电极或栅极在节点 24 连接到第二电流电极或其漏极。N 沟道晶体管 26 的漏极连接到晶体管 22 的漏极，栅极连接到运算放大器 20 的输出，源极连接到节点 28。运算放大器 20 的第一或正（同相）输入连接到参考电压 V_{REF} 。运算放大器 20 的第二或负（反相）输入连接到节点 28。电阻 30 的第一端连接到节点 28。电阻 30 的阻值为 R_{H1} 。电阻的第二端连接到 V_{SS} 参考电压端。P 沟道晶体管 32 的源极连接到 V_{DD} 端，栅极和漏极连接在一起并连接到节点 24。N 沟道晶体管 34 的漏极连接到节点 24，栅极连接到运算放大器 20 的输出，源极连接到电阻 36 的第一端。电阻 36 的阻值为 R_{L1} 。电阻 36 的第二端连接到 V_{SS} 端。到电阻 30 和电阻 36 的连接可以包括耦合器件（未显示）以匹配下文将要描述的阵列电阻 77-79 的连接。运算放大器 40 的正输入连接到晶体管 32 的栅极和漏极，负输入连接到其输出以提供读出预充电电压 V_{B1} 。运算放大器 42 的正输入连接到晶体管 34 的源极，负输入连接到其输出以提供位预充电电压 V_{B3} 。运算放大器 20 的输出提供共栅偏置电压 V_{B2} 。
- [0020] 在读出放大器 14 中，P 沟道晶体管 44 的源极连接到 V_{DD} 电压端。晶体管 44 的漏极连接到输出节点 48 连接到 N 沟道晶体管 52 的漏极。晶体管 52 的栅极连接到偏置电压 V_{B2} 。晶体管 52 的源极连接到节点 54 并经由一个或多个耦合器件（未显示）连接到阻值为 R_b 的位电阻 (bitresistance) 的第一端。位电阻 77 的第二端经由一个或多个耦合器件（未显示）连接到 V_{SS} 电压端。P 沟道晶体管 60 的源极连接到 V_{DD} 电压端，栅极连接到其漏极和晶体管 44 的栅极。开关 50 的第一端连接到晶体管 44 的漏极，第二端在节点 46 连接到晶体管 60 的漏极。开关 50 由均衡控制信号 EQ 控制。N 沟道晶体管 62 的漏极连接到节点 46。晶体管 62 的栅极连接到 V_{CG} 偏置电压，源极连接到节点 64。高参考电阻 78， R_{H2} ，的第一端经由一个或多个耦合器件（未显示）连接到节点 64。电阻 78 的第二端经由一个或多个耦合器件（未显示）连接到 V_{SS} 电压端。P 沟道晶体管 66 的源极连接到 V_{DD} 电压端。晶体管 66 的栅

极在节点 46 连接到其漏极并连接到晶体管 60 的栅极。节点 46 形成参考输出端 OUT_{REF} 。N 沟道晶体管 68 的漏极连接到节点 46。晶体管 68 的栅极连接到偏置电压 V_{B2} 。晶体管 68 的源极连接到节点 75 并经由一个或多个耦合器件（未显示）连接到低参考电阻 79, R_{L2} 的第一端。电阻 79 的第二端经由一个或多个耦合器件（未显示）连接到 V_{SS} 电压端。开关 80 的第一端连接到运算放大器 40 的输出。开关 80 的第二端连接到节点 46, 控制端连接到预充电控制信号 PRECHARGE-S。开关 81 的第一端连接到运算放大器 42 的输出, 第二端连接到节点 54, 控制端接收预充电控制信号 PRECHARGE-B。开关 82 的第一端连接到运算放大器 42 的输出, 第二端连接到节点 64, 控制端接收 PRECHARGE-B 信号。开关 83 的第一端连接到运算放大器 42 的输出, 第二端连接到节点 75, 控制端接收 PRECHARGE-B 信号。

[0021] 在工作时, 读出放大器 14 读出电阻 77 表示的存储单元状态, 它可编程为高状态或低状态。通过地址和译码器（未显示）在读出放大器中存取位 (B)、高参考 (H) 和低参考 (L)。对于如 MRAM 这样的存储器, 高参考为编程为不同高电阻存储状态的单元, 用电阻 78 表示为 R_{H2} 。类似地, 低参考为编程为不同低电阻存储状态的单元, 用电阻 79 表示为 R_{L2} 。该位是一个被寻址的单元, 其用电阻 77 表示的存储状态 R_b 可以为高（用高电阻状态表示）或低（用低电阻状态表示）。应该明白的是, 旁路晶体管 (pass transistor)（未显示）可以存在于晶体管 52、62、68 各自与相关连接存储单元之间, 以便电阻 77、78 和 79 各自代表与存取相关存储单元关联的累积电阻。类似地, 旁路晶体管可以存在于电阻 77、78、79 与 V_{SS} 电压端之间。

[0022] 偏置电路 12 将生成三个特定的偏置电压以控制读出放大器 14。读出放大器 14 使用共栅极电压 V_{B2} 来偏置晶体管 52、62 和 68。晶体管 52、62 和 68 的偏置在电阻 R_b 、 R_{H2} 和 R_{L2} 两端加载实质上相同的偏置电压, 该电压接近于低于 V_{B2} 的晶体管阈值电压。该偏置为晶体管 52、62 和 68 分别建立饱和电流值, 表示为 I_b 、 I_H 和 I_L 。 I_b 、 I_H 和 I_L 的值接近于加载到它们两端的实质相同的偏置电压除以与存取 R_b 、 R_{H2} 和 R_{L2} 相关的总有效电阻。在图例形式中, 晶体管 60 和 66 以对 I_H 和 I_L 取平均的方式连接, 因而建立分别通过晶体管 60 和 66 的大小为 $(I_H+I_L)/(2)$ 的电流。晶体管 60 和 66 的偏置在节点 46 建立参考电压 OUT_{REF} 。把节点 46 处晶体管 44 的栅极连接到晶体管 60 和 66 的栅极, 为晶体管 44 建立大小也等于 $(I_H+I_L)/(2)$ 的饱和电流作为镜像电流。然后, 节点 48 处的电压, 输出 (OUT), 将反映晶体管 44 传导的饱和电流 $(I_H+I_L)/(2)$ 与晶体管 52 传导的饱和电流 I_b 之间的差。对于低电阻状态下的 R_b , 节点 48 处输出信号的稳态电压值将在电势上低于参考电压 OUT_{REF} 。对于高电阻状态下的 R_b , 节点 48 处输出信号的稳态电压值将在电势上高于参考电压 OUT_{REF} 。

[0023] 预充电和均衡技术的使用提高了读出放大器 14 的速度。通过使用预充电开关 80-83 和均衡开关 50, 与节点 54、64、75、48 和 46 相关的电容充电需要的时间大大减少。通过保持均衡开关 50 在 PRECHARGE-S 信号使预充电开关 80 不导电之后仍然导电, 节点 46 和 48 保持为相等的电势以达到它们的稳态电势并减小与该电路相关的容性不平衡的影响。

[0024] 电压偏置部分 12 接收参考输入电压 V_{REF} 并使用 R_{H1} 和 R_{L1} 提供预充电和偏置电压给读出放大器 14。在工作时, 运算放大器 20 控制 V_{B2} 以保持电压等于节点 28 的输入电压 V_{Ref} 。两个参考存储单元 R_{H1} 和 R_{L1} 连接到节点 28。 R_{H1} 电阻是高电阻状态的存储单元, R_{L1} 是低电阻状态的存储单元。 R_{H1} 和 R_{L1} 与运算放大器 20 反相输入以及尺寸实质等于晶体管 52、62 和 68 的晶体管 26 和 34 的连接导致电压 V_{B2} 的建立, 该电压建立导致了读出放大器 14 中

实质等于 V_{REF} 值的稳态电压。具体地, 稳态电压为节点 54、64 和 75 的电压。

[0025] 运算放大器 42 提供的电压 V_{B3} 用于把节点 54、64 和 75 预充电到接近它们稳态值的大小。通过使用实质与晶体管 44、60 和 66 相同尺寸的晶体管 22 和 32, 运算放大器 40 提供电压 V_{B1} 用于把读出放大器 14 中的节点 48 和 46 预充电到接近它们稳态值的大小。

[0026] 偏置部分 12 适用于根据温度、电源和工艺参数调整电压 V_{B1} 、 V_{B2} 和 V_{B3} 。偏置部分 12 和读出放大器 14 之间电压值的跟踪, 部分由于电压偏置部分 12 中晶体管与读出放大器 14 中晶体管器件尺寸的有意匹配和参考电阻 R_{H1} 和 R_{L1} 的使用。

[0027] 图 2 中说明的是存储器 10 的一个变种存储器 11。为了说明方便, 这里图中相同的共有图例元件将使用相同的参考数字。存储器 11 在如下方面不同于存储器 10, 运算放大器 40 的输出现在为镜像电流提供偏置电压 V_{B1} , 它连接到 P 沟道晶体管 44、60 和 66 的栅极。晶体管 44、60 和 66 的栅极不再连接到节点 46。运算放大器 20 的输出现在提供连接到开关 80 第一端的读出预充电电压 V_{B2} 。晶体管 52 的栅极现在只连接到晶体管 62 和 68 的栅极并在节点 46 连接到晶体管 62 的漏极。换句话说, 晶体管 52、62 和 68 的栅极不与电压 V_{B2} 连接, 而连接到节点 46。

[0028] 在工作时, 读出放大器 14' 读出可编程为高状态或低状态的电阻 77 所表示的存储单元的状态。通过偏置电路部分 12, 以图 1 中电压 V_{B1} 相同的方式提供电压 V_{B1} 。也以图 1 中电压 V_{B2} 相同的方式提供电压 V_{B2} , 以图 1 相同的方式提供电压 V_{B3} 。电压 V_{B1} 为晶体管 44、60 和 66 建立共有的显示为 $(I_H + I_L) / (2)$ 的饱和电流值。由晶体管 60 和 66 分别传导的电流 $(I_H + I_L) / (2)$ 在节点 46 聚合并分配流过晶体管 62 和 68, 从而分别向电阻 78 和 79 提供 I_{H2} 和 I_{L2} 。电流 I_{H2} 和 I_{L2} 分别以在节点 64 和 75 提供实质相等电压的方式偏置电阻 78 和 79。连接晶体管 62 和 68, 在节点 46 提供电压 OUT_{REF} , 该电压分别约比节点 64 和 75 的相似电压高一个晶体管阈值。加载到晶体管 52 栅极的节点 46 处的电压在节点 54 提供一个与节点 64 和 75 的电压相似的电压。为晶体管 52 建立饱和电压值 I_b 。电流 V_{B1} 实质等于节点 54 的电压除以电阻 77 的阻值。应该注意到, P 沟道晶体管 44、60 和 66 的偏置电压 V_{B1} 正用于建立节点 54、64 和 75 相对于图 1 中 N 沟道晶体管 52、62 和 68 的偏置电压 V_{B2} 实质相等的电压大小。

[0029] 然后, 节点 48 的电压, 输出 (OUT), 将反映晶体管 44 传导的饱和电流 $(I_H + I_L) / (2)$ 与晶体管 52 传导的饱和电流 I_b 之间的差。对于低电阻状态的 R_b , 节点 48 输出信号的稳态电压值将在电势上低于参考电压 OUT_{REF} 。对于高电阻状态的 R_b , 节点 48 输出信号的稳态电压值将在电势上高于参考电压 OUT_{REF} 。

[0030] 存储器 11 预充电和均衡功能的工作类似于上文中关于存储器 10 的描述。因此, 不再提供赘述。

[0031] 图 3 中说明的是图 1 中存储器 10 的一个变种存储器 13。为了说明方便, 这里图中相同的共有图例元件将使用相同的参考数字。存储器 13 不同于存储器 10, 节点 46 不再提供 OUT_{REF} 输出端, 因而防止晶体管 60 和 66 的相关栅极电容在输出端直接连接。晶体管 66 和 68 的漏极不再连接到节点 46 而连接到节点 84 的输出端 OUT_{REF} 。均衡开关 85 的第一端连接到节点 46, 第二端连接到节点 84 的 OUT_{REF} 输出端。均衡开关 85 的控制端连接到均衡 (EQ) 信号。另外, 晶体管 62 和 68 的源极在节点 64 直接连接, 去掉节点 75。也去掉预充电开关 83。

[0032] 存储器 13 的工作与存储器 10 非常类似,简洁起见,将不重复相似的特点。当均衡开关 50 和 85 导电时,读出放大器 14”的稳态行为实质上与均衡开关 50 导电时的读出放大器 14 相同。在均衡信号 (EQ) 无效之后,晶体管 60 和 66 分别与晶体管 62 和 68 以及晶体管 62 和 68 源极之间的连接协同工作,以保持电流 I_H 和 I_L 的平均并以平均电流 $(I_H+I_L)/(2)$ 偏置晶体管 60、66、62 和 68。相反,图 1 中存储器 10 的电流平均按上文描述的那样部分地通过晶体管 60 和 66 的漏极连接实现。相比存储器 10,存储器 13 的优势是输出节点, OUT 和 OUT_{REF} ,适用于具有相同总耦合电容的情况。这样,当共有电流偏移加载到输入时,输出节点电压将相似地跟踪。存储器 13 预充电和均衡功能的工作类似于上文中关于存储器 10 的描述。因此,不再提供赘述。

[0033] 图 4 中说明的是图 2 中存储器 11 的一个变种存储器 15。为了说明方便,这里图中相同的共有图例元件将使用相同的参考数字。存储器 15 不同于存储器 11,节点 46 不再提供 OUT_{REF} 输出端,因而防止晶体管 62 和 68 的相关栅极电容在输出端直接连接。晶体管 66 和 68 的漏极不再连接到节点 46 而连接到节点 84 的输出端 OUT_{REF} 。均衡开关 85 的第一端连接到节点 46,第二端连接到节点 84 的 OUT_{REF} 输出端。均衡开关 85 的控制端连接到均衡 (EQ) 信号。另外,晶体管 62 和 68 的源极在节点 64 直接连接,去掉节点 75。也去掉预充电开关 83。

[0034] 存储器 15 的工作与存储器 11 非常类似,简洁起见,将不重复相似的特点。其中图 2 中晶体管 62 和 68 的漏极电短路在一起,晶体管 62 和 68 的源极隔离,而图 4 中晶体管 62 和 68 的源极电短路,漏极隔离。在存储器 11 和存储器 15 中,节点 46 的电压以相似的方式建立,并加载到晶体管 52 的栅极。与存储器 13 和 10 一样,存储器 15 与存储器 11 分享相同的优势。该优势在于,输出节点, OUT 和 OUT_{REF} ,适用于具有相同总耦合电容的情况。这样,当共有电流偏移加载到输入时,输出节点电压将相似地跟踪。存储器 15 预充电和均衡功能的工作类似于上文中关于存储器 10 的描述。因此,不再提供赘述。

[0035] 图 5 中说明的是图 3 中存储器 13 的一个变种存储器 89。为了说明方便,这里图中相同的共有图例元件将使用相同的参考数字。存储器 89 不同于存储器 13,晶体管 44 的栅极现在连接到节点 84,晶体管 66 的栅极连接到节点 48。相反,存储器 13 中晶体管 44 和 66 的栅极在节点 46 连接到晶体管 60 的栅极。另外,存储器 89 增加了均衡开关 87。均衡开关 87 的第一端连接到输出 (OUT) 节点 48,均衡开关 87 的第二端连接到输出 (OUT_{REF}) 节点 84。均衡开关 87 的控制端连接到均衡信号 (EQ2)。

[0036] 存储器 89 的工作与存储器 13 非常类似,简洁起见,将不重复相似的特点。在工作时,当均衡开关 50 和 85 导电时,读出放大器 14”的稳态行为实质与图 3 中读出放大器 14”的稳态行为相同。一旦 EQ 和 EQ2 无效 (non-asserted),节点 48 的输出端 OUT 以图 3 中存储器 13 描述的相同方式响应 I_B 和 $(I_{H1}+I_{L1})/(2)$ 之间的差,变化到某个电压。在某种形式下,信号 EQ2 可以在长于信号 EQ 的短时期内保持有效 (asserted) 以减小开关 50 和开关 85 之间任何容性不平衡的影响。响应节点 48 上的变化,节点 48 到晶体管 66 栅极的交差耦合 (crosscoupling) 引起节点 84 的输出电压, OUT_{REF} ,向节点 48 相反的方向变化。从节点 84 到晶体管 44 栅极的反馈进一步放大节点 48 和 84 的变化。存储器 89 预充电功能的工作类似于上文中关于存储器 10 的描述。因此,不再提供赘述。

[0037] 图 6 中说明的是图 4 中存储器 15 的一个变种存储器 88。为了说明方便,这里图

中相同的共有图例元件将使用相同的参考数字。存储器 88 不同于存储器 15, 晶体管 52 的栅极现在连接到节点 84, 晶体管 68 的栅极连接到节点 48。相反, 存储器 15 中晶体管 52 和 68 的栅极都连接到节点 46 晶体管 62 的栅极。另外, 存储器 88 增加了均衡开关 87。均衡开关 87 的第一端连接到输出 (OUT) 节点 48, 均衡开关 87 的第二端连接到输出 (OUT_{REF}) 节点 84。均衡开关 87 的控制端连接到均衡信号 (EQ2)。

[0038] 存储器 88 的工作与存储器 15 非常类似, 简洁起见, 将不重复相似的特点。在工作时, 当均衡开关 50 和 85 导电时, 读出放大器 14 的稳态行为实质与图 4 中读出放大器 14 的稳态行为相同。一旦 EQ 和 EQ2 无效 (non-asserted), 节点 48 的输出端 OUT 以图 4 中存储器 15 描述的相同方式响应 I_B 和 $(I_{B1}+I_{L1})/(2)$ 之间的差, 变化到某个电压。在某种形式下, 信号 EQ2 可以在长于信号 EQ 的短时期内保持有效 (asserted) 以减小开关 50 和开关 85 之间任何容性不平衡的影响。响应节点 48 上的变化, 节点 48 到晶体管 68 栅极的交叉耦合引起节点 84 的输出电压, OUT_{REF}, 向节点 48 相反的方向变化。从节点 84 到晶体管 52 栅极的反馈进一步放大节点 48 和 84 的变化。存储器 88 预充电功能的工作类似于上文中关于存储器 10 的描述。因此, 不再提供赘述。

[0039] 图 7 中说明的是增益级 90, 可以用于连接前面描述的图 1、3 或 5 中的任意读出放大器。例如, 节点 48 的 OUT 信号连接到与 P 沟道晶体管 92 和 P 沟道晶体管 96 的每一个的栅极相连的 IN 输入端。节点 46 (图 1) 或节点 84 (图 3 或 5) 的 OUT_{REF} 信号连接到与 P 沟道晶体管 102 和 P 沟道晶体管 104 的每一个的栅极相连的 IN_{REF} 输入端。晶体管 92 的源极连接到 V_{DD} 电源电压端, 栅极接收 IN 信号, 漏极在输出端 OUT-B 连接到 N 沟道晶体管 94 的漏极。晶体管 94 的栅极连接到节点 95, 源极连接到 V_{SS} 电源电压端。晶体管 96 的源极连接到 V_{DD} 电源电压端, 栅极接收 IN 信号, 漏极在节点 98 连接到 N 沟道晶体管 100 的漏极。晶体管 100 的栅极连接到其漏极, 晶体管 100 的源极连接到 V_{SS} 电源电压端。P 沟道晶体管 102 的源极连接到 V_{DD} 电源电压端, 栅极接收 IN_{REF} 信号, 漏极在节点 95 连接到 N 沟道晶体管 103 的漏极。晶体管 103 的漏极连接到其栅极。晶体管 103 的源极连接到 V_{SS} 电源电压端。P 沟道晶体管 104 的源极连接到 V_{DD} 电源电压端, 栅极连接到 IN_{REF} 信号, 漏极在输出端 OUT 连接到 N 沟道晶体管 106 的漏极。晶体管 106 的栅极连接到节点 98。晶体管 106 的源极连接到 V_{SS} 电源电压端。

[0040] 在工作时, 加载到晶体管 92 和 96 栅极的 IN 信号电压建立这两个晶体管的饱和电流值, 正比于 $[(V_{DD}-IN)+V_{thp}]^2$, 其中 V_{thp} 为晶体管 92 等 P 沟道晶体管的阈值电压。类似地, 加载到晶体管 102 和 104 栅极的信号 IN_{REF} 电压建立这两个晶体管正比于 $[(V_{DD}-IN_{REF})+V_{thp}]^2$ 的饱和电流值。晶体管 96 和 100 形成增益级 90 的第一输入级, 在节点 98 输出。配置成二极管的晶体管 100 构成晶体管 96 所传导电流的镜像, 从而在晶体管 106 内建立等于 $[(V_{DD}-IN)+V_{thp}]^2$ 的饱和电流条件。类似地, 晶体管 102 和 103 形成在节点 95 输出的第二输入级。配置成二极管的晶体管 103 构成晶体管 102 所传导电流的镜像, 从而在晶体管 94 内建立等于 $[(V_{DD}-IN_{REF})+V_{thp}]^2$ 的饱和电流条件。晶体管 92 和 94 形成第一输出级, 晶体管 104 和 106 形成第二输出级。为了响应晶体管 92 和 94 的饱和电流条件, 第二输出级的输出在 OUT_B 的电压向高或低的逻辑状态变化。类似地, 为了响应晶体管 104 和 106 的饱和电流条件, 第一输出级的输出在 OUT 的电压向 OUT_B 相反的逻辑状态变化。应该注意到, 输入信号的差分放大量决定于增益级 90 中所有晶体管的尺寸和差分输入 IN 和 IN_{REF} 的

直流偏置。

[0041] 图 8 中说明的是增益级 150, 可以用于连接图 2、4 或 6 中的读出放大器。IN 输入信号连接到 N 沟道晶体管 156 的栅极和 N 沟道晶体管 164 的栅极。IN_REF 信号连接到 N 沟道晶体管 170 和 174 的栅极。P 沟道晶体管 152 的源极连接到 V_{DD} 电源电压端, 栅极连接到节点 154, 漏极在输出端 OUT-B 连接到 N 沟道晶体管 156 的漏极。晶体管 156 的栅极连接到输入信号 IN。晶体管 156 的源极连接到 V_{SS} 电源电压端。P 沟道晶体管 160 的源极连接到 V_{DD} 电源电压端。晶体管 160 的栅极连接到其漏极并在节点 162 连接到 N 沟道晶体管 164 的漏极。晶体管 164 的栅极连接到输入 IN 信号。晶体管 164 的源极连接到 V_{SS} 电源电压端。P 沟道晶体管 168 的源极连接到 V_{SS} 电源电压端。晶体管 168 的栅极连接到其漏极并在节点 154 连接到 N 沟道晶体管 170 的漏极。晶体管 170 的栅极连接到输入 IN_REF。晶体管 170 的源极连接到 V_{SS} 电源电压端。P 沟道晶体管 172 的源极连接到 V_{DD} 电源电压端。晶体管 172 的栅极连接到节点 162。晶体管 172 的漏极连接到输出端 OUT 和 N 沟道晶体管 174 的漏极。晶体管 174 的栅极连接到输入信号 IN_REF。晶体管 174 的源极连接到 V_{SS} 电源电压端。

[0042] 在工作时, 加载到晶体管 156 和 164 栅极的 IN 信号电压建立这两个晶体管的饱和电流值, 正比于 $[IN - V_{SS} - V_{thn}]^2$, 其中 V_{thn} 为晶体管 156 等 N 沟道晶体管的阈值电压。类似地, 加载到晶体管 170 和 174 栅极的信号 IN_Ref 电压建立这两个晶体管正比于 $[IN_Ref - V_{SS} - V_{thn}]^2$ 的饱和电流值。配置成二极管的晶体管 160 构成晶体管 164 所传导电流的镜像, 从而在晶体管 172 内建立等于 $[IN - V_{SS} - V_{thn}]^2$ 的饱和电流条件。类似地, 配置成二极管的晶体管 168 构成晶体管 170 所传导电流的镜像, 从而在晶体管 152 内建立等于 $[IN_Ref - V_{SS} - V_{thn}]^2$ 的饱和电流条件。响应晶体管 152 和 156 的饱和电流条件, OUT_B 处的电压向高或低的逻辑状态变化。类似地, 响应晶体管 172 和 174 的饱和电流条件, OUT 处的电压向 OUT_B 相反的逻辑状态变化。应该注意到, 输入信号的差分放大量决定于增益级 150 中所有晶体管的尺寸和差分输入 IN 和 IN_REF 的直流偏置。

[0043] 图 9 中说明的是增益级 110, 可以用于连接前面描述的图 1、3 或 5 中的任意读出放大器。P 沟道晶体管 112 的源极连接到 V_{DD} 电源端, 栅极连接到输入信号 IN, 漏极在提供输出信号 OUT_B 的节点 113 连接到 N 沟道晶体管 114 的漏极。晶体管 114 的源极连接到 V_{SS} 电源电压端, 栅极连接到节点 116。P 沟道晶体管 118 的源极连接到 V_{DD} 电源电压端, 栅极接收来自读出放大器 1、3 或 5 的节点 46 的偏置电压, 漏极在节点 116 连接到晶体管 114 的栅极和 N 沟道晶体管 120 的漏极。晶体管 120 的栅极连接到其漏极, 源极连接到 V_{SS} 电源电压端。P 沟道晶体管 122 的源极连接到 V_{DD} 电源电压端, 栅极接收 IN_REF 信号, 漏极提供 OUT_REF 信号并连接到 N 沟道晶体管 124 的漏极。晶体管 124 的栅极连接到节点 116。晶体管 124 的源极连接到 V_{SS} 电源电压端。

[0044] 在工作时, 加载到晶体管 112 栅极的 IN 信号电压建立该晶体管的饱和电流值, 正比于 $[(V_{DD} - IN) + V_{thp}]^2$, 其中 V_{thp} 为晶体管 112 等 P 沟道晶体管的阈值电压。加载到晶体管 122 栅极的 IN_REF 信号电压建立该晶体管正比于 $[(V_{DD} - IN_REF) + V_{thp}]^2$ 的饱和电流值。节点 46 以建立晶体管 118 正比于 $[(V_{DD} - \text{节点 46 偏压}) + V_{thp}]^2$ 的饱和电流值的方式偏置该晶体管。晶体管 120 构成晶体管 118 所传导电流的镜像以建立晶体管 114 和 124 等于 $[(V_{DD} - \text{节点 46 偏压}) + V_{thp}]^2$ 的饱和电流值。节点 113 处的输出按晶体管 112 所传导饱和电

流 $[(V_{DD}-IN)+V_{thp}]^2$ 和晶体管 114 所传导饱和电流 $[(V_{DD}-\text{节点 46 偏压})+V_{thp}]^2$ 的差定义的方向变化。通过连接晶体管 118 的偏置电压与读出放大器 1、3 或 5 之一的电压,节点 46 的稳态偏置电压本质上等于稳态电压 IN_REF。因为偏置电压相等,如果晶体管 112 的偏置电压 IN 低于电压 IN_REF,OUT_B 处提供的电压将按正方向变化。类似地,如果晶体管 112 的偏置电压 IN 高于电压 IN_REF,OUT_B 处提供的电压将按负方向变化。

[0045] 输出电压 OUT_REF 由晶体管 122 所传导饱和电流 $[(V_{DD}-IN_REF)+V_{thp}]^2$ 和晶体管 124 所传导饱和电流 $[(V_{DD}-\text{节点 46 偏压})+V_{thp}]^2$ 的差定义。通过连接晶体管 118 的偏置电压与读出放大器 1、3 或 5 之一的电压,节点 46 的稳态偏置电压本质上等于稳态电压 IN_REF。因为偏置电压相等,晶体管 122 传导的饱和电流本质上等于晶体管 124 传导的饱和电流,且 OUT_REF 保持为静态电压参考。当读出放大器的电压瞬态过渡时,来自节点 46 的偏置电压可能不等于 IN_REF。在这期间,节点 OUT_B 和 OUT_REF 将以相似的方式响应节点 46 电压和 IN_REF 输入电压之间的差。因此差分增益在瞬态过渡电压的任意时刻都得到保持。

[0046] 图 10 中说明的是增益级 130,与前面描述的图 2、4 或 6 中的任意读出放大器一起使用。P 沟道晶体管 132 的源极连接到 V_{DD} 电源电压端。晶体管 132 的栅极连接到节点 138。晶体管 132 的漏极在节点 133 提供输出信号 OUT_B 并连接到 N 沟道晶体管 134 的漏极。晶体管 134 的栅极连接到输入信号 IN。晶体管 134 的源极连接到 V_{SS} 电源电压端。P 沟道晶体管 136 的源极连接到 V_{DD} 电源电压端。晶体管 136 的栅极在节点 138 连接到其漏极。晶体管 136 的漏极还连接到 N 沟道晶体管 140 的漏极。晶体管 140 的栅极连接到来自读出放大器 2、4 或 6 节点 46 的偏置电压。晶体管 140 的源极连接到 V_{SS} 电源电压端。P 沟道晶体管 144 的源极连接到 V_{DD} 电源电压端。晶体管 144 的栅极连接到节点 138。晶体管 144 的漏极连接到输出端 OUT_REF 和 N 沟道晶体管 146 的漏极。晶体管 146 的栅极接收输入信号 IN_REF。晶体管 146 的源极连接到 V_{SS} 电源电压端。

[0047] 在工作时,加载到晶体管 134 栅极的 IN 信号电压建立该晶体管的饱和电流值,正比于 $[IN-V_{SS}-V_{thn}]^2$,其中 V_{thn} 为晶体管 134 等 N 沟道晶体管的阈值电压。加载到晶体管 146 栅极的 IN_REF 信号电压建立该晶体管正比于 $[IN_REF-V_{SS}-V_{thn}]^2$ 的饱和电流值。图 2、4 或 6 的节点 46 以建立晶体管 140 正比于 $[\text{节点 46 偏压}-V_{SS}-V_{thn}]^2$ 的饱和电流值的方式偏置该晶体管。晶体管 140 和 136 的功能为偏置级。晶体管 136 构成晶体管 140 所传导电流的镜像以建立晶体管 132 和 144 等于 $[\text{节点 46 偏压}-V_{SS}-V_{thn}]^2$ 的饱和电流值。节点 133 处的输出按晶体管 134 所传导饱和电流 $[IN-V_{SS}-V_{thn}]^2$ 和晶体管 132 所传导饱和电流 $[\text{节点 46 偏压}-V_{SS}-V_{thn}]^2$ 的差定义的方向变化。晶体管 132 和 134 的功能为第一输出级,晶体管 144 和 146 的功能为第二输出级。通过连接晶体管 140 的偏置电压与读出放大器 2、4 或 6 之一的电压,节点 46 的稳态偏置电压本质上等于稳态电压 IN_REF。因为偏置电压相等,如果晶体管 134 的偏置电压 IN 低于电压 IN_REF,OUT_B 处提供的电压将按正方向变化。类似地,如果晶体管 134 的偏置电压 IN 高于电压 IN_REF,OUT_B 处提供的电压将按负方向变化。

[0048] 输出电压 OUT_REF 由晶体管 146 所传导饱和电流 $[IN_REF-V_{SS}-V_{thn}]^2$ 和晶体管 144 所传导饱和电流 $[\text{节点 46 偏压}-V_{SS}-V_{thn}]^2$ 的差定义。通过连接晶体管 140 的偏置电压与读出放大器 2、4 或 6 之一的电压,节点 46 的稳态偏置电压本质上等于稳态电压 IN_REF。因为偏置电压相等,晶体管 146 传导的饱和电流本质上等于晶体管 144 传导的饱和电流,且 OUT_REF 保持为静态电压参考。当读出放大器的电压瞬态过渡时,来自节点 46 的偏置电压可能

不等于 IN_REF 。在这期间,节点 OUT_B 和 OUT_REF 将以相似的方式响应节点 46 电压和 IN_REF 输入电压之间的差。因此差分增益在瞬态过渡电压的任意时刻都得到保持。

[0049] 图 11 中说明的是图 1、2、3、4、5 或 6 说明的偏置部分 12 的替换偏置部分 12'。电压偏置部分 12' 有一个 P 沟道晶体管,其第一电流电极或源极连接到电源电压端 V_{DD} ,控制电极或栅极连接到运算放大器 40 的输出,漏极连接到节点 24 和 N 沟道晶体管 26 的漏极。晶体管 26 的栅极连接到其漏极,源极连接到节点 28。运算放大器 40 的第一输入或正(同相)输入连接到节点 28,第二输入或负(反相)输入连接到参考电压 V_{REF} 。电阻 30 的第一端经由一个或多个耦合器件连接到节点 28,第二端经由一个或多个耦合器件连接到 V_{SS} 参考电压端。电阻 30 的值为 R_{HI} 。P 沟道晶体管 32 的源极连接到 V_{DD} 电压端,栅极连接到运算放大器 40 的输出,漏极连接到节点 24 和 N 沟道晶体管 34 的漏极。晶体管 34 的栅极连接到其漏极,源极连接到节点 28。电阻 36 的第一端经由一个或多个耦合器件连接到节点 28,第二端经由一个或多个耦合器件连接到 V_{SS} 参考电压端。电阻 36 的值为 R_{LI} 。运算放大器 20 的第一输入或正(同相)输入连接到节点 24,第二输入或负(反相)输入连接到其输出以提供电压 V_{B1} 。运算放大器 42 的第一输入或正(同相)输入连接到节点 28,第二输入或负(反相)输入连接到其输出以提供读出预充电电压 V_{B3} 。运算放大器 20 的输出提供电流源栅极偏置 $VB2$ 。

[0050] 电压偏置部分 12' 接收参考输入电压 V_{REF} ,并用 R_{HI} 和 R_{LI} 分别向图 1、2、3、4、5 和 6 中的读出放大器 14、14'、14''、14'''、14'''' 和 14''''' 提供预充电和偏置电压。在工作时,运算放大器 40 控制 V_{B1} 以保持电压等于节点 28 的 V_{RAF} 输入电压。两个参考存储单元 R_{HI} 和 R_{LI} 连接到节点 28。电阻 R_{HI} 是高电阻状态的存储单元,电阻 R_{LI} 是低电阻状态的存储单元。 R_{HI} 和 R_{LI} 与运算放大器同相输入,尺寸实质等于图 1、2、3、4、5 和 6 中晶体管 52、62 和 68 的晶体管 26 和 34,以及尺寸实质等于图 1、2、3、4、5 和 6 中晶体管 44、60 和 66 的晶体管 22 和 32 的连接,导致电压 V_{CB} 的建立,该电压分别建立图 1、2、3、4、5 和 6 中读出放大器 14、14'、14''、14'''、14'''' 和 14''''' 的实质等于 V_{REF} 值的稳态电压。具体地,稳态电压为图 1 和 2 中节点 54、64 和 75 的电压以及图 3、4、5 和 6 中节点 54 和 64 的电压。

[0051] 偏置部分 12' 适用于根据温度、电源电压和工艺参数调整电压 V_{B1} 、 V_{B2} 和 V_{B3} 。偏置部分 12' 分别与图 1、2、3、4、5 和 6 中读出放大器 14、14'、14''、14'''、14'''' 和 14''''' 之间电压值的跟踪,部分由于电压偏置部分 12' 中晶体管分别与图 1、2、3、4、5 和 6 中读出放大器 14、14'、14''、14'''、14'''' 和 14''''' 晶体管器件尺寸的有意匹配和参考电阻 R_{HI} 和 R_{LI} 的使用。

[0052] 到现在为止,很显然已经提供 MRAM 读出放大器电路以实现存储位单元的快速和有效读操作。单个读出放大器可以从参考高位和参考低位得出平均参考电流,用它与单元电流比较得出差分信号。在读出放大器内,容性负载的仔细分配考虑位与参考信号的容性负载相等,从而优化差分信号。并入读出放大器的有效预充电和均衡使寄生容性不平衡的影响最小,并进一步提高操作速度。

[0053] 本领域技术人员很容易想到对这里选做说明的实施例的各种变化和修改。这些读出放大器和增益级的改进可应用于其状态表现为位电阻值变化的其他存储器类型。尽管讨论的是 MRAM 的一些应用,很显然其他类型的存储单元可以利用这里公开的特征。可以很容易对晶体管导电类型和晶体管类型等做变化。为使这样的修改和变化不背离本发明的精神,它们应该包含到权利要求书公平描述评定的范围内。

[0054] 上文已经就特殊实施例描述了益处、其他优势和问题解决方案。但是,没有把益处、其他优势、问题解决方案和可能引起益处、其他优势或解决方案发生或变得更显著的任意要素解释为决定性的、要求的或必要的特征或者任意或所有权利要求的要素。这里所用的词语“包括、包含”或其任意其他变形都应该是非排他性的包含,因此,包括一系列要素的处理、方法、物品或装置不只包括列出的那些要素,也可能包括其他没有明确列出的或这样的处理、方法、物品或装置所固有的要素。这里所用的术语“a, an”定义为一个或多于一个。这里所用的术语“多个 (plurality)”定义为两个或多于两个。这里所用的术语“另一、其他 (another)”定义为至少第二个或更多。这里所用的术语“包括和 / 或具有 (including and/or having)”定义为包含 (即开放语言)。这里所用的“耦合、连接 (coupled)”定义为连接 (connected),但不一定是直接的,也不一定是机械的。

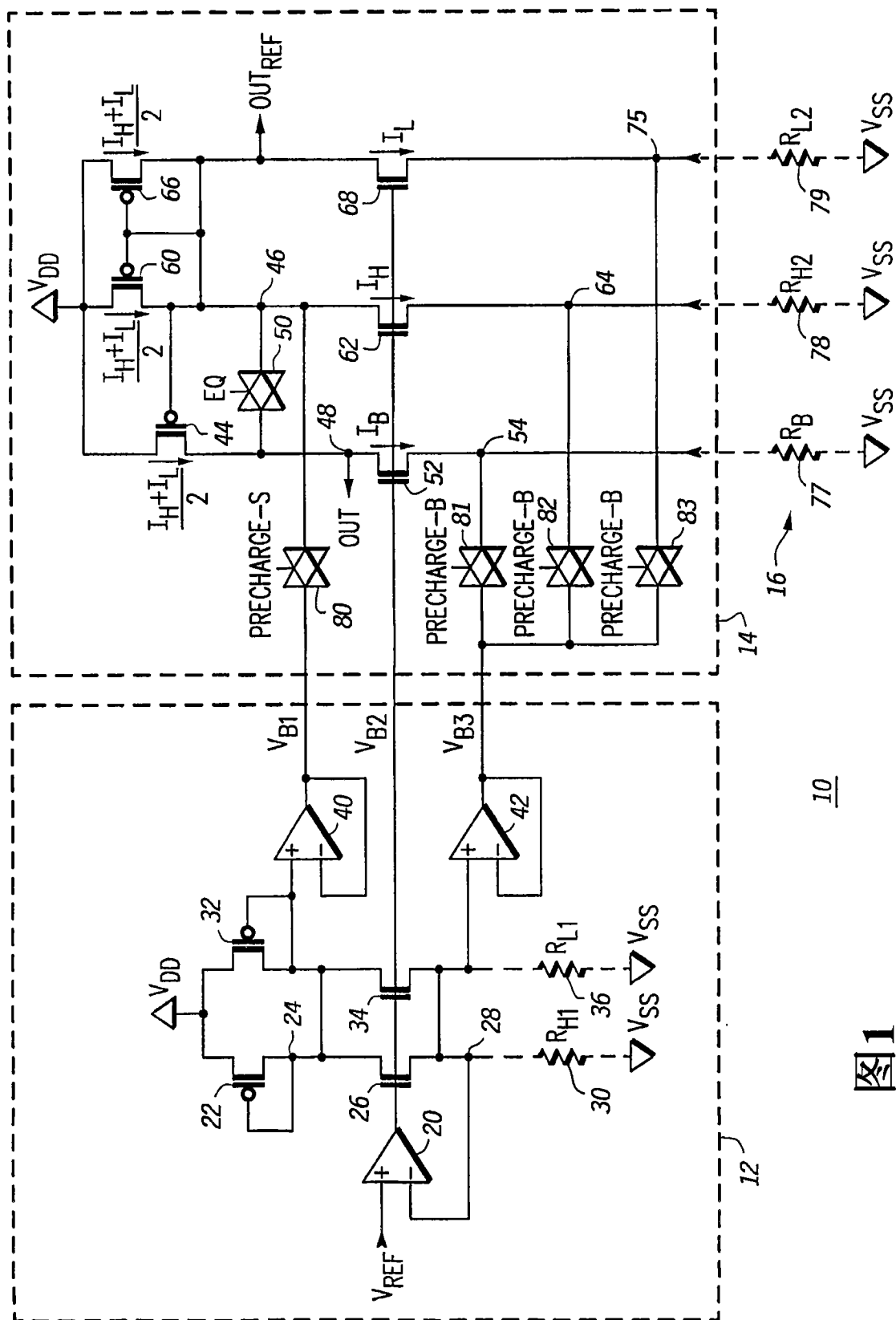


图1

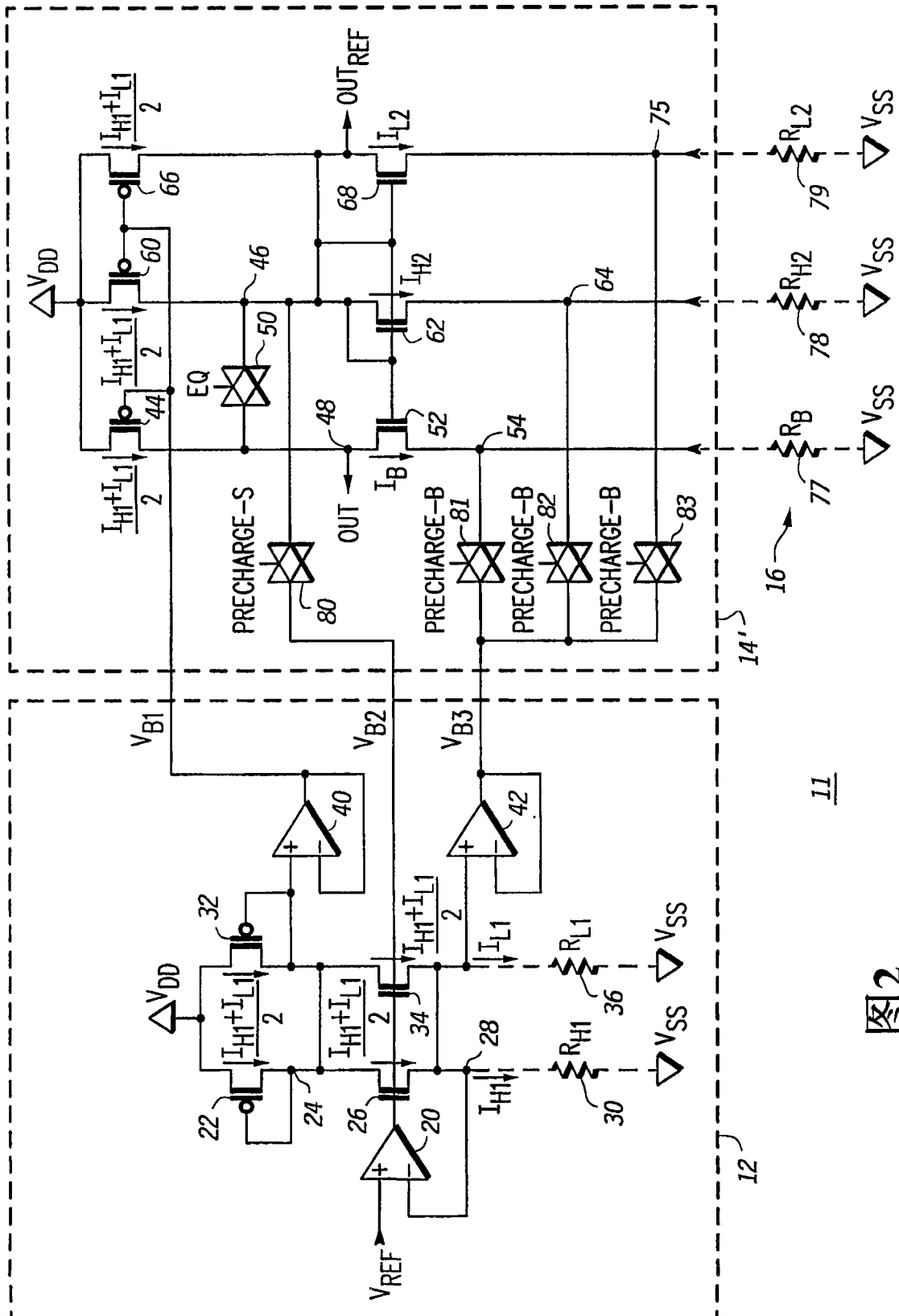


图2

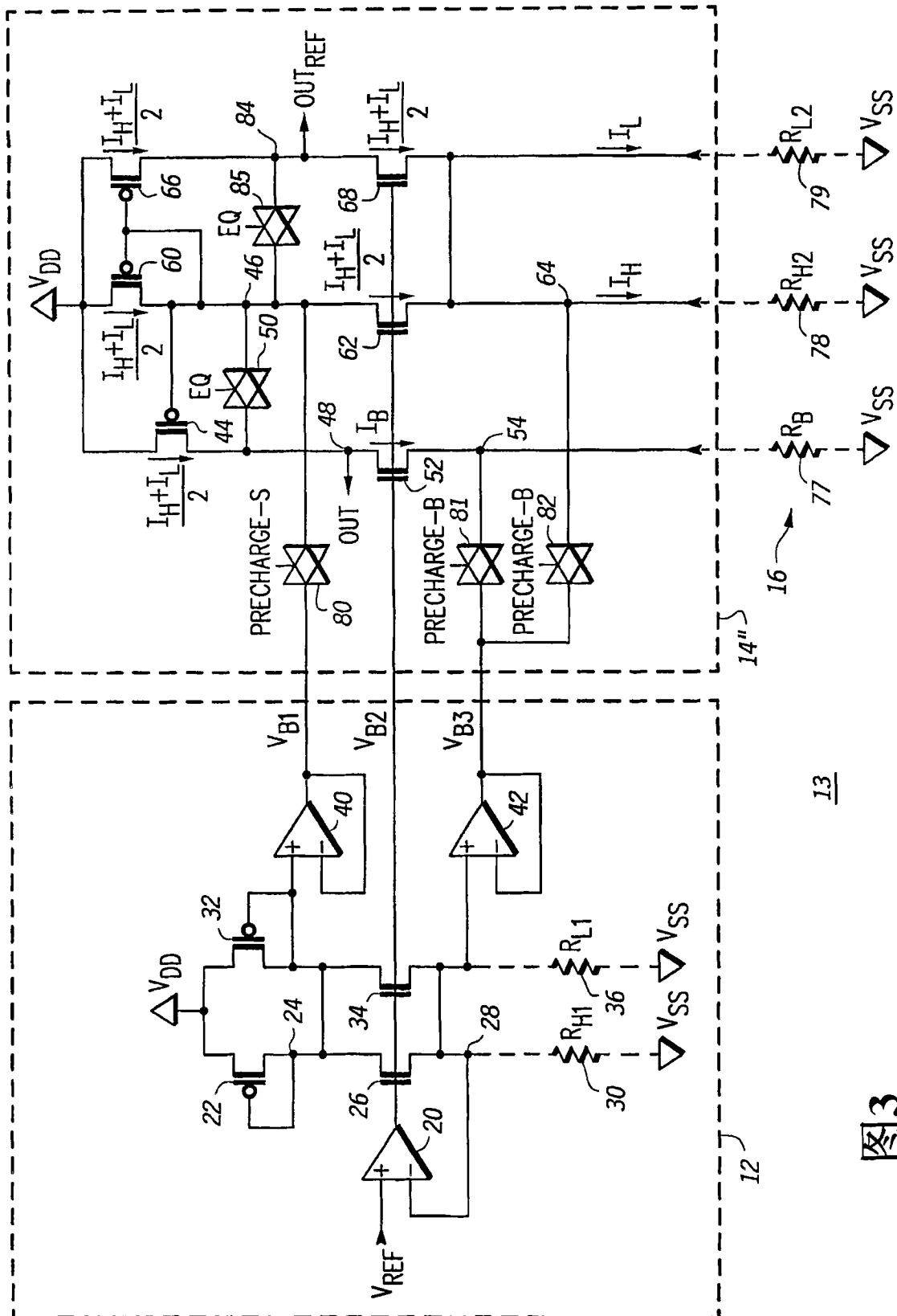


图3

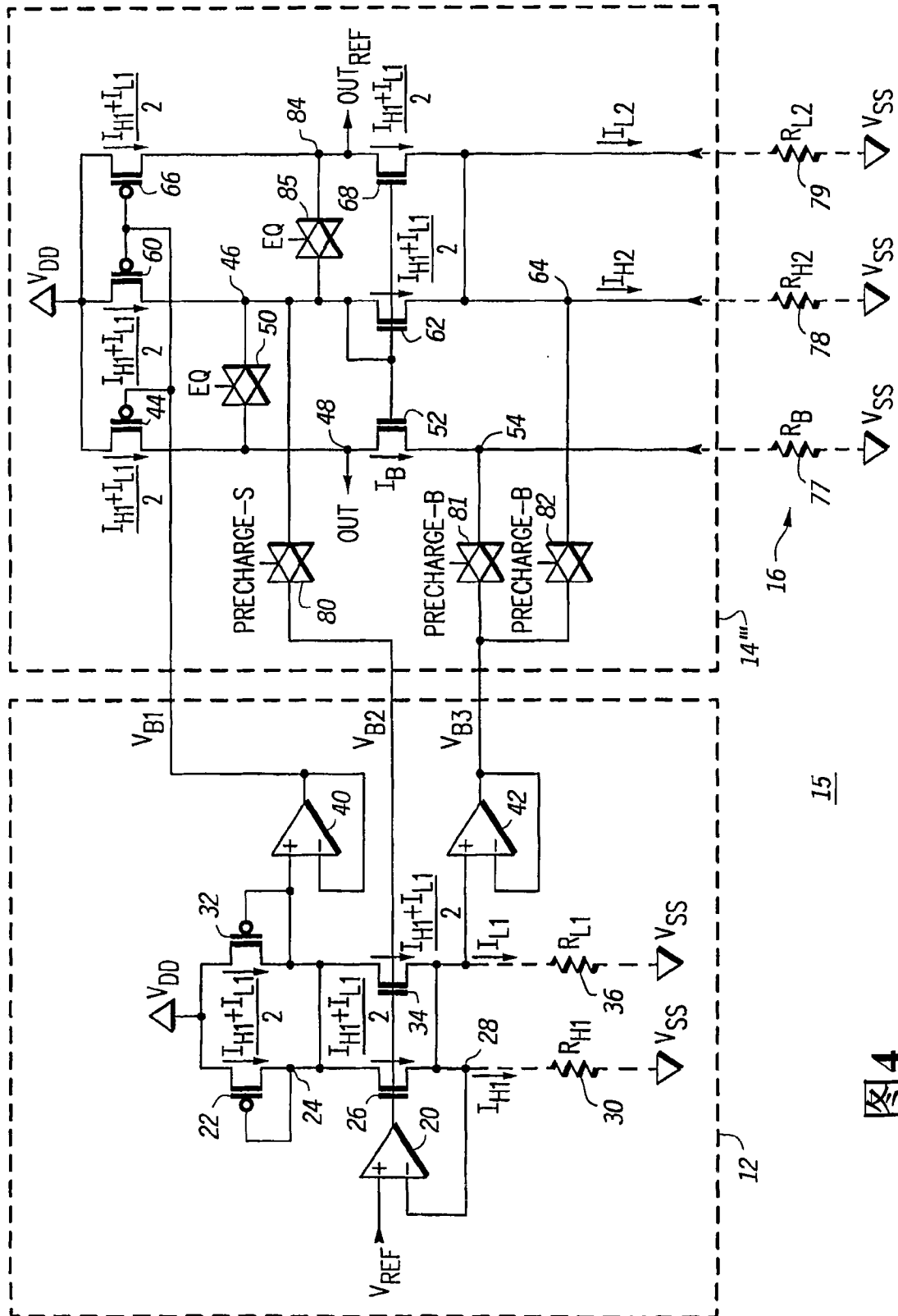
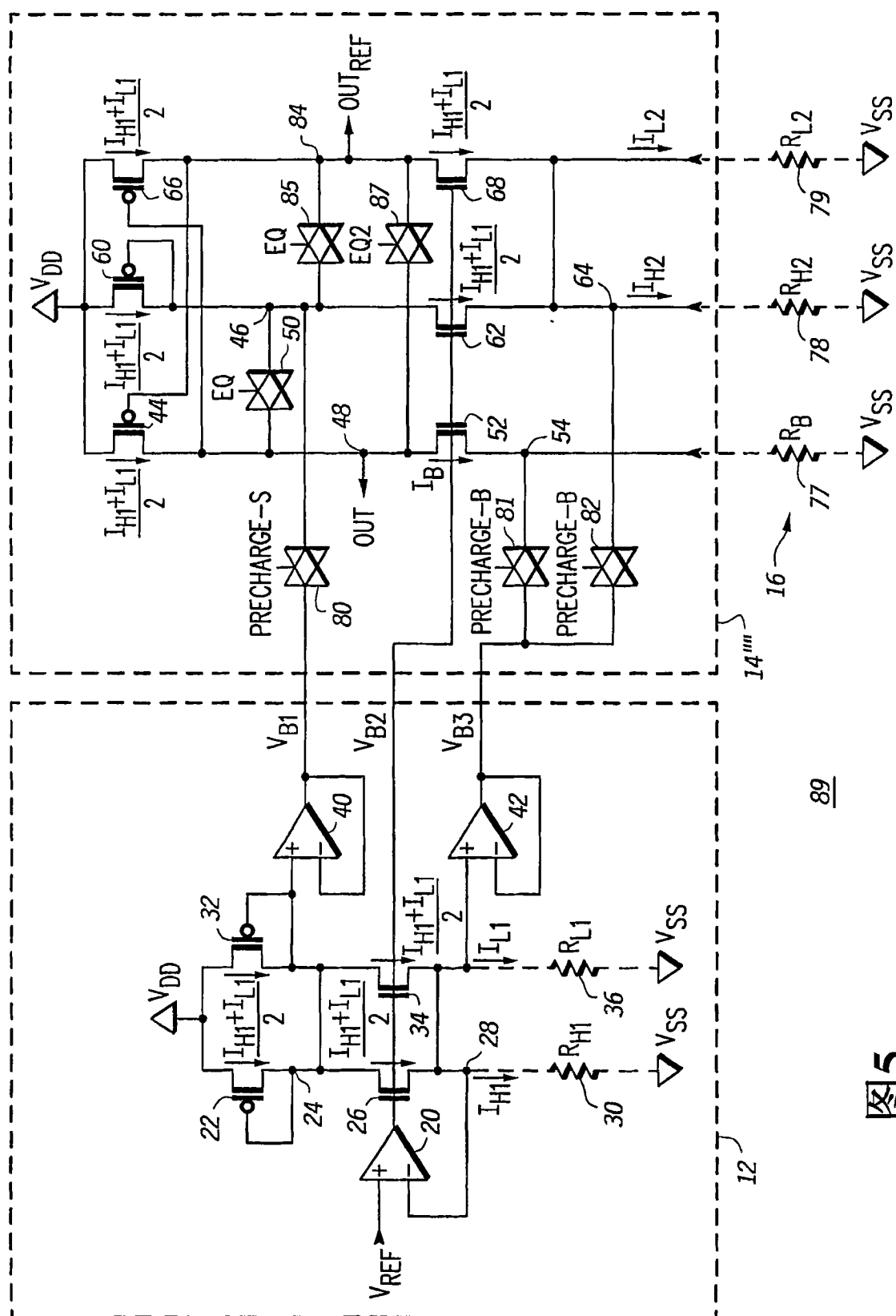


图4



5
 5

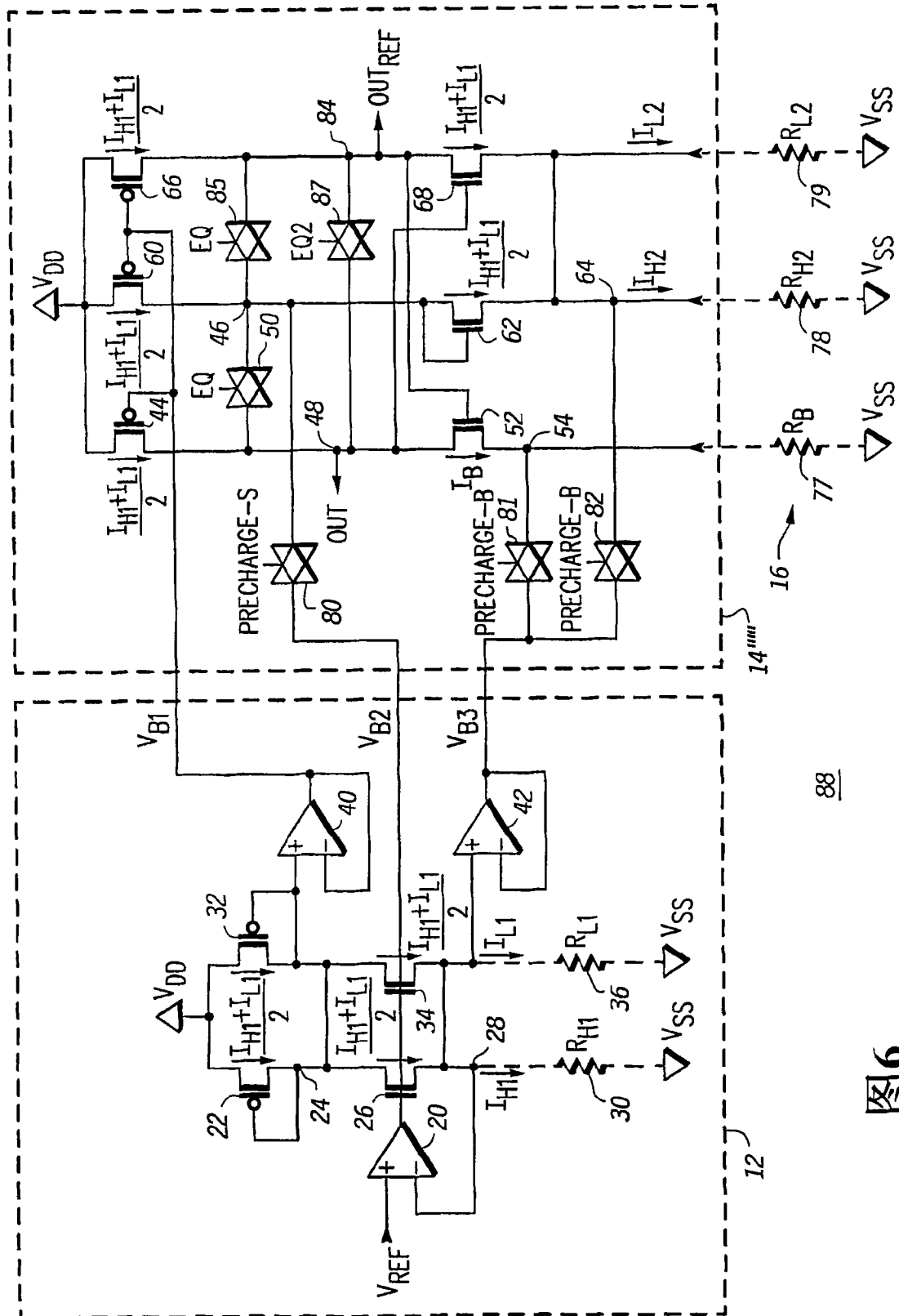


图6

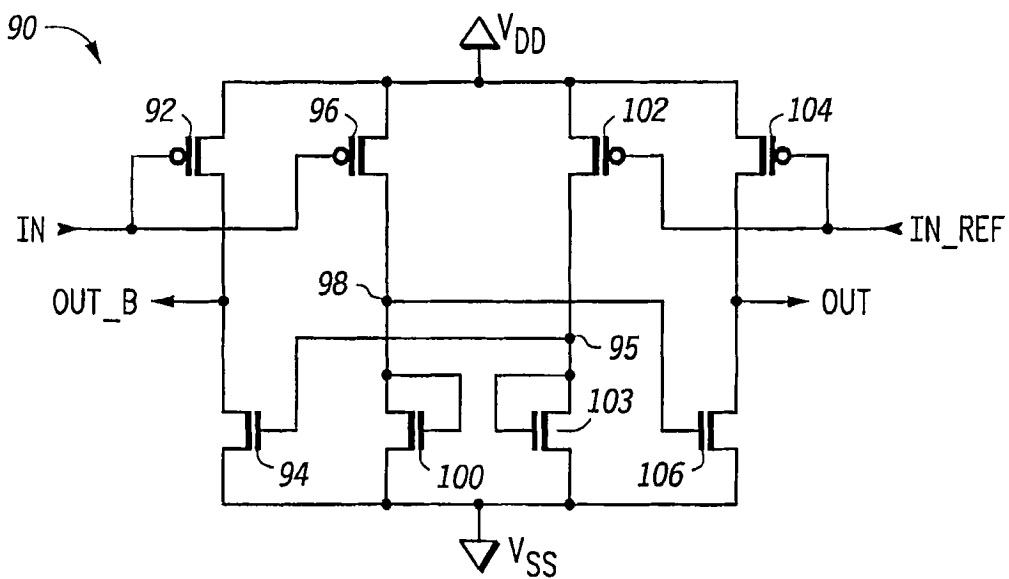


图 7

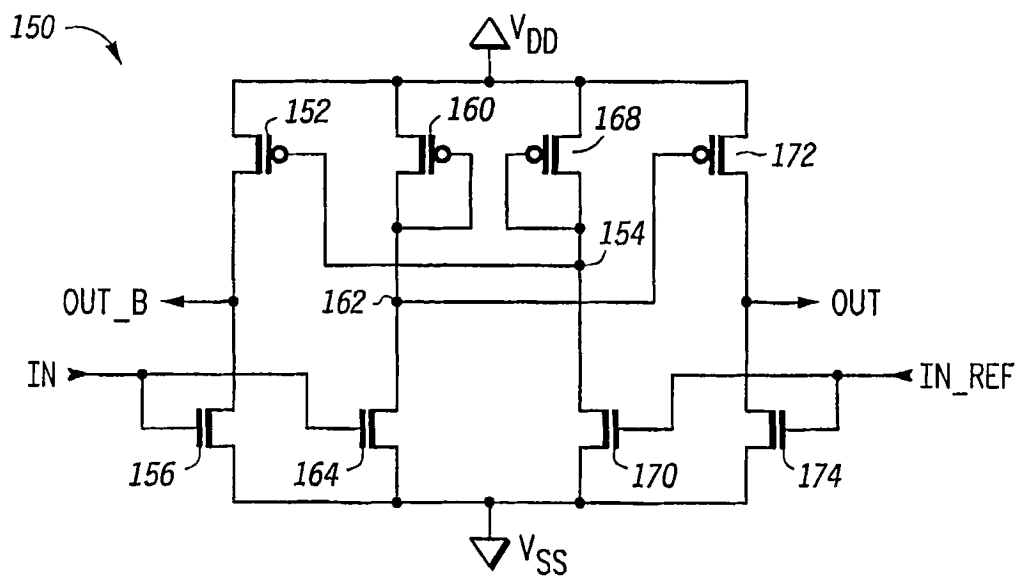


图 8

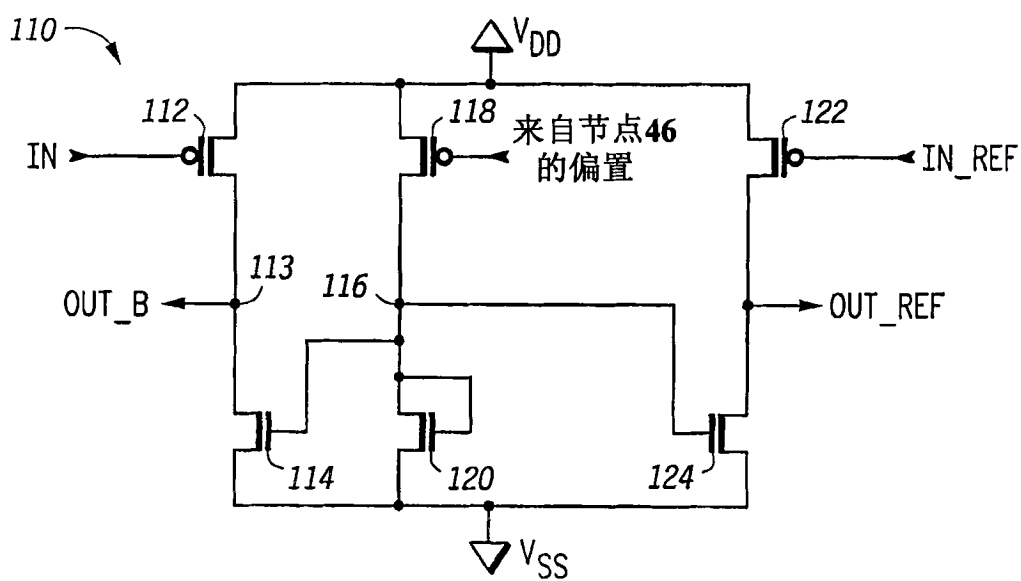


图 9

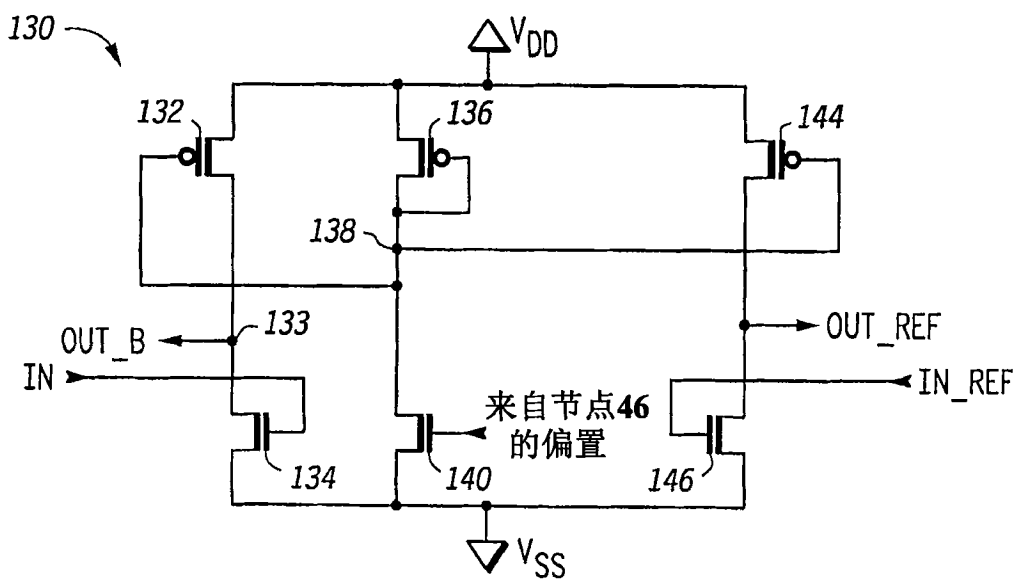


图 10

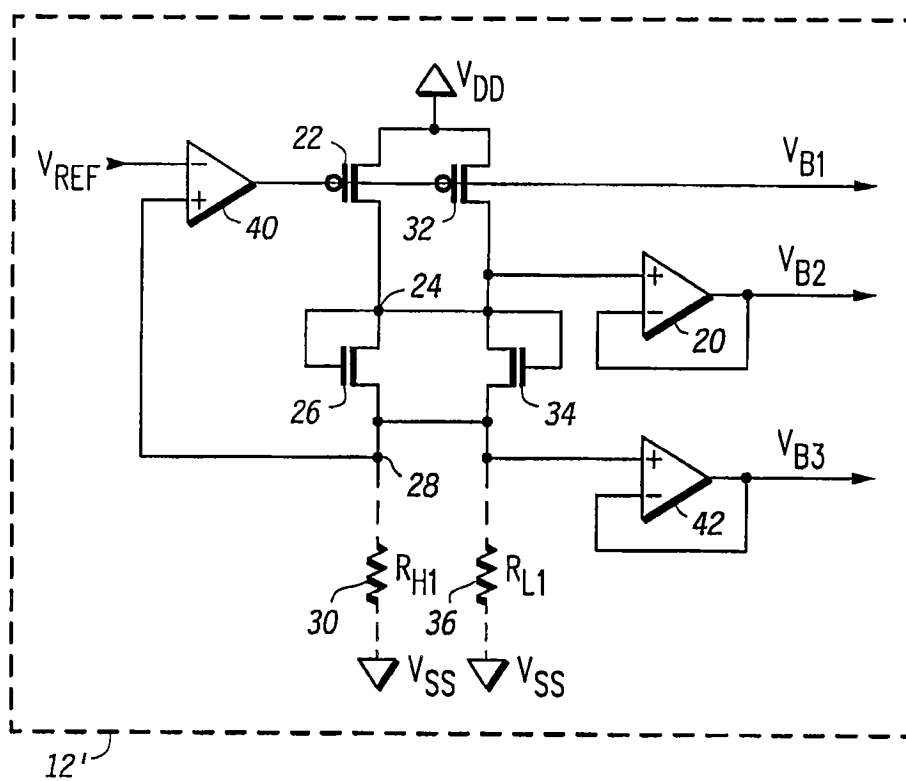


图 11