

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G06F 11/00

(45) 공고일자 2000년02월 15일

(11) 등록번호 10-0244836

(24) 등록일자 1999년11월24일

|            |                 |             |               |
|------------|-----------------|-------------|---------------|
| (21) 출원번호  | 10-1996-0041951 | (65) 공개번호   | 특1997-0029043 |
| (22) 출원일자  | 1996년09월24일     | (43) 공개일자   | 1997년06월26일   |
| (30) 우선권주장 | 8/556,887       | 1995년11월02일 | 미국(US)        |

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘

미국 10504 뉴욕주 아몬크

(72) 발명자 버크랜드 패트릭 앨런

미국 텍사스주 78703 오스틴 체리 라인 2904

닐 대니 마빈

미국 텍사스주 78681 라운드 록 하이타워 드라이브 4604

선버 스티븐 마크

미국 텍사스주 78717 오스틴 에프라임 로드 8308

(74) 대리인 김창세, 장성구

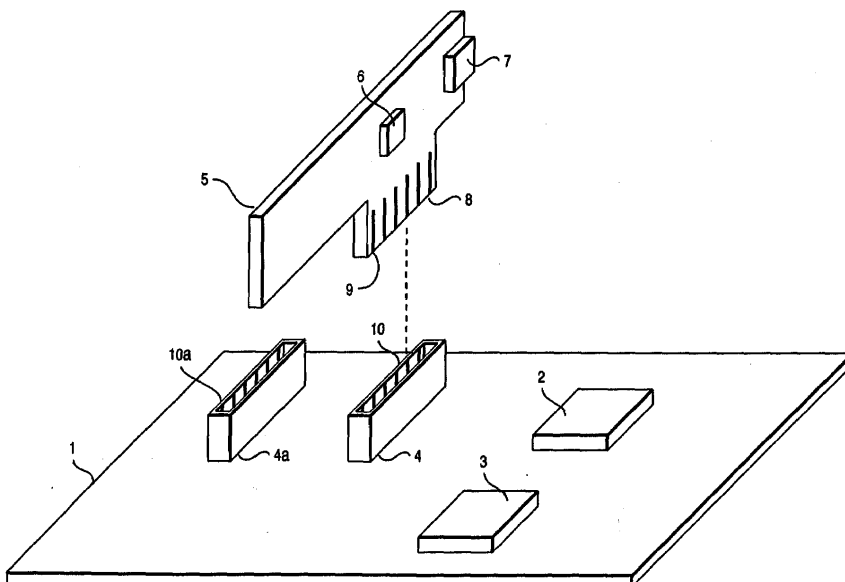
심사관 : 민혜정

(54) 컴퓨터시스템 및 다수의 기능카드 중 한개의 기능카드를 격리하는 방법

요약

본 발명은 사용자 하여금 다수의 기능 카드중 하나가 에러 신호를 송출하였는지를 확인할 수 있게 하는 컴퓨터 시스템을 제공한다. 에러 신호를 송출한 장치는 격리되고 에러 복구 기법(또는 재초기화)이 에러 상태를 갖는 장치상에만 구현된다. 컴퓨터 시스템은 다른 정보 버스와 I/O, 메모리 등과 같은 특정 기능을 수행하는 기능 카드를 수납하는 적어도 한 개의 커넥터 슬롯을 상호접속하는 브리지 칩과 함께, 추가적인 제어 논리회로를 포함한다. 에러 신호가 존재한다고 판단되면, 시스템 하드웨어는 에러 신호를 송출한 장치에 리셋 신호를 활성화시켜 유지한다. 또한, 브리지 칩내의 레지스터내 상태 비트가 세트된다. 이어서 에러 신호를 송출한 장치에 대응하는 장치 드라이버가 상태 비트를 판독하여 에러가 발생했음을 확인한 후 브리지를 리셋하고, 에러 상태를 갖는 장치만을 리셋하거나 초기화한다.

대표도



명세서

도면의 간단한 설명

제 1 도는 시스템 보드와 어댑터 카드에 대한 사시도로서 이들간의 기계적 관계를 도시한 도면

- 제 2 도는 대응하는 부착 가이드 부재(attached guide member)를 갖는 어댑터 카드에 대한 정면도
- 제 3 도는 본 발명의 어댑터 카드와 가이드 부재에 대한 제 2 도의 절단선 A-A를 따라 본 평면도
- 제 4 도는 제 2 도의 절단선 B-B를 따라 취해진 본 발명의 어댑터 카드와 가이드 부재에 대한 정면도
- 제 5 도는 본 발명의 어댑터 카드와 가이드 부재를 수용하는 슬롯을 도시하는 컴퓨터 시스템에 대한 사시도
- 제 6 도는 다수의 어댑터 슬롯이 I/O 버스에 전기적 접속하며, 호스트 브리지(host bridge)를 통해 I/O 버스에 접속된 시스템 버스를 갖는 컴퓨터 시스템에 대한 개략도
- 제 7 도는 본 발명의, 카드 슬롯뱅크(a bank of card slot)를 포함하는, 어댑터 카드 슬롯에 대한 오퍼레이션에 필요한 제어 신호를 도시하는 개략도
- 제 8 도는 어댑터 카드를 I/O 슬롯에 핫 플러그(hot plug)하도록 본 발명에 의해 구현되는 여러 프로세스 단계를 도시한 흐름도
- 제 9 도는 I/O 어댑터 슬롯을 절연하여 향상된 에러 복구(error recovery)를 제공하는 본 발명의 다른 측면에 필요한 제어 신호를 예시하는 개략도
- 제 10 도는 본 발명의 에러 복구를 구현하는데 필요한 단계에 대한 흐름도
- 제 11 도는 어댑터 카드 슬롯에 대한 파워를 램프 업(ramp up)하거나 램프 다운(down)하기 위하여 본 발명에 의해 사용될 수 있는 회로의 일 예를 도시하는 개략도
- 제 12 도는 슬롯뱅크가 비활성화되어(deactivated), 전체 시스템이 라인에서 또는 교환할 수 있는 본 발명의 바람직한 일 실시예를 예시한 블럭도
- 제 13 도는 슬롯뱅크내의 카드를 제거하거나 인스톨 또는 교환하는데 필요한 단계를 도시한 흐름도

\* 도면의 주요 부분에 대한 부호의 설명

- |                  |                |
|------------------|----------------|
| 1 : 시스템 보드       | 2 : 마이크로프로세서   |
| 3 : 집적 회로        | 4, 4a : 라인 커넥터 |
| 5 : 카드           | 6 : 칩          |
| 8 : 상호 접속부       | 9 : 전도 탭       |
| 10, 10a : 전기 전도지 |                |

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 전반적으로 특정 시스템 기능을 수행하는 기능 카드, 또는 중앙처리 장치(CPU)와 복수의 장치를 갖는 컴퓨터 시스템에 관한 것이다. 더욱 상세히 설명하면, CPU로 하여금 장치중 하나에 대한 에러 상태를 확인하게 하여 에러복구를 위해 이 장치를 격리시키는 시스템이 개시된다.

전형적인 컴퓨터 시스템은 마이크로프로세서 및 메모리 제어장치, 입력/출력(I/O) 제어장치등과 같이 와이어링 층에 의해 서로 전기적으로 접속되는 주문형 반도체(application specific integrated circuits;ASIC)를 포함하는 시스템 보드를 포함한다. 또한, 대부분의 컴퓨터가 카드상의 칩을 마이크로프로세서 및/또는 시스템 보드상의 다른 칩에 접속할 수 있는 부가적인 어댑터 카드용 슬롯을 포함하여, 컴퓨터 시스템에 부가적인 기능을 제공한다. 사용자가 컴퓨터에 첨가할 수 있는 대표적인 기능으로서 부가적인 메모리, 팩스/모뎀 기능, 사운드 카드, 그래픽카드등이 있다. 시스템 보드상에 포함된 슬롯은 대개 어댑터 카드상의 노출된 탭(taps)을 수납하는 전기 전도지(electrical conductive land)를 갖는 내선 전기 커넥터(in-line electrical connectors)를 포함한다. 카드상의 칩의 I/O는 탭에 접속된다. 이어서 커넥터가 앞서 언급된 와이어링 층을 통해 마이크로프로세서 등에 전기적으로 접속된다.

전형적으로, 종래의 컴퓨터 시스템에서, 한 어댑터 카드상의 한 장치에서 에러 상태가 발생하면, 어댑터 카드로부터의 에러 신호가 논리 OR 오퍼레이션과 결합되기 때문에, CPU는 어떤 장치에 에러 상태가 발생되었는지를 판단할 수 없다. 따라서, 사용자 또는 시스템 관리자는 한 카드상의 단지 한 개의 신호 장치가 에러상태를 갖더라도 전체 시스템을 리셋 IPL해야만 한다. 이 시스템이 서버인 경우에는, 단지 하나의 대신, 즉 서버 상의 에러 상태에 의해 다수의 클라이언트 시스템이 영향을 받을 것이라는 것을 알 수 있다. 또한, 클라이언트 시스템에 대한 멀티태스킹에 있어서는 몇 가지 기능이 동시에 발생할 수 있어서, 단일 장치에 있어서의 에러가 시스템이 리셋될 때 모든 컴퓨터 기능을 종료하게 할 수도 있다.

따라서, 시스템에 있어, CPU로 하여금 특정 어댑터 카드상의 어떤 특정 장치에 에러 신호가 발생되었는지를 확인할 수 있게 할 필요성이 있음을 알 수 있다. 카드상의 에러 신호가 격리되어 에러 복구 기법이 에러 신호를 발생시킨 특정 장치에 대해 구현되는 것이 또한 바람직하다. 이를 통해, 에러 복구 오퍼레이션이 에러 신호를 송출하는 장치상에서 실행되는 동안 나머지 장치들이 일반적인 오퍼레이션을 계속해서 수행할 수 있다. 이것은 특정 카드가 고장이라는 판단이 내려진후 컴퓨터 하드웨어 구성을 변경하고, 이어서 새로운 기능 카드를 컴퓨터 시스템에 인스톨하는 것을 포함할 수도 있다. 시스템 하드웨어 구성에 있어서의 이러한 변경은 컴퓨터 시스템으로부터 실제로 커버를 제거하고 전체 시스템을 파워 다운하거나 컴퓨터를 오프-라인할 필요없이 실행될 수 있다.

### 발명이 이루고자 하는 기술적 과제

종래기술에 반해, 본 발명은 사용자 하여금 다수의 기능 카드중 하나가 에러 신호를 송출하였는지를 확인할 수 있게 하는 컴퓨터 시스템을 제공한다. 에러신호를 송출하는 장치는 격리되고 에러 복구 기법이 에러 상태를 갖는 장치상에서만 실행된다. 필요한 경우, 본 발명은 또한 개별적인 커넥터를 디스플레이되게 하여 전체 컴퓨터 시스템을 파워 다운할 필요없이 특정 기능 카드가 제거되거나 교체되도록 한다.

대체로, 부가적인 제어 논리회로를 갖는 컴퓨터 시스템에는 브리지 칩과 I/O, 메모리 등과 같은 특정 기능을 구현하는 기능 카드를 수납할 수 있는 적어도 한 개의 커넥터 슬롯이 제공된다. 에러 신호가 존재한다고 판단되면, 시스템 하드웨어는 에러 신호를 송출한 장치에 리셋 신호를 활성화하고 유지한다. 부가적으로, 브리지 칩내의 레지스터내 상태 비트가 세트된다. 이어서 에러 신호를 송출한 장치에 대응하는 장치 드라이버가 상태 비트를 판독하여 에러가 발생되었는지를 확인한 후 브리지를 리셋하고 에러 상태를 갖는 장치만을 리셋하거나 초기화한다.

상술된 개요에 따라, 본 발명의 목적, 특징 및 잇점이 도면을 참조하여 첨부된 특허청구범위와 상세한 설명으로부터 본 기술분야의 당업자에게 명백하게 될 것이다.

### 발명의 구성 및 작용

도 1을 참조하면, 시스템 보드(1)와 기능 카드 또는 어댑터 카드(5)의 사시도가 도시된다. 보드(1)는, 예를 들면, IBM사로부터 입수가 가능한 파워PC 마이크로프로세서(파워PC는 IBM사의 상표임)등의 마이크로프로세서(2)와 같은 여러 집적 회로 칩과 메모리, I/O 제어장치등과 같은, 다른 주문형 반도체 집적 회로(3)를 포함한다. 라인 커넥터(4,4a)가 또한 시스템 보드(1)에 부착되어 도시된다. 이들 커넥터는 시스템 보드내에 있는 와이어링 층을 통해 보드(1)상의 IC에 전기적으로 접속된다. 전기 전도 부위(10)가 기능 카드상의 전기 전도 탭과 상호접속하게 되는 커넥터(4,4a)내에 제공된다. 장치(5)로서 알려진, 기능 카드(5)가 투시적으로 도시되며, 그 내부에 전도 탭(9)을 갖는 상호접속부(8)를 포함한다. 이들 탭(9)이 커넥터(4)내의 전도부위(10)와 접속하여 시스템 보드(1)상의 여러 구성요소와 기능 카드상에 있는 칩 사이에 전기적 접속이 이루어질 수 있게 된다. 기능카드(5)상의 칩(6, 7)은 컴퓨터 시스템에 부가적인 기능을 제공할 다수의 집적 회로중 하나일 수도 있다. 예를 들면, 이들 칩(6,7)은 메모리, 그래픽 액셀러레이터(graphic accelerator), 수학적 코-프로세서(math co-processor), 모델 또는 그와 유사한 IC일 수도 있다. 또한, 카드(5)가 커넥터(4)에 삽입되면 기능 카드(5)내의 칩(6,7)을 시스템 보드상의 마이크로프로세서(2) 및 칩(3)과 접속하게 하는 와이어링 층이 기능 카드(5)내에 있다. 본 기술분야의 당업자라면, 카드(5)와 시스템 보드(1)가, 대안적으로 절연 재료로 되어 비아를 통해 서로 접속되는 전기 전도층을 포함하는, 다수의 기판중 어느하나일 수 있다는 것을 이해할 것이다. 보드(1)와 카드(5)내의 층이 표면 패드로 깨내어진 후, 제어 붕괴 칩 접속(controlled collapse chip connect;c4), 땀납 덩어리 접속(solder ball connect;SBC) 와이어 접합(wire bonding), 표면 장착 기법(surface mount technology;SMT)등과 같은 다수의 상호접속 방법중 하나를 사용하여 여러 칩상의 I/O 포인트에 접속된다.

도 2는 본 발명의 가이드(guiding) 수단에 대한 바람직한 실시예를 도시한다. 도 1에 관하여 기술된 것과 동일한 방식으로 전기 전도탭(9)을 갖는 어댑터카드(5)가 도시된다. 부가적으로, 억지 물림(friction fit), 클램핑(clamping), 나사 또는 다른 부착 수단에 의해 카드에 부착된 카드 가이드(31)가 도시된다. 가이드(31)가 짧아지거나 다르게 변형되어, 산업분야에서는 일반적인 1/2 크기의 어댑터 카드를 수용할 수 있음을 주지해야 한다. 본 발명은 완전한 크기의 카드를 사용하는 것으로 기술되지만, 1/2 크기의 카드도 본 발명의 범주에 의해 예측되는 것임이 이해되어야 한다. 가이드(31)는 부착 수단(30)에 의해 어댑터 카드(5)끝에 부착되는 단부(29,27)를 포함한다.

도 4에서 보다 상세히 도시된 바와 같이, 미끄럼가능하게 카드 가이드(31)를 수납하는 가이드 레일(28)이 제공된다. 가이드 레일(28)의 내부 표면에 맞거나 부합하는 적어도 한 개의 견부(shoulder portion)(33)가 포함된다(도 4 참조). 피벗(pivot) 지점(24, 25)이 가이드 레일(28)에 견고하게 부착되어 있다. 피벗(25)은 또한 레버부(lever portion)(26)를 갖는 기다란 힘 전송 부재(elongated force transfer member)(20)에 회전가능하게 부착되어 있다(도 2 참조). 제 2 힘 전송 부재(21)의 한쪽 끝이 피벗(24)에 회전가능하게 부착되어 있으며, 실질적으로 다른 끝은 부재에 견고하게 부착된 피벗(23)에 회전가능하게 부착된다. 힘 전송부재(20)의 끝인 반대쪽 레버부(26)는 도 5에서 도시된 바와 같이, 프레임 부재(43) 등에 단단히 부착된 피벗 부재(42)에 회전되도록 부착되어 있다. 피벗 지점(22, 23)은, 카드(5)를 올리거나 내리므로써 카드가 커넥터(4)로부터 제거되거나 그에 삽입됨에 따라 (도 2에서 화살표로 도시된 방향으로)다소의 미끄럼 운동을 제공하기 위해 그 안에 삽입된 피벗 핀에 대한 슬롯형 개구를 포함한다.

도 2의 배열이 화살표 C로 도시된 바와 같이, 카드(5)의 수직 하강 운동을 제공하여 전기 탭(9)이 도 1의 내선 커넥터(4)에 안착되어 접속됨을 알 수 있다. 본 기술분야의 당업자라면 카드(5)가 피벗에 직접 부착되면 탭(9)이 약간 기울어진채 커넥터(4)에 접근하므로, 카드(5)를 커넥터(4)에 삽입하여 신뢰성있게 기계적 및 전기적으로 접속하기가 매우 어렵다는 것을 이해할 것이다.

도 2에서 도시된 바와 같이, 레버(26)를 위로 당겨 어댑터 카드를 분리한 경우 피벗(25)에 가해진 수직 상향 힘이 카드(5)가 전기적 접속 탭(9)과 나란히 정렬된 지점으로 직접 전달된다. 동시에, 상향 힘이 피벗(23)을 통해 부재에 가해져 피벗 지점(24)에서 카드(5)로 전달된다. 이것이 카드(5)상에 약간의 상향 힘을 제공하여, 카드가 커넥터(4)로부터 제거될 때 회전되는 것을 방지하고 카드가 전기적 및 기계적으로 커넥터로부터 쉽게 분리되는 것을 방지한다. 카드(5)를 시스템보드(1)상의 커넥터에 삽입하는 경우에는 역순으로 프로세스가 진행된다. 가이드(31)가 카드(5)에 부착된 후, 가이드 레일(28)로 미끄러진다. 이어서 하향 힘이 레버(26)에 가해져 피벗(25)을 통해 카드(5)에 전달된다. 피벗(25)이 탭(9)과 나란히 정렬되어 있으므로, 이 하향 힘은 접속 탭에 수직으로 직접 가해진다. 레버(26)상의 하향 힘은 또한 피벗(23)을 통해 부재(21)에 하향 힘을 제공한다. 이어서, 이 힘이 미약한 하향 힘으로서 피벗(24)을 통해 카드(5)로 전달되어 어댑터 카드가 커넥터(4)에 접근함에 따라 회전하게 되는 것을 방지 한다. 따라서, 상기된 바와 같이, 어떻게 도 2의 장치가 어댑터 카드를 수직으로 삽입하고 컴퓨터 시스템보드상에 있는 내선

커넥터로부터 제거하는지에 대해 알 수 있게 되었다. 그러나 상술된 설명은 본 발명의 바람직한 일 실시예일 뿐이며, 본 기술 분야의 당업자라면 캠 기어(cam gear)등과 같은 다른 메카니즘을 사용하여 커넥터로부터 어댑터 카드를 수직 삽입 및 제거하게 하는 장치를 제공할 수도 있다는 것을 쉽게 이해할 것이다.

도 3은 영역(27,29)과 함께 가이드 부재(31)가 나사(30)등과 같은 부착 수단을 사용하여 어떻게 카드에 부착되는지를 도시하는 도 2의 라인 3-3를 따라 취해진 카드(5)에 대한 도면이다. 도 4는 도 2의 라인 4-4를 따라 취해진, 카드(5)의 측면도이다. 이 도면은 단부(29)와 부착 수단(30)을 갖는 가이드 부재(31)를 도시한다. 상기된 바와 같이, 가이드 부재(31)의 견부(33)가 가이드 레일(28)의 내부 표면(35)에 맞추어져 카드(5)가 부착되는 가이드(31)가 미끄럼가능한 배치로 가이드 레일(28)에 종방향으로 삽입될 수 있다. 피벗 수단(25) 역시 도 4에서 도시되는데, 도 2에서 도시된 것과 같은 방식으로 가이드 레일(28)에 부착된다.

도 5는 그 안에 슬롯(41)을 갖는 커버(40)를 구비한 컴퓨터 시스템에 대한 사시도이다. 두 개의 슬롯(41)이 도 5에서 도시된다. 그러나, 여러 개의 슬롯(41)이 커버(40)내에 형성되어 필요한 수 만큼의 어댑터 카드(5)를 수용할 수 있을것이 기대된다. 컴퓨터 내부의 시스템 보드(1)(또는 다른 적당한 지원장치)에 부착된 프레임 부재(43)가 도시된다. 피벗 수단(42) 역시 프레임 부재(43)상에 배치되어 도 2의 가이드 수단의 피벗 지점(22)에 회전가능하게 부착된다. 또한, 피벗 지점(45)이 프레임 부재(43)나 다른 적당한 지지수단에 회전가능하게 부착되어도 2의 가이드 수단에 대해 부가적인 기계적 지지수단을 제공한다. 도 5의 커버(40)가 도 1의 시스템 보드(1)를 에워싸도록 배치되면, 슬롯(41)이 커넥터(4,4a)에 대해 나란히 정렬된다. 가이드 레일(28)이 프레임 부재(43)로 미끄러져 들어오고 피벗 지점(22)이 피벗(42)에 접촉되는 한편, 피벗 지점(45)이 피벗(46)에 접촉된다. 이런 방식으로, 도 2의 카드 가이드 수단 역시 시스템 보드(1)의 커넥터(4,4a)와 나란히 정렬된다. 이어서, 가이드 부재(31)가 어댑터 카드(5)에 부착되고 전체 어셈블리가 슬롯(41)으로부터 외부로 연장되는 레버(26)와 함께 가이드레일(28)로 미끄러져 들어온다. 컴퓨터 시스템내에 어댑터 카드(5)를 전기적으로 인스톨하기 위해, 어댑터 카드(5)의 전기 탭(9)이, 예를 들면, 커넥터(4)의 전도부위(10)에 전기적 접촉될 때까지 레버(26)상에 하향 압력이 가해진다. 카드를 제거하거나 하나의 어댑터 카드를 다른 것으로 변경하기 위해, 역순으로 프로세스가 실행된다. 즉, 상향 압력이 레버(26)상에 가해지고 카드의 탭(9)이 커넥터(4)의 전도부위(10)로부터 단선된다. 이어서 가이드 레일(31)을 갖는 카드(5)가 가이드레일(28)로부터 미끄러져 나오고, 새로운 또는 대체 카드가 가이드 레일(28)로 미끄러져 들어온다. 또한, 레버(26)상에 하향 압력이 가해져 새 카드를 기계적 및 전기적으로 인스톨한다.

본 발명은 사용자 하여금 컴퓨터 커버(40)를 제거할 필요없이 팩스/모뎀, 그래픽 액셀러레이터등과 같은 어댑터 카드(5)를 컴퓨터 시스템내에 인스톨하거나 교체함으로써 컴퓨터 하드웨어 구성을 변경하게 한다는 것을 쉽게 알 수 있다. 컴퓨터 시스템 사용자는 단순히 커넥터(4)를 CPU(2)로부터 전기 절연하거나 단선한후, 어댑터 카드(5)를 인스톨하거나 제거하거나 교환하면 된다. 개인용 컴퓨터에서, 전기 절연이란 카드를 인스톨하거나 제거하는 동안 단순히 머신을 파워 오프하는 것을 포함할 수 있다. 보다 정교한 시스템에서는, 나머지 커넥터를 전기 단선하지 않고, 새로운 또는 다른 카드가 인스톨되는 일 군(一群)의 커넥터 또는 특정커넥터를 절연하도록 시도하는 것이 필요할 수도 있다.

대부분의 개인용 컴퓨터, 워크스테이션 및 서버(server)에서, I/O 서브시스템에서의 수리 또는 업그레이드 작업을 위한 일반적인 절차는 파워를 턴 오프하고, 커버를 오픈하여 I/O 영역(커넥터(4))에 게인 액세스(gain access)하며, 불량 어댑터 카드 혹은 업그레이드될 어댑터 카드를 인스톨하거나 제거 또는 교체하는 것이다. 이어서, 커버가 재위치되고 파워가 복원된다. 서버 시스템에서, 이런 방식으로 I/O 수리 및 업그레이드 작업을 처리하면, 다수의 사용자가 복잡한 네트워크를 통해 서버에 결합되어 있으므로 수리/업그레이드 작업 도중 이들 사용자가 셧 다운(shut down)될 수도 있기 때문에, 점점 더 받아들이기 어렵게 되었다.

오늘날 몇몇 메인프레임과 상위 기종 서버 머신(high-end server machines)이 잉여(redundant) 시스템을 제공함으로써 고가의 온-라인 유지보수 기능(on-linemaintenance capability)을 제공한다. 본 발명은, 컴퓨터의 커버를 오픈하지 않고 I/O 카드를 교환할 수 있는 I/O 서브시스템의 온-라인 유지보수를 수행하는 한편, 이 시스템과 I/O 서브시스템의 다른 부분이 프로세싱 오퍼레이션을 계속하는 비교적 저가인 단순한 방식을 제공한다.

도 6은 컴퓨터 시스템의 I/O 서브시스템내의 여러 구성요소에 대한 전기적접속을 도시한다. CPU(2)와 메모리(3)가 IBM사로부터 입수가능한 60X나 6XX 버스와 같은 시스템 버스(100)에 접속되어 있는 것이 도시된다. 호스트 브리지 칩(host bridge chip)(113)이 도시되며, 이것은 PCI 버스와 같은, 입력/출력(I/O)에 사용되는 시스템 버스(100)와 중2계 버스(mezzanine bus)간의 인터페이스를 제공한다. 도 6이 PCI 버스와 PCI 호스트 브리지 칩을 도시하고 있지만, 어떠한 I/O 버스의 사용도 본 발명의 범위에 포함된다. PCI 브리지 칩(113)이 시스템 버스(100)와 버스(102)간에 변환되도록 버스 프로토콜(bus protocol)을 인에이블하며 인터럽트 처리, 메시지 전달, 중재, 스누핑(snooping) 등을 포함하는 기능과 논리회로를 포함한다.

중2계 버스(102)는 적어도 한 개의 PCI간 브리지 칩(PCI to PCI bridge chip)(104)에 접속된다. 이 칩은 커넥터(4) 및 부가적인 논리회로를 포함하는 실제 어댑터 슬롯(106)과 I/O 버스 사이에 인터페이스를 제공한다. 슬롯(106)은 I/O 장치(108)를 수납하며, I/O 장치(108)는 장치(5)상에 있을 수도 있다. PCI 아키텍처(architecture)와 명세(specification)는 참조 부호(105)로 도시된 PCI 분과회(Special Interest Group; SIG)(PCI-SIG)로부터 입수가능하다. 본 발명은 참조 부호(105)로 도시된 부가적인 제어 논리회로를 포함하지만, PCI 아키텍처의 수정을 요구하지는 않는다. 대부분의 컴퓨터 시스템이, 도 6에서 도시된 바와 같이, 20이상의 I/O 슬롯을 포함하게 됨을 명명해야 한다. 부가적인 슬롯은 본 발명의 구성요소를 나타내는데 사용된 참조 부호에 문자 "a"를 첨가함으로써 표시되었다.

앞서 지적된 바와 같이, 시스템 사용자가 어댑터 카드를 인스톨하거나 제거 또는 교체하기 위해서는, 커넥터나 슬롯(슬롯 뱅크를 포함함)을 절연하여 이 슬롯 또는 슬롯 뱅크에서 모든 프로세싱 동작을 정지시켜야 한다. 모든 동작을 정지시키는 한 방편으로 단지 머신 파워를 턴 오프할 수 있다. 그러나, 이것은 종종 다수의 클라이언트(client) 컴퓨터를 상호접속하는 몇몇 종류의 머신에 대해서는 실용적이지 않다. 특히 오류에 내성이 있는(fault tolerant) 시스템, 또는 높은 빈도로 사용되는(high availability) 시스

템에서 그러하다. 또한, 다중처리 시스템의 사용에 있어서, 특히 중요한 동작이 실행되고 있는 경우에는, 단일 컴퓨터의 파워를 턴 오프하는 것이 바람직하지 않을 수도 있다. 예를 들면, 팩스/모뎀이 설치된 개인용 컴퓨터는 전송물을 수신하기 위해 파워 온 상태로 있을 필요가 있을 수도 있다. 이 경우에는, 나머지 슬롯을 동작 상태로 해 놓고서, 특정 I/O 슬롯을 비활성화할 수 있으면 유리할 것이다. 본 발명은, 서버 인자 또는 개인용 컴퓨터인지를 불문하고, 시스템을 파워 오프할 필요없이, 사용자로 하여금 특정 어댑터 카드를 교환할 수 있게 한다.

도 7은 전체 시스템을 파워 오프할 필요없이 어댑터 카드를 인스톨, 제거 또는 교체할 수 있는 본 발명의 구성요소를 도시한다. PCI 버스 등의 I/O 버스(102)가 PCI간 브리지 칩(104)에 접속되어, 부가적인 제어 논리회로(105)와 함께 단일 PCI 슬롯(106)을 제어하는데 사용된다. 슬롯(106)이 보조 버스(103)와 칩(104) 사이의 전체적인 전기적 및 기계적 기능 인터페이스로서 간주됨을 주지하여야 한다. 이 인터페이스는, 이하에서 언급될 전기기계적 센싱(sensing) 장치(107)와 같은, 여러 가지 다른 전기적 및 기계적 구성요소와 함께, 그 일부로서 커넥터(4)를 포함한다. 한 세트의 제어 논리회로(105)와 함께 한 개의 변형(modified) 브리지 칩(104)이 한 개의 슬롯(106)을 제어하는데 사용된다. 물론, 이러한 구성요소의 결합은 컴퓨터 시스템내에 존재하는 I/O 슬롯의 수에 따라 교환가능할 것이다. 이런 방식으로, I/O 카드가 제거, 교체 또는 인스톨되는 경우, 각 슬롯이 RST# 신호에 따라 선택적으로 리셋되고 파워가 슬롯으로부터 제거될 수 있다.

평면 또는 시스템 보드(1)는 각각의 I/O 커넥터(4)용 브리지 칩(104)를 포함하도록 변경된다. 이어서, 브리지 칩(104)이 I/O 버스(102)로부터 보조 버스(103)와 슬롯(106)을 절연하는데 사용된다. 슬롯이 비면, 파워가 슬롯에 인가되지 않으며 새 카드가 거기에 인스톨될 수 있다. I/O 카드가 제거되려면, 제거되는 동안 어댑터가 활성 상태에 있지 않도록 보장하기 위해 우선 리셋된다. 브리지 칩(104)이 슬롯(106)을 오프-라인(off-line)시키고, 부가적인 제어 논리회로의 도움으로, 리셋시에 카드로부터 파워를 제거하게 된다. 이어서, 앞서 기술된 바와 같이, 카드가 기계적으로 제거된다. 또한, 솔레노이드 스위치나 그와 유사한 전기 역학적 수단이 제공되어 I/O 카드를 인터록(interlock)하므로써 파워가 슬롯에 인가되는 동안 카드가 제거되지 않도록 할 수 있다.

I/O 카드 삽입시, 카드가 머신에 삽입된다(가이드 수단, 또는 앞서 기술된 것과 비슷한 수단이 사용될 수도 있다). 일단 카드가 위치되면, 시스템이 새 I/O 어댑터 카드를 확인하여 초기화하도록 구성된다. 새롭게 인스톨된 카드가 구성될 때까지, 카드 슬롯(106)이 I/O 버스(102)로부터 전기 절연된다. 카드가 구성되면, 평면상의 논리회로가 커넥터(4)상의 파워 라인에 파워를 램프-업하기 위해 대기한다. 업그레이드/복구 작업 동안, 재구성되는 I/O 슬롯만이 영향을 받고, 시스템과 I/O 서브시스템의 다른 부분은 오퍼레이션 상태로 있다. 상기된 오퍼레이션이 PCI(또는 다른 I/O 버스) 명세나 아키텍처 그 자체에 대한 변경을 요구하지는 않음을 주지하여야 한다. 본 발명은 I/O 버스 아키텍처에 대해 어떤 변경도 없이 완전하게 구현될 수 있다.

도 5에서 도시된 바와 같이, 제어 논리회로(105)는 슬롯 리셋 검출기(110), 브리지 제어 논리회로(112), 파워 제어 논리회로(114), LED 드라이버(116)를 포함한다. 또한, LED 드라이버(116)에 의해 제어되는 발광 다이오드(light emitting diode; LED)가 도시된다.

도 7의 바람직한 실시예는 개개의 슬롯을 절연시키는 것으로 기술되었으나, 본 발명의 범주는 2 이상의 슬롯, 즉 다른 슬롯이나 뱅크 슬롯으로부터 슬롯 뱅크를 절연하는 것을 포함한다. 뱅크 슬롯을 절연하므로써, 단일 브리지 칩(104)이 뱅크를 제어하는데 사용될 수 있으며, 따라서 슬롯(106) 각각에 대해 한 개의 브리지 칩(104)을 제공할 필요가 없게 된다. 물론, 단일 칩이 2 이상의 슬롯을 제어하는 경우에는 어느 정도의 유연성이 상실되지만, 시스템 비용을 절감할 뿐 아니라 다른 시스템 기능을 비활성화하지 않고 카드를 변경할 수 있을 것이 요구되는 몇몇 응용 시스템에서는 바람직할 수도 있다.

도 8은 본 발명의 전기적 오퍼레이션을 설명하기 위해 도 7과 함께 사용되는 흐름도이다.

첫 번째로, 제거되는 PCI(또는 다른 I/O 프로토콜) 슬롯(106)내에 어댑터 카드(5)가 존재하는 경우를 가정한다. 도 8을 참조하면, 단계(1)에서, 사용자가 어댑터 카드를 제거, 교체 또는 첨가하므로써 시스템 하드웨어 구성을 변경하는 프로세스를 (일련의 키스트로크(keystrokes)에 의해 또는 마우스로 아이콘을 선택하는 등에 의해)개시한다. 이어서, 프로세스는 단일 브리지 칩(104)에 의해 제어된 단일 어댑터 슬롯, 또는 슬롯 뱅크가 시스템내에 존재하는지 여부를 판단한다. 슬롯뱅크가 존재하면, 이 방법이 도 13(이하 언급됨)의 단계(17)로 진행된다. 단계(1a)에서 단일 슬롯이 존재한다고 판단되면, 단계(2)가 슬롯(106)내에 카드가 존재하는지 여부를 판단한다. 전기기계적 센싱 장치(107)가 카드 존재 신호를 논리회로(114)에 제공한다. 이 실시예에서, 프로세스는 카드가 슬롯(106)내에 존재하는지를 판단하게 되는데, 이는 카드가 제거된 상태라고 가정하고 있기 때문이다. 사용자는 키보드, 마우스, 스타일러스(stylus)나 다른 I/O 장치를 통해 컴퓨터 시스템에 명령등을 입력하므로써 이 프로세스를 개시한다. 이들 명령은 사용자로 하여금 다수의 슬롯(106)중 하나를 재-구성하는 등과 같은 특정 정보를 제공하도록 요구할 수도 있다.

단계(10)에서, 디스크 오퍼레이션 시스템(Disk Operation System;DOS), OS/2, 또는 AIX 등(os/2와 AIX는 IBM사의 상표임)과 같은 오퍼레이팅 시스템이 어댑터(5)와 컴퓨터 시스템의 나머지간의 모든 데이터 프로세싱 동작을 정지하게 한다. 다음으로, 리셋 RST# 신호가 브리지 칩(104)으로부터 I/O 슬롯(106)에 보내진다. RST# 신호는 또한 리셋 검출기(110)에 보내지고, 이 리셋 검출기는 제어신호를 브리지 제어 논리회로(112)로 전송한다. 단계(12)에서, I/O 브리지 칩(104)이 제 1 I/O 버스(102)로부터 보조 버스(103)를 분리한다. 이러한 분리는 브리지 제어 논리회로(112)로부터 I/O 브리지 칩(104)으로 보내진 제어 신호에 의해 달성된다. RST# 신호의 검출에 근거하여 슬롯 리셋 검출기(110) 역시 제어 신호를 파워 제어 논리회로(114)에 보내어, 슬롯(106)상의 파워가 점점 감소(램프 다운)되어야 함을 표시한다. 위이어, 단계(13)에서 파워가 감소된다.

도 11은 슬롯(106)상의 파워를 램프 업 및/또는 다운하기 위해 파워 제어 논리회로(114)에 의해 사용될 수도 있는 회로의 일 실시예를 도시한다. 전압 Vdd가 레일(121)상에 도시되며, N-타입 트랜지스터(120, 122, 123, 124)에 접속된다(전압, 즉 논리 1이 자신의 게이트에 인가된 경우 N-타입 트랜지스터는 전기를 전도한다). 이들 장치는 각각 상이한 임계 전압을 가지며 턴 온될 때 상이한 저항이 존재하여 각 트

랜지스터 양단의 전압 강하가 상이하게 된다. 도 11의 실시예에서, 장치는 트랜지스터(120)가 큰 전압 강하를 가지며 각 트랜지스터(122, 123, 124)가 연속적으로 작은 전압 강하를 갖게 되도록 만들어진다. 예를 들면, Vdd가 3.3volt이고 트랜지스터(120)가 2.5volt의 전압 강하를 갖게 되면, t=1에서 레일(125)상의 전압이  $Vdd - 2.5 = 0.8\text{volt}$ 가 된다. 트랜지스터(122)가 1.5volt의 임계전압 강하를 주도록 설계되면, t=2에서 레일(125)상의 전압은  $3.3 - 1.5 = 1.8\text{volt}$ 가 된다. 이 예에서는, 트랜지스터(123)가 0.5volt의 임계 전압을 갖게 되면, t=3에서 레일(125)상의 전압이  $3.3 - 0.5 = 2.8\text{volt}$ 가 된다. 그리고, 트랜지스터(124)는 실질적으로 0.0의 임계 전압을 갖게 되며, t=4에서 레일(125)상의 전압이  $3.3 - 0 = 3.3\text{volt}$ , 또는 Vdd가 된다. 따라서, 시간 t=1에서 t=4까지, 어떻게 슬롯(106)에 접속된 레일(125)상의 전압이 0.8volt로부터 3.3volt 까지 점차적으로 증가하는지 알 수 있다. 슬롯(106)상의 파워를 점차 감소시키고자 한다면, 프로세스를 완전히 역으로 하면 된다. 정상 상태에서는, 트랜지스터(124)가 턴 온되어 Vdd가 슬롯(106)에 제공된다. 레일(125)상의 전압을 감소시키기 위해, 자신의 게이트로부터 전압을 제거함으로써 트랜지스터(124)가 턴 오프되고, 트랜지스터(123)가 턴 온된다. 따라서, 다음에, 장치(123)으로부터의 임계 전압 0.5volt로 인해 레일(125)상은 2.8volt가 된다. 다음 시간 주기 동안, 트랜지스터(123)가 턴 오프되고, 장치(122)가 턴 온되며 장치(122)의 임계전압 1.5volt때문에 레일(125)상은 1.8volt 전압이 된다. 다음으로, 트랜지스터(122)가 턴 오프되고 트랜지스터(120)가 턴 온되어 트랜지스터(120)의 임계전압 2.5volt에 따라 0.8volt의 전압을 레일(125)상에 인가한다. 물론, 본 기술분야의 당업자라면, 글럭 발생 회로에 의해 t=1부터 t=4에서 펄스가 어떻게 변화될 수 있는지와 부가적인 트랜지스터는 첨가되어 파워 제로상태(전압=0)로부터 최고의 파워상태(전압=Vdd)까지 슬롯(106)에서의 전압을 더욱 완만하게 할 수 있다는 것을 쉽게 이해할 것이다. 슬롯(106)내의 전형적인 장치가 전압이 0.2volt로 파워 다운되도록 요구할 수도 있다. 본 기술분야의 당업자라면 어떻게 도 11의 회로로 광 범위한 전압 레벨이 달성될 수 있는지를 이해할 것이다.

또한, 파워 제어 논리회로(114)가 브리지 제어 논리회로(112)로부터 슬롯(106)이 I/O 버스(102)로부터 실제 분리되었음을 나타내는 확인(confirm)신호를 수신한다. 이것은 활성 상태로 결합된 I/O 카드를 제거함으로 인해 발생할 수도 있는 어떠한 결함, 데이터 손실 등을 방지한다. 카드(5)가 실제로 슬롯(106)내에 있음을 확인하는 카드 존재 신호가 슬롯(106)으로부터 파워 제어 논리회로(114)에도 제공된다. 일단 파워가 슬롯(106)으로부터 제거되면, 신호가 파워제어 논리회로(114)로부터 LED 드라이버(116)로 보내져 LED(118)을 승압하며(단계(14)), 이로써 슬롯이 버스로부터 분리되어 슬롯이 감압되었으며, 이제 카드가 앞서 기술된 기계적 가이드 수단 등(도 1-5 참조)에 따라 제거될 수 있음을 사용자에게 표시한다. 바람직한 일 실시예에서, 릴레이, 솔레노이드 스위치 등과 같은 전기기계적 장치(107)가 파워 다운되지 않았을 때 카드가 물리적으로 제거되는 것을 방지하는데 사용될 수 있다. I/O 슬롯으로부터 어댑터카드를 제거하는 단계(15)까지의 순차적인 프로세스가 단계(16)에서 종결된다. 본 기술분야의 당업자라면 제어 논리회로(105)에 대해 다수의 상이한 방법으로 구현할 수 있고, 본 발명은 특정한 어떤 구현에 의해 제한되지 않음을 이해하여야 한다. 예를 들면, 비록 브리지 칩(104)상에 부가적인 핀이 필요하게 되겠지만, 외부 제어 논리회로(105)의 어떤 부분이 PCI간 브리지 칩(104)에 구현될 수도 있다.

제 2 실시예에서, 카드가 컴퓨터 시스템상의 슬롯에 삽입되는 것으로 가정한다. 이 경우, 삽입될 카드는 새 것이거나, 단계 (10-15)에 따라 제거되었던 다른 어댑터 카드를 교체하는 것이다. 따라서, 단계(2)에서 슬롯(106)의 커넥터(4)내에는 어댑터 카드(5)가 없는 것으로 판단된다. 이어서, 단계(3)가 LED(118)로 표시된 바와 같이, 파워가 슬롯(106)으로부터 제거되었음과, 슬롯에 인가된 파워가 있다면, 전기기계적 장치(107)로 인해 새 카드(5)가 물리적으로 슬롯내로 삽입될 수 없다는 사실을 보장한다. 단계(4)에서, 도 1-5와 관련하여 기술된 본 발명의 기계 장치를 사용하여 새 어댑터 카드(5)가 슬롯의 커넥터(4)에 삽입된다. 이어서, 전기기계적 장치(107)가 카드 존재 신호를 파워 제어 논리회로(114)로 내보내으로써, 새 카드가 슬롯(106)내에 물리적으로 존재함을 나타낸다(단계 5). 논리회로(114)에 의한 카드 존재 신호의 수신은, 도 11에 따라 앞서 기술된 바와 같은 장치를 사용하여 슬롯 파워 및 슬롯 접지 파워 분배 라인(slot power and slot ground power distribution line)을 통해 전기적 파워가 슬롯(106)에 점차적으로 인가될 수 있음을 표시한다. 일단 슬롯(106)이 파워 업되면, 이어서 파워 제어 논리회로(114)가 제어 신호를 LED 드라이버(116)에 제공하여 LED를 턴 오프함으로써, 이제 파워가 슬롯에 인가되었으며 카드가 제거될 수 없음을 사용자에게 알린다. 단계(7)에서, 파워 제어 논리회로가 접속 버스 제어 신호를 브리지 제어 회로(112)로 보낸 후, 인에이블 신호를 I/O 브리지 칩(104)에 보내으로써, 보조 버스(103)로 하여금 제 1 I/O 버스(102)와 결합되도록 한다. 이어서, 브리지 칩(104)으로부터의 RST# 신호가 단계(8)에서 비활성화된다. 이때, 새 카드가 물리적으로 커넥터(4)내에 존재하고, 파워가 슬롯(106)에 인가되며 보조 버스(103)가 I/O 버스(102)에 접속된다. 이제 남은 것은 컴퓨터 시스템내의 소프트웨어가 인스톨된 카드의 타입과 그것이 사용하는 프로토콜 타입을 결정하는 것과 같은, 구성 동작을 시작하는 것이다(단계(9)). 구성 소프트웨어는 어댑터 카드상의 판독 전용 메모리(ROM)를 판독하여 이러한 결정을 한다. 구성에 이어, 새 카드를 사용하는 데이터 프로세싱 동작이 개시될 수 있다. 이어서, 인스톨레이션 프로세스가 완료되고 도 8의 방법이 단계(10)에서 종료한다.

도 12는 슬롯 뱅크(106)가 단일 브리지 칩(104)에 의해 제어되는 본 발명의 실시예에 대한 블록도를 도시한다. 이번에는 이들 슬롯이 그룹으로서 제어, 즉, 비활성화된다. 도 7에서 사용된 동일 참조 부호에 대응하는 도 12의 참조부호는 동일한 구성요소를 표시하므로 다시 언급하지 않는다. 리셋 검출기(110)가, 아비터(arbiter)(130)에 대한 리셋 신호 RST#에 근거하여, 제어 신호를 제공하는 것을 알 수 있다. 아비터는, 사전결정된 기준, 예를 들면 가장 최근에 버스에 액세스되었던 장치에 근거해, 보조 버스(103)의 소유권(ownership) 요구를 수신하여 버스를 브리지 칩(104) 또는 슬롯(106)중 하나에 제공하는 표준 논리회로 장치이다. 아비터(130)가 브리지 칩(104)에 접속되는 것으로 도시되어 있지만 또한 브리지칩을 통해 슬롯(106) 각각에도 접속된다. 슬롯(106)으로부터의 버스 요구 신호를 브리지 칩(104)을 통해 아비터(130)에 송신하는 요구 라인(131)이 도시된다. 본 기술분야의 당업자라면 버스(103)가 특정 슬롯에 제공되고 계속해서 중재 사이클에 제공되었음을 특정 슬롯에 표시하는 중재 승인 라인(arbitration grant line)등과 같은 다수의 다른 제어 신호 라인을 포함한다는 것을 이해할 것이다. 데이터 및 어드레스 신호를 수용하는 다른 라인 역시 버스(103)내에 포함되어 있지만 도 12에는 도시되지 않았다. 한 세트의 인라인 스위치(133)가 요구 라인(131)내에 위치하며 스위치 제어 논리회로(117)에 의해 제어된다. 뱅크내에 존재하는 각각의 슬롯에 대해 한 세트의 스위치가 있음을 주지하여야 한다. 브리지 칩(104)으로부터의 RST# 신호 검출에 대해, 스위치 제어 논리회로(117)가 논리제어 신호를 아비터(130)에 보내어 버스(103)의 소유권을 브리지 칩(104)에 제공한다. 이것은, 슬롯뱅크를 비활성화하는 프로세스가 개시되면 뱅크내



의 어떤 슬롯(106)도 버스(103)의 소유권을 가질 수 없도록 보장한다. 아비터(130)에 보내진 신호와 함께 스위치 제어 논리회로(117) 역시 제어 신호를 스위치(133)에 보내 스위치를 오픈하므로써 슬롯(106)내의 어떤 카드도 버스(103)에 액세스를 요구하지 않고 중재 사이클을 개시하지 않도록 한다. 일단 중재가 디스에이블되면, 이어서 슬롯(106) 뱅크가 도 7 및 도 8에 관해 기술된 동일 기법을 사용하여 비활성화될 수 있다.

도 13의 흐름도가 도 12와 함께 기술된다. 도 8의 단계(1a)에서 컴퓨터 시스템내에 슬롯 뱅크가 존재한다고 판단되면, 도 13의 단계(17)가 제거되거나 교환되는 카드가 뱅크내의 슬롯중 하나인지 여부를 판단한다. 뱅크내의 슬롯중 하나라고 판단되면, 단계(18)에서 슬롯 리셋 검출기(110)가 제어 신호를 스위치 제어 논리회로(117)에 제공하며 이어서 신호를 아비터(130)에 제공한다. 단계(19)에서, 아비터(130)가 버스(103)의 소유권을 브리지 칩(104)에 준다. 이어서, 스위치 제어 논리회로(117)가 스위치(133)를 오픈하여 버스 요구 신호 라인(131)을 디스에이블한다(단계(20)). 단계(21)에서, 구성 소프트웨어가 슬롯(106)내의 기능카드에 대한 동작을 중단한다. 이어서, 브리지 칩(104)이 단계(22)에서 I/O 버스로부터 보조 버스(103)을 분리한다. 이어서, 슬롯 뱅크에 대한 파워가 단계(23)에서 점차적으로 감소된다. 단계(24)에서, LED(118)는 파워가 슬롯(106)으로부터 제거될 때를 표시하며, 이어서 카드가 제거된다(단계(25)).

단계(17)에서, 카드가 뱅크내의 슬롯(106)중의 하나에 삽입되었다고 판단되면, 뱅크가 단계(18-25)에 따라 이미 비활성화되었기 때문에 뱅크내의 슬롯이 비활성 상태에 있다(단계(26)). 단계(27)에서, 컴퓨터 시스템에 첨가된 카드가 커넥터(4)에 삽입된다. 이어서, 전자기적 스위치(107)가 카드의 존재를 표시한다(단계(28)). 슬롯 뱅크에 대한 파워는 단계(29)에서 점차적으로 증가하며 버스가 브리지 칩(104)에 의해 I/O 버스(102)에 결합될 수 있다는 표시가 주어진다. 이어서, 단계(30)에서, 브리지 칩(104)이 보조 버스(103)를 I/O 버스(102)에 재결합시킨다. 리셋 신호가 단계(31)에서 비활성화된다. 이것은 스위치 제어 논리회로로 하여금 스위치(133)를 폐쇄하여 버스(103)에 중재를 인에이블하게 한다. 슬롯 뱅크내의 각 카드에 대한 구성 소프트웨어가 슬롯 뱅크내의 카드로 하여금 데이터 프로세싱 동작을 개시하게 한다(단계(33)). 단계(25)와 단계(33)에 이어, 프로세스가 단계(16)를 계속하며 종결한다.

PCI 버스같은 특정 타입의 I/O 버스를 갖는 컴퓨터 시스템에 있어서, I/O 버스상에 발생하는 에러를 보고하고 이들 에러를 복구하는 것은 때때로 불가능하다. 예를 들면, 어드레스 패리티 에러(address parity error)가 시스템 에러 신호(SERR#)와 함께 보고되었다. 이 신호는 마스크-불가능 인터럽트(non-maskable interrupt:NMI) 신호를 중앙 처리 유닛(CPU)에 발생시킬 것이다. 다수의 시스템에서, NMI가 복구불가능하며 NMI와 함께 보고된 임의의 에러가 컴퓨터 시스템을 재개시하게 하므로 문제가 발생한다. 즉, NMI에 대해서는 에러 복구 코드가 없으며, 에러 상황을 해결하기 위해서는 컴퓨터 시스템이 자신의 초기 프로그램 로드(initial program load:IPL)을 거쳐야 한다는 것이다. 이것은 서버와 같은 컴퓨터 시스템에 있어서 바람직하지 않으며, 시스템의 재-IPL 이 서버에 접속된 모든 클라이언트 시스템도 역시 재개시되게 할 것이다. 이 경우, 에러가 없는 클라이언트 시스템일지라도 재-IPL되며, 이는 서버 머신이 머신 체크로 NMI에 반응하기 때문이다.

또한, 여러 슬롯내에 복수의 기능 카드를 갖는 개인용 컴퓨터와 같은 클라이언트 시스템은 역으로 기능 카드 또는 장치중 하나가 MI를 송출하면 영향을 받게된다. 즉 단일 카드가 CPU에 NMI를 보내면, CPU는 단지 재-IPL에 의지할 뿐이라는 것이다. 이는 기능 카드가 NMI를 발생시키게 하는 에러 상황에 있음을 CPU가 확인할 수 없기 때문이다.

또한 SERR# 신호가 때때로 장치(즉, 카드)에 의해 구동되어 서비스불가능한 내부 에러 조건(unservicable internal error condition)이 존재함을 표시한다. 전형적으로, 여러 장치에 대한 SERR# 신호는 다른 SERR# 신호와 함께, CPU는 어느 장치가 이 신호를 초기화했는지, 왜 이것을 보냈는지, 또는 SERR# 신호를 보내는 20이상의 다른 장치가 있는지에 대해 알지 못한다. 복구불능 에러의 다른 예로는 수행되는 오퍼레이션이 마스터(CPU)에 의한 더욱 완벽한 달성을 위해 슬레이브(어댑터 카드)에 의해 연기되고 마스터가 오퍼레이션을 수행하지 않는 경우 발생하는 실질적으로 모든 에러가 포함된다. 이러한 타입의 에러는 PCI 메모리 어드레스 공간에 충돌되어, 다수의 상이한 타입의 상업적으로 사용가능한 마이크로 프로세서와 관련하여 사용되는, 모든 프로그램된 I/O(programmed I/O:P10) 오퍼레이션(로드를 거치고 지시를 저장함)에 적용된다. 따라서, 이 시스템 소프트웨어는 데이터를 I/O 장치, 예를 들면 PCI 장치에 기입할 수 있으며, 이 오퍼레이션이 프로세서 버스상에서 성공적으로 완수되기 때문에, 소프트웨어 프로그램이 오퍼레이션을 계속한다. 이어서, PCI 버스상에서 연속적으로 발생하는 어떤 에러는 소프트웨어가 프로그램을 정정하기에는 너무 늦게 될 것이다.

본 발명의 다른 실시예에서, I/O 프로토콜이 PCI 버스(또는 유사한 다른 I/O 버스)상의 에러 복구를 허용하기 위해 최소 범위로 변경될 수 있다. 이러한 에러복구가 가능해지기 위해서는, 각 슬롯이 격리되어 CPU가 에러 타입과 어떤 카드가 에러 신호를 보내는지를 결정해야만 한다.

도 9는 본 발명의 에러 복구 양상의 바람직한 실시예에 대한 블록도이다. 도 9에서 부호에 의해 인용된 구성요소는 도 7과 도 12에서 사용된 동일 구성요소에 대응하므로 다시 언급되지 않음을 주지해야 한다. 도 9에서, 시스템 버스(100)는 CPU(2)와 메모리(3)를 브리지 칩(113)에 접속한다. CPU(2)는 AIX 또는 OS/2 오퍼레이팅 시스템과 같은 소프트웨어 오퍼레이팅 시스템(200)을 갖는다. 또한 장치 드라이버(201)가 CPU(2)상에서 인스톨되고, 오퍼레이팅 시스템(200)에 포함될 수도 있다. 이들 장치 드라이버(201)는 슬롯(106)내의 기능 카드(5)를 포함하는, 컴퓨터 시스템의 여러 구성요소를 제어하는데 사용된다. 장치 드라이버(201)는 이러한 기능과 통신, 에러 검출 및 교정 등을 수행한다. I/O 호스트 브리지 칩(113)이 시스템 버스(100)와 I/O 버스(102)에 접속된다. 이어서, 브리지칩(104)이 I/O 버스(102)와 슬롯(106)에 접속된다. 함께 기술되는 실시예에서, 적어도 하나의 부가적인 레지스터(203)가 상태 정보 저장용으로 브리지 칩(104)에 더해진다. 또한, 도 9로부터 신호 라인(103)이 리셋 신호 RST#를 슬롯(106)으로 송신하는데 사용되는 것을 알 수 있다. 그리고, 신호 라인(204)은 SERR# 신호를 슬롯(106)으로부터 브리지 칩(104)에 제공할 것이다. 도 9에서의 나머지 구성요소들은 도 7에서 도시된 것과 동일하다.

에러 복구 개요의 핵심은 변경 브리지 칩(104)으로 각 I/O 장치, 즉 I/O 슬롯(106)을 제 1 I/O 버스(102)로부터 절연하는 것이다. 이 바람직한 실시예에서는, 앞서 참조된 PCI간 구현에 대한 수정이 필수적이다. 특히, 에러 조건이 슬롯(106)내의 특정 카드중 하나에 존재하는 경우 세트되는 복구 모드 구성 비트

(recovery mode configuration bit)가 더해진다. 복구 모드 구성 비트가 세트되면, RST# 신호가 활성화되고, 장치(5)를 자신의 리셋 상태에 유지하도록 하기 위해 유지되어 시스템에 어떠한 손상도 발생되지 않게 할 것이다. 또한, 레지스터(203)내의 한 상태 비트가 세트되어 시스템에 외부 인터럽트를 신호한다. 또한, 구성 비트가 세트되면, 저장장치(store)상의 CPU로부터의 모든 데이터를 버리고 모든 로드 오퍼레이션상에 논리 1의 값을 회복시키므로써 CPU(2)로부터 장치로의 어느 정도의 로드 또는 저장기 무시된다. 마지막으로, 장치(5)로부터의 모든 직접메모리 액세스(DMA) 데이터가 버려지고, DMA 데이터를 전달하는 모든 오퍼레이션이 중단된다.

장치 드라이버(201)는 브리지 칩(104)이나 장치 자체에서의 모든 I/O 오퍼레이션의 상태를 체크하여 이 오퍼레이션이 코드(수행될 명령)내의 특정 시점에서 올바르게 이행되었음을 확인할 책임이 있다. 레지스터(203)는, 예를 들면 논리 0으로서 에러가 없으며 장치 드라이버가 I/O 장치로부터 정보를 판독할 수 있음을 표시하는 몇몇 비트를 포함할 것이다. 그러나, 레지스터(203)내의 이러한 상태 비트가 논리 1을 포함하고 브리지 칩(104)이 장치(5)를 리셋 상태(RST# 활성화 상태)로 유지하면, 이 장치 드라이버가 장치로부터 정보를 판독할 때, 모든 비트가 논리 1로 세트되어, 드라이버에 이 오퍼레이션이 적당히 완료되지 않았음을 표시할 것이다. 제 1 I/O 버스(102)상의 에러가 시스템의 재-IPL을 야기하는 머신 체크를 계속해서 발생할 것이다. 그러나, 본 발명의 절연 방법론을 사용하므로써, 제 1 I/O 버스(102)는 그것에 직접 접속되는 어떠한 슬롯(106)도 갖지 않으며, 따라서 그 신뢰도가 매우 증가한다.

또한, 단지 한 개의 특정 장치(5)만이 이러한 "리셋" 타입의 에러 복구에 참가하도록 컴퓨터 시스템이 설계될 수 있다. 이 실시예에 대해 에러 복구가 일어나지 않으면, 에러가 장치로부터 제 1 I/O 버스(102)로 전달되어, 머신 체크가 발생될 것이다. 시스템내의 대다수의 데이터는 중요한 장치(예를 들면 서버 시스템내의 DASD와 LAN 어댑터)만이 본 발명의 에러 복구를 위해 변경될 필요가 있는 특정 시스템이 설계되는 것이 조건에 맞을 수도 있다. 이런 방식으로, 전체컴퓨터 시스템을 변경할 필요 없이 시스템의 신뢰도가 크게 향상될 수 있다.

도 10은 본 발명의 에러 복구 양상에 의해 구현된 단계를 도시하는 흐름도이다. 단계(1)에서 프로세스가 시작되며 단계(2)에서 장치 드라이버가 제어될 장치에 대해 어떤 로드/저장 오퍼레이션을 수행한다. 본 발명은 또한 일 열(string)의, 또는 관련 그룹의 로드/저장 오퍼레이션이 구현되는 상황에 대해 언급함을 주지하여야 한다. 뒤이어, 단계(3)는 컴퓨터 시스템내의 어댑터 카드상의 다수의 장치중 하나로부터 SERR# 신호가 존재하는지 여부를 판단한다. 존재한다면, 단계(4)에서, 리셋 신호 RST#(브리지 칩(104)에 의해) SERR# 신호를 보내는 장치로 활성화되어, 장치를 여전히 시스템에 결합시켜 둔 채, 장치(5)를 리셋 상태에 두어 시스템에 어떠한 손상이 발생하는 것을 방지한다. 따라서, SERR# 신호를 송출하는 기능 카드를 갖는 슬롯(106)은 앞서 기술된 방식(데이터 프로세싱 동작이 정지됨)으로 리셋된다. 단계(5)에서, 레지스터(203)내의 상태 비트가, 예를 들면 논리 1로 세트된다. 다음으로, 단계(6)에서, 도 9에서 도시된 바와 같은 제어 하드웨어가 모든 로드 및 저장 오퍼레이션을 무시하고, 어떤 진행중인 직접 메모리 액세스(DMA) 오퍼레이션을 중단한다. 단계(3)에서, SERR# 신호가 존재하지 않는다고 판단되면, 본 발명의 프로세스는 구현될 일련의 명령중에 부가적인 로드 및 저장 오퍼레이션이 있는지 여부를 판단하는 단계(7)로 계속된다. 부가적인 로드 및/또는 저장 오퍼레이션이 있으면, 프로세스 루프는 장치 드라이버가 로드/저장을 구현하는 단계(2)로 되돌아 온다. 부가적인 로드/저장 오퍼레이션이 없으면, 단계(8)에서 장치 드라이버가 브리지 칩(104)의 레지스터(203)에 있는 상태 비트를 판독한다. 뒤이어, 단계(9)에서, 에러 조건이 발생했는지 여부를 판단한다. 단계(5)에서, 상태 비트가 세트되지 않으므로써 SERR# 에러가 발생했음을 표시하면, 로드/저장 오퍼레이션은 완료한 것으로 간주된다(단계(10)). 그러나 단계(5)에서, 상태 비트가 세트되어 SERR# 신호의 존재를 표시하면, 브리지 칩(104)이 단계(11)에서 (재-초기화에 의해) 재구성된다. 전형적으로, 장치 드라이버는 장치를 재-초기화하므로써 기능 카드를 리셋한다. 그러나, 본 발명은, 장치 드라이버가 또한, 자신과 장치간에 정보를 전송하려고 시도하는 버스 주 장치에 지시하여 전송 오퍼레이션을 다시 시도하게 할 수도 있는 재시행 오퍼레이션을 시도할 수도 있다는 것을 예측한다. 에러 조건이 제거되면, 로드/저장 오퍼레이션이 정확하게 구현될 수도 있다. 또한, 단계(11)에서, 장치 드라이버가 장치내의 에러 조건을 정정하는 1 이상의 서비스 루틴을 호출(call)할 수도 있다. 이러한 에러 루틴은 자가 테스트(포스트) 코드(self test(post) code)상의 파워의 일부로서 또는 그와 유사한 것으로서 컴퓨터의 판독 전용 메모리(ROM)내에 상주할 수도 있다. 그러나, 장치 드라이버가 에러 조건을 갖는 장치를 재-초기화하는 것이 대표적인 상황이다. 본 발명에 따르면, 실제 에러 코드를 갖는 특정 장치만이 재-IPL된다. 컴퓨터시스템내의 다수의 기능 카드상의 나머지 장치는 일반 데이터 프로세싱 동작을 계속할 것이며, 따라서, 본 발명이 어떻게 컴퓨터 시스템으로 하여금 다른 슬롯내의 다른 카드(5)상의 다른 장치에 대한 오퍼레이션에 영향을 미치지 않고, 특정 I/O 슬롯(106)내의 단일 장치를 절연하게 하는지를 알 수 있다. 뒤이어, 단계(12)에서, 에러 코드를 발생하는 특정 장치가 장치 드라이버에 의해 재-초기화된다. 따라서, 장치 드라이버는 장치를 초기화하였고, 일반적 방식으로, 예를 들면 로드 및 저장 오퍼레이션을 구현하여 제어되는 장치와 자신간에 정보를 전송하므로써, 자신의 동작을 제어한다. 이것은 또한, 단계(3)에 의해 도시된 바와 같이, SERR# 신호가 제어되는 장치내에서 발생하는 때를 결정하는 것을 포함한다.

본 발명이 전체 컴퓨터 시스템을 파워 다운시킬 필요없이, 에러 조건을 개별적인 기능 카드상에서 정정되게 하므로써 신뢰도를 크게 향상시킬 수 있는 방법에 대해 알게 되었다.

특정 바람직한 실시예가 도시되고 기술되었으나, 첨부된 특허청구범위의 범주를 벗어나지 않고 그 안에서 많은 변형 및 수정이 이루어질 수도 있음을 이해해야 할 것이다. 예를 들면, 다른 실시예는 리셋 라인을 장치쪽으로 당겨 장치가 DMA 전송하지 못하게 하고, 로드 및 저장 오퍼레이션이 진행되게 할 수도 있다 (이로인해 장치 드라이버는 보다 복잡해 질 것이지만 보다 양호한 고장 격리가 가능해진다).

### 발명의 효과

본 발명은 사용자 하여금 다수의 기능 카드중 하나가 에러 신호를 송출하였는지를 확인할 수 있게 하는 컴퓨터 시스템을 제공하여, 에러 신호를 송출하는 장치는 격리되고 에러 복구 기법이 에러 상태를 갖는 장치상에만 실행하도록 한다. 또한, 필요한 경우, 개별적인 커넥터를 디스에이블되게 하여 전체 컴퓨터 시스템을 파워 다운할 필요없이 특정 기능 카드가 제거되거나 교체되도록 하므로써, 신뢰도를 크게 향상



시킬 수 있다.

### (57) 청구의 범위

#### 청구항 1

- ① 데이터 처리 기능을 구현하는 다수의 기능 카드와,
- ② 상기 다수의 기능 카드중 에러 신호를 송출한 특정 기능 카드를 식별하는 수단과,
- ③ I/O 버스와 상기 다수의 기능 카드중 적어도 하나의 기능 카드 사이에 접속되며, 상기 I/O 버스로부터 상기 기능 카드를 격리시키고 상기 다수의 기능 카드 중 상기 특정 기능 카드에 의해 송출된 에러 신호를 상기 I/O 버스에 전송되지 못하도록 막는 제어가능 브리지 인터페이스(controllable bridge interface)와,
- ④ 나머지 다수의 기능 카드가 상기 데이터 처리 동작을 계속하는 동안 상기다수의 기능 카드중 상기 특정 기능 카드를 리셋하는 수단을 포함하는 컴퓨터 시스템.

#### 청구항 2

제 1 항에 있어서,

상기 시스템은 상기 브리지 인터페이스내에서, 상기 브리지 인터페이스에 접속된 상기 다수의 기능 카드 중 하나의 기능 카드가 에러 신호를 송출했는지를 표시 하는 수단을 포함하는 컴퓨터 시스템.

#### 청구항 3

제 2 항에 있어서,

상기 식별 수단은

- ① 상기 다수의 기능 카드중 상기 에러 신호를 송출하는 상기 기능 카드에 의한 데이터 처리 기능을 실행 하라는 모든 요구를 무시하는 수단과,
- ② 상기 다수의 기능 카드중 상기 에러 신호를 송출하는 상기 기능 카드와 시스템 메모리간의 임의의 직접 메모리 액세스(direct memory access) 오퍼레이션을 중지(abort)시키는 수단을 포함하는 컴퓨터 시스템.

#### 청구항 4

제 3 항에 있어서,

상기 리셋 수단은

- ① 상기 다수의 기능 카드중 어떤 기능 카드가 상기 에러 신호를 송출하였는지를 판단하는 수단과,
- ② 상기 다수의 기능 카드중 상기 에러 신호를 송출한 상기 기능 카드를 재구성(reconfigure)하는 수단을 포함하는 컴퓨터 시스템.

#### 청구항 5

제 4 항에 있어서,

상기 재구성 수단은 상기 다수의 기능 카드중 상기 에러 신호를 송출한 상기기능 카드를 재초기화(re-initialize)하는 수단을 포함하는 컴퓨터 시스템.

#### 청구항 6

제 5 항에 있어서,

상기 재구성 수단은

- ① 상기 다수의 기능 카드중 상기 에러 신호를 송출한 상기 기능 카드상의 에러 상태를 처리하는 에러 복구 루틴을 호출하는 수단과,
- ② 상기 다수의 기능 카드중 상기 기능 카드상에서 상기 데이터 처리 동작을 재실행하는 수단을 포함하는 컴퓨터 시스템.

#### 청구항 7

제 6 항에 있어서,

상기 표시 수단은 상기 다수의 기능 카드중 대응하는 기능 카드에 의해 에러신호가 송출되었는지를 표시 하는 상태 비트를 저장하는 레지스터인 컴퓨터 시스템.

#### 청구항 8

제 7 항에 있어서,

상기 판단 수단은 상기 레지스터를 폴링(poll)하는 상기 다수의 기능 카드중 한 개의 기능 카드에 대응하

는 장치 드라이버(device driver)인 컴퓨터 시스템.

#### 청구항 9

컴퓨터에 의해 구현되는 방법으로서,

- ① 데이터 처리 기능을 구현하기 위해 다수의 기능 카드를 제공하는 단계와,
- ② 상기 다수의 기능 카드중 에러 신호를 송출한 특정 기능 카드를 식별하는 단계와,
- ③ I/O 버스와 상기 다수의 기능 카드중 적어도 하나의 기능 카드 사이에 접속되며, 상기 I/O 버스로부터 상기 기능 카드를 격리시키고 상기 다수의 기능 카드중 특정 기능 카드에 의해 송출된 에러 신호를 상기 I/O 인터페이스에 전송되지 못하도록 막는 제어가능 브리지 인터페이스를 사용하는 단계와,
- ④ 나머지 다수의 기능 카드가 데이터 처리 동작을 계속하는 동안 상기 다수의 기능 카드중 상기 특정 기능 카드를 리셋하는 단계를 포함하는 컴퓨터에 의해 구현되는 방법.

#### 청구항 10

제 9 항에 있어서,

상기 방법은 상기 브리지 인터페이스에 접속된 상기 다수의 기능 카드중 하나의 기능 카드가 에러를 송출했는지 여부를 상기 브리지 인터페이스에 의해 표시하는 단계를 포함하는 컴퓨터에 의해 구현되는 방법.

#### 청구항 11

제 10 항에 있어서,

상기 식별 단계는

- ① 상기 다수의 기능 카드중 상기 에러 신호를 송출하는 상기 기능 카드에 의한 데이터 처리 기능을 실행 하라는 모든 요구를 무시하는 단계와,
- ② 상기 다수의 기능 카드중 상기 에러 신호를 송출하는 상기 기능 카드와 시스템 메모리간의 임의의 직접 메모리 액세스 오퍼레이션을 중지시키는 단계를 더 포함하는 컴퓨터에 의해 구현되는 방법.

#### 청구항 12

제 11 항에 있어서,

상기 리셋 단계는

- ① 상기 다수의 기능 카드중 어느 기능 카드가 에러 신호를 송출했는지를 판단하는 단계와,
- ② 상기 다수의 기능 카드중 상기 에러 신호를 송출한 상기 기능 카드를 재구성하는 단계를 포함하는 컴퓨터에 의해 구현되는 방법.

#### 청구항 13

제 12 항에 있어서,

상기 재구성 단계는 상기 다수의 기능 카드중 상기 에러 신호를 송출한 상기 기능 카드를 재초기화하는 단계를 포함하는 컴퓨터에 의해 구현되는 방법.

#### 청구항 14

제 13 항에 있어서,

상기 리셋 단계는

- ① 상기 다수의 기능 카드중 상기 에러 신호를 송출한 상기 기능 카드상의 에러 상태를 처리하도록 에러 복구 루틴을 호출하는 단계와,
- ② 상기 다수의 기능 카드중 상기 기능 카드상에서 상기 데이터 처리 동작을 재실행하는 단계를 더 포함하는

컴퓨터에 의해 구현되는 방법.

#### 청구항 15

제 14 항에 있어서,

상기 표시 단계는 레지스터내에, 에러신호가 상기 다수의 기능 카드중 대응하는 기능 카드에 의해 송출되었는지를 표시하는 상태 비트를 저장하는 단계를 포함하는 컴퓨터에 의해 구현되는 방법.

#### 청구항 16

제 15 항에 있어서,

상기 판단 단계는 상기 다수의 기능 카드중 한 개의 기능 카드에 대응하는 장치 드라이버에 의해, 상기 레지스터를 폴링하는 단계를 포함하는 컴퓨터에 의해 구현되는 방법.

#### 청구항 17

커버(cover)에 의해 둘러싸여진 컴퓨터 시스템에 있어서,

- ① 프로세서와,
- ② 상기 프로세서에 접속된 I/O 버스와,
- ③ 상기 I/O 버스에 접속된 브리지 칩과,
- ④ 상기 브리지 칩에 접속된 중2계 버스(mezzanine bus)와,
- ⑤ 상기 중2계 버스에 전기적으로 접속되며, 기능 카드를 수납하기 위한 적어도 하나의 I/O 슬롯과,
- ⑥ 상기 프로세서가 데이터 프로세싱 오퍼레이션을 병행하여 수행하는 동안 또한 상기 I/O 버스가 계속하여 동작하는 동안, 상기 적어도 하나의 I/O 슬롯을 비활성화함으로써 상기 컴퓨터 시스템의 하드웨어 구성을 변경하는 수단 -이 수단은 상기 컴퓨터 시스템으로부터 상기 커버를 제거하지 않고 상기 기능 카드를 교환하는 수단을 구비함-

을 포함하는 컴퓨터 시스템.

#### 청구항 18

제 17 항에 있어서,

상기 적어도 하나의 I/O 슬롯이 비어있는지 여부를 판단하는 수단을 더 포함하는 컴퓨터 시스템.

#### 청구항 19

제17항에 있어서,

상기 변경 수단은 상기 적어도 하나의 I/O 슬롯내의 상기 기능 카드에 의한 데이터 프로세싱 동작을 정지시키는 수단을 포함하는 컴퓨터 시스템.

#### 청구항 20

제 19항에 있어서,

상기 변경 수단은

- ① 리셋 제어 신호를 활성화시키는 수단과,
- ② 상기 리셋 제어 신호를 검출하는 수단과,
- ③ 상기 적어도 하나의 I/O 슬롯내에 현존하는 상기 기능 카드를 리셋시키는 수단을 더 포함하는 컴퓨터 시스템.

#### 청구항 21

제 20 항에 있어서,

상기 변경 수단은 상기 리셋 수단에 응답하여, 상기 브리지 칩으로 하여금 상기 버스로부터 상기 적어도 하나의 I/O 슬롯을 분리시키고 상기 적어도 하나의 I/O 슬롯에 대한 전력을 감소시키게 하는 수단을 더 포함하는 컴퓨터 시스템.

#### 청구항 22

제 21항에 있어서,

상기 변경 수단은 언제 상기 적어도 하나의 I/O 슬롯이 비활성화되고 상기 기능 카드가 제거될 수 있는지를 표시하는 수단을 더 포함하는 컴퓨터 시스템.

#### 청구항 23

제 22 항에 있어서,

상기 변경 수단은

- ① 상기 적어도 하나의 I/O 슬롯에 인스톨될 새 기능 카드가 언제 커넥터에 삽입되는지를 검출하는 수단과,
- ② 상기 새 기능 카드의 검출에 응답하여, 상기 커넥터에 대한 전력을 증가시키는 수단을 더 포함하는 컴퓨터 시스템.

#### 청구항 24

제 23 항에 있어서,

상기 변경 수단은 상기 새 기능 카드의 검출에 응답하여, 상기 브리지 칩으로 하여금 상기 적어도 하나의 I/O 슬롯을 상기 중2계 버스에 결합하게 하는 수단과, 상기 리셋 제어 신호를 비활성화하게 하는 수단을 더 포함하는 컴퓨터 시스템.

#### 청구항 25

제 24 항에 있어서,

상기 변경 수단은 상기 적어도 하나의 I/O 슬롯에 있는 상기 새 기능 카드에 대해 데이터 프로세싱 동작을 개시하는 수단을 더 포함하는 컴퓨터 시스템.

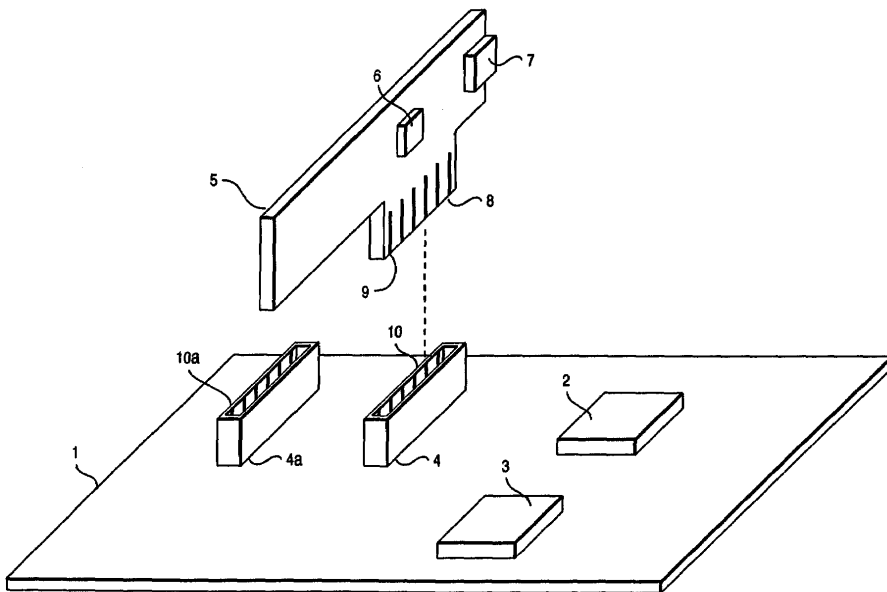
**청구항 26**

I/O 버스에 접속된 프로세서와, 상기 I/O 버스를 중2계 버스에 접속하는 브리지 칩을 구비하며, 커버 (cover)에 의해 둘러싸여진 컴퓨터 시스템에서 하드웨어 구성을 변경하는 방법에 있어서,

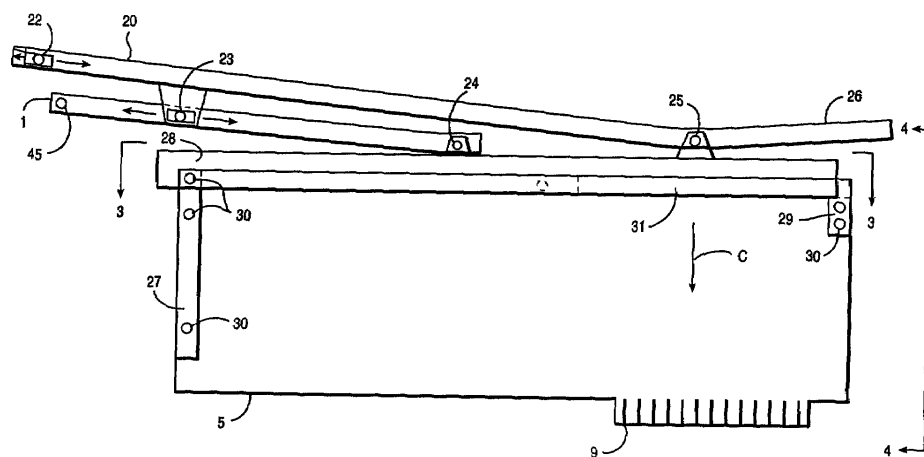
- ① 상기 중2계 버스에 전기적으로 접속되며, 기능 카드를 수납하기 위한 적어도 하나의 I/O 슬롯을 제공하는 단계와,
  - ② 상기 프로세서가 데이터 프로세싱 오퍼레이션을 병행하여 수행하는 동안 또한 상기 I/O 버스가 계속하여 동작하는 동안, 상기 적어도 하나의 I/O 슬롯을 비활성화하는 단계- 이 단계는 상기 컴퓨터 시스템의 상기 커버를 제거하지 않고 상기 기능 카드를 교환하는 단계를 포함함-
- 를 포함하는 컴퓨터 시스템 하드웨어 구성 변경 방법.

**도면**

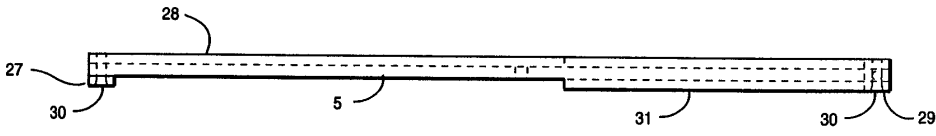
**도면1**



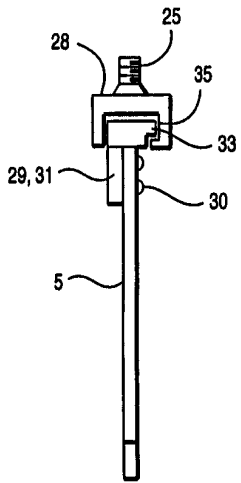
**도면2**



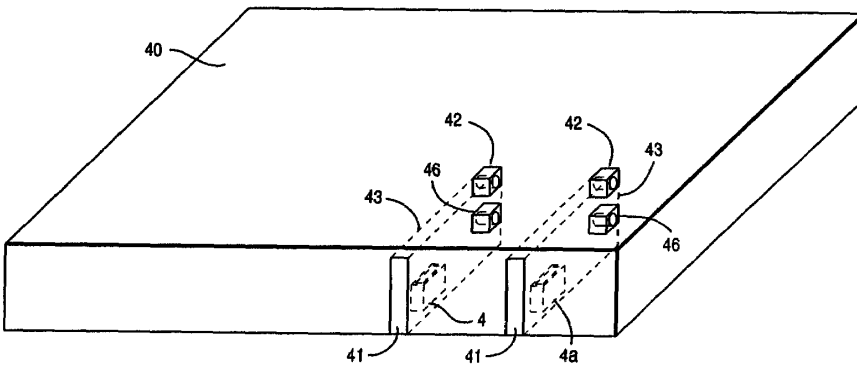
도면3



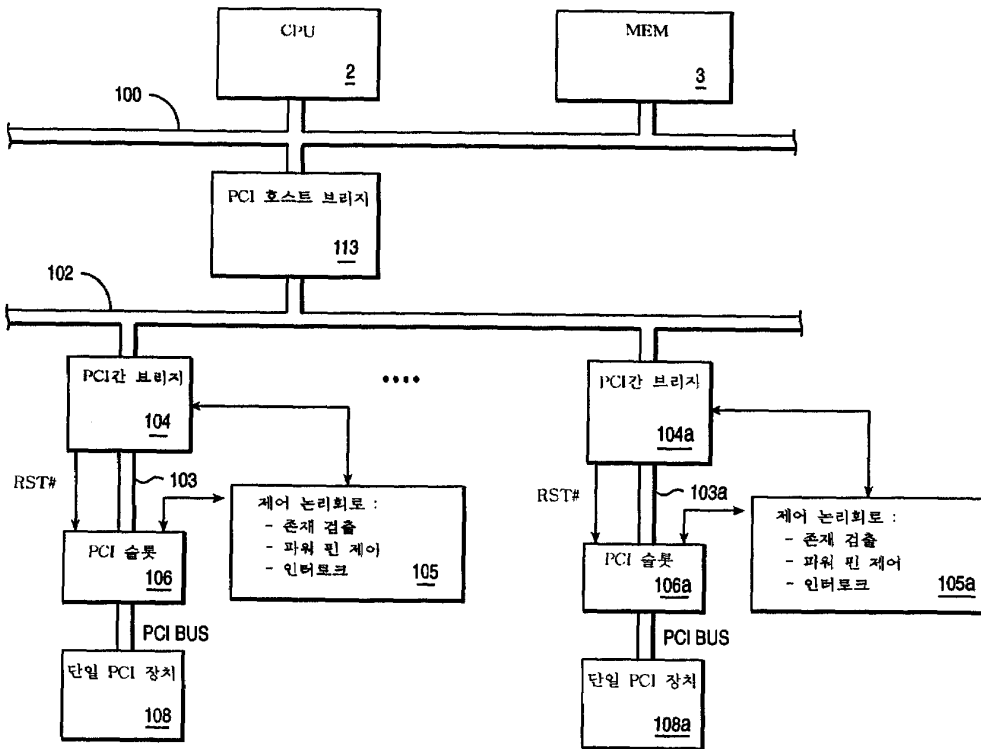
도면4



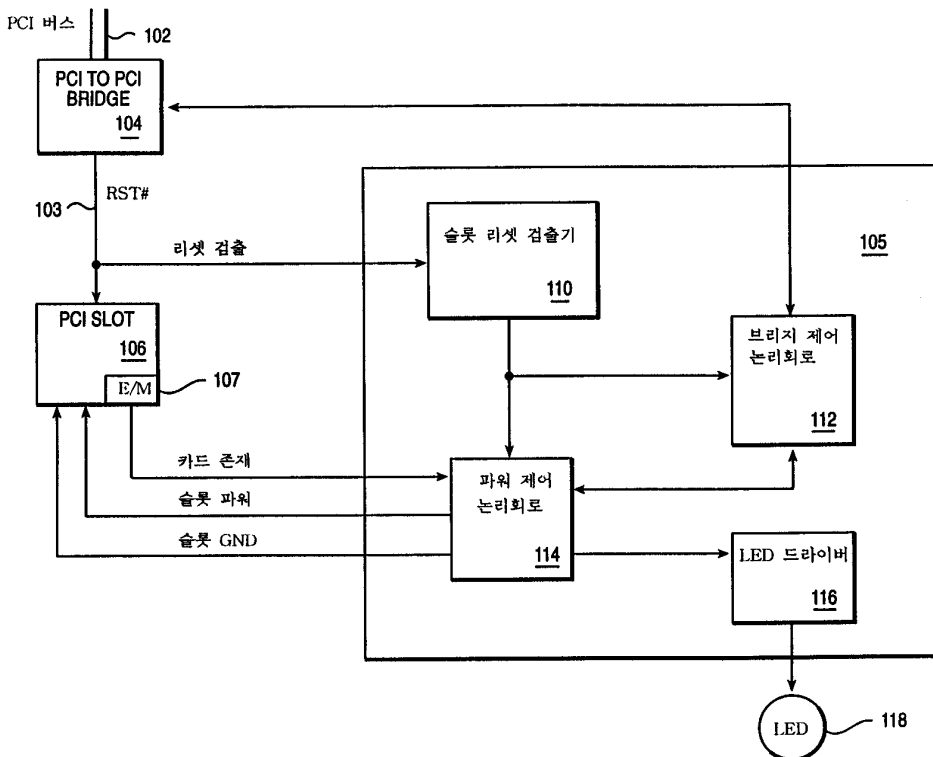
도면5



도면6

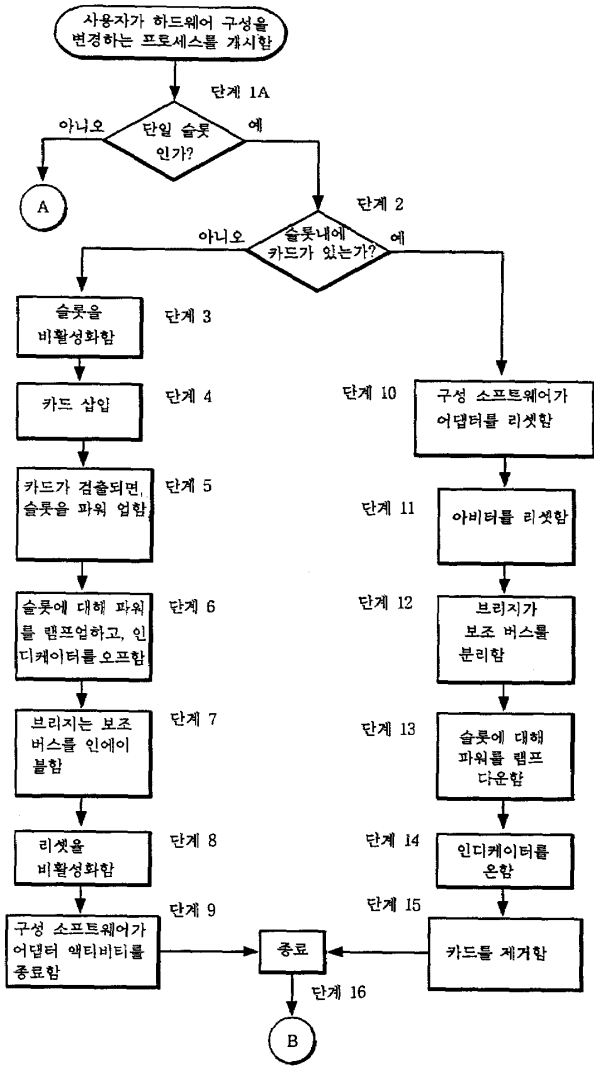


도면7

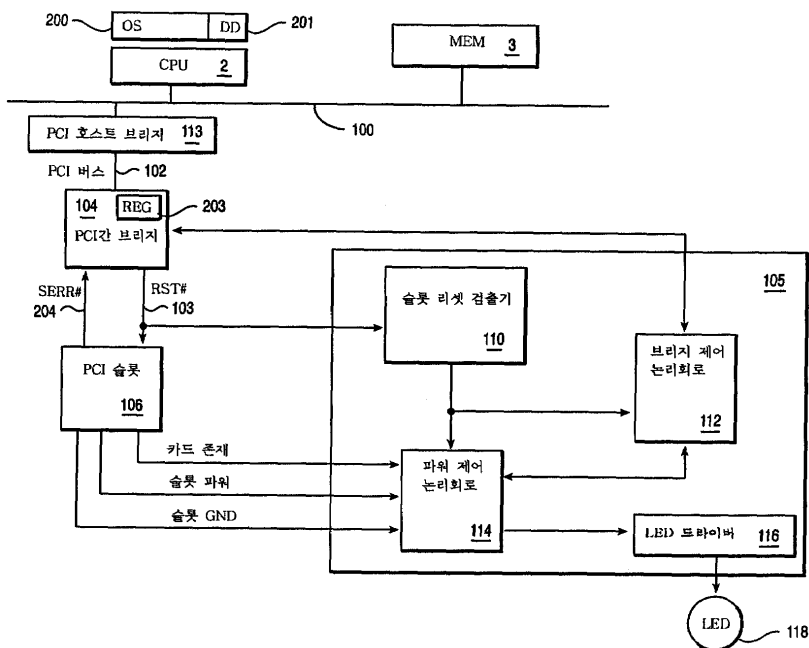




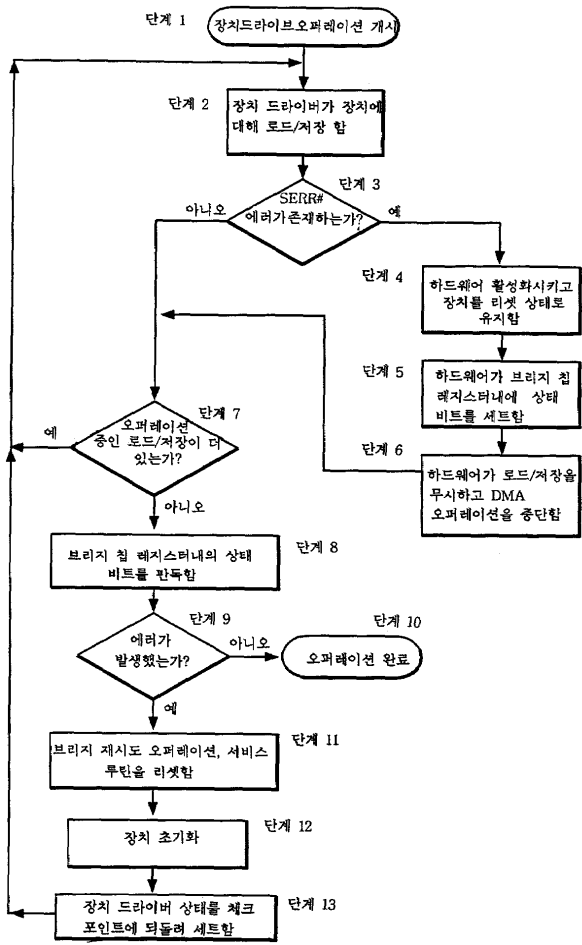
도면8



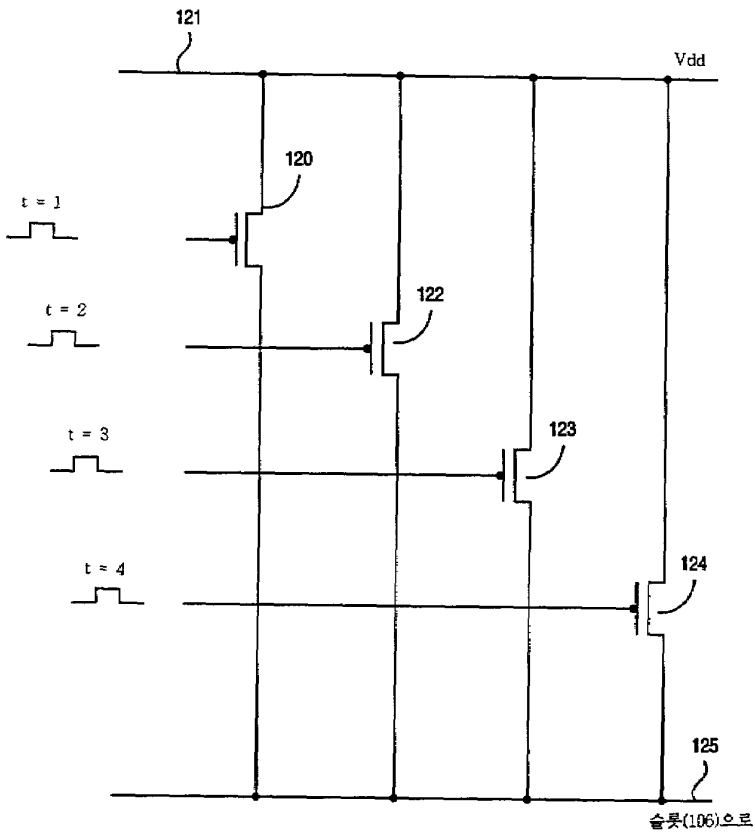
도면9



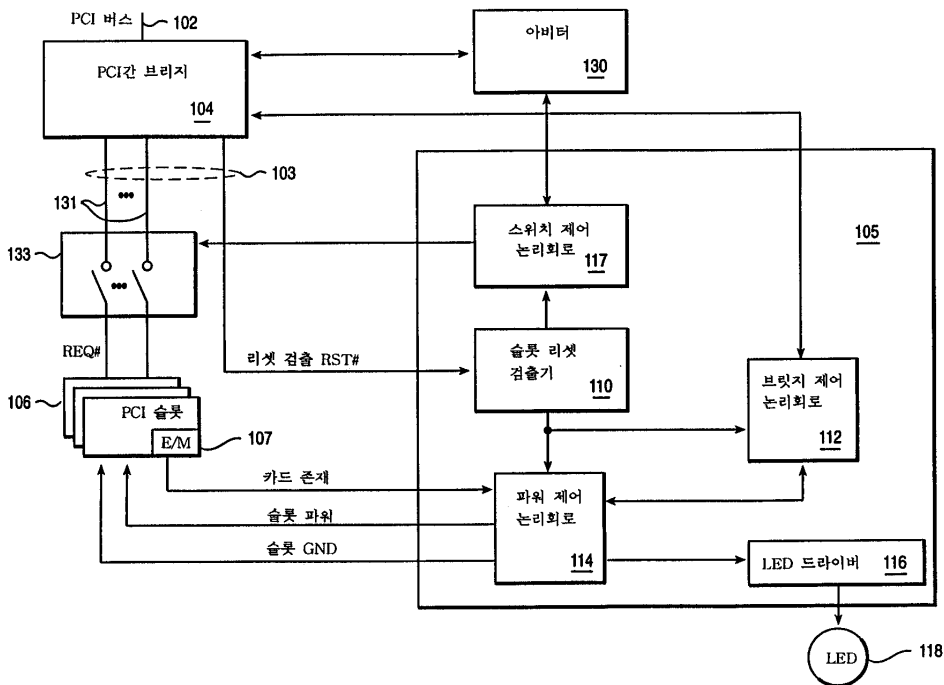
도면 10



도면11



도면12



도면 13

