

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5347250号  
(P5347250)

(45) 発行日 平成25年11月20日(2013.11.20)

(24) 登録日 平成25年8月30日(2013.8.30)

(51) Int.Cl.

F I

HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 C
HO 1 L 27/092 (2006.01)	HO 1 L 21/90 K
HO 1 L 21/768 (2006.01)	
HO 1 L 23/532 (2006.01)	

請求項の数 4 (全 21 頁)

(21) 出願番号 特願2007-214088 (P2007-214088)  
 (22) 出願日 平成19年8月20日(2007.8.20)  
 (65) 公開番号 特開2009-49206 (P2009-49206A)  
 (43) 公開日 平成21年3月5日(2009.3.5)  
 審査請求日 平成22年5月6日(2010.5.6)

前置審査

(73) 特許権者 308014341  
 富士通セミコンダクター株式会社  
 神奈川県横浜市港北区新横浜二丁目10番  
 23  
 (74) 代理人 100090273  
 弁理士 園分 孝悦  
 (72) 発明者 児島 学  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 審査官 安田 雅彦

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、  
 前記半導体基板上に形成された半導体素子と、  
 前記半導体素子を覆う応力印加膜と  
 を含み、  
 前記応力印加膜は、第1の領域及び第2の領域からなる前記半導体素子の形成領域において、前記第1の領域を覆い引張応力を印加する第1の膜と、前記第2の領域を覆い圧縮応力を印加する第2の膜とからなり、  
 前記第1の膜の前記第2の膜と非対向の周縁部分を囲う、前記第1の膜とは応力の異なる第3の膜が形成された第3の領域と、前記第2の膜の前記第1の膜と非対向の周縁部分を囲う、前記第2の膜とは応力の異なる第4の膜が形成された第4の領域とが設けられてなることを特徴とする半導体装置。

【請求項2】

前記第3の膜は前記第2の膜と同一の圧縮応力を有し、前記第4の膜は前記第1の膜と同一の引張応力を印加するものであり、  
 前記第3の膜及び前記第4の膜は、全体として前記応力印加膜を囲うことを特徴とする請求項1に記載の半導体装置。

【請求項3】

半導体基板上に半導体素子を形成する工程と、

前記半導体素子を覆うように応力印加膜を形成する工程とを含み、

前記応力印加膜を形成する工程では、第1の領域及び第2の領域からなる前記半導体素子の形成領域において、前記第1の領域を覆い引張応力を印加する第1の膜と、前記第2の領域を覆い圧縮応力を印加する第2の膜とから前記応力印加膜を形成し、前記第1の膜の前記第2の膜と非対向の周縁部分を囲い、前記第1の膜とは応力の異なる第3の膜を有する第3の領域と、前記第2の膜の前記第1の膜と非対向の周縁部分を囲い、前記第2の膜とは応力の異なる第4の膜を有する第4の領域とを設けることを特徴とする半導体装置の製造方法。

【請求項4】

10

前記応力印加膜を形成する工程において、

前記第2の領域に前記第2の膜を形成すると共に、前記第3の膜を前記第2の膜と同一の圧縮応力を印加するものとして形成し、

前記第1の領域に前記第1の膜を形成すると共に、前記第4の膜を前記第1の膜と同一の引張応力を印加するものとして形成し、

前記第3の膜及び前記第4の膜は、全体として前記応力印加膜を囲むことを特徴とする請求項3に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、半導体装置及びその製造方法に関し、特にn型トランジスタ又はp型トランジスタを備えた半導体装置に適用して好適である。

【背景技術】

【0002】

MOSTランジスタに代表されるトランジスタにおいて、チャネル領域に応力を印加することにより、電子またはホールの移動度が向上することが知られている。具体的に、チャネル領域に応力を印加する応力としては、n型トランジスタでは引張応力が、p型トランジスタでは圧縮応力がそれぞれ有効である。

【0003】

このような応力をトランジスタに与えるものとして、その形成条件により、自身は圧縮状態となって被覆する構造物の下部（構造物がゲート電極であればチャネル領域）に引張応力を与える引張応力膜と、自身は引張状態となって被覆する構造物の下部に圧縮応力を与える圧縮応力膜とを作り分けることができるシリコン窒化膜がある。このようなシリコン窒化膜を、トランジスタのゲート電極を覆い、更にその上を覆う層間絶縁膜に接続孔を形成する際のエッチングストッパー膜として形成する技術が提案されている。

30

【0004】

【非特許文献1】1-D and 2-D Geometry Effects in Uniaxially-Strained Dual Etch Stop Layer Stressor Integrations, P. Grudowski et al; 2006 Symp VLSI Tech., p76-77

【発明の開示】

【発明が解決しようとする課題】

40

【0005】

一般的にLSIの開発において、ある機能を有する回路（例えば、PLL回路のようなアナログ回路）については、半導体チップに組み込む前に、開発段階において回路ブロックの性能を評価しておき、回路ブロックの性能を保証する必要がある。ここで、一度検証した回路ブロックを異なった半導体チップに適用したときに、ほぼ同一の性能を保証できるようにする必要がある。

【0006】

例えば、n型MOSTランジスタ及びp型MOSTランジスタを備えたCMOSTランジスタにおいて、n型トランジスタの形成領域には引張応力を印加する第1のシリコン窒化膜を、p型トランジスタの形成領域には圧縮応力を印加する第2のシリコン窒化膜をそ

50

れぞれ形成する場合、第1のシリコン窒化膜及び第2のシリコン窒化膜について、これらの縁部分（外部、例えば他の領域との境界部分）が必ず存在する（例えば、非特許文献1を参照）。

【0007】

平面視において、n型MOSトランジスタ及びp型MOSトランジスタと第1のシリコン窒化膜及び第2のシリコン窒化膜との相対的な位置関係、換言すれば、n型MOSトランジスタ及びp型MOSトランジスタから第1のシリコン窒化膜及び第2のシリコン窒化膜の縁部分までの距離が変われば、n型MOSトランジスタ及びp型MOSトランジスタが受ける応力状態が変わる。この応力状態の変化により、n型MOSトランジスタ及びp型MOSトランジスタの移動度が変化し、CMOSトランジスタの性能に変動を来たすこ

10

【0008】

図13及び図14は、複数（2つのみ図示）のCMOSトランジスタを備える半導体デバイス

の平面図及び断面図である。各CMOSトランジスタは、ゲート電極101（n型部分を101a、p型部分を101bとする。）を有し、活性領域102、103にソース/ドレイン領域104、105が形成されてなる構造をそれぞれ有する。この回路ブロックにおいて、第1のシリコン窒化膜106及び第2のシリコン窒化膜107が形成されている場合について考察する。ここで、図13を回路ブロック111、図14を回路ブロック112とする。

【0009】

20

回路ブロックにおけるn型MOSトランジスタ及びp型MOSトランジスタから第1のシリコン窒化膜の縁部分及び第2のシリコン窒化膜の縁部分までの各距離、ここではn型MOSトランジスタの活性領域から第1のシリコン窒化膜106の縁部分までの水平距離をHN、垂直距離をVNとし、p型MOSトランジスタの活性領域から第2のシリコン窒化膜107の縁部分までの水平距離をHP、垂直距離をVPとする。

【0010】

この場合、回路ブロック111では、上記の各距離は、 $HN_1$ 、 $VN_1$ 、 $HP_1$ 、 $VP_1$ となる。一方、回路ブロック112では、上記の各距離は、 $HN_2$ 、 $VN_2$ 、 $HP_2$ 、 $VP_2$ となる。ここで、回路ブロック111と回路ブロック112とでは、CMOSトランジスタの構成は同一であるが、対応する各距離が異なる（ $HN_1$ 、 $HN_2$ 、 $VN_1$ 、 $VN_2$ 、 $HP_1$ 、 $HP_2$ 、 $VP_1$ 、 $VP_2$ ）。回路ブロック111と回路ブロック112とでは、回路構成が同一であるにも係わらず、CMOSトランジスタの特性が異なるものとなる。

30

【0011】

このことを踏まえ、上記の各距離が $HN_1$ 、 $VN_1$ 、 $HP_1$ 、 $VP_1$ とされた回路ブロック111を設計し、この回路ブロック111を、例えば図15のような大規模回路に埋め込む場合について考察する。この大規模回路では、回路ブロック111は、第1のシリコン窒化膜106がこれと同じ引張応力膜であるシリコン窒化膜108に包囲されるように、第2のシリコン窒化膜107がこれと同じ圧縮応力膜であるシリコン窒化膜109に包囲されるように組み込まれる。そのため、第1のシリコン窒化膜106とシリコン窒化膜108との境界、及び第2のシリコン窒化膜107とシリコン窒化膜109との境界は殆ど存在しない。従って、上記の各距離が $HN_1$ 、 $VN_1$ 、 $HP_1$ 、 $VP_1$ から変化し（図示の例では $HN_1'$ 、 $VN_1'$ 、 $HP_1'$ 、 $VP_1'$ となる。）、設計時に見込んだトランジスタ特性が保証されなくなってしまうという問題がある。

40

【0012】

回路ブロックにおける上記の各距離が変化する場合、トランジスタの性能をある程度保証するためには、トランジスタの動作規格を拡大することにより変動分を吸収することが要求される。しかしながらこの場合、上記の各距離の変化に起因するバラツキ幅を広げて設計することになり、回路ブロックの性能を必然的に劣化させることになる。

【0013】

本発明は、上記の課題に鑑みてなされたものであり、半導体素子への応力印加膜のレイ

50

アウトに依存することなく、半導体素子の所期の（設計当初の）素子特性を保証することを可能とする、信頼性の高い半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明の半導体装置は、半導体基板と、前記半導体基板上に形成された半導体素子と、前記半導体素子を覆う応力印加膜とを含み、前記応力印加膜は、第1の領域及び第2の領域からなる前記半導体素子の形成領域において、前記第1の領域を覆い引張応力を印加する第1の膜と、前記第2の領域を覆い圧縮応力を印加する第2の膜とからなり、前記第1の膜の前記第2の膜と非対向の周縁部分を囲う、前記第1の膜とは応力の異なる第3の膜が形成された第3の領域と、前記第2の膜の前記第1の膜と非対向の周縁部分を囲う、前記第2の膜とは応力の異なる第4の膜が形成された第4の領域とが設けられてなる。

10

【0017】

本発明の半導体装置の製造方法は、半導体基板上に半導体素子を形成する工程と、前記半導体素子を覆うように応力印加膜を形成する工程とを含み、前記応力印加膜を形成する工程では、第1の領域及び第2の領域からなる前記半導体素子の形成領域において、前記第1の領域を覆い引張応力を印加する第1の膜と、前記第2の領域を覆い圧縮応力を印加する第2の膜とから前記応力印加膜を形成し、前記第1の膜の前記第2の膜と非対向の周縁部分を囲い、前記第1の膜とは応力の異なる第3の膜を有する第3の領域と、前記第2の膜の前記第1の膜と非対向の周縁部分を囲い、前記第2の膜とは応力の異なる第4の膜を有する第4の領域とを設ける。

20

【発明の効果】

【0018】

本発明によれば、半導体素子への応力印加膜のレイアウトに依存することなく、半導体素子の所期の（例えば設計当初の）素子特性を保証することが可能となり、信頼性の高い半導体装置が実現する。

【発明を実施するための最良の形態】

【0019】

- 本発明の基本骨子 -

本発明では、半導体素子を覆う応力印加膜が、第1の領域及び第2の領域からなる半導体素子の形成領域において、第1の領域を覆い引張応力を印加する第1の膜と、第2の領域を覆い圧縮応力を印加する第2の膜とから形成されており、第1の膜の縁部分を囲む第1の膜とは応力の異なる第1の包囲領域と、第2の膜の縁部分を囲む第2の膜とは応力の異なる第2の包囲領域とが設けられる。この場合、第1の包囲領域及び第2の包囲領域により応力印加膜が囲まれており、半導体素子から第1の膜の縁部分及び第2の膜の縁部分までの各距離が一定値に規定される。即ち、第1の包囲領域及び第2の包囲領域により応力印加膜が囲まれてなる構成とされた回路ブロックが如何様に大規模回路に埋め込まれても、各距離が所期の一定値に規定される。

30

【0020】

応力印加膜は、その第1の膜と応力の異なる第1の包囲領域及び第2の膜と応力の異なる第2の包囲領域で囲まれた状態を保つことから、応力印加膜はその外部の構造物（例えば当該応力印加膜と同等の膜）からの応力の影響が殆ど無視できる程度となって遮断される。この構成により、回路ブロックの大規模回路への組み込み位置（レイアウト）に依存することなく、半導体素子の所期の（例えば設計当初の）素子特性が保証されることになる。

40

【0021】

ここで、第1の包囲領域及び第2の包囲領域には、第1の膜及び第2の膜の双方とも応力の異なる膜を形成しても良いが、工程数の削減を考慮して、第1の包囲領域には第2の膜と同一の圧縮応力を印加する第3の膜を、第2の包囲領域には第1の膜と同一の引張応力を印加する第4の膜をそれぞれ形成することが好適である。この場合、第1の膜と第3の膜、第2の膜と第4の膜をそれぞれ同時形成することができる。

50

## 【 0 0 2 2 】

- 本発明を適応した好適な諸実施形態 -

以下、本発明を適応した好適な諸実施形態について、図面を参照しながら詳細に説明する。

以下の諸実施形態では、半導体素子として、nMOSトランジスタ及びpMOSトランジスタを有してなるCMOSトランジスタを例示するが、半導体素子としては、n型トランジスタ又はp型トランジスタを有してなる素子構成のものであれば適用可能である。

## 【 0 0 2 3 】

(第1の実施形態)

[回路ブロック及び大規模回路の概略構成]

図1は、第1の実施形態による基本構造をなす回路ブロックの一例を示しており、(a)が概略平面図、(b)が(a)の一点鎖線I-Iに沿った(ゲート長方向に沿った)概略断面図、(c)が(a)の一点鎖線II-IIに沿った(ゲート幅方向に沿った)概略断面図である。

図2は、図1の回路ブロックが組み込まれてなる大規模回路の一例を示しており、(a)が概略平面図、(b)が(a)の一点鎖線I-I'に沿った(ゲート長方向に沿った)概略断面図、(c)が(a)の一点鎖線II-II'に沿った(ゲート幅方向に沿った)概略断面図である。

## 【 0 0 2 4 】

本実施形態による基本構造をなす回路ブロック10は、図1に示すように、共に複数(2つのみ図示)のCMOSトランジスタを備える。各CMOSトランジスタは、半導体基板1上でゲート絶縁膜2を介して形成されたゲート電極3(n型部分を3a, p型部分を3bとする。)を有し、素子分離構造、ここではSTI素子分離構造4で画定された活性領域5, 6におけるゲート電極3の両側にソース/ドレイン領域7, 8が形成されてなる構造をそれぞれ有する。この回路ブロック10において、n型MOSトランジスタの領域である第1の領域及びp型MOSトランジスタの領域である第2の領域からなる半導体素子の形成領域において、第1の領域を覆いn型MOSトランジスタのチャネル領域に引張応力を印加する第1のシリコン窒化膜11と、第2の領域を覆いp型MOSトランジスタのチャネル領域に圧縮応力を印加する第2のシリコン窒化膜12とからなる、コンタクト孔形成時のエッチングストッパー膜として機能するシリコン窒化膜20が形成されている。

## 【 0 0 2 5 】

そして、回路ブロック10では、第1のシリコン窒化膜11の縁部分を囲む第1のシリコン窒化膜11とは応力の異なる第1の包囲領域13と、第2のシリコン窒化膜12の縁部分を囲む第2のシリコン窒化膜12とは応力の異なる第2の包囲領域14とが設けられている。第1の包囲領域13には第2のシリコン窒化膜12と同一の圧縮応力を印加する、即ち第2のシリコン窒化膜12と同一材料及び同一成膜条件で形成される第3のシリコン窒化膜15が、第2の包囲領域14には第1のシリコン窒化膜11と同一の引張応力を印加する、即ち第1のシリコン窒化膜11と同一材料及び同一成膜条件で形成される第4のシリコン窒化膜16がそれぞれ形成されている。

## 【 0 0 2 6 】

この場合、第1のシリコン窒化膜11と第3のシリコン窒化膜15とでは応力の相異なるものであり、同様に第2のシリコン窒化膜12と第4のシリコン窒化膜16とでは応力の相異なるものであるため、第1のシリコン窒化膜11と第3のシリコン窒化膜15との間、及び第2のシリコン窒化膜12と第4のシリコン窒化膜16との間には物理的に境界が形成され、シリコン窒化膜20は第3のシリコン窒化膜15及び第4のシリコン窒化膜16により包囲される。この構造により、CMOSトランジスタから第1のシリコン窒化膜11の縁部分及び第2のシリコン窒化膜12の縁部分までの各距離が、特性評価を行ったセルのレイアウトにおける値に規定される。図示の例では、n型MOSトランジスタの活性領域5から第1のシリコン窒化膜11の縁部分までの水平距離をHN、垂直距離をV

10

20

30

40

50

Nとし、p型MOSトランジスタの活性領域6から第2のシリコン窒化膜12の縁部分までの水平距離をHP、垂直距離をVPとすれば、HNがHN<sub>0</sub>に、VNがVN<sub>0</sub>に、HPがHP<sub>0</sub>に、VPがVP<sub>0</sub>にそれぞれ規定(特定)される。

【0027】

各距離が上記のようにHN<sub>0</sub>、VN<sub>0</sub>、HP<sub>0</sub>、VP<sub>0</sub>に規定された回路ブロック10を、大規模回路に埋め込む場合について説明する。

図2に示すように、この大規模回路は、回路ブロック10を備え、総計で例えば4つのCMOSトランジスタを有しており、図2(a)において下側がn型MOSトランジスタの領域、上側がp型MOSトランジスタの領域とされている。ここで便宜上、各CMOSトランジスタを21、22、23、24(回路ブロック10の2つのCMOSトランジスタが22、23)とする。

10

【0028】

n型MOSトランジスタの領域において、回路ブロック10以外の部分には、CMOSトランジスタ21、24のn型MOSトランジスタを覆いチャネル領域に引張応力を印加する第5のシリコン窒化膜25が形成されている。第5のシリコン窒化膜25は、第1のシリコン窒化膜11と同一の引張応力を印加するように、即ち第1のシリコン窒化膜11と同一材料及び同一成膜条件で形成されている。一方、p型MOSトランジスタの領域において、回路ブロック10以外の部分には、CMOSトランジスタ21、24のp型MOSトランジスタを覆いチャネル領域に引張応力を印加する第6のシリコン窒化膜26が形成されている。第6のシリコン窒化膜26は、第2のシリコン窒化膜12と同一の圧縮応力を印加するように、即ち第2のシリコン窒化膜12と同一材料及び同一成膜条件で形成されている。

20

【0029】

ここで、回路ブロック10は、第1のシリコン窒化膜11が第5のシリコン窒化膜25の形成位置に対応し、第2のシリコン窒化膜12が第6のシリコン窒化膜26の形成位置に対応するように、配置されている。このように回路ブロック10が組み込まれても、シリコン窒化膜20を包囲するように第3のシリコン窒化膜15及び第4のシリコン窒化膜16が設けられているため、上記の各距離HN、VN、HP、VPは変化することなくHN<sub>0</sub>、VN<sub>0</sub>、HP<sub>0</sub>、VP<sub>0</sub>に保たれる。この場合、シリコン窒化膜20は、第3のシリコン窒化膜15及び第4のシリコン窒化膜16の存在により、その外部の構造物、ここでは第5のシリコン窒化膜25及び第6のシリコン窒化膜26からの応力の影響が緩和される。この構成により、回路ブロック10の大規模回路への組み込み位置(レイアウト)に依存することなく、CMOSトランジスタ22、23の所期の(例えば設計当初の)素子特性が一定に保たれ、保証される。

30

【0030】

ここで、CMOSトランジスタ21、24についても同様に、設計時等に予め第3のシリコン窒化膜15及び第4のシリコン窒化膜16の存在を見込んで、CMOSトランジスタ21、24と第5のシリコン窒化膜25及び第6のシリコン窒化膜26との関係における上記の各距離を規定しておくことにより、回路ブロック10の大規模回路への組み込み位置(レイアウト)に依存することなく、CMOSトランジスタ21、24の所期の(例えば設計当初の)素子特性が一定に保たれ、保証される。なお、シリコン窒化膜は無応力膜でも良く、また、シリコン窒化膜の代わりに無応力のシリコン酸化膜を用いても良い。

40

【0031】

[大規模回路の製造方法]

以下、上記した回路ブロックが組み込まれた大規模回路の製造方法について説明する。

図3~図6は、第1の実施形態による大規模回路の製造方法を工程順に示しており、(a)が図2(a)の一点鎖線I-I'に対応した(ゲート長方向に沿った)概略断面図、(b)が図2(a)の一点鎖線II-II'に対応した(ゲート幅方向に沿った)概略断面図である。

【0032】

50

まず、図3に示すように、シリコン半導体基板1上にSTI素子分離構造4を形成し、活性領域5, 6を画定する。

ここでは、素子分離法、ここではSTI (Shallow Trench Isolation) 法を用いる。詳細には、半導体基板1上の素子分離領域に分離溝4aを形成し、この分離溝4a内を絶縁膜、ここではシリコン酸化膜を埋め込み、化学機械研磨 (Chemical Mechanical Polishing: CMP) 法等によりシリコン酸化膜を平坦化する。これにより、分離溝4a内をシリコン酸化物で充填してなるSTI素子分離構造4が形成され、活性領域5, 6が画定される。

#### 【0033】

続いて、図4に示すように、活性領域5, 6にゲート絶縁膜2を介したゲート電極3、及びソース/ドレイン領域7, 8 (図4では8のみ示す。)を順次形成する。

10

詳細には、まず、活性領域5, 6上に熱酸化法等により薄いシリコン酸化膜を形成し、ゲート絶縁膜2とする。

#### 【0034】

次に、CVD法等により全面に多結晶シリコン膜を堆積し、リソグラフィ及びドライエッチングによりこれを電極形状に加工して、ゲート絶縁膜2を介した活性領域5上からSTI素子分離構造4上を挟んでゲート絶縁膜2を介した活性領域6上に延在するゲート電極3を形成する。ここで、ゲート電極3は、図中下側のn型部分3aと、図中上側のp型部分3bとから構成される。

#### 【0035】

20

次に、CMOSトランジスタ21~24のp型MOSトランジスタの領域 (図中で上側半分の領域) を覆うレジストマスク (不図示) を形成し、CMOSトランジスタ21~24のn型MOSトランジスタの領域における各活性領域5にn型不純物、ここではリン (P<sup>+</sup>) をイオン注入する。これにより、各活性領域5におけるゲート電極3 (n型部分3a) の両側にソース/ドレイン領域7が形成される。

#### 【0036】

次に、上記のレジストマスクを灰化处理等により除去した後、CMOSトランジスタ21~24のn型MOSトランジスタの領域 (図中で下側半分の領域) を覆うレジストマスク (不図示) を形成し、CMOSトランジスタ21~24のp型MOSトランジスタの領域における各活性領域6にp型不純物、ここではホウ素 (B<sup>+</sup>) をイオン注入する。これにより、各活性領域6におけるゲート電極3 (p型部分3b) の両側にソース/ドレイン領域8が形成される。

30

#### 【0037】

続いて、図5に示すように、第1のシリコン窒化膜11、第4のシリコン窒化膜16、及び第5のシリコン窒化膜25を形成する。

半導体基板1の全面を覆うように、自身は収縮する性質を有し、n型MOSトランジスタのチャネル領域に引張応力を印加する性質を有する薄膜、ここでは当該性質を有するシリコン窒化膜 (不図示) を形成する。詳細には、CVD法、例えば熱CVD法により、原料ガスをSiH<sub>2</sub>Cl<sub>2</sub>として、これを5sccm~50sccm、ここでは20sccmの流量で供給してシリコン窒化膜を成長させる。これにより、例えば膜厚70程度の引張応力膜であるシリコン窒化膜 (不図示) が形成される。

40

#### 【0038】

このように形成されたシリコン窒化膜を、リソグラフィ及びドライエッチングにより加工し、n型MOSトランジスタの領域である第1の領域にはCMOSトランジスタ22, 23のn型MOSトランジスタを覆う第1のシリコン窒化膜11を、第2の包囲領域14には第4のシリコン窒化膜16を、回路ブロック10以外の部分においてCMOSトランジスタ21, 24のn型MOSトランジスタを覆う第5のシリコン窒化膜25を形成する。

#### 【0039】

ここで、第2の包囲領域14は、回路ブロック10に対する外部応力を緩和しかつ、回

50

路の集積度の低下を防止すべく、その幅は150nm~300nm程度が望ましい。本実施形態では、第4のシリコン窒化膜16は第2の包囲領域14と同幅であり、例えば200nm程度の幅に形成される。

#### 【0040】

続いて、図6に示すように、第2のシリコン窒化膜12、第3のシリコン窒化膜15、及び第6のシリコン窒化膜26を形成する。

本実施形態では、第1のシリコン窒化膜11、第4のシリコン窒化膜16、及び第5のシリコン窒化膜25上を含む半導体基板1の全面を覆うように、自身は拡大(膨張)する性質を有し、p型MOSトランジスタのチャネル領域に圧縮応力を印加する性質を有する薄膜、ここでは当該性質を有するシリコン窒化膜(不図示)を形成する。詳細には、CVD  
10  
法、例えばプラズマCVD法により、原料ガスをSiH<sub>4</sub>として、これを100sccm~1000sccm、ここでは500sccmの流量で供給してシリコン窒化膜を成長させる。これにより、例えば膜厚70nm程度の圧縮応力膜であるシリコン窒化膜(不図示)が形成される。

#### 【0041】

このように形成されたシリコン窒化膜を、リソグラフィ及びドライエッチングにより加工する。ここで、当該加工工程について、ゲート電極3上における第1のシリコン窒化膜11に対して第2のシリコン窒化膜12を形成する様子を例に採り、図7を用いて説明する。ここで図7では、図6において不図示のシリコン窒化膜をシリコン窒化膜17とし、(a)が図5(b)の一部、(b)、(c)が図6(b)の一部にそれぞれ対応している。  
20

#### 【0042】

先ず、図7(a)に示すように、全面に形成されたシリコン窒化膜17上の、CMOSトランジスタ21~24のp型MOSトランジスタの領域(図中で上側半分の領域)に相当する部位を覆うレジストマスク18を形成する。

次に、図7(b)に示すように、レジストマスク18を用いてシリコン窒化膜17を等方性エッチングする。詳細には、エッチング液として例えばリン酸を用い、シリコン窒化膜17のレジストマスク18から露出部分をウェットエッチングする。これにより、シリコン窒化膜17のレジストマスク18からの露出部分に加えて、レジストマスク18の縁部分の下部に相当するシリコン窒化膜17も若干エッチング除去され、第2のシリコン窒化膜12が形成される。なお、上記のエッチングはウェットエッチングに限定されず、ドライエッチングで行っても良い。  
30

#### 【0043】

そして、レジストマスク18を灰化处理等により除去する。これにより、図7(c)に示すように、第1のシリコン窒化膜11と第2のシリコン窒化膜12とが互いに対向する側面で接続されるように形成される。

#### 【0044】

ここで、上記したシリコン窒化膜17のエッチング時において、例えば通常の異方性エッチングを行った場合には、形成された第2のシリコン窒化膜12は、シリコン窒化膜17が第1のシリコン窒化膜11と重畳されていたことに起因して、その縁部分の近傍が隆起した形状となる。これに対して上記の加工工程では、等方性エッチングにより、余分な当該隆起部分ができるだけ除去され、形成された第2のシリコン窒化膜12は、可及的に平坦な表面を有することになる。なお図6では、図示の便宜上、第2のシリコン窒化膜12の表面を平坦に示す。  
40

#### 【0045】

図7で説明した加工工程は、シリコン窒化膜17とこれに覆われた第4のシリコン窒化膜16、及び第5のシリコン窒化膜25との関係においても、第2のシリコン窒化膜12の形成と同時に実行される。

以上により、p型MOSトランジスタの領域である第2の領域にはCMOSトランジスタ22, 23のp型MOSトランジスタを覆う第2のシリコン窒化膜12が、第1の包囲  
50



領域 13 には第 3 のシリコン窒化膜 15 が、回路ブロック 10 以外の部分において CMOS トランジスタ 21, 24 の p 型 MOS トランジスタを覆う第 6 のシリコン窒化膜 26 が形成される。

【0046】

本実施形態では、第 1 のシリコン窒化膜 11 と第 2 のシリコン窒化膜 12 とが互いに対向する側面で接続されるとともに、第 2 のシリコン窒化膜 12 と第 4 のシリコン窒化膜 16 とが、第 3 のシリコン窒化膜 15 と第 5 のシリコン窒化膜 25 とが、第 4 のシリコン窒化膜 16 と第 6 のシリコン窒化膜 26 とが、それぞれ互いに対向する側面で接続されることになる。

【0047】

本実施形態では、第 3 のシリコン窒化膜 15 は第 1 の包囲領域 13 と同幅であり、例えば 200 nm 程度の幅に形成される。

【0048】

そして、半導体基板 1 の全面を覆う層間絶縁膜（不図示）の形成、第 1 のシリコン窒化膜 11 及び第 2 のシリコン窒化膜 12 をエッチングストッパーとして用い、更に第 1 のシリコン窒化膜 11 及び第 2 のシリコン窒化膜 12 をエッチングしてソース/ドレイン領域 7, 8 の表面の一部を露出させるコンタクト孔（不図示）の形成、コンタクト孔を導電物で埋め込み層間絶縁膜上で延在する配線（不図示）の形成等を経て、大規模回路を完成させる。

【0049】

以上説明したように、本実施形態によれば、半導体素子、ここでは CMOS トランジスタへのシリコン窒化膜 20 のレイアウトに依存することなく、CMOS トランジスタの所期の（例えば設計当初の）素子特性を保証することが可能となり、信頼性の高い回路ブロック、及びこの半回路ブロックを備えた大規模回路が実現する。

【0050】

（第 2 の実施形態）

本実施形態では、第 1 の実施形態と同様に回路ブロック及び大規模回路の概略構成及びその製造方法を開示するが、第 2 のシリコン窒化膜 12 及び第 3 のシリコン窒化膜 15 の形状が若干異なる点で第 1 の実施形態と相違する。本実施形態では、回路ブロックを含む大規模回路の概略構成をその製造方法と共に説明する。

図 8 は、第 2 の実施形態による大規模回路の製造方法の主要工程を示しており、(a) が第 1 の実施形態における図 2 (a) の一点鎖線 I - I' に対応した（ゲート長方向に沿った）概略断面図、(b) が第 1 の実施形態における図 2 (a) の一点鎖線 II - II' に対応した（ゲート幅方向に沿った）概略断面図である。

【0051】

先ず、第 1 の実施形態の図 3 及び図 4 と同様の工程を経て、半導体基板 1 上において STI 素子分離構造 4 で画定された活性領域 5, 6 に、ゲート絶縁膜 2 を介したゲート電極 3、及びソース/ドレイン領域 7, 8 を順次形成する。

【0052】

その後、第 1 の実施形態の図 5 と同様の工程を経て、自身は収縮する性質を有し、n 型 MOS トランジスタのチャネル領域に引張応力を印加する性質を有する薄膜である、第 1 のシリコン窒化膜 11、第 4 のシリコン窒化膜 16、及び第 5 のシリコン窒化膜 25 を形成する。本実施形態では、第 4 のシリコン窒化膜 16 は第 2 の包囲領域 14 と同幅であり、例えば 200 nm 程度の幅に形成される。

【0053】

続いて、図 8 に示すように、第 2 のシリコン窒化膜 12、第 3 のシリコン窒化膜 15、及び第 6 のシリコン窒化膜 26 を形成する。

本実施形態では、第 1 のシリコン窒化膜 11、第 4 のシリコン窒化膜 16、及び第 5 のシリコン窒化膜 25 上を含む半導体基板 1 の全面に、自身は拡大(膨張)する性質を有し、p 型 MOS トランジスタのチャネル領域に圧縮応力を印加する性質を有する薄膜、ここで

10

20

30

40

50

は当該性質を有するシリコン窒化膜（不図示）を形成する。詳細には、CVD法、例えばプラズマCVD法により、原料ガスを $\text{SiH}_4$ として、これを $100\text{ sccm} \sim 1000\text{ sccm}$ 、ここでは $500\text{ sccm}$ の流量で供給してシリコン窒化膜を成長させる。これにより、例えば圧縮応力が $2\text{ GPa}$ 程度の圧縮応力膜であるシリコン窒化膜（不図示）が形成される。

#### 【0054】

このように形成されたシリコン窒化膜を、リソグラフィー及びドライエッチングにより加工する。これにより、p型MOSトランジスタの領域である第2の領域にはCMOSトランジスタ22, 23のp型MOSトランジスタを覆う第2のシリコン窒化膜12が、第1の包囲領域13には第3のシリコン窒化膜15が、回路ブロック10以外の部分においてCMOSトランジスタ21, 24のp型MOSトランジスタを覆う第6のシリコン窒化膜26が形成される。

10

#### 【0055】

本実施形態では、第2のシリコン窒化膜12の第1のシリコン窒化膜11及び第4のシリコン窒化膜16に対する合わせ余裕、第3のシリコン窒化膜15の第1のシリコン窒化膜11及び第5のシリコン窒化膜25に対する合わせ余裕、第6のシリコン窒化膜26の第4のシリコン窒化膜16に対する合わせ余裕を考慮する。

ここでは、第2のシリコン窒化膜12がその各縁部分で第1のシリコン窒化膜11上及び第4のシリコン窒化膜16上に乗り上げるように、第3のシリコン窒化膜15がその各縁部分で第1のシリコン窒化膜11上及び第5のシリコン窒化膜25上に乗り上げるように、第6のシリコン窒化膜26がその縁部分で第4のシリコン窒化膜16上に乗り上げるように、それぞれ形成される。

20

#### 【0056】

また、上記したように第3のシリコン窒化膜15をその形成領域である第1の包囲領域13よりも幅広に形成する。以上の事情を考慮して、第1の包囲領域13は、ここでは例えば $200\text{ nm}$ 程度の幅に形成され、第3のシリコン窒化膜15は、ここでは例えば $250\text{ nm}$ 程度の幅に形成される。

#### 【0057】

以上説明したように、本実施形態によれば、半導体素子、ここではCMOSトランジスタへのシリコン窒化膜20のレイアウトに依存することなく、CMOSトランジスタの所期の（例えば設計当初の）素子特性を保証することが可能となり、信頼性の高い回路ブロック、及びこの半回路ブロックを備えた大規模回路が実現する。

30

#### 【0058】

（第3の実施形態）

本実施形態では、第1の実施形態と同様に回路ブロック及び大規模回路の概略構成及びその製造方法を開示するが、第1のシリコン窒化膜11及び第4のシリコン窒化膜16の形状が若干異なる点で第1の実施形態と相違する。本実施形態では、回路ブロックを含む大規模回路の概略構成をその製造方法と共に説明する。

図9及び図10は、第3の実施形態による大規模回路の製造方法の主要工程を順に示しており、(a)が第1の実施形態における図2(a)の一点鎖線I-I'に対応した（ゲート長方向に沿った）概略断面図、(b)が第1の実施形態における図2(a)の一点鎖線II-II'に対応した（ゲート幅方向に沿った）概略断面図である。

40

#### 【0059】

先ず、第1の実施形態の図3及び図4と同様の工程を経て、半導体基板1上においてSTI素子分離構造4で画定された活性領域5, 6に、ゲート絶縁膜2を介したゲート電極3、及びソース/ドレイン領域7, 8を順次形成する。

#### 【0060】

続いて、図9に示すように、第2のシリコン窒化膜12、第3のシリコン窒化膜15、及び第6のシリコン窒化膜26を形成する。

半導体基板1の全面を覆うように、自身は拡大（膨張）する性質を有し、p型MOSト

50

ランジスタのチャネル領域に圧縮応力を印加する性質を有する薄膜、ここでは当該性質を有するシリコン窒化膜（不図示）を形成する。詳細には、CVD法、例えばプラズマCVD法により、原料ガスを $\text{SiH}_4$ として、これを $100\text{ sccm} \sim 1000\text{ sccm}$ 、ここでは $500\text{ sccm}$ の流量で供給してシリコン窒化膜を成長させる。これにより、例えば圧縮応力が $2\text{ GPa}$ 程度の圧縮応力膜であるシリコン窒化膜（不図示）が形成される。

【0061】

このように形成されたシリコン窒化膜を、リソグラフィー及びドライエッチングにより加工し、p型MOSトランジスタの領域である第2の領域にはCMOSトランジスタ22、23のp型MOSトランジスタを覆う第2のシリコン窒化膜11を、第1の包囲領域13には第3のシリコン窒化膜15を、回路ブロック10以外の部分においてCMOSトランジスタ21、24のp型MOSトランジスタを覆う第6のシリコン窒化膜26を形成する。

10

【0062】

本実施形態では、第3のシリコン窒化膜15は第1の包囲領域13と同幅であり、例えば $200\text{ nm}$ 程度の幅に形成される。

【0063】

続いて、図10に示すように、第1のシリコン窒化膜11、第4のシリコン窒化膜16、及び第5のシリコン窒化膜25を形成する。

本実施形態では、第2のシリコン窒化膜12、第3のシリコン窒化膜15、及び第6のシリコン窒化膜26上を含む半導体基板1の全面に、自身は収縮する性質を有し、n型MOSトランジスタのチャネル領域に引張応力を印加する性質を有する薄膜、ここでは当該性質を有するシリコン窒化膜（不図示）を形成する。詳細には、CVD法、例えば熱CVD法により、原料ガスを $\text{SiH}_2\text{Cl}_2$ として、これを $5\text{ sccm} \sim 50\text{ sccm}$ 、ここでは $20\text{ sccm}$ の流量で供給してシリコン窒化膜を成長させる。これにより、例えば膜厚 $70\text{ nm}$ 程度の引張応力膜であるシリコン窒化膜（不図示）が形成される。

20

【0064】

このように形成されたシリコン窒化膜を、リソグラフィー及びドライエッチングにより加工する。これにより、n型MOSトランジスタの領域である第1の領域にはCMOSトランジスタ22、23のn型MOSトランジスタを覆う第1のシリコン窒化膜11が、第2の包囲領域14には第4のシリコン窒化膜16が、回路ブロック10以外の部分においてCMOSトランジスタ21、24のn型MOSトランジスタを覆う第5のシリコン窒化膜25が形成される。

30

【0065】

本実施形態では、第1のシリコン窒化膜11の第2のシリコン窒化膜12及び第3のシリコン窒化膜15に対する合わせ余裕、第4のシリコン窒化膜16の第2のシリコン窒化膜12及び第6のシリコン窒化膜26に対する合わせ余裕、第5のシリコン窒化膜25の第3のシリコン窒化膜15に対する合わせ余裕を考慮する。

ここでは、第1のシリコン窒化膜11がその各縁部分で第2のシリコン窒化膜12上及び第3のシリコン窒化膜15上に乗り上げるように、第4のシリコン窒化膜16がその各縁部分で第2のシリコン窒化膜12上及び第6のシリコン窒化膜26上に乗り上げるように、第5のシリコン窒化膜25がその縁部分で第3のシリコン窒化膜15上に乗り上げるように、それぞれ形成される。

40

【0066】

また、上記したように第4のシリコン窒化膜16をその形成領域である第2の包囲領域14よりも幅広く形成する。以上の事情を考慮して、第2の包囲領域14は、ここでは例えば $200\text{ nm}$ 程度の幅に形成され、第4のシリコン窒化膜16は、ここでは例えば $250\text{ nm}$ 程度の幅に形成される。

【0067】

以上説明したように、本実施形態によれば、半導体素子、ここではCMOSトランジスタへのシリコン窒化膜20のレイアウトに依存することなく、CMOSトランジスタの所

50

期の（例えば設計当初の）素子特性を保証することが可能となり、信頼性の高い回路ブロック、及びこの半回路ブロックを備えた大規模回路が実現する。

【 0 0 6 8 】

（第4の実施形態）

本実施形態では、第1の実施形態と同様に回路ブロック及び大規模回路の概略構成及びその製造方法を開示するが、第3のシリコン窒化膜15及び第4のシリコン窒化膜16の形状が若干異なる点で第1の実施形態と相違する。本実施形態では、回路ブロックを含む大規模回路の概略構成をその製造方法と共に説明する。

図11及び図12は、第4の実施形態による大規模回路の製造方法の主要工程を示しており、(a)が第1の実施形態における図2(a)の一点鎖線I-I'に対応した（ゲート長方向に沿った）概略断面図、(b)が第1の実施形態における図2(a)の一点鎖線I-I'に対応した（ゲート幅方向に沿った）概略断面図である。

10

【 0 0 6 9 】

先ず、第1の実施形態の図3及び図4と同様の工程を経て、半導体基板1上においてSTI素子分離構造4で画定された活性領域5,6に、ゲート絶縁膜2を介したゲート電極3、及びソース/ドレイン領域7,8を順次形成する。

【 0 0 7 0 】

続いて、図11に示すように、第1のシリコン窒化膜11、第4のシリコン窒化膜16、及び第5のシリコン窒化膜25を形成する。

半導体基板1の全面を覆うように、自身は収縮する性質を有し、n型MOSトランジスタのチャネル領域に引張応力を印加する性質を有する薄膜、ここでは当該性質を有するシリコン窒化膜（不図示）を形成する。詳細には、CVD法、例えば熱CVD法により、原料ガスをSiH<sub>2</sub>Cl<sub>2</sub>として、これを5sccm~50sccm、ここでは20sccmの流量で供給してシリコン窒化膜を成長させる。これにより、例えば膜厚70nm程度の引張応力膜であるシリコン窒化膜（不図示）が形成される。

20

【 0 0 7 1 】

このように形成されたシリコン窒化膜を、リソグラフィー及びドライエッチングにより加工し、n型MOSトランジスタの領域である第1の領域にはCMOSトランジスタ22,23のn型MOSトランジスタを覆う第1のシリコン窒化膜11を、第2の包囲領域14には第4のシリコン窒化膜16を、回路ブロック10以外の部分においてCMOSトランジスタ21,24のn型MOSトランジスタを覆う第5のシリコン窒化膜25を形成する。

30

【 0 0 7 2 】

本実施形態では、第4のシリコン窒化膜16をその幅が第2の包囲領域14の幅よりも狭くなるように形成する。また、上記したように第4のシリコン窒化膜16をその形成領域である第2の包囲領域14よりも幅狭に形成する。以上の事情を考慮して、第2の包囲領域14は、ここでは例えば200nm程度の幅に形成され、第4のシリコン窒化膜16は、ここでは例えば150nm程度の幅に形成される。

【 0 0 7 3 】

続いて、図12に示すように、第2のシリコン窒化膜12、第3のシリコン窒化膜15、及び第6のシリコン窒化膜26を形成する。

40

本実施形態では、第1のシリコン窒化膜11、第4のシリコン窒化膜16、及び第5のシリコン窒化膜25上を含む半導体基板1の全面に、自身は拡大(膨張)する性質を有し、p型MOSトランジスタのチャネル領域に圧縮応力を印加する性質を有する薄膜、ここでは当該性質を有するシリコン窒化膜（不図示）を形成する。詳細には、CVD法、例えば(プラズマCVD)法により、原料ガスをSiH<sub>4</sub>として、これを100sccm~1000sccm、ここでは500sccmの流量で供給してシリコン窒化膜を成長させる。これにより、例えば圧縮応力が2GPa程度の圧縮応力膜であるシリコン窒化膜（不図示）が形成される。

【 0 0 7 4 】

50

このように形成されたシリコン窒化膜を、リソグラフィー及びドライエッチングにより加工する。これにより、p型MOSトランジスタの領域である第2の領域にはCMOSトランジスタ22, 23のp型MOSトランジスタを覆う第2のシリコン窒化膜12が、第1の包囲領域13には第3のシリコン窒化膜15が、回路ブロック10以外の部分においてCMOSトランジスタ21, 24のp型MOSトランジスタを覆う第6のシリコン窒化膜26が形成される。

【0075】

本実施形態では、第3のシリコン窒化膜15をその幅が第1の包囲領域13の幅よりも狭くなるように形成する。また、上記したように第3のシリコン窒化膜15をその形成領域である第1の包囲領域13よりも幅狭に形成する。以上の事情を考慮して、第1の包囲領域13は、ここでは例えば200nm程度の幅に形成され、第3のシリコン窒化膜15は、ここでは例えば150nm程度の幅に形成される。

10

【0076】

以上のようにして、第5のシリコン窒化膜25、第3のシリコン窒化膜15、第1のシリコン窒化膜11、第2のシリコン窒化膜12、第4のシリコン窒化膜16、第6のシリコン窒化膜26が、それぞれ縁部分で離間するように形成される。

【0077】

以上説明したように、本実施形態によれば、半導体素子、ここではCMOSトランジスタへのシリコン窒化膜20のレイアウトに依存することなく、CMOSトランジスタの所期の(例えば設計当初の)素子特性を保証することが可能となり、信頼性の高い回路ブロック、及びこの半回路ブロックを備えた大規模回路が実現する。

20

【0078】

以下、本発明の諸態様を付記としてまとめて記載する。

【0079】

(付記1)半導体基板と、  
前記半導体基板上に形成された半導体素子と、  
前記半導体素子を覆う応力印加膜と  
を含み、

前記応力印加膜は、第1の領域及び第2の領域からなる前記半導体素子の形成領域において、前記第1の領域を覆い引張応力を印加する第1の膜と、前記第2の領域を覆い圧縮応力を印加する第2の膜とからなり、

30

前記第1の膜の縁部分に形成され、前記第1の膜とは応力の異なる第3の膜が形成された第3の領域と、前記第2の膜の縁部分に形成され、前記第2の膜とは応力の異なる第4の膜が形成された第4の領域とが設けられてなることを特徴とする半導体装置。

【0080】

(付記2)前記第3の膜は前記第2の膜と同一の圧縮応力を有し、前記第4の膜は前記第1の膜と同一の引張応力を印加するものであり、

前記第3の膜及び前記第4の膜により前記応力印加膜が囲まれていることを特徴とする付記1に記載の半導体装置。

【0081】

(付記3)前記第1の膜と前記第3の膜とが互いに縁部分で接触するように形成されており、

40

前記第2の膜と前記第4の膜とが互いに縁部分で接触するように形成されていることを特徴とする付記2に記載の半導体装置。

【0082】

(付記4)前記第1の膜は、その縁部分で前記第3の膜上に乗り上げるように形成されており、

前記第4の膜は、その縁部分で前記第2の膜上に乗り上げるように形成されていることを特徴とする付記2に記載の半導体装置。

【0083】

50

(付記5) 前記第2の膜は、その縁部分で前記第4の膜上に乗上げるように形成されており、

前記第3の膜は、その縁部分で前記第1の膜上に乗上げるように形成されていることを特徴とする付記2に記載の半導体装置。

【0084】

(付記6) 前記第1の膜の縁部分と前記第3の膜の縁部分との間に前記第1の膜及び前記第3の膜の非形成領域が設けられており、

前記第2の膜の縁部分と前記第4の膜の縁部分との間に前記第2の膜及び前記第4の膜の非形成領域が設けられていることを特徴とする付記2に記載の半導体装置。

【0085】

(付記7) 前記半導体素子は、前記第1の領域の部分がn型トランジスタであり、前記第2の領域の部分がp型トランジスタであることを特徴とする付記1～6のいずれか1項に記載の半導体装置。

【0086】

(付記8) 前記第3の領域及び前記第4の領域は、前記半導体基板の素子分離領域に形成されていることを特徴とする付記1～7のいずれか1項に記載の半導体装置。

【0087】

(付記9) 第1の領域、第2の領域、前記第1の領域と前記第2の領域との間に位置する第3の領域を含む半導体基板と、

前記半導体基板の前記第1の領域に形成されたMOSトランジスタと、

前記第1の領域及び前記第2の領域に形成され、前記MOSトランジスタを覆う第1の応力印加膜と

を含み、

前記第1の応力印加膜は前記第3の領域には形成されず、前記第3の領域には半導体素子が形成されないことを特徴とする半導体装置。

【0088】

(付記10) 前記第3の領域には、第1の応力膜とは応力印加方向が逆である第2の応力膜が形成されることを特徴とする付記9に記載の半導体装置。

【0089】

(付記11) 前記半導体素子は、n型MOSトランジスタ又はp型MOSトランジスタであることを特徴とする付記9又は11に記載の半導体装置。

【0090】

(付記12)

前記第3の領域の幅は、150nm以上250nm以下であることを特徴とする付記9～11のいずれか1項に記載の半導体装置。

【0091】

(付記13)

前記第3の領域は、前記第1の領域を囲うように形成されることを特徴とする付記9～12のいずれか1項に記載の半導体装置。

【0092】

(付記14)

MOSトランジスタが形成された第1の領域と、  
前記第1の領域の周辺を囲う第2の領域とを有し、  
前記第1の領域には前記MOSトランジスタを覆う第1の応力膜が形成され、前記第2の領域には第2の応力膜が形成され、

前記第1の応力膜の応力印加方向と前記第2の応力膜の応力印加方向とが逆方向であることを特徴とする半導体装置。

【0093】

(付記15) 半導体基板上に半導体素子を形成する工程と、

前記半導体素子を覆うように応力印加膜を形成する工程と

10

20

30

40

50

を含み、

前記応力印加膜を形成する工程では、第1の領域及び第2の領域からなる前記半導体素子の形成領域において、前記第1の領域を覆い引張応力を印加する第1の膜と、前記第2の領域を覆い圧縮応力を印加する第2の膜とから前記応力印加膜を形成し、前記第1の膜の縁部分に位置し、前記第1の膜とは応力の異なる第3の膜を有する第3の領域と、前記第2の膜の縁部分に位置し、前記第2の膜とは応力の異なる第4の膜を有する第4の領域とを設けることを特徴とする半導体装置の製造方法。

【0094】

(付記16)前記応力印加膜を形成する工程において、

前記第2の領域に前記第2の膜を形成すると共に、前記第3の膜を前記第2の膜と同一の圧縮応力を印加するものとして形成し、

前記第1の領域に前記第1の膜を形成すると共に、前記第4の膜を前記第1の膜と同一の引張応力を印加するものとして形成し、

前記第3の膜及び前記第4の膜により前記応力印加膜を囲むことを特徴とする付記15に記載の半導体装置の製造方法。

【0095】

(付記17)前記応力印加膜を形成する工程において、前記第1の膜と前記第3の膜とを互いに縁部分で接触するように形成し、前記第2の膜と前記第4の膜とを互いに縁部分で接触するように形成することを特徴とする付記16に記載の半導体装置の製造方法。

【0096】

(付記18)前記応力印加膜を形成する工程は、

前記第2の領域に前記第2の膜を形成すると共に、前記第1の包囲領域に前記第3の膜を形成する工程と、

前記第1の領域に前記第1の膜を、その縁部分が前記第3の膜上に乗り上げるように形成すると共に、前記第2の包囲領域に前記第4の膜を、その縁部分が前記第2の膜上に乗り上げるように形成することを特徴とする付記16に記載の半導体装置の製造方法。

【0097】

(付記19)前記応力印加膜を形成する工程は、

前記第1の領域に前記第1の膜を形成すると共に、前記第2の包囲領域に前記第4の膜を形成する工程と、

前記第2の領域に前記第2の膜を、その縁部分が前記第4の膜上に乗り上げるように形成すると共に、前記第1の包囲領域に前記第3の膜を、その縁部分が前記第1の膜上に乗り上げるように形成することを特徴とする付記16に記載の半導体装置の製造方法。

【0098】

(付記20)前記応力印加膜を形成する工程において、前記第1の膜の縁部分と前記第3の膜の縁部分との間に前記第1の膜及び前記第3の膜の非形成領域が設けられるように、前記第1の膜及び前記第3の膜を形成し、前記第2の膜の縁部分と前記第4の膜の縁部分との間に前記第2の膜及び前記第4の膜の非形成領域が設けられるように、前記第2の膜及び前記第4の膜を形成することを特徴とする付記16に記載の半導体装置の製造方法。

【図面の簡単な説明】

【0099】

【図1】第1の実施形態による基本構造をなす回路ブロックの一例を示す模式図である。

【図2】図1の回路ブロックが組み込まれてなる大規模回路の一例を示す模式図である。

【図3】第1の実施形態による大規模回路の製造方法を工程順に示す模式図である。

【図4】図3に引き続き、第1の実施形態による大規模回路の製造方法を工程順に示す模式図である。

【図5】図4に引き続き、第1の実施形態による大規模回路の製造方法を工程順に示す模式図である。

【図6】図5に引き続き、第1の実施形態による大規模回路の製造方法を工程順に示す模

10

20

30

40

50

式図である。

【図 7】第 1 のシリコン窒化膜に対して第 2 のシリコン窒化膜を加工形成する様子を示す概略断面図である。

【図 8】第 2 の実施形態による大規模回路の製造方法の主要工程を示す模式図である。

【図 9】第 3 の実施形態による大規模回路の製造方法の主要工程を順に示す模式図である。

【図 10】図 9 に引き続き、第 3 の実施形態による大規模回路の製造方法の主要工程を順に示す模式図である。

【図 11】第 4 の実施形態による大規模回路の製造方法の主要工程を示す模式図である。

【図 12】図 11 に引き続き、第 4 の実施形態による大規模回路の製造方法の主要工程を示す模式図である。

10

【図 13】従来の回路ブロックを示す概略平面図である。

【図 14】従来の回路ブロックを示す概略平面図である。

【図 15】従来の大規模回路を示す概略平面図である。

【符号の説明】

【 0 1 0 0 】

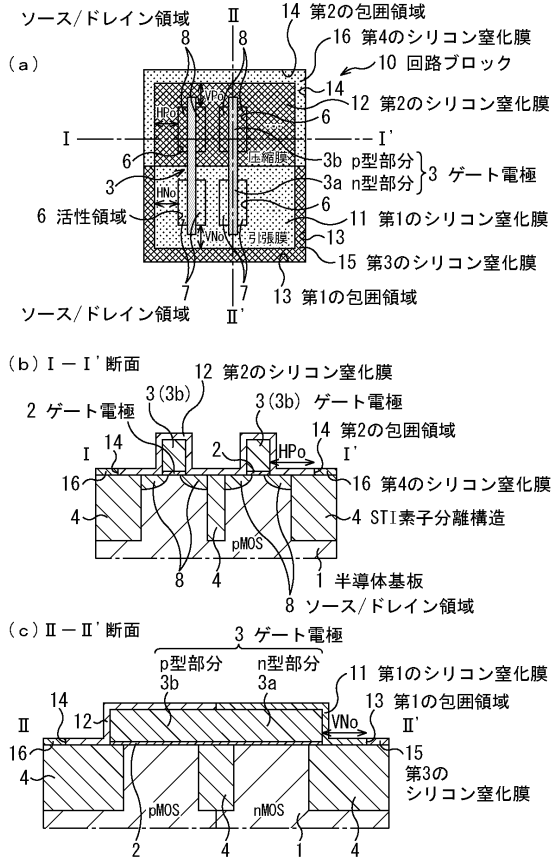
- 1 半導体基板
- 2 ゲート絶縁膜
- 3 , 1 0 1 ゲート電極
- 3 a n 型部分
- 3 b p 型部分
- 4 S T I 素子分離構造
- 5 , 6 , 1 0 2 , 1 0 3 活性領域
- 7 , 8 , 1 0 4 , 1 0 5 ソース/ドレイン領域
- 1 0 , 1 1 1 , 1 1 2 回路ブロック
- 1 1 , 1 0 6 第 1 のシリコン窒化膜
- 1 2 , 1 0 7 第 2 のシリコン窒化膜
- 1 3 第 1 の包囲領域
- 1 4 第 2 の包囲領域
- 1 5 第 3 のシリコン窒化膜
- 1 6 第 4 のシリコン窒化膜
- 1 7 , 2 0 , 1 0 8 , 1 0 9 シリコン窒化膜
- 1 8 レジストマスク
- 2 1 ~ 2 4 C M O S トランジスタ
- 2 5 第 5 のシリコン窒化膜
- 2 6 第 6 のシリコン窒化膜

20

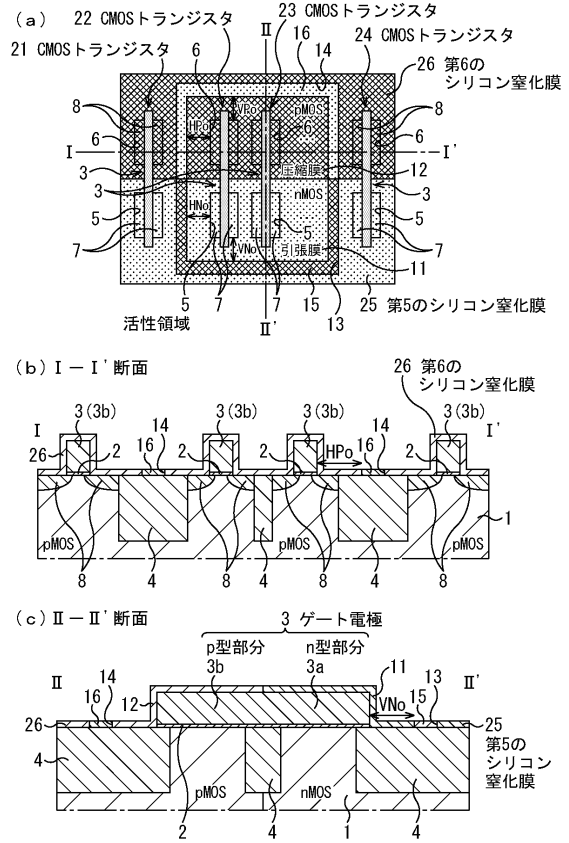
30



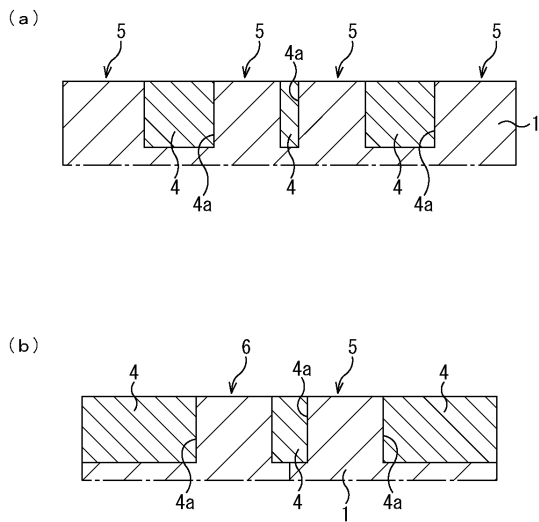
【 図 1 】



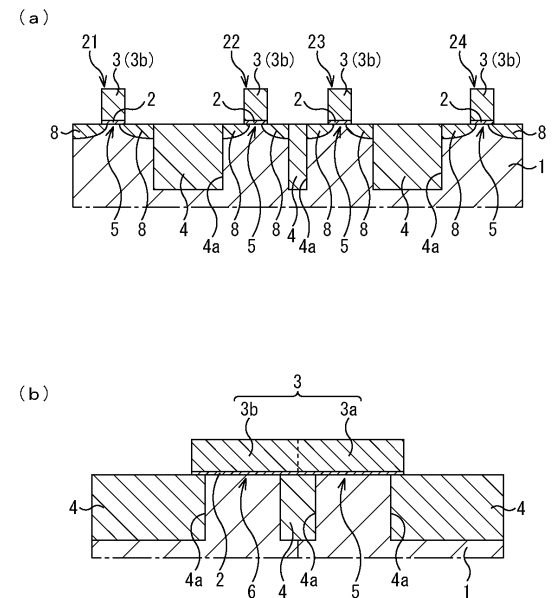
【 図 2 】



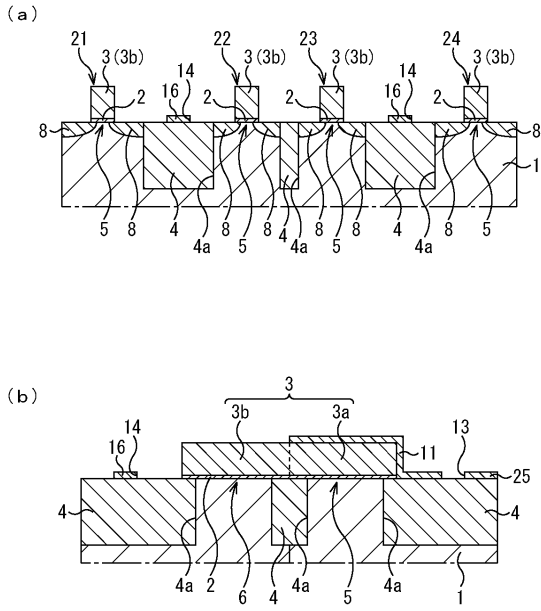
【 図 3 】



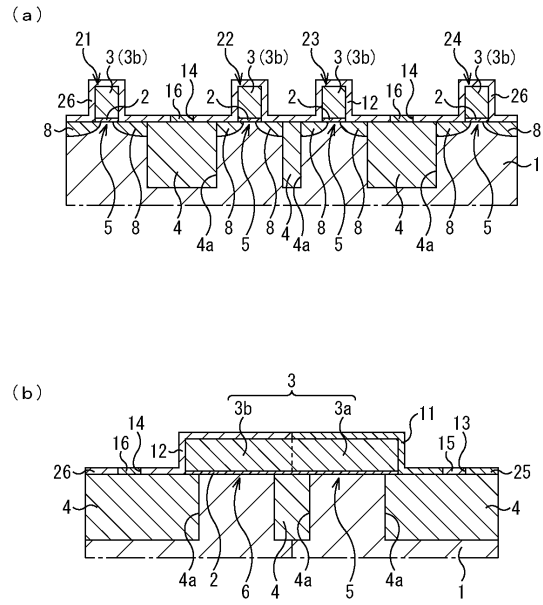
【 図 4 】



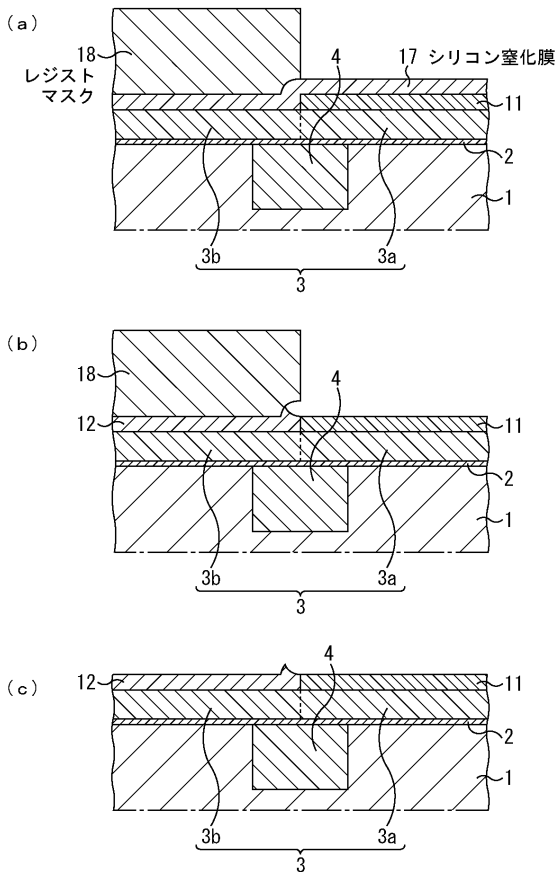
【図5】



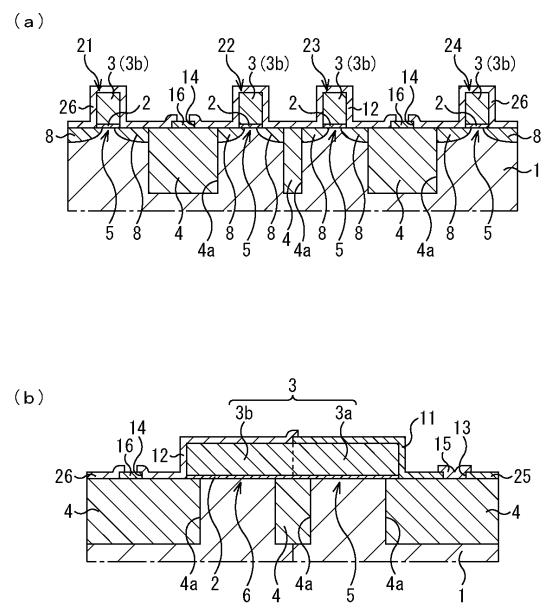
【図6】



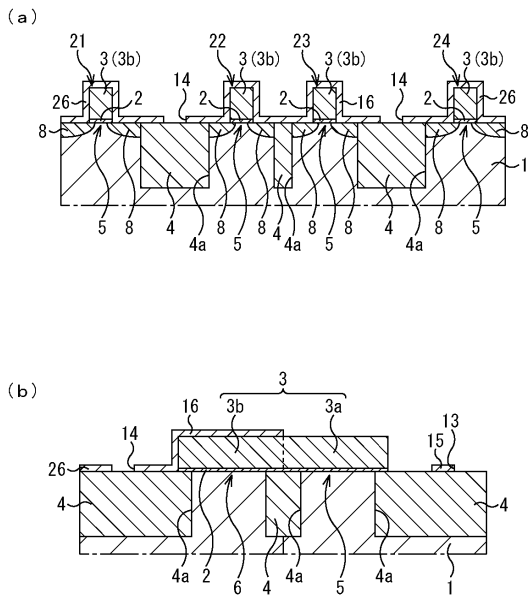
【図7】



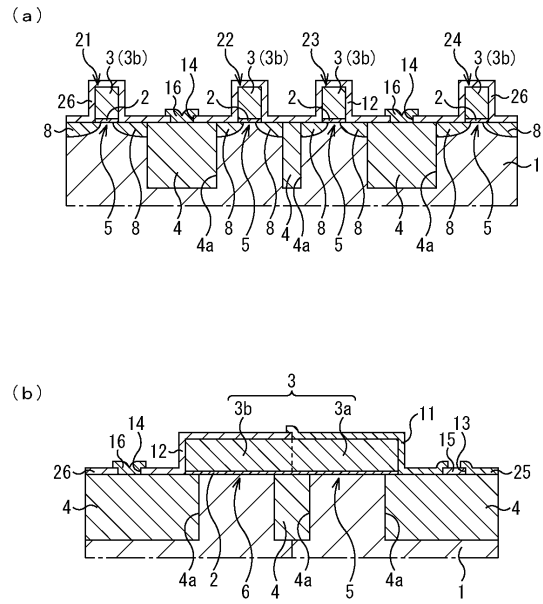
【図8】



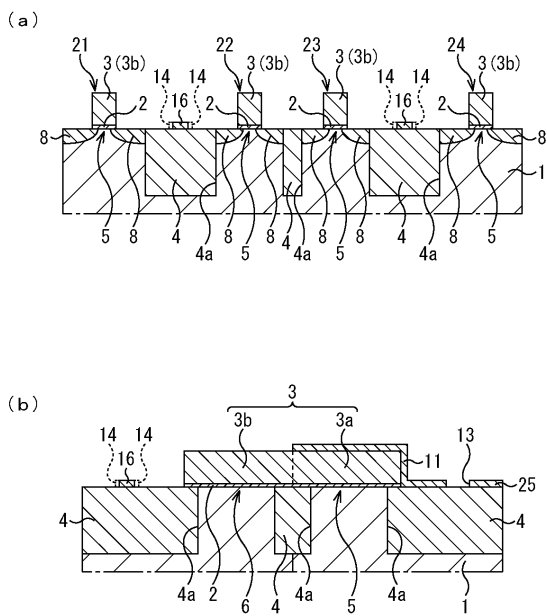
【 図 9 】



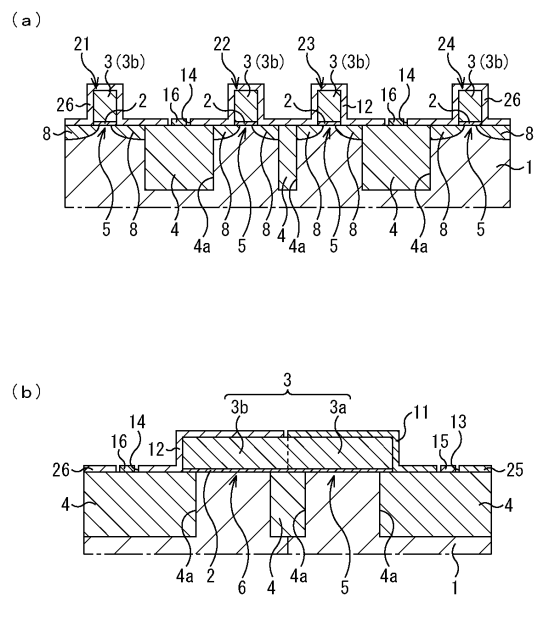
【 図 10 】



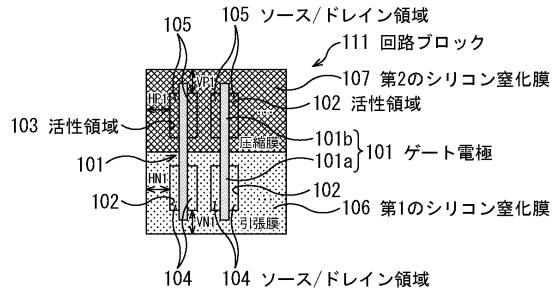
【 図 11 】



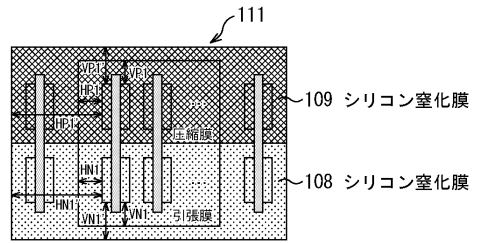
【 図 12 】



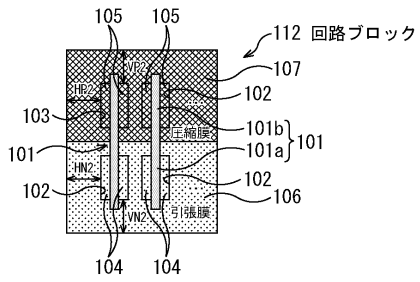
【図13】



【図15】



【図14】



---

フロントページの続き

(56)参考文献 米国特許出願公開第2007/0102755 (US, A1)

特開2004-087640 (JP, A)

特開2003-086708 (JP, A)

特開2007-158322 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/088

H01L 21/8234

H01L 29/78

H01L 21/336

H01L 21/768