

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-172210

(P2013-172210A)

(43) 公開日 平成25年9月2日(2013.9.2)

(51) Int.Cl.	F 1	HO 4 N	5/335	6 9 O	2 H 0 1 1	テーマコード (参考)
<b>HO4N 5/369 (2011.01)</b>		HO 4 N	5/335	7 4 O	2 H 1 5 1	
<b>HO4N 5/374 (2011.01)</b>		HO 4 N	5/335	5 3 O	4 M 1 1 8	
<b>HO4N 5/353 (2011.01)</b>		HO 4 N	5/232	H	5 C 0 2 4	
<b>HO4N 5/232 (2006.01)</b>		HO 4 N	7/11	C	5 C 1 2 2	
<b>GO2B 7/34 (2006.01)</b>		GO 2 B				

審査請求 未請求 請求項の数 12 O L (全 49 頁) 最終頁に続く

(21) 出願番号	特願2012-33367 (P2012-33367)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成24年2月17日 (2012.2.17)	(74) 代理人	100126240 弁理士 阿部 琢磨
		(74) 代理人	100124442 弁理士 黒岩 創吾
		(72) 発明者	山下 雄一郎 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内
		(72) 発明者	小林 昌弘 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内

最終頁に続く

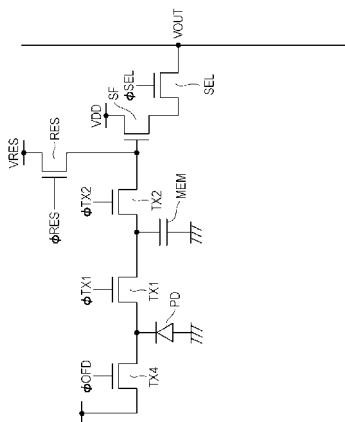
(54) 【発明の名称】撮像装置

## (57) 【要約】

**【課題】** 本発明は上記課題に鑑み、撮像面において位相差検出型の焦点検出可能な撮像装置であって、低ノイズでグローバル電子シャッタを行うことが可能な構成を提供することを目的とする。

**【解決手段】** 本発明は、光電変換部と、前記光電変換部で生じた信号電荷に基づく信号を増幅する増幅素子とを有する画素を複数有し、前記複数の画素は位相差検出型の焦点検出を行なうための信号を出力する撮像装置であって、前記光電変換部の出力ノードと前記増幅素子の入力ノードとの間の電気経路に信号保持部を有し、前記信号保持部において前記位相差検出型の焦点検出を行なうための信号を保持することを特徴とする

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

光電変換部と、前記光電変換部で生じた信号電荷に基づく信号を増幅する増幅素子とを有する画素を複数有し、前記複数の画素は位相差検出型の焦点検出を行なうための信号を出力する撮像装置であって、

前記光電変換部の出力ノードと前記増幅素子の入力ノードとの間の電気経路に信号保持部を有し、前記信号保持部において前記位相差検出型の焦点検出を行なうための信号を保持することを特徴とする撮像装置。

**【請求項 2】**

前記光電変換部に対する正射影像が、前記光電変換部の一部と重なる遮光部材を、前記光電変換部の光入射側に配したことの特徴とする請求項 1 に記載の撮像装置。 10

**【請求項 3】**

前記増幅素子の後段に、  
ノイズ信号を保持するノイズ信号保持部と、  
前記ノイズ信号が重畠した焦点検出用の信号を保持する光信号保持部と、を有することを特徴とする請求項 2 に記載の撮像装置。

**【請求項 4】**

前記信号保持部が前記焦点検出用の信号を保持している期間中に前記光電変換部の電荷を排出するオーバーフロードレイン制御部を有することを特徴とする請求項 2 または 3 のいずれかに記載の撮像装置。 20

**【請求項 5】**

前記光電変換部と前記信号保持部との間の電気経路に第 1 電荷転送部を有し、前記光電変換部で焦点検出用の信号を生成するための信号電荷を蓄積している期間において、前記第 1 電荷転送部に生じるポテンシャル障壁の高さが、前記オーバーフロードレイン制御部に生じるポテンシャル障壁の高さよりも低いことを特徴とする請求項 4 に記載の撮像装置。  
。

**【請求項 6】**

更に、複数のマイクロレンズを有するレンズアレイを有し、  
前記複数の画素のそれぞれは複数の光電変換部を有しており、  
前記複数のマイクロレンズのそれぞれは、各画素の前記複数の光電変換部に集光することを特徴とする請求項 1 に記載の撮像装置。 30

**【請求項 7】**

同一の画素に含まれ、隣接する複数の光電変換部の間に生じるポテンシャルは、それぞれが異なる画素に含まれ、互いに隣接する複数の光電変換部の間に生じるポテンシャルよりも低いことを特徴とする請求項 6 に記載の撮像装置。

**【請求項 8】**

前記信号保持部は、  
同一の画素に含まれる複数の光電変換部の各々の出力ノードと、前記増幅素子の入力ノードとの間に、各々が複数の光電変換部からの信号を保持する複数の第 1 信号保持部を有することを特徴とする請求項 6 または 7 のいずれかに記載の撮像装置。 40

**【請求項 9】**

同一の画素に含まれる互いに隣接して配された複数の第 1 信号保持部の間に生じるポテンシャルは、同一の画素に含まれ、隣接する複数の光電変換部の間に生じるポテンシャルよりも高いことを特徴とする請求項 6 ~ 8 のいずれか 1 項に記載の撮像装置。

**【請求項 10】**

前記信号保持部は、同一の画素に含まれる前記複数の光電変換部で共有されていることを特徴とする請求項 6 ~ 9 のいずれか 1 項に記載の撮像装置。

**【請求項 11】**

前記信号保持部が前記焦点検出用の信号を保持している期間中に前記光電変換部の電荷を排出するオーバーフロードレイン制御部を有することを特徴とする請求項 6 ~ 10 のい

10

20

30

40

50

ずれか 1 項に記載の撮像装置。

【請求項 1 2】

前記光電変換部と前記信号保持部との間の電気経路に第 1 電荷転送部を有し、前記光電変換部で焦点検出用の信号を生成するための信号電荷を蓄積している期間において、前記第 1 電荷転送部に生じるポテンシャルの高さが、前記オーバーフロードレイン制御部に生じるポテンシャルの高さよりも低いことを特徴とする請求項 1 1 に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は撮像装置に関するものであり、特に撮像面で、位相差検出型の焦点検出を行なう撮像装置に関する。 10

【背景技術】

【0 0 0 2】

従来から、撮像装置の撮像面において位相差検出型の焦点検出を行なう構成が知られている。例えば、特許文献 1 には、画像生成用の信号を生成する撮像用画素と、撮影レンズの瞳領域を分割して、分割された瞳領域からの被写体像を光電変換して位相差検出用の焦点検出用画素とを有する C M O S 型の撮像素子が開示されている。そして、焦点検出を行うフレームについては撮像素子の全画素を同時に露光させてその露光により生成された画像信号を読み出す。焦点検出を行わないフレームについては、スリットローリング読み出しで撮像素子の画像信号を読み出している。更に、特許文献 1 の 0 0 1 8 段落、図 4 には、全画素の蓄積時刻を揃えるために一括電子シャッタを行なうことが記載されている。 20

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 1 0 2 8 8 0 8 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら特許文献 1 の構成では、撮像面で位相差検出型の焦点検出を行ない且つ一括電子シャッタを行なうことの記載はあるものの、それらを実現するための画素の構成についての検討が不十分であった。 30

特許文献 1 の図 2、4 を参照すると、光電変換部で生じた電荷は全画素一齊にフロー ティングディフュージョン（以下 F D ）に転送される。そして、F D で画素行ごとの読み出しタイミングが来るまで蓄積されている。F D は元来電荷を長期間保持するのに適した構造となっていない。具体的には信号保持期間中の暗電流が少ないとすることは難しい。更に、画素信号に関連したノイズ信号を除去することが難しい。列回路にノイズ信号を保持する回路を行数分設ければ理論上はノイズ除去が可能であるが、列回路のスペースが大きくなりすぎるため現実的ではない。更に、ノイズ信号の列回路での保持期間の長さが行ごとに異なるため、ノイズ除去の精度を高めることが難しい。

本発明は上記課題に鑑み、撮像面において位相差検出型の焦点検出可能な撮像装置であって、低ノイズでグローバル電子シャッタを行うことが可能な構成を提供することを目的とする。 40

【課題を解決するための手段】

【0 0 0 5】

本発明は、光電変換部と、前記光電変換部で生じた信号電荷に基づく信号を増幅する増幅素子とを有する画素を複数有し、前記複数の画素は位相差検出型の焦点検出を行なうための信号を出力する撮像装置であって、前記光電変換部の出力ノードと前記増幅素子の入力ノードとの間の電気経路に信号保持部を有し、前記信号保持部において前記位相差検出型の焦点検出を行なうための信号を保持することを特徴とする。

【発明の効果】

10

20

30

40

50

## 【0006】

本発明によれば、撮像面において位相差検出型の焦点検出可能であって、低ノイズでグローバル電子シャッタを行うことが可能となる。

## 【図面の簡単な説明】

## 【0007】

【図1】実施形態1の実施例1の撮像装置の撮像領域の上面図である。

【図2】実施形態1の実施例1の撮像装置の撮像領域の上面図の拡大図である。

【図3】実施形態1の実施例1の撮像装置の1画素の等価回路図である。

【図4】(a)実施形態1の実施例1の撮像装置の1画素の断面図である。(b)(a)に対応する部分のポテンシャル図である。 10

【図5】実施形態1の実施例1の撮像装置の全体ブロック図である。

【図6】実施形態1の実施例1の撮像装置の撮像領域に対する制御パルス図である。

【図7】(a)実施形態1の実施例2の撮像装置の1画素の断面図である。(b)(a)に対応する部分のポテンシャル図である。 20

【図8】実施形態1の実施例2の撮像装置の撮像領域に対する制御パルス図である。

【図9】実施形態2の実施例1の撮像装置の撮像領域の上面図である。

【図10】実施形態2の実施例1の撮像装置の撮像領域の上面図の拡大図である。

【図11】実施形態2の実施例1の撮像装置の撮像領域の1画素の等価回路図である。

【図12】(a)実施形態2の実施例1の撮像装置の1画素の断面図である。(b)(a)に対応する部分のポテンシャル図である。 20

【図13】実施形態2の実施例1の撮像装置の全体ブロック図である。

【図14】実施形態2の実施例1の撮像装置の撮像領域に対する制御パルス図である。

【図15】実施形態2の実施例1の撮像装置の撮像領域のポテンシャル図である。

【図16】実施形態2の実施例1の撮像装置の撮像領域のポテンシャル図である。

【図17】図16に対応する部分の断面図の一例である。

【図18】図16に対応する部分の断面図の他の例である。

【図19】実施形態2の実施例2の撮像装置の撮像領域の1画素の等価回路図である。

【図20】実施形態2の実施例2の撮像装置の撮像領域に対する制御パルス図である。

【図21-1】実施形態2の実施例2の撮像装置の撮像領域に対する制御パルス図である。 30

【図21-2】実施形態2の実施例2の撮像装置の撮像領域に対する制御パルス図である。

【図22】実施形態2の実施例3の撮像装置の撮像領域の1画素の断面図である。

【図23】(a)実施形態2の実施例4の撮像装置の撮像領域の1画素の断面図である。(b)(a)に対応する部分のポテンシャル図である。

【図24】実施形態2の実施例5の撮像装置の撮像領域の上面図である。

【図25】実施形態2の実施例5の撮像装置の撮像領域の1画素の等価回路図を示す。

【図26】実施形態2の実施例5の撮像装置の撮像領域に対する制御パルス図である。

【図27】実施形態2の実施例6の撮像装置の撮像領域の上面図である。 40

【図28】実施形態2の実施例6の撮像装置の1画素の等価回路図である。

【図29】実施形態2の実施例6の撮像装置の1画素の断面図である。

【図30-1】実施形態2の実施例6の撮像装置の撮像領域に対する制御パルス図である。 50

【図30-2】実施形態2の実施例6の撮像装置の撮像領域に対する制御パルス図である。

【図31】実施形態2の実施例7の撮像装置の1画素の等価回路図である。

【図32】実施形態2の実施例7の撮像装置の撮像領域に対する制御パルス図である。

【図33】実施形態2の実施例8の撮像装置の撮像領域の上面図である。

【図34】実施形態2の実施例8の撮像装置の1画素の等価回路図である。

【図35】実施形態2の実施例8の撮像装置の撮像領域に対する制御パルスである。

【図36】実施形態2の実施例8の撮像装置の撮像領域に対する制御パルスである。

【図37】実施形態2の実施例9の撮像装置の1画素の等価回路図である。

【図38】実施形態2の実施例9の撮像装置の撮像領域に対する制御パルス図である。

【図39】焦点検出のメカニズムを説明するための図である。

【図40】焦点検出のメカニズムを説明するための図である。

【図41】本発明の撮像装置を用いた撮像システムのブロック図である。

【発明を実施するための形態】

【0008】

本発明は2つの実施形態により構成されており、各実施形態が複数の実施例を有している。

10

【0009】

第1実施形態は、撮像面での位相差検出型の焦点検出を行なう構成として、焦点検出用の画素と、撮像用の画素とを異なる構成で有している。具体的な構成としては、撮像用の画素の開口に比べて焦点検出用の画素の開口が狭い。焦点検出用の画素は遮光部材を有しており、遮光部材の光電変換部に対する正射影像が光電変換部の一部に重なっている構成である。

【0010】

第2実施形態は、撮像面での位相差検出型の焦点検出を行なう構成として、1画素の1つのマイクロレンズに対応して複数の光電変換素子を有し、複数の光電変換部の各々の信号を用いて焦点検出を行なう構成である。

20

【0011】

便宜的に第1実施形態と第2実施形態とで分けて記載しているが、本発明の思想を逸脱しない範囲で、他方の実施形態の一部を適用することは可能である。例えば、第1実施形態は、撮像用画素と焦点検出用の画素と互いに別の構成として設けられている。第1実施形態の焦点検出メカニズムを有する撮像装置であっても、第2実施形態の画素の構造を敵以下、各実施形態に関して詳細に説明を行なう。

【0012】

(第1実施形態)

(実施例1)

図1は実施形態1の実施例1の撮像装置の撮像領域の一部の上面図である。本実施形態の撮像装置の撮像領域は、撮像専用の画素と焦点検出を行なうための信号を出力する焦点検出用画素とがアレイ状に配されている。

30

【0013】

撮像領域100には複数の画素101、101a～101dがアレイ状に配されている。図面にて円で示されているのがマイクロレンズの形状を示している。円の中に配されている四角は、各画素の開口を示している。

【0014】

第1画素101は撮像用の画素である。他の画素に比べて開口が広い。

【0015】

第2画素101aは第1画素101よりも開口が狭く、第1画素101の開口のうち図面右側の領域が遮光されている。第3画素101bは第1画素101よりも開口が狭く、第1画素101の開口のうち図面左側の領域が遮光されている。第2画素101a、第3画素101bにより、瞳分割による位相差検出型の焦点検出を行なう。

40

【0016】

第4画素101cは第1画素101よりも開口が狭く、第1画素101の開口のうち図面下側の領域が遮光されている。第5画素101dは第1画素101よりも開口が狭く、第1画素101の開口のうち図面上側の領域が遮光されている。第4画素101c、第3画素101dにより、瞳分割による位相差検出型の焦点検出を行なう。

【0017】

図2に本実施形態の撮像装置の撮像領域の上面図の拡大図を示す。ここでは第1画素1

50

01と第2画素101aとが隣接している領域である。図3に本実施形態の画素の等価回路の一例を示す。図2、3で同様の符号を付している部材は同様の機能を有するものとする。図2で、第1画素、第2画素において同一の数字が振られている部材は同様の機能を有する。第1画素と第2画素とを区別するために第2画素の構成要素には符号Aを付している。第2画素に関しては第1画素と異なる部分のみ説明を行なう。

#### 【0018】

光電変換部PDに光が入射することでホール、電子対が生じる。第1信号保持部MEM1はホール、電子のうち信号電荷として取り扱う方の電荷を保持可能な構成となっている。以下では、信号電荷として電子を用いる場合について説明する。光電変換部PDと第1信号保持部MEM1との間の電気経路には第1電荷転送部TX1が配される。

10

#### 【0019】

第1信号保持部MEM1で保持された電子は、第2電荷転送部TX2を介して、フローティングディフュージョンFDに転送される。FDは画素の増幅トランジスタSFの入力ノードと電気的に接続される。増幅トランジスタSFと垂直信号線VOUTとの間の電気経路に選択トランジスタSELが配される。選択トランジスタSELにより各垂直信号線VOUTに読み出される画素が選択される。リセットトランジスタRESは増幅トランジスタSFのゲートに基準電圧を供給してリセットを行なう。オーバーフロードレイン制御部(以下、OVD制御部)TX4は光電変換部PDで生じた電子をOVD領域210に排出する。

20

#### 【0020】

第1電荷転送部TX1には制御パルスTX1が供給される。第2電荷転送部TX2には制御パルスTX2が供給される。OVD制御部TX3には制御パルスOVDが供給される。選択トランジスタSELのゲートには制御パルスSELが供給される。リセットトランジスタRESのゲートには制御パルスRESが供給される。

#### 【0021】

第1画素～第5画素は同じ等価回路を用いることができる。第1画素～第5画素で異なるのは光電変換部PD上に配された遮光部材の形状である。具体的には図1で示したような形状の違いを有している。

#### 【0022】

図4(a)に本実施例の撮像装置の1画素の断面図を示す。図2のX-X'における断面を示している。図4(b)は図4(a)に対応する部分のポテンシャル図である。

30

#### 【0023】

P型半導体領域401に複数のN型半導体領域を配することで光電変換部PD、第1信号保持部MEM1、FD領域FD等を構成している。P型半導体領域401はP型半導体基板を用いてもよいし、N型半導体基板にイオン注入で形成されたP型半導体領域を用いてもよい。

#### 【0024】

光電変換部PDは、P型半導体領域401、P型半導体領域401とPN接合を構成するように配されたN型半導体領域402、N型半導体領域402上に配されたP型半導体領域403を有する。いわゆる埋め込み型フォトダイオードの構成となっている。

40

#### 【0025】

第1電荷転送部TX1は、第1制御電極404及び第2制御電極404下部に絶縁膜を介して配された第1チャネルを有する。ここでは第1チャネルはP型半導体領域401の一部により構成されている。さらに第1チャネルはP型半導体領域401に不純物イオンを注入して電子に対するポテンシャル障壁の高さが調整されていてもよい。

#### 【0026】

第1信号保持部MEM1は、第2制御電極406、第3制御電極406下部に絶縁膜を介して配されたN型半導体領域405を含んで構成される。第2制御電極406の電圧は、N型半導体領域405の表面での暗電流発生を防止するために、蓄積中は負の電圧に制御されることが好ましい。光電変換部から第1信号保持部MEM1への転送時は、必要に

50

応じて、適宜、正の電圧を与えることで、転送特性を改善することも可能である。

【0027】

第2電荷転送部TX2は、第3制御電極407及び第3制御電極407下部に絶縁膜を介して配された第2チャネルを有する。ここでは第2チャネルはP型半導体領域401の一部により構成されている。さらに第2チャネルはP型半導体領域401に不純物イオンを注入して電子に対するポテンシャル障壁の高さが調整されていてもよい。

【0028】

FD領域FDはN型半導体領域408を有する。N型半導体領域408は増幅トランジスタSFTのゲートとプラグ409を介して電気的に接続されている。

【0029】

OFD制御部TX4は、第4制御電極411及び第4制御電極下部に絶縁膜を介して配された第3チャネルを有する。ここでは第3チャネルはP型半導体領域401の一部により構成されている。さらに第2チャネルはP型半導体領域401に不純物イオンを注入して電子に対するポテンシャル障壁の高さが調整されていてもよい。

【0030】

OFD領域OFDは、N型半導体領域412を有する。N型半導体領域412は電源電圧供給配線とプラグ413を介して電気的に接続されている。

【0031】

遮光部材410は、第1信号保持部MEM上に配されている。より好ましくは、遮光部材410の第2制御電極406への正射影内に第2制御電極406が内包されるのが好ましい。更に、遮光部材410は第1制御電極404上に延在し、第1制御電極404の光電変換部PD側の側壁まで配されているのが好ましい。更に遮光部材411は、その他の部材まで延在していてもよく、第2電荷転送部TX2上、及び第4制御電極411上まで延在していてもよい。

【0032】

図4(b)は、第1～4制御電極に非導通時の制御パルスが供給されている状態におけるポテンシャル図である。言い換えると、第1～4制御電極に供給される制御パルスのうち電子に対するポテンシャルが最も高い制御パルスが供給されている状態ともいえる。このようなポテンシャル状態は例えば、nフレーム目の信号を全画素一括で第1信号保持部MEM1に転送した後に、第2電荷転送部TX2が行ごとに走査されるまでの期間中に、光電変換部PD、第1信号保持部MEM1において電子を蓄積している期間である。

【0033】

図5は本実施例の撮像装置の全体ブロック図である。図1～図4の構成と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。図5では3行3列の計9画素が図示されているが、更に多数の画素が配されていてもよい。また第1～第5画素の配置に関しては、1行目に第1画素101、第2画素101a及び第3画素101bが配され、2行目に第1画素101a、第4画素101c及び第5画素101dが配されているとする。更に3行目に第1画素101、第2画素101a及び第3画素101bが配されている。

【0034】

垂直走査部501から画素行ごともしくは複数の画素行ごとに制御パルスが供給されている。垂直走査部500は、シフトレジスタ、アドレスデコーダで構成することができる。

【0035】

列回路502は、各々が各画素列に対応する複数の回路ブロックにより構成される。各回路ブロックは、制御パルスTSで制御される第1スイッチ503、制御パルスTNで制御される第2スイッチ504を有している。更に、第1スイッチ503の後段に、光信号保持部505、第2スイッチ504の後段にノイズ信号保持部506が配される。そして、光信号保持部505の後段に第3スイッチ507、ノイズ信号保持部506の後段に第4スイッチ508が配されている。第3スイッチ507及び第4スイッチ508はP

10

20

30

40

50

H S E L で制御される。第 3 スイッチ 5 0 7 の後段には水平信号線 S E N S O R \_ O U T \_ S 、第 4 スイッチ 5 0 8 の後段には水平信号線 S E N S O R \_ O U T \_ N が配される。

【 0 0 3 6 】

このような全体ブロック図において信号伝達の様子を説明する。

【 0 0 3 7 】

所定の画素行に含まれる複数の画素がリセットされノイズ信号を出力可能な状態で且つ垂直走査部 5 0 1 により所定の画素行の複数の画素が選択状態となっている期間に、垂直信号線 V O U T にノイズ信号が出力される。ノイズ信号としては、画素のトランジスタのオフセットノイズ、もしくはランダムノイズである。もしくは列回路のノイズ信号でもよい。

10

【 0 0 3 8 】

垂直信号線 V O U T を伝達したノイズ信号は第 2 スイッチ 5 0 4 を介してノイズ信号保持部 5 0 6 に保持される。その後、所定の画素行に含まれる複数の画素の光電変換部で生じた電荷に基づく信号が出力可能な状態となる。そして、垂直走査部 5 0 1 により所定の画素行の複数の画素が選択状態となっている期間に、垂直信号線にノイズ信号が重畠した光信号（以下光信号と呼ぶ）が出力される。

【 0 0 3 9 】

垂直信号線 V O U T を伝達した光信号は第 1 スイッチ 5 0 3 を介して光信号保持部 5 0 5 に保持される。その後、P H S E L により第 3 、第 4 スイッチが列ごともしくは複数の列ごとに導通することにより、水平出力線 S E N S O R \_ O U T \_ S 、 S E N S O R \_ O U T \_ N に同相で光信号とノイズ信号が出力される。この信号を不図示の信号処理回路で処理することでノイズ除去することが可能となる。

20

【 0 0 4 0 】

図 6 に更に具体的な制御パルスを示す。全ての制御パルスがハイレベルで導通状態となる。

【 0 0 4 1 】

時刻 T 1 以前は撮像面の全画素の R E S がハイレベルとなっており、增幅トランジスタのゲートに基準電圧が供給された状態となっている。図示されているその他の制御パルスはローレベルである。

30

【 0 0 4 2 】

時刻 T 1 において撮像面の全画素の T X 1 、 T X 2 、 O F D がローレベルからハイレベルへ遷移し、時刻 T 2 において撮像面の全画素の T X 1 、 T X 2 、 O F D がハイレベルからローレベルへ遷移する。この動作により、光電変換部 P D 及び第 1 信号保持部 M E M 1 の電子が O F D 領域もしくは F D 領域を介してリセットトランジスタ R E S のドレインに排出される。そして時刻 T 2 において n フレーム目の撮像の露光期間が開始する。図示されているように露光期間は撮像面全体において同一である。

【 0 0 4 3 】

時刻 T 3 において、撮像面の全画素の T X 1 がローレベルからハイレベルへ遷移し、時刻 T 4 において撮像面の全画素の T X 1 がハイレベルからローレベルへ遷移する。この動作により光電変換部 P D の電子が、撮像面の全画素一括で、第 1 信号保持部 M E M 1 へ転送される。

40

【 0 0 4 4 】

時刻 T 5 において撮像面の全画素の O F D がローレベルからハイレベルへ遷移し、光電変換部 P D に入射して生じた電子を O F D 領域へ排出する。

【 0 0 4 5 】

次に時刻 T 6 に S E L \_ 1 がローレベルからハイレベルへ遷移し。同時に R E S \_ 1 がハイレベルからローレベルへ遷移する。この動作により画素のノイズ信号が垂直信号線 V O U T に出力され得る状態となる。

【 0 0 4 6 】

時刻 T 7 において P T N がローレベルからハイレベルへ遷移し、時刻 T 8 において P T

50

Nがハイレベルからローレベルへ遷移する。この動作により列回路のノイズ信号保持部506に1行目の画素のノイズ信号が保持される。

【0047】

時刻T9においてTX2\_1がローレベルからハイレベルへ遷移し。時刻T10においてTX2\_1がハイレベルからローレベルへ遷移する。この動作により1行目の複数の画素において、第1信号保持部MEM1から増幅トランジスタSFのゲートへ電子が転送される。

【0048】

時刻T11においてPTSがローレベルからハイレベルへ遷移し、時刻T12においてPTSがハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部505に1行目の画素の光信号が保持される。

10

【0049】

そして時刻T13-T19においてPHSEL\_1-PHSEL\_3を順次導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。光信号とノイズ信号とが列単位で同時に出力される。

【0050】

時刻T20においてSEL1がハイレベルからローレベルへ遷移し。1行目の画素が選択状態から非選択状態となる。続けて期間T21-T33において1行目と同様に2行目の画素の信号が読み出される。

20

【0051】

そして時刻T34以降において3行目の画素の信号の読み出しが行われる。

【0052】

本実施例では3行目の画素の読み出し期間中に次フレームの露光期間が開始する。時刻T35において撮像面の全画素のOFDがハイレベルからローレベルへ遷移する。これにより光電変換部PDに入射した光により生じた電子が光電変換部PDにおいて蓄積される。

30

【0053】

このような動作によりグローバル電子シャッタ動作を実現でき、更に、画素ごとにノイズ信号を生成し不図示の後段の回路でノイズ除去することが可能となる。また次フレームの蓄積を行なうながら、焦点検出用の信号を出力することが可能となる。

【0054】

（実施例2）

図7(a)に実施形態1の実施例2の1画素の断面図、図7(b)に図7(a)に対応するポテンシャル図を示す。実施例1においては、光電変換部PDと第1信号保持部MEM1との間のポテンシャル障壁の高さに特徴がある。光電変換部PDと第1信号保持部MEM1との間の電気経路に配された第1電荷転送部TX1が非導通状態で、光電変換部から第1信号保持部MEM1へ電子が移動可能な構成となっている。ここで非導通状態とは、第1電荷転送部MEM1に供給されるパルス値のうち、生じるポテンシャル障壁が最も高いパルス値を供給された状態である。したがって、いわゆる完全にオフになっている必要はなく、完全にオンした場合に比べて何らかのポテンシャル障壁が生じている状態も含む。

40

【0055】

例えば具体的な構成としては、第1電荷転送部TX1をMOSトランジスタであるとすると、このMOSトランジスタを埋め込みチャネル構造とすることで実現することができる。より一般的にいえば、第1電荷転送部TX1が非導通状態の時に表面よりも深い領域に表面よりも電子に対するポテンシャル障壁が低くなっている部分が存在している構成である。この場合には第1電荷転送部TX1に供給される制御パルスを固定値とすることもできる。つまり導通状態と非導通状態との2状態を切り替え可能な構成としなくとも固定のポテンシャル障壁としても良い。このような構成によれば、光電変換部PDに光が入射した際に光電変換により生成した電子の大半が露光期間中に第1信号保持部MEM1へ移

50

動する。したがって、撮像面の全ての画素の蓄積時間を揃えることが可能となる。

#### 【0056】

第1電荷転送部TX1が非導通状態となつてはいるが第1電荷転送部の第1チャネル表面にホールが蓄積される。そして、電子が移動する第1チャネルが表面よりも所定深さの部分に存在するため、絶縁膜界面を電子が移動する場合に比べて暗電流の影響を低減することが可能となる。

#### 【0057】

図7(a)において第1電荷転送部TX1は、第1制御電極702、N型半導体領域703を有する。図7(b)は、各制御電極に非導通時の制御パルスが供給されている状態におけるポテンシャル図である。言い換えると、各制御電極に供給される制御パルスのうち電子に対するポテンシャルが最も高い制御パルスが供給されている状態ともいえる。このポテンシャル状態は例えば、nフレーム目の信号を第1信号保持部MEM1に転送した後に、第2電荷転送部TX2が行ごとに走査されるまでの期間中に、光電変換部PD、第1信号保持部で蓄積している期間である。

10

#### 【0058】

また、OFD制御部TX4に生じるポテンシャル障壁の高さに比べて、第1電荷転送部TX1に生じるポテンシャル障壁の高さが低くなっている。このような構成は、第1チャネル近傍にN型半導体領域703を配することで実現できる。

#### 【0059】

図8に本実施例の撮像装置の撮像領域に対する制御パルスの一例を示す。基本的な動作は図6の動作と同様である。しかしながら図6の動作に比べて、第1電荷転送部TX1のポテンシャル障壁の高さが低い。したがって、第1信号保持部MEM1において電子が保持されている期間中にOFDのハイレベルが維持され、光電変換部PDに生じた電子がOFD領域に排出されるように制御されている。具体的には、n+1フレームの露光期間が始まるT3は、nフレーム目の撮像面の全ての画素行の読み出しが終了した後に設定される。

20

#### 【0060】

更に、TX1のローレベルを負電位とするのが好ましい。これは第1電荷保持部MEM1のN型半導体領域405表面にホールを集めて暗電流を低減するためである。

30

#### 【0061】

(実施形態2)

(実施例1)

図9に本実施例の撮像装置の撮像領域の上面図を示す。実施形態1との違いは、実施形態1では撮像用と焦点検出用とで構造の異なる画素を用いていたのに対し、本例では1画素の光電変換部を複数に分割し、分割した光電変換部の信号を用いることで焦点検出を行なう点である。ここでの画素とは撮像用の最小単位である。例えば複数のマイクロレンズを有するマイクロレンズアレイを有する場合には、一つのマイクロレンズに対応する単位ユニットが1画素であるといえる。つまり1つのマイクロレンズにより集められた光を受ける、複数の光電変換部を有し、複数の光電変換部のそれぞれの光電変換部の信号を独立して取り出し可能な構成である。各々の信号を独立して取り出す方法は複数考えられ、後段の回路での処理により実現することもできる。

40

#### 【0062】

図9では一つのマイクロレンズに対し、2つの光電変換部が配されている。これを第1光電変換部Aと第2光電変換部Bと図示している。図9ではすべての画素において2つの光電変換部が図面左右方向に並置された光電変換部を有している。しかしながら図面上下方向に並置されていてもよいし、左右方向に並置された光電変換部を有する画素、及び上下方向に並置された光電変換部を有する画素が混在していてもよい。

#### 【0063】

図10に本実施例の画素の上面図を示す。ここでは隣接する3画素を示している。更に多数の画素が配置されていてもよい。

50

## 【0064】

第1光電変換部PD\_A、第2光電変換部PD\_Bは互いに隣接して配されており、それぞれに対して1つのマイクロレンズにより集光された光が入射する。各光電変換部で生じた電子は第1電荷転送部TX1を介して第1信号保持部MEM\_A、MEM\_Bに転送され保持される。図面下部に配された領域には画素回路を構成する他のトランジスタ等が配される。OFD領域には光電変換部PD\_A、PD\_Bで生じた電子を排出可能となっている。

## 【0065】

図11に本実施例の1画素の等価回路図を示す。図10と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。第1光電変換部PD\_Aに対応する回路、第2光電変換部PD\_Bに対応する回路がそれぞれ設けられている。また画素列ごとに複数の垂直信号線が設けられている。本例では2本の垂直信号線が画素列ごとに設けられている。それぞれの動作は、同様の動作であるため第1光電変換部PD\_Aに対応する画素回路に関して説明を行なう。

10

## 【0066】

第1光電変換部PD\_Aに光が入射することでホール、電子対が生じる。第1光電変換部PD\_Aと第1信号保持部MEM\_Aとの間の電気経路には第1電荷転送部TX1\_Aが配される。

## 【0067】

第1信号保持部MEM\_Aで保持された電子は、第2電荷転送部TX2\_Aを介して、増幅トランジスタSF\_Aの入力ノードに転送される。入力ノードはFDを有する。増幅トランジスタSF\_Aと垂直信号線VOUT\_Aとの間の電気経路に選択トランジスタSEL\_Aが配される。選択トランジスタSEL\_Aにより垂直信号線VOUT\_Aに読み出される画素が選択される。リセットトランジスタRES\_Aは増幅トランジスタSF\_Aの入力ノードに基準電圧を供給してリセットを行なう。OFD制御部OFD\_Aは第1光電変換部PD\_Aで生じた電子をOFD領域に排出する。特に、OFD制御部OFD\_Aを第1信号保持部MEM1において、焦点検出用の信号を生成するための信号電荷を蓄積している期間中において動作させるのがよい。

20

## 【0068】

第1電荷転送部TX1\_Aには制御パルスTX1が供給される。第2電荷転送部TX2には制御パルスTX2が供給される。OFD制御部OFD\_Aには制御パルスOFDが供給される。選択トランジスタSEL\_Aのゲートには制御パルスSELが供給される。リセットトランジスタRES\_Aのゲートには制御パルスRESが供給される。

30

## 【0069】

ここで重要なのは、同一画素行において、各制御電極、トランジスタに供給される制御パルスが共通となっている点である。このような構成にすることで複数の垂直信号線に並列に焦点検出用の信号を読み出すことが可能となるため、信号の読み出しを高速化することが可能となる。

## 【0070】

また、撮像用の信号は、垂直信号線VOUT\_A、VOUT\_Bに読み出された後の信号を信号処理部で加算もしくは平均することで得られる。

40

## 【0071】

図12(a)に本実施例の第1光電変換部PD\_Aに対応する画素構成部分の断面図を示す。図10のE-Fにおける断面を示している。図12(b)は図12(a)に対応する部分のポテンシャル図である。基本的に第2光電変換部PD\_Bに対応する画素構成も同様であるため、説明において部分的に併記して説明を行なう。

## 【0072】

P型半導体領域1201に複数のN型半導体領域を配することで光電変換部PD\_A、PD\_B、第1信号保持部MEM\_A、MEM\_B、FD領域を構成している。P型半導体領域1201はP型半導体基板を用いてもよいし、N型半導体基板にイオン注入で形成

50

された P 型半導体領域を用いてもよい。

【 0 0 7 3 】

光電変換部 P D \_ A は、 P 型半導体領域 1 2 0 1 、 P 型半導体領域 4 0 1 と P N 接合を構成するように配された N 型半導体領域 4 0 2 、 N 型半導体領域 4 0 2 上に配された P 型半導体領域 4 0 3 を有する。いわゆる埋め込み型のフォトダイオードとなっている。

【 0 0 7 4 】

第 1 電荷転送部 T X 1 \_ A は、第 1 制御電極 1 2 0 4 及び第 1 制御電極 1 2 0 4 下部に絶縁膜を介して配された第 1 チャネルを有する。第 1 チャネルは P 型半導体領域 1 2 0 1 の一部により構成されている。さらに第 1 チャネルは P 型半導体領域 1 2 0 1 に不純物イオンを注入して電子に対するポテンシャル障壁の高さが調整されていてもよい。

10

【 0 0 7 5 】

第 1 信号保持部 M E M \_ A は、第 2 制御電極 1 2 0 6 、第 2 制御電極 1 2 0 6 下部に絶縁膜を介して配された N 型半導体領域 1 2 0 5 を有する。

【 0 0 7 6 】

第 2 電荷転送部 T X 2 \_ A は、第 3 制御電極 1 2 0 7 及び第 3 制御電極 1 2 0 7 下部に絶縁膜を介して配された第 2 チャネルを有する。第 2 チャネルは P 型半導体領域 1 2 0 1 の一部により構成されている。さらに第 2 チャネルは P 型半導体領域 1 2 0 1 に不純物イオンを注入して電子に対するポテンシャル障壁の高さが調整されていてもよい。

10

【 0 0 7 7 】

F D 領域は N 型半導体領域 4 0 8 を有する。N 型半導体領域 4 0 8 は増幅トランジスタのゲートとプラグ 1 2 0 9 を介して電気的に接続されている。

20

【 0 0 7 8 】

O F D 制御部 O F D \_ A は、第 4 制御電極 1 2 1 1 及び第 4 制御電極 1 2 1 1 下部に絶縁膜を介して配された第 3 チャネルを有する。第 3 チャネルは P 型半導体領域 1 2 0 1 の一部により構成されている。さらに第 2 チャネルは P 型半導体領域 1 2 0 1 に不純物イオンを注入して電子に対するポテンシャル障壁の高さが調整されていてもよい。

20

【 0 0 7 9 】

O F D 領域は、 N 型半導体領域 1 2 1 2 を有する。N 型半導体領域 1 2 1 2 は電源電圧供給配線とプラグ 1 2 1 3 を介して電気的に接続されている。

30

【 0 0 8 0 】

遮光部材 1 2 1 0 は、第 1 信号保持部 M E M \_ A 上に配されている。より好ましくは、遮光部材 1 2 1 0 の第 2 制御電極 1 2 0 6 の方向への正射影像内に第 2 制御電極 1 2 0 6 が内包されるのが好ましい。更に、遮光部材 1 2 1 0 は第 1 制御電極 1 2 0 4 上に延在し、第 1 制御電極 1 2 0 4 の光電変換部 M E M \_ A 側の側壁まで配されているのが好ましい。更に遮光部材 1 2 1 1 は、その他の部材まで延在していてもよく、第 2 電荷転送部 T X 2 \_ A 上、及び第 4 制御電極 1 2 1 1 上まで延在していてもよい。

30

【 0 0 8 1 】

図 1 2 ( b ) は、第 1 ~ 4 制御電極に非導通時の制御パルスが供給されている状態において、焦点検出用の信号を生成するための信号電荷を蓄積している期間におけるポテンシャル図である。第 1 ~ 4 制御電極に供給される制御パルスのうち電子に対するポテンシャルが最も高い制御パルスが供給されている状態である。このようなポテンシャル状態は例えば、 n フレーム目の信号を全画素一括で第 1 信号保持部 M E M \_ A に転送した後に、第 2 電荷転送部 T X 2 \_ A が行ごとに走査されるまでの期間中に、光電変換部 P D \_ A 、第 1 信号保持部 M E M で焦点検出用の信号電荷を蓄積している期間である。

40

【 0 0 8 2 】

図から明らかなように第 1 電荷転送部 T X 1 に生じるポテンシャル障壁の高さが低い。相対的な関係でいうと、例えば、 O F D 制御部に生じるポテンシャル障壁よりも低くなっている。

【 0 0 8 3 】

図 1 3 は本実施例の撮像装置の全体ブロック図である。図 1 3 では 3 行 3 列の計 9 画素

50

が図示されているが、更に多数の画素が配されていてもよい。

【0084】

撮像領域1300には複数の画素1301が配されている。垂直走査部1302から画素行ごともしくは複数の画素行ごとに制御パルスが供給されている。好ましくは同一の画素に含まれる第1光電変換部PD\_A、第2光電変換部PD\_Bに対応する回路には同一タイミングのパルスが供給される。

【0085】

垂直走査部1302は、シフトレジスタ、アドレスデコーダで構成することができる。

【0086】

列回路1303は、各々が各画素列に対応する複数の回路ブロックにより構成される。  
各回路ブロックは、制御パルスTSで制御される第1スイッチ1304\_A、1304\_B、制御パルスTNで制御される第2スイッチ1305\_A、1305\_Bを有している。更に、第1スイッチ1304\_A、1304\_Bの後段に、光信号保持部1306\_A、1306\_Bが配されている。第2スイッチ1305\_A、1305\_Bの後段にノイズ信号保持部1307\_A、1307\_Bが配される。そして、光信号保持部1306\_A、1306\_Bの後段に第3スイッチ1308\_A、1308\_B、ノイズ信号保持部1307\_A、1307\_Bの後段に第4スイッチ1309\_A、1309\_Bが配されている。

【0087】

第3スイッチ1308\_A、1308\_B及び第4スイッチ1309\_A、1309\_BはPHSELで制御される。第3スイッチ1308\_A、1308\_Bの後段には水平信号線SENSOR\_OUT\_S\_A、SENSOR\_OUT\_S\_Bが配される。第4スイッチ1309\_A、1309\_Bの後段には水平信号線SENSOR\_OUT\_N\_A、SENSOR\_OUT\_N\_Bが配される。

【0088】

このような全体ブロック図において信号伝達の様子を説明する。

【0089】

所定の画素行に含まれる複数の画素の光電変換部PD\_A、PD\_Bがリセットされノイズ信号を出力可能な状態となる。そして、垂直走査部1302により所定の画素行の複数の画素が選択状態となっている期間に垂直信号線VOUT\_A、VOUT\_Bにノイズ信号が出力される。このノイズ信号は垂直信号線VOUT\_A、VOUT\_Bに略同時に出力される。

【0090】

ノイズ信号としては、各光電変換部に対応した、画素のトランジスタのオフセットノイズ、もしくはランダムノイズである。または列回路のノイズ信号であってもよい。

【0091】

垂直信号線VOUT\_A、VOUT\_Bを伝達したノイズ信号は第2スイッチ1305\_A、1305\_Bを介してノイズ信号保持部1307\_A、1307\_Bに略同時に保持される。その後、所定の画素行に含まれる複数の画素の光電変換部PD\_A、PD\_Bで生じた電荷に基づく信号が出力可能な状態となる。そして垂直走査部1302により所定の画素行の複数の画素が選択状態となっている期間に、垂直信号線VOUT\_A、VOUT\_Bにノイズ信号が重畠した光信号（以下光信号と呼ぶ）が略同時に出力される。

【0092】

垂直信号線VOUT\_A、VOUT\_Bを伝達した光信号は第1スイッチ1304\_A、1304\_Bを介して光信号保持部1306\_A、1306\_Bに略同時に保持される。その後、PHSELにより第3、第4スイッチが列ごともしくは複数の列ごとに導通することにより、対応する水平出力線に同相で光信号とノイズ信号が出力される。この信号を不図示の信号処理回路で処理することでノイズ除去することが可能となる。

【0093】

図14に更に具体的な制御パルスを示す。全ての制御パルスがハイレベルで導通状態と

なる。

【0094】

時刻T1以前は撮像面の全画素のRESがハイレベルとなっており、増幅トランジスタのゲートに基準電圧が供給された状態となっている。図示されているその他の制御パルスはローレベルである。また、同一画素行の、第1光電変換部PD\_Aに対応する画素回路、第2光電変換部PD\_Bに対応する画素回路のうち同様の機能を有する回路素子にはそれぞれ共通の制御パルスが供給される。つまり、同一画素行においては第1光電変換部PD\_A、第2光電変換部の信号は同時に垂直信号線VOUT\_A、VOUT\_Bに出力され得る。

【0095】

時刻T1において撮像面の全画素のTX1、TX2、OVDがローレベルからハイレベルへ遷移し、時刻T2において撮像面の全画素のTX1、TX2、OVDがハイレベルからローレベルへ遷移する。この動作により、第1光電変換部PD\_A、第2光電変換部PD\_B及び第1信号保持部MEM\_A、MEM\_Bの電子がOVD領域に、もしくはFD領域を介してリセットトランジスタのドレインに排出される。そして時刻T2においてnフレーム目の撮像の露光期間が開始する。図示されているように露光期間は撮像面全体において同一である。

【0096】

時刻T3において、撮像面の全画素のTX1がローレベルからハイレベルへ遷移し、時刻T4において撮像面の全画素のTX1がハイレベルからローレベルへ遷移する。この動作により第1光電変換部PD\_Aの電子が、撮像面の全画素一括で、第1信号保持部MEM\_Aへ転送される。同様に第2光電変換部PD\_Bの電子が、撮像面の全画素一括で、第1信号保持部MEM\_Bへ転送される。

【0097】

時刻T5において撮像面の全画素のOVDがローレベルからハイレベルへ遷移し、光電変換部PD\_A、PD\_Bに入射して生じた電子をOVD領域へ排出する。OVD動作は第1信号保持部MEM1において焦点検出用の信号を生成するための信号電荷が保持されている期間中動作させるとよい。

【0098】

次に時刻T6にSEL\_1がローレベルからハイレベルへ遷移し、同時にRES\_1がハイレベルからローレベルへ遷移する。この動作により画素のノイズ信号が垂直信号線VOUT\_A、VOUT\_Bに出力され得る状態となる。

【0099】

時刻T7においてPTNがローレベルからハイレベルへ遷移し、時刻T8においてPTNがハイレベルからローレベルへ遷移する。この動作により列回路のノイズ信号保持部に1行目のノイズ信号が保持される。

【0100】

時刻T9においてTX2\_1がローレベルからハイレベルへ遷移し、時刻T10においてTX2\_1がハイレベルからローレベルへ遷移する。この動作により1行目の複数の画素において、第1信号保持部MEM\_A、MEM\_Bから増幅トランジスタSF\_A、SF\_Bの入力ノードへ信号電荷が転送される。

【0101】

時刻T11においてPTSがローレベルからハイレベルへ遷移し、時刻T12においてPTSがハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部に1行目の画素の焦点検出用の光信号が保持される。この焦点検出用の光信号にはノイズ信号が重畠している。

【0102】

そして時刻T13-T19においてPHSEL\_1-PHSEL\_3を順次、導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。

10

20

30

40

50

**【 0 1 0 3 】**

時刻 T 2 0において S E L 1がハイレベルからローレベルへ遷移し。1行目の画素が選択状態から非選択状態となる。続けて期間 T 2 1 - T 3 3において1行目と同様に2行目の画素の信号が読み出される。

**【 0 1 0 4 】**

そして時刻 T 3 4以降において3行目の画素の焦点検出用の信号の読み出しが行われる。

**【 0 1 0 5 】**

本実施例では3行目の画素の焦点検出用の信号の読み出し期間中に次フレームの露光期間が開始する。時刻 T 3 5において撮像面の全画素の O F D がハイレベルからローレベルへ遷移する。これにより光電変換部 P D \_ A 、 P D \_ B に入射した光により生じた焦点検出用の信号を生成するための信号電荷が光電変換部 P D \_ A 、 P D \_ B において蓄積される。

10

**【 0 1 0 6 】**

このような動作によりグローバル電子シャッタ動作を実現でき、更に、ノイズ信号を不図示の後段の回路で除去することが可能となる。

**【 0 1 0 7 】**

図15に図10のG - Hにおけるポテンシャル図を示す。図15は、隣接する3画素の光電変換部 P D \_ A 、 P D \_ B 及びこれらの間の領域のポテンシャルの大小関係を説明するための図である。図から明らかなように、同一画素の第1光電変換部 P D \_ A 、第2光電変換部 P D \_ B の間の領域に生じるポテンシャルの高さが、異なる画素に含まれる複数の光電変換部どうしてあって互いに隣接する光電変換部間の領域に生じるポテンシャルの高さよりも低い。

20

**【 0 1 0 8 】**

図面において各光電変換部において添え字で同じ番号が振られている光電変換部は、同一画素に含まれる複数の光電変換部である。異なる番号が振られているのは、画素が異なることを示している。

**【 0 1 0 9 】**

図15においては隣接する3つの画素が示されている。仮に左から順に第1画素、第2画素、第3画素とする。図示しているのは第1画素の第2光電変換部 P D \_ B \_ 1 、第2画素の第1光電変換部 P D \_ A \_ 2 、第2光電変換部 P D \_ B \_ 2 、第3画素の第1光電変換部 P D \_ A \_ 3 である。同一画素(第2画素)に含まれる第1光電変換部 P D \_ A \_ 1 、第2光電変換部 P D \_ B \_ 2との間の領域(第1領域)を I S O 1 として示している。互いに異なる画素(例えば第1画素、第2画素)に含まれ、隣接する光電変換部( P D \_ B \_ 1 、 P D \_ A \_ 2 )間の領域(第2領域)を I S O 2 として示している。また、経路内でのポテンシャルの極小値を示している。第1領域 I S O 1 のポテンシャルの高さが、第2領域 I S O 2 のポテンシャルの高さよりも低い。このようなポテンシャル関係になっていると以下のようない点がある。

30

**【 0 1 1 0 】**

例えば、同一画素に含まれ隣接する第1光電変換部 P D \_ A \_ 2 、第2光電変換部 P D \_ B \_ 2 間で感度差や輝度差により、少なくとも第1光電変換部 P D \_ A \_ 2 が飽和した場合を仮定する。この時には、第1光電変換部 P D \_ A \_ 2 で発生した電荷の一部は第1領域 I S O 1 に生じるポテンシャル障壁を乗り越え、第2光電変換部 P D \_ B \_ 2 に移動し得る。それにとどまらず、第1光電変換部 P D \_ A \_ 2 で発生した電荷は、光電変換部 P D \_ B \_ 1 にも移動し得る。更には不図示の第1光電変換部 P D \_ A \_ 2 に隣接して配されたトランジスタ配置領域にも移動し得る。

40

**【 0 1 1 1 】**

第1光電変換部 P D \_ A \_ 2 が飽和して、第2光電変換部 P D \_ B \_ 2 が飽和していないときには、第2光電変換部 P D \_ B \_ 2 のみが、入射光に応じて線形性を有した信号が出力される。そのため、これらの信号を合成する場合には、合成出力は、第1光電変換部

50

P D \_ A \_ 2 が飽和したところから第 2 光電変換部 P D \_ B \_ 2 の出力で決定され、結果として、合成出力は第 1 光電変換部 P D \_ A \_ 2 が飽和したところから、ニー特性をもつてしまう。この現象は、第 1 光電変換部 P D \_ A \_ 2 が飽和した後に発生した電荷が P D \_ B \_ 2 以外に漏れこむときに顕著となる。このような現象のため、所望の合成信号が得られない場合がある。このような現象に対して図 15 のようなポテンシャル状態としておくことで、同一画素の隣接する光電変換部に移動しやすくなり、好適な合成信号を得ることが可能となる。

#### 【 0 1 1 2 】

図 16 に図 10 の I - J におけるポテンシャル図を示す。図 16 は、隣接する 3 画素の第 1 信号保持部及びこれらの間の領域のポテンシャルの大小関係を説明するための図である。添え字は図 15 と同様である。

10

#### 【 0 1 1 3 】

同一画素の第 1 信号保持部 M E M \_ A \_ 2 、第 1 信号保持部 M E M \_ B \_ 2 との間の領域（第 3 領域）を I S O 3 として図示している。互いに異なる画素に含まれ隣接する第 1 信号保持部間の領域を I S O 4 として図示している。第 3 領域 I S O 3 のポテンシャルの高さと第 4 領域 I S O 4 のポテンシャルの高さは同じである。つまり同一画素、異なる画素で隣接する第 1 信号保持部間のポテンシャルの高さは変わっていない。これは、第 1 信号保持部間は、同一画素に含まれる複数の第 1 信号保持部であろうと、互いに異なる画素に含まれる第 1 信号保持部であろうと、互いの信号の独立性を保つことが重要であるためである。特に、グローバル電子シャッタ動作をする場合に、第 3 領域 I S O 3 、第 4 領域 I S O 4 とでポテンシャル障壁の高さを変えてしまうと、信号までの読み出しが撮像面内の一で異なるため、信号の混ざり方の度合いが変わってしまうためである。

20

#### 【 0 1 1 4 】

更に、第 3 領域 I S O 3 及び第 4 領域 I S O 4 のポテンシャルの高さは、第 1 領域の高さよりも高いことが好ましい。更に、第 3 領域 I S O 3 及び第 4 領域 I S O 4 のポテンシャルの高さは、第 2 領域 I S O 2 のポテンシャルの高さと同じであることが好ましい。

30

#### 【 0 1 1 5 】

図 17 に図 10 の I - J における断面図を示す。図 10 と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。

#### 【 0 1 1 6 】

複数の第 1 信号保持部のそれぞれは、P 型半導体領域 1 7 0 1 に配された複数の N 型半導体領域のいずれかを有する。P 型半導体領域 1 7 0 1 は P 型半導体基板を用いてもよいし、N 型半導体基板にイオン注入で形成された P 型半導体領域を用いてもよい。

40

#### 【 0 1 1 7 】

第 1 信号保持部 M E M \_ B \_ 1 は N 型半導体領域 1 7 0 2 B \_ 1 、第 1 信号保持部 M E M \_ A \_ 2 は N 型半導体領域 1 7 0 2 A \_ 2 を有する。更に、第 1 信号保持部 M E M \_ B \_ 2 は N 型半導体領域 1 7 0 2 B \_ 2 、第 1 信号保持部 M E M \_ A \_ 3 は N 型半導体領域 1 7 0 2 A \_ 3 を有する。N 型半導体領域 1 7 0 2 B \_ 1 、1 7 0 2 A \_ 2 、1 7 0 2 B \_ 2 、1 7 0 2 A \_ 3 は、P 型半導体領域 1 7 0 1 と P N 接合を構成している。さらに各 N 型半導体領域の表面に P 型半導体領域を配してもよい。

#### 【 0 1 1 8 】

第 3 領域 I S O 3 は、絶縁体による分離領域 S i O 2 に沿って配された P 型半導体領域 1 7 0 3 \_ 3 を有している。これはいわゆるチャネルトップ領域を用いることができる。

#### 【 0 1 1 9 】

第 4 領域 I S O 4 は、絶縁体による分離領域 S i O 2 に沿って配された P 型半導体領域 1 7 0 3 \_ 4 を有している。これはいわゆるチャネルトップ領域を用いることができる。

#### 【 0 1 2 0 】

第 1 電荷転送部 T X 1 \_ 2 は制御電極 1 7 0 5 を有する。制御電極 1 7 0 5 は、N 型半

50

導体領域 1702A\_1、1702A\_2 上に絶縁膜を介して連続的に配されている。図示しているように N 型半導体領域 1702A\_1、1702A\_2 間に配された第 3 領域 ISO3 上に配されていてもよい。

#### 【0121】

第 1 電荷転送部 TX1\_2 は制御電極 1706 を有する。制御電極 1706 は制御電極 1705 と同様に同一画素に含まれる複数の第 1 信号保持部のそれぞれに対応する N 型半導体領域上に連続的に配することができる。

#### 【0122】

図 17 の構成によれば、絶縁体による素子分離領域を設けているため、第 3 領域 ISO3、第 4 領域 ISO4 のポテンシャルの高さを容易に高めることができる。

10

#### 【0123】

図 18 に図 10 の I-J における断面図の他の例を示す。図 10 と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。図 17 の構成と大きく異なる点は、第 3 領域 ISO3、第 4 領域 ISO4 の構造である。具体的には絶縁体による素子分離領域を設けずに、半導体領域のみで構成している点である。

#### 【0124】

複数の第 1 信号保持部のそれぞれは、P 型半導体領域 1801 に配された複数の N 型半導体領域のいずれかを有する。P 型半導体領域 1801 は P 型半導体基板を用いてもよいし、N 型半導体基板にイオン注入で形成された P 型半導体領域を用いてもよい。

20

#### 【0125】

第 1 信号保持部 MEM\_B\_1 は N 型半導体領域 1802B\_1、第 1 信号保持部 MEM\_A\_2 は N 型半導体領域 1802A\_2 を有する。第 1 信号保持部 MEM\_B\_2 は N 型半導体領域 1802B\_2、第 1 信号保持部 MEM\_A\_3 は N 型半導体領域 1802A\_3 を有する。N 型半導体領域 1802B\_1、1802A\_2、1802B\_2、1802A\_3 は、P 型半導体領域 1801 と PN 接合を構成している。さらに各 N 型半導体領域の表面に、P 型半導体領域を配してもよい。

#### 【0126】

第 3 領域 ISO3 は、P 型半導体領域 1803\_3 を有している。ここでは 1 つの半導体領域として図示しているが互いに異なる深さに配された複数の領域により構成されてもよい。

30

#### 【0127】

第 4 領域 ISO4 は、P 型半導体領域 1803\_4 を有している。第 3 領域 ISO3 と同様に、複数の工程で異なる深さに配された領域により構成されてもよい。

#### 【0128】

第 1 電荷転送部 TX1\_2 は、制御電極 1805A、1805B を有する。制御電極 1805A は、N 型半導体領域 1802A\_2 上に絶縁膜を介して配されている。制御電極 1805B は、N 型半導体領域 1802B\_2 上に絶縁膜を介して配されている。

#### 【0129】

第 1 電荷転送部 TX1\_1、TX1\_3 の各々も、制御電極 1806 を有する。制御電極 1806 も対応する、第 1 信号保持部を構成する N 型半導体領域上に配される。

40

#### 【0130】

図 18 の構成によれば、半導体基板表面の凹凸が少ないため、遮光部材を配しやすい。また、隣接画素等との間の、遮光膜で被覆されていない絶縁膜中を伝わる光の入射を防止できるので、遮光性能が向上できる。また、素子分離部の電極をなくし、保持部電極の面積を軽減することで、駆動パルスを相対的に高速に伝搬することが可能となる。

#### 【0131】

(実施例 2)

図 19 に第 2 実施形態の実施例 1 の画素の等価回路の例を示す。図 11 と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。本例の図 11 の例と異なる点は、増幅トランジスタ SF が同一画素の複数の光電変換部 PD\_A、PD\_B で共有されて

50

いる点である。これに伴い、第1光電変換部PD\_Aに対応する第2電荷転送部TX2\_Aと、第1光電変換部PD\_Bに対応する第2電荷転送部TX2\_Bとが独立して制御可能な構成となっている必要がある。

#### 【0132】

図20に本実施例の撮像装置の制御パルス図を示す。本図の駆動パルスは同一画素に含まれる複数の光電変換部の信号を増幅トランジスタの入力ノードで加算する場合の例である。なお、パルスPTSは列回路に配される光信号保持部に信号を保持する際の制御パルスである。パルスPTNは列回路に配されるノイズ信号保持部に信号を保持する際の制御パルスである。パルスPHSELは水平走査回路から出力される制御パルスで、列回路に保持された各列の信号を水平信号線に読み出すための制御パルスである。図20の駆動パルスは静止画モードで用いることができる。10

#### 【0133】

時刻T1以前は撮像面の全画素のRESがハイレベルとなっており、増幅トランジスタのゲートに基準電圧が供給された状態となっている。図示されているその他の制御パルスはローレベルである。

#### 【0134】

時刻T1において撮像面の全画素のTX1、TX2\_A、TX2\_B、OFDがローレベルからハイレベルへ遷移する。そして、時刻T2において撮像面の全画素のTX1、TX2\_A、TX2\_B、OFDがハイレベルからローレベルへ遷移する。20

#### 【0135】

この動作により、第1光電変換部PD\_A、第2光電変換部PD\_B及び第1信号保持部MEM\_A、MEM\_Bの電子がOFD領域に、もしくはFD領域を介してリセットトランジスタのドレインに排出される。そして時刻T2においてnフレーム目の撮像の露光期間が開始する。図示されているように露光期間は撮像面全体において同一である。

#### 【0136】

時刻T3において、撮像面の全画素のTX1がローレベルからハイレベルへ遷移し、時刻T4において撮像面の全画素のTX1がハイレベルからローレベルへ遷移する。この動作により第1光電変換部PD\_Aの撮像用の信号電荷が、撮像面の全画素一括で、第1信号保持部MEM\_Aへ転送される。同様に第2光電変換部PD\_Bの撮像用の信号電荷が、撮像面の全画素一括で、第1信号保持部MEM\_Bへ転送される。30

#### 【0137】

時刻T5において撮像面の全画素のOFDがローレベルからハイレベルへ遷移し、光電変換部PD\_A, PD\_Bに入射して生じた電荷をOFD領域へ排出する。

#### 【0138】

次に時刻T6にSEL\_1がローレベルからハイレベルへ遷移し。同時にRES\_1がハイレベルからローレベルへ遷移する。この動作によりノイズ信号が垂直信号線VOUTに出力され得る状態となる。

#### 【0139】

時刻T7においてPTNがローレベルからハイレベルへ遷移し、時刻T8においてPTNがハイレベルからローレベルへ遷移する。この動作により列回路のノイズ信号保持部に1行目のノイズ信号が保持される。40

#### 【0140】

時刻T9においてTX2\_A\_1、TX2\_B\_1がローレベルからハイレベルへ遷移し、時刻T10においてTX2\_A\_1、TX2\_B\_1がハイレベルからローレベルへ遷移する。この動作により1行目の複数の画素において、第1信号保持部MEM\_A、MEM\_Bから増幅トランジスタSFの入力ノードへ電子が転送され加算される。

#### 【0141】

時刻T11においてPTSがローレベルからハイレベルへ遷移し、時刻T12においてPTSがハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部に50

1行目の画素の撮像用の光信号が保持される。

【0142】

そして時刻T13-T18においてPHSEL\_1-PHSEL\_3を順次導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。

【0143】

時刻T19においてSEL\_1がハイレベルからローレベルへ遷移し、1行目の画素が選択状態から非選択状態となる。続けて期間T20-T34において1行目と同様に2行目の画素の信号が読み出される。

【0144】

そして時刻T34以降において3行目の画素の信号の読み出しが行われる。

【0145】

本実施例では3行目の撮像用の信号の読み出し期間中に次フレームの露光期間が開始する。時刻T35において撮像面の全画素のOFDがハイレベルからローレベルへ遷移する。これにより光電変換部PD\_A、PD\_Bに入射した光により生じた電荷が光電変換部PD\_A、PD\_Bにおいて蓄積される。

【0146】

このような動作によりグローバル電子シャッタ動作を実現でき、更に、ノイズ信号を不図示の後段の回路で除去することが可能となる。

【0147】

次に図21に焦点検出用の信号を出力する際の駆動パルスを示す。

【0148】

図20の駆動パルスとの大きな違いは、同一画素の第1光電変換部PD\_A、第2光電変換部PD\_Bの信号を独立して垂直信号線に読み出す点である。この点に特に注目して駆動パルスの説明を行なう。

【0149】

期間T1-T8は図20と同じなので説明は省略する。図21-1と図21-2は一つの駆動パルス図であるが、時刻T1-T34を図21-1に示し、時刻T35以降を図21-2に示している。

【0150】

時刻T9において、TX2\_A\_1がローレベルからハイレベルへ遷移し、時刻T10においてTX2\_A\_1がハイレベルからローレベルへ遷移する。この動作により1行目の複数の画素において、第1信号保持部MEM\_Aから増幅トランジスタSFの入力ノードへ焦点検出用の信号を生成するための信号電荷が転送される。

【0151】

時刻T11においてPTSがローレベルからハイレベルへ遷移し、時刻T12においてPTSがハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部に1行目の画素の第1光電変換部PD\_Aの焦点検出用の信号を生成するための光信号が保持される。

【0152】

そして時刻T13-T18においてPHSEL\_1-PHSEL\_3を順次導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。

【0153】

時刻T19において、SEL\_1がハイレベルからローレベルへ遷移し、RES1がローレベルからハイレベルに遷移し、時刻T20において、SEL\_1がローレベルからハイレベルへ遷移し、RES1がハイレベルからローレベルに遷移する。この動作により、1行目の画素が一時的に非選択状態となる。そして増幅トランジスタの入力ノードの電圧が基準電圧にリセットされた後、フローティングとなる。この動作により、再び1行目の画素の信号が垂直信号線に出力され得る状態となる。

10

20

30

40

50

## 【0154】

時刻 T 2 1において P T N がローレベルからハイレベルに遷移し、時刻 T 2 2において P T N がハイレベルからローレベルに遷移する。この動作により 1 行目のノイズ信号が列回路のノイズ信号保持部において保持される。

## 【0155】

時刻 T 2 3において、T X 2 \_ B \_ 1 がローレベルからハイレベルへ遷移し、時刻 T 2 4において T X 2 \_ B \_ 1 がハイレベルからローレベルへ遷移する。この動作により 1 行目の複数の画素において、第 1 信号保持部 M E M \_ B から増幅トランジスタ S F の入力ノードへ焦点検出用の信号電荷が転送される。

## 【0156】

時刻 T 2 5において P T S がローレベルからハイレベルへ遷移し、時刻 T 2 6において P T S がハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部に 1 行目の画素の第 2 光電変換部 P D \_ B の焦点検出用の信号を生成するための光信号が保持される。

10

## 【0157】

そして時刻 T 2 7 - T 3 2において P H S E L \_ 1 - P H S E L \_ 3 を順次、導通させることで、水平出力線に各画素列の信号を順次出力する。

## 【0158】

時刻 T 3 3において S E L 1 がハイレベルからローレベルへ遷移し、1 行目の画素が選択状態から非選択状態となる。この動作により 1 行目の画素の焦点検出用の信号の読み出しが完了する。

20

## 【0159】

続けて期間 T 3 4 - T 6 2において 1 行目と同様に 2 行目の画素から焦点検出用の信号が読み出される。

## 【0160】

本実施例では 3 行目の画素の焦点検出用の信号の読み出し期間中に次フレームの露光期間が開始する。時刻 T 6 3において撮像面の全画素の O F D がハイレベルからローレベルへ遷移する。これにより光電変換部 P D \_ A 、P D \_ B に入射した光により生じた焦点検出用の信号を生成するための信号電荷が光電変換部 P D \_ A 、P D \_ B において蓄積される。

30

## 【0161】

## (実施例 3)

図 2 2 に本実施例の撮像装置の断面図を示す。これまで説明してきた断面図においては O F D 領域が光電変換部の横方向に配されていた。いわゆるラテラルオーバーフロードレンイン (L O F D) 構造である。これに対して本例はパーティカルオーバーフロードレンイン (V O F D) 構造としている点が異なる。

## 【0162】

N 型半導体領域 2 2 0 1 は電源電圧が供給されており、V O F D 領域として機能する。N 型半導体領域 2 2 0 1 上には P 型半導体領域 2 2 0 2 が配されている。P 型半導体領域 2 2 0 2 上には P 型半導体領域 2 2 0 3 が配されている。P 型半導体領域 2 2 0 3 と P N 接合を構成するように、N 型半導体領域 2 2 0 4 が配され、更に、N 型半導体領域 2 2 0 4 上に P 型半導体領域 2 2 0 5 が配されている。光電変換部 P D は P 型半導体領域 2 2 0 3 、N 型半導体領域 2 2 0 4 及び P 型半導体領域 2 2 0 5 により構成されている。いわゆる埋め込み型のフォトダイオードである。

40

## 【0163】

第 1 電荷転送部 T X 1 は制御電極 2 2 1 1 及び制御電極下部に絶縁膜を介して配された第 1 チャネル 2 2 0 6 により構成されている。第 1 チャネル 2 2 0 6 は P 型半導体領域 2 2 0 3 の一部により構成されている。さらに、不純物イオンを注入してポテンシャル障壁の高さが調整されていてもよい。

## 【0164】

50

第1信号保持部MEM1は、制御電極2211及び制御電極2211下部に絶縁膜を介して配されたN型半導体領域2207により構成されている。制御電極に負電位を供給することで、N型半導体領域2207の表面にホールを集めることができ、第1信号保持部MEM1での信号保持期間中の暗電流を低減することができる。

【0165】

第2電荷転送部TX2は、制御電極2212及び制御電極2212下部に絶縁膜を介して配された第2チャネル2208により構成されている。第2チャネル2208はP型半導体領域2203の一部により構成されている。さらに、不純物イオンを注入してポテンシャル障壁の高さが調整されていてもよい。

【0166】

FDはN型半導体領域2209により構成されている。N型半導体領域2209はプラグ2210を介して増幅トランジスタのゲートに電気的に接続されている。

【0167】

遮光部材2213は第1信号保持部MEM1上に配されている。より好ましくは、制御電極2211の光電変換部側側面まで延在しているのが好ましい。

【0168】

VOFD動作としては、N型半導体領域2201、P型半導体領域2202のポテンシャル関係を外部から与えるバイアスにより切り替えることで行う。N型半導体領域2204の電子をN型半導体領域2201に排出する。この時、第1信号保持部MEM1での保持されている電子は排出されないことが望ましい。つまり、N型半導体領域2201とN型半導体領域2204との間の電子の移動しやすさに比べて、N型半導体領域2201とN型半導体領域2207との間を電子が移動しにくければよい。具体的な実現手段としては、N型半導体領域2201とN型半導体領域2207との間にポテンシャル障壁を設けることが考えられる。更には、N型半導体領域2201とN型半導体領域2207との距離が、N型半導体領域2201とN型半導体領域2204との距離よりも長ければよい。

【0169】

(実施例4)

図23に本実施例の撮像装置の断面図を示す。本変形例の上述した構成との違いは、光電変換部PDと第1信号保持部MEM1との間のポテンシャル障壁の高さである。言い換えると第1電荷転送部TX1の構造が異なると言える。

【0170】

光電変換部PDと第1信号保持部MEM1との間の電気経路に配された第1電荷転送部TX1が非導通状態で、光電変換部PDから第1信号保持部MEM1へ電子が移動可能な構成である。ここで非導通状態とは、第1電荷転送部TX1に供給されるパルス値のうち、生じるポテンシャル障壁が最も高いパルス値を供給された状態である。したがって、いわゆる完全にオフになっている必要はなく、完全にオンした場合に比べて何らかのポテンシャル障壁が生じている状態も含む。

【0171】

例えば具体的な構成としては、第1電荷転送部TX1をMOSトランジスタであるとすると、このMOSトランジスタを埋め込みチャネル構造とすることで実現することができる。より一般的にいえば、第1電荷転送部TX1が非導通状態の時に表面よりも深い領域に表面よりも電子に対するポテンシャル障壁が低くなっている部分が存在している構成である。この場合には第1電荷転送部TX1に供給される制御パルスを固定値とすることもできる。つまり導通状態と非導通状態との2状態を切り替え可能な構成としなくとも固定のポテンシャル障壁としても良い。このような構成によれば、光電変換部PDに光が入射した際に光電変換により生成した焦点検出用の信号を生成するための信号電荷の大半が露光期間中に第1信号保持部MEM1へ移動する。したがって、撮像面の全ての画素の蓄積時間を揃えることが可能となる。

【0172】

更に、第1電荷転送部TX1が非導通状態となっていると表面にホールが蓄積される。

10

20

30

40

50

そして、電子が移動するチャネルが表面よりも所定深さの部分に存在するため、絶縁膜界面を電子が移動する場合に比べて暗電流の影響を低減することが可能となる。

#### 【0173】

図23(a)において、P型半導体領域2301に複数のN型半導体領域を配することで光電変換部PD\_A、PD\_B、第1信号保持部MEM\_A、MEM\_B、FD領域を構成する。P型半導体領域2301はP型半導体基板を用いてもよいし、N型半導体基板にイオン注入で形成されたP型半導体領域を用いてもよい。図では第1光電変換部PD\_A及びこれに係る回路部分のみを抜き出している。

#### 【0174】

光電変換部PDは、P型半導体領域2301、P型半導体領域2301とPN接合を構成するように配されたN型半導体領域2302、N型半導体領域2302上に配されたP型半導体領域2303を有する。いわゆる埋め込み型のフォトダイオードとなっている。

10

#### 【0175】

第1電荷転送部TX1は、第1制御電極2312及び第1制御電極2312下部に絶縁膜を介して配された第1チャネルを有する。ここでは第1チャネルにはN型半導体領域2304より構成されている。

#### 【0176】

第1信号保持部MEMは、第1制御電極2312、第1制御電極2312下部に絶縁膜を介して配されたN型半導体領域2305を有する。

20

#### 【0177】

第2電荷転送部TX2は、第2制御電極2313及び第2制御電極2313下部に絶縁膜を介して配された第2チャネル2306を有する。ここでは第2チャネル2306はP型半導体領域2301の一部により構成されている。さらに第2チャネル2306はP型半導体領域2301に不純物イオンを注入して電子に対するポテンシャル障壁の高さが調整されているてもよい。

#### 【0178】

FD領域はN型半導体領域2307を有する。N型半導体領域2307は増幅トランジスタのゲートとプラグ2308を介して電気的に接続されている。

#### 【0179】

OFD制御部TX3は、第3制御電極2314及び第3制御電極2314下部に絶縁膜を介して配された第3チャネル2309を有する。ここでは第3チャネル2309はP型半導体領域2301の一部により構成されている。さらに第3チャネル2309はP型半導体領域2301に不純物イオンを注入して電子に対するポテンシャル障壁の高さが調整されているてもよい。

30

#### 【0180】

OFD領域は、N型半導体領域2310を有する。N型半導体領域2310は電源電圧供給配線とプラグ2311を介して電気的に接続されている。

#### 【0181】

遮光部材2315は、第1信号保持部MEM上に配されている。より好ましくは、遮光部材2315の第1制御電極2312の方向への正射影内に第1制御電極2312が内包されるのが好ましい。更に、遮光部材2315は第1制御電極2312上を延在し、第1制御電極2312の光電変換部MEM側の側壁まで配されているのが好ましい。更に遮光部材2315は、その他の部材まで延在していてもよく、第2電荷転送部TX2上、及び第3制御電極2314上まで連続的に配されていてもよい。

40

#### 【0182】

図23(b)は、第1～第3制御電極に非導通時の制御パルスが供給されている状態におけるポテンシャル図である。言い換えると、第1～第3制御電極に供給される制御パルスのうち電子に対するポテンシャルが最も高い制御パルスが供給されている状態ともいえる。このようなポテンシャル状態は例えば、nフレーム目の信号を全画素一括で第1信号保持部MEMに転送した後に、第2電荷転送部TX2が行ごとに走査されるまでの期間中

50

に、光電変換部 P D において  $n + 1$  フレーム目の電子を蓄積している期間である。

【 0 1 8 3 】

図から明らかなように第 1 電荷転送部 T X 1 に生じるポテンシャル障壁の高さが低い。相対的な関係でいうと、例えば、O F D 制御部 T X 3 に生じるポテンシャル障壁よりも低い。

【 0 1 8 4 】

このような画素の駆動に関して、基本的には図 1 4、2 0、2 1 に示した駆動パルスを画素回路に応じて用いることができる。ただし、これらの駆動パルスと異なる点は、第 1 信号保持部 M E M 1 で信号を保持している期間に関しては、撮像面の全画素の O F D 制御部 T X 3 を導通させておく点である。このような動作を行なうことで、第 1 信号保持部 M E M 1 に電子が混入することを抑制することができるため好ましい。

10

【 0 1 8 5 】

( 実施例 5 )

図 2 4 に本実施例の撮像装置の 1 画素の上面図を、図 2 5 に本実施例の撮像装置の 1 画素の等価回路図を示す。本実施例の上述の実施例と異なる点は、第 1 信号保持部 M E M 1 を、同一画素の第 1 光電変換部 P D \_ A、第 2 光電変換部 P D \_ B で共有している点である。上述の実施例で説明した構成と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。

【 0 1 8 6 】

基本的な動作を説明する。まず等価回路図において、第 1 光電変換部 P D \_ A の焦点検出用の信号を生成するための信号電荷を転送する第 1 電荷転送部 T X 1 \_ A を有している。更に、第 2 光電変換部 P D \_ B の焦点検出用の信号を生成するための信号電荷を転送する第 2 電荷転送部 T X 1 \_ B を有している。そして第 1 電荷転送部 T X 1 \_ A と第 1 電荷転送部 T X 1 \_ B とは互いに独立な制御パルスを受け、独立動作可能な構成となっている。これに対して、第 1 光電変換部 P D \_ A の電子を排出する O F D 制御部 O F D \_ A、第 2 光電変換部 P D \_ B の電子を排出する O F D 制御部 O F D \_ B は共通の制御パルスで動作させることができる。

20

【 0 1 8 7 】

このような構成にすることで、第 1 光電変換部 P D \_ A で生じた焦点検出用の信号電荷に基づく信号と第 2 光電変換部 P D \_ B で生じた焦点検出用の信号電荷に基づく信号とを独立して垂直信号線に読み出すことができる。

30

【 0 1 8 8 】

図 2 6 に本実施例の撮像装置の駆動パルスの一例を示す。全ての制御パルスがハイレベルで導通状態となる。

【 0 1 8 9 】

時刻 T 1 以前は撮像面の全画素の R E S がハイレベルとなっており、増幅トランジスタのゲートに基準電圧が供給された状態となっている。図示されている他の制御パルスはローレベルである。

【 0 1 9 0 】

時刻 T 1 において撮像面の全画素の T X 1 \_ A、T X 1 \_ B、T X 2，O F D がローレベルからハイレベルへ遷移する。そして、時刻 T 2 において撮像面の全画素の T X 1 \_ A、T X 1 \_ B、T X 2，O F D がハイレベルからローレベルへ遷移する。この動作により、第 1 光電変換部 P D \_ A、第 2 光電変換部 P D \_ B 及び第 1 信号保持部 M E M の電荷が O F D 領域に、もしくは F D 領域を介してリセットトランジスタのドラインに排出される。そして時刻 T 2 において  $n$  フレーム目の撮像の露光期間が開始する。図示されているように露光期間は撮像面全体において同一である。

40

【 0 1 9 1 】

時刻 T 3 において、1 行目の画素の T X 1 \_ A、2 行目の画素の T X 1 \_ B、3 行目の画素の T X 1 \_ A がローレベルからハイレベルへ遷移し、時刻 T 4 においてそれらのパルスがハイレベルからローレベルへ遷移する。この動作により 1 行目、3 行目の画素

50

の第1光電変換部 P D \_ A の焦点検出用の信号を生成するための信号電荷が第1信号保持部 M E M へ転送される。そして2行目の画素の第2光電変換部 P D \_ B の焦点検出用の信号を生成するための信号電荷が第1信号保持部 M E M へ転送される。

**【 0 1 9 2 】**

時刻 T 5 において撮像面の全画素の O F D がローレベルからハイレベルへ遷移し、光電変換部 P D \_ A 、 P D \_ B に入射して生じた電子を O F D 領域へ排出する。

**【 0 1 9 3 】**

次に時刻 T 6 に S E L \_ 1 がローレベルからハイレベルへ遷移し、同時に R E S \_ 1 がハイレベルからローレベルへ遷移する。この動作により1行目の画素のノイズ信号が垂直信号線 V O U T に出力され得る状態となる。

10

**【 0 1 9 4 】**

時刻 T 7 において P T N がローレベルからハイレベルへ遷移し、時刻 T 8 において P T N がハイレベルからローレベルへ遷移する。この動作により列回路のノイズ信号保持部に1行目の画素のノイズ信号が保持される。

**【 0 1 9 5 】**

時刻 T 9 において T X 2 \_ 1 がローレベルからハイレベルへ遷移し、時刻 T 1 0 において T X 2 \_ 1 がハイレベルからローレベルへ遷移する。この動作により1行目の複数の画素において、第1信号保持部 M E M から増幅トランジスタ S F の入力ノードへ電子が転送される。

20

**【 0 1 9 6 】**

時刻 T 1 1 において P T S がローレベルからハイレベルへ遷移し、時刻 T 1 2 において P T S がハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部に1行目の画素の第1光電変換部 P D \_ A で生じた焦点検出用の信号を生成するための光信号が保持される。

**【 0 1 9 7 】**

そして時刻 T 1 3 - T 1 8 において P H S E L \_ 1 - P H S E L \_ 3 を順次、導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。

**【 0 1 9 8 】**

時刻 T 1 9 において、1行目の画素の S E L \_ 1 がハイレベルからローレベルへ遷移し、R E S \_ 1 がローレベルからハイレベルへ遷移する。この動作により、1行目の画素が非選択状態となり、リセットトランジスタにより F D 及び増幅トランジスタ S F のゲート電位がリセットされる。

30

**【 0 1 9 9 】**

時刻 T 2 0 において S E L \_ 1 がハイレベルからローレベルへ遷移し、1行目の画素が選択状態から非選択状態となる。続けて期間 T 2 1 - T 3 3 において2行目の画素の信号が読み出される。ここで1行目と異なる点がある。1行目の画素においては第1光電変換部 P D \_ A で生じた焦点検出用の信号を生成するための信号電荷に基づく信号が垂直信号線に出力された。これに対して、2行目の画素においては第2光電変換部 P D \_ B で生じた焦点検出用の信号を生成するための信号電荷に基づく信号が出力される。

40

**【 0 2 0 0 】**

そして時刻 T 3 4 以降において3行目の画素の信号の読み出しが行われる。3行目の画素の信号としては1行目と同様に第1光電変換部 P D \_ A で生じた焦点検出用の信号を生成するための信号電荷に基づく信号が出力される。

**【 0 2 0 1 】**

つまり奇数行においては、第1光電変換部 P D \_ A で生じた焦点検出用の信号を生成するための信号電荷に基づく信号が出力される。そして、偶数行においては第2光電変換部 P D \_ B で生じた焦点検出用の信号を生成するための信号電荷に基づく信号が出力されるのである。もちろんこれは偶奇行を入れ替えてよいし、画素行ごとにランダムに変えてよい。

50

**【0202】**

このような動作をさせることによって、近接した画素から、同一露光期間の第1光電変換部 P D \_ A 及び第2光電変換部 P D \_ B の焦点検出用の信号を生成するための信号電荷に基づく信号を独立して得ることができる。

**【0203】**

本実施例では3行目の画素の読み出し期間中に次フレームの露光期間が開始する。時刻 T 3\_5において撮像面の全画素の O F D がハイレベルからローレベルへ遷移する。これにより光電変換部 P D \_ A 、 P D \_ B に入射した光により生じた焦点検出用の信号を生成するための信号電荷が光電変換部 P D \_ A 、 P D \_ B において蓄積される。

**【0204】**

また同一画素の第1光電変換部 P D \_ A と第2光電変換部 P D \_ B との信号を加算するのであれば、期間 T 3 - T 4 において撮像面の全画素の T X 1 \_ A と、 T X 2 \_ B とを同時にハイレベルとすることで得ることができる。撮像装置において同一画素の複数の光電変換部の信号の加算を行なうモードと、図26で示した駆動パターンとを切り替えて動作可能なようにすればよい。

10

**【0205】****(実施例6)**

図27に本実施例の撮像装置の上面図、図28に本実施例の撮像装置の1画素の等価回路図を示す。上述の実施例と同等の機能を有する部分には同様の符号を付し詳細な説明は省略する。

20

**【0206】**

本実施例の上記実施例との違いは、1画素あたり複数の信号保持部を有しており、各光電変換部で生じた信号は複数の信号保持部を順次転送されて増幅トランジスタの入力ノードまで転送される点である。図28において具体的に回路図を説明する。

**【0207】**

各画素は、第1光電変換部 P D \_ A の電子を転送する第1電荷転送部 T X 1 \_ A と、第2光電変換部 P D \_ B の電子を転送する第1電荷転送部 T X 1 \_ B を有している。そして第1電荷転送部 T X 1 \_ A と T X 1 \_ B の出力ノード n o d e \_ 1 と第1信号保持部 M E M 1 の入力ノード n o d e \_ 2 とが電気的に接続されている。第1信号保持部 M E M 1 は更に所定の電圧が印加されたノードを有している。所定の電圧とは例えば接地電位である。

30

**【0208】**

第2電荷転送部 T X 2 は第1信号保持部 M E M 1 で保持された焦点検出用の信号を生成するための信号電荷を、第2信号保持部 M E M 2 に転送する。ここで、第2電荷転送部 T X 2 の出力ノードは第2信号保持部 M E M 2 の入力ノード n o d e \_ 3 に電気的に接続されている。

**【0209】**

第3電荷転送部 T X 3 は第2信号保持部 M E M 2 に保持された焦点検出用の信号を生成するための信号電荷を F D に転送する。そして F D が増幅トランジスタ S F のゲートに電気的に接続されている。増幅トランジスタ S F の出力ノードと垂直信号線 V O U T との間の電気経路には選択トランジスタ S E L が配されている。更に、増幅トランジスタの入力ノードに所定の電圧を供給してリセットを行なうリセットトランジスタ R E S が配されている。

40

**【0210】**

図29に本実施例の1画素の断面図を示す。第1光電変換部 P D \_ A から見た断面と、第2光電変換部 P D \_ B から見た断面は同じであるため第1光電変換部 P D \_ A を例に説明する。図27の点線の部分に該当する断面図である。

**【0211】**

N型の半導体基板 2900 に P型の半導体領域 2901 が配される。P型の半導体領域 2901 と P N 接合を構成するように、N型の半導体領域 2902 が配される。N型の半

50

導体領域 2902 の表面側には P 型の半導体領域 2903 が配される。P 型の半導体領域 2901、N 型の半導体領域 2902、P 型の半導体領域 2903 によりいわゆる埋め込み型のフォトダイオードが構成されている。

#### 【0212】

光電変換部 PD\_A で生じた焦点検出用の信号を生成するための信号電荷は、第 1 チャネル 2904 を移動し、第 1 信号保持部 MEM1 を構成する N 型の半導体領域 2905 に到達する。N 型の半導体領域 2905 で保持された焦点検出用の信号を生成するための信号電荷は、第 2 チャネル 2906 を移動し、第 2 信号保持部 MEM2 を構成する N 型の半導体領域 2907 に到達する。N 型の半導体領域 2907 で保持された焦点検出用の信号を生成するための信号電荷は、第 3 チャネル 2908 を移動し、FD 領域を構成する N 型の半導体領域 2909 へ到達する。また、光電変換部 PD\_A の焦点検出用の信号を生成するための信号電荷は、第 4 転送ゲート 2914 を介して、OFPD 領域を構成する N 型の半導体領域 2910 に排出可能となっている。

10

#### 【0213】

第 1 制御電極 2911 は第 1 チャネル 2904 及び N 型の半導体領域 2905 の上部に絶縁体を介して配されている。第 1 制御電極 2911 は、第 1 電荷転送部 TX1 及び第 1 信号保持部 MEM1 で兼用されている。

20

#### 【0214】

第 1 電荷転送部 TX1 は、第 1 チャネル 2904 及び第 1 チャネル 2904 上に絶縁膜を介して配された第 1 制御電極 2911 の一部を含んで構成されている。

20

#### 【0215】

第 1 信号保持部 MEM1 は、N 型の半導体領域（第 1 半導体領域）2905 と、N 型の半導体領域 2905 と PN 接合を構成する P 型の半導体領域（第 2 半導体領域）2901 を含む。更に、第 1 信号保持部 MEM1 は、絶縁膜を介して N 型の半導体領域 2905 上に配された第 1 制御電極 2911 の一部を含んで構成されている。

#### 【0216】

第 2 制御電極 2912 は第 2 チャネル 2906 及び N 型の半導体領域 2907 上部に絶縁体を介して配されている。第 2 制御電極 2912 は、第 2 電荷転送部 TX2 及び第 2 信号保持部 MEM2 で兼用されている。

30

#### 【0217】

第 2 電荷転送部 TX2 は、第 2 チャネル 2906 及び第 2 チャネル 2906 上に絶縁膜を介して配された第 2 制御電極 2912 の一部を含んで構成されている。

#### 【0218】

第 2 信号保持部 MEM2 は、N 型の半導体領域 2907 と、N 型の半導体領域 2907 と PN 接合を構成する P 型の半導体領域 2901 を含む。更に、第 2 信号保持部 MEM2 は、絶縁膜を介して N 型の半導体領域 2907 上に配された第 2 制御電極 2912 の一部を含んで構成されている。

#### 【0219】

第 3 制御電極 2913 は第 3 チャネル 2908 上部に絶縁膜を介して配されている。第 3 電荷転送部 TX3 は、第 3 チャネル 2908 と、第 3 制御電極 2913 を含んで構成されている。

40

#### 【0220】

図 29(b) に図 29(a) に対応する断面のポテンシャル図を示している。各制御電極には非導通状態となるパルスが供給されている。つまり、電子に対するポテンシャル障壁が高い状態となっている。

#### 【0221】

このようなポテンシャル状態は、例えば、光電変換部 PD、第 1 信号保持部 MEM1、第 2 信号保持部 MEM2 で信号を保持している期間中のものである。第 1 信号保持部 MEM1 で保持可能な電荷量は、第 1 電荷転送部 TX1 に生じるポテンシャルの高さと第 2 電荷転送部 TX2 に生じるポテンシャルの高さで決まる。ここでは第 1 電荷転送部 TX1 に

50

生じるポテンシャルの高さと第2電荷転送部TX2に生じるポテンシャルの高さをほぼ同じ高さとしている。このような状態は第1チャネル2904の不純物濃度と、第2チャネル2906の不純物濃度を等しくし、第1制御電極2911と第2制御電極2912に供給される制御パルスの振幅を等しくすることで実現可能である。

#### 【0222】

図30に本実施例の撮像装置の撮像領域に対する制御パルスの一例を示す。全ての制御パルスがハイレベルで導通状態となる。図30-1と図30-2は1つの駆動パルス図であるが、時刻T1～T38を図30-1に示し、時刻T39以降を図30-2に示している。なお、パルスPTSは列回路に配される光信号保持部に信号を保持する際の制御パルスである。パルスPTNは列回路に配されるノイズ信号保持部に信号を保持する際の制御パルスである。パルスPHSELは水平走査回路から出力される制御パルスで、列回路に保持された各列の信号を水平信号線に読み出すための制御パルスである。図30の駆動パルスは静止画モードで用いることができる。

10

#### 【0223】

時刻T1以前は撮像面の全画素のRESがハイレベルとなっており、增幅トランジスタのゲートに基準電圧が供給された状態となっている。図示されている他の制御パルスはローレベルである。

#### 【0224】

時刻T1において撮像面の全画素のTX1\_A、TX1\_B、TX2、TX3、OFDがローレベルからハイレベルへ遷移する。そして、時刻T2において撮像面の全画素のTX1\_A、TX1\_B、TX2、TX3、OFDがハイレベルからローレベルへ遷移する。この動作により、第1光電変換部PD\_A、第2光電変換部PD\_B及び第1信号保持部MEM1の電荷がOFD領域に、もしくはFD領域を介してリセットトランジスタのドレインに排出される。そして時刻T2においてnフレーム目の撮像の露光期間が開始する。図示されているように露光期間は撮像面全体において同一である。

20

#### 【0225】

時刻T3において、撮像面の全画素のTX1\_Aがローレベルからハイレベルへ遷移し、時刻T4において撮像面の全画素のTX1\_Aがハイレベルからローレベルへ遷移する。この動作により撮像面の全画素の第1光電変換部PD\_Aの焦点検出用の信号を生成するための信号電荷が第1信号保持部MEM1へ転送される。

30

#### 【0226】

時刻T5において、撮像面の全画素のTX2がローレベルからハイレベルへ遷移し、時刻T6において撮像面の全画素のTX2がハイレベルからローレベルへ遷移する。この動作により第1信号保持部MEM1に保持されていた焦点検出用の信号を生成するための信号電荷が、第2電荷転送部TX2を介して第2信号保持部MEM2に転送される。

40

#### 【0227】

時刻T7において、撮像面の全画素のTX1\_Bがローレベルからハイレベルへ遷移し、時刻T8において撮像面の全画素のTX1\_Bがハイレベルからローレベルへ遷移する。この動作により撮像面の全画素の第2光電変換部PD\_Bの焦点検出用の信号を生成するための信号電荷が第1信号保持部MEM1へ転送される。

#### 【0228】

時刻T9において、撮像面の全画素のOFDがローレベルからハイレベルへ遷移し、光電変換部PD\_A、PD\_Bに入射して生じた電子をOFD領域へ排出する。

#### 【0229】

時刻T10において、SEL\_1がローレベルからハイレベルへ遷移し、同時にRES\_1がハイレベルからローレベルへ遷移する。この動作により1行目の画素のノイズ信号が垂直信号線VOUTに出力され得る状態となる。

#### 【0230】

時刻T11においてPTNがローレベルからハイレベルへ遷移し、時刻T12において

50

P T N がハイレベルからローレベルへ遷移する。この動作により列回路のノイズ信号保持部に 1 行目の画素のノイズ信号が保持される。

【 0 2 3 1 】

時刻 T 1 3 において TX 3 がローレベルからハイレベルへ遷移し、時刻 T 1 4 において TX 3 がハイレベルからローレベルへ遷移する。この動作により 1 行目の複数の画素において、第 2 信号保持部 M E M 2 から増幅トランジスタ S F の入力ノードへ焦点検出用の信号を生成するための信号電荷が転送される。

【 0 2 3 2 】

時刻 T 1 5 において P T S がローレベルからハイレベルへ遷移し、時刻 T 1 6 において P T S がハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部に 1 行目の画素の第 1 光電変換部 P D \_ A で生じた焦点検出用の信号を生成するための信号電荷に基づく光信号が保持される。

10

【 0 2 3 3 】

そして、時刻 T 1 7 - T 2 2 において P H S E L \_ 1 - P H S E L \_ 3 を順次、導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。この動作により 1 行目の画素の第 1 光電変換部 P D \_ A で生じた焦点検出用の信号を生成するための信号電荷に基づく信号を撮像装置外部に読み出すことができる。

【 0 2 3 4 】

時刻 T 2 3 において、S E L 1 がハイレベルからローレベルへ遷移し、R E S 1 がローレベルからハイレベルへ遷移する。そして TX 2 \_ 1 がローレベルからハイレベルへ遷移する。続けて、時刻 T 2 4 において、S E L 1 がローレベルからハイレベルへ遷移し、R E S 1 がハイレベルからローレベルへ遷移する。そして TX 2 \_ 1 がハイレベルからローレベルへ遷移する。この動作により 1 行目の画素の第 2 光電変換部 P D \_ B で生じた焦点検出用の信号を生成するための信号電荷に基づく信号が第 2 信号保持部 M E M 2 により保持された状態となる。

20

【 0 2 3 5 】

時刻 T 2 5 において、P T N がローレベルからハイレベルへ遷移し、時刻 T 2 6 において P T N がハイレベルからローレベルへ遷移する。この動作により列回路のノイズ信号保持部に 1 行目の画素のノイズ信号が保持される。

30

【 0 2 3 6 】

時刻 T 2 7 において TX 3 がローレベルからハイレベルへ遷移し、時刻 T 2 8 において TX 3 がハイレベルからローレベルへ遷移する。この動作により 1 行目の複数の画素において、第 2 信号保持部 M E M 2 から増幅トランジスタ S F の入力ノードへ焦点検出用の信号を生成するための信号電荷が転送される。

【 0 2 3 7 】

時刻 T 2 9 において、P T S がローレベルからハイレベルへ遷移し、時刻 T 3 0 において P T S がハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部に 1 行目の画素の第 2 光電変換部 P D \_ B で生じた焦点検出用の信号を生成するための信号電荷に基づく光信号が保持される。

40

【 0 2 3 8 】

時刻 T 3 1 - T 3 6 において P H S E L \_ 1 - P H S E L \_ 3 を順次導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。この動作により 1 行目の画素の第 2 光電変換部 P D \_ B で生じた焦点検出用の信号を生成するための信号電荷に基づく信号を撮像装置外部に読み出し可能な状態とすることができます。

【 0 2 3 9 】

時刻 T 3 7 において S E L 1 がハイレベルからローレベルへ遷移し、1 行目の画素が選択状態から非選択状態となる。続けて期間 T 3 8 - T 6 4 において 2 行目の画素の信号が読み出される。

50

## 【0240】

そして時刻 T 6 5 において 3 行目の画素の信号の読み出しが行われる。3 行目の画素の信号としては 1 行目と同様に第 1 光電変換部 P D \_ A で生じた焦点検出用の信号を生成するための信号電荷に基づく信号が出力される。

## 【0241】

本実施例では 3 行目の画素の読み出し期間中に次フレームの露光期間が開始する。時刻 T 6 6 において撮像面の全画素の O F D がハイレベルからローレベルへ遷移する。これにより光電変換部 P D \_ A、P D \_ B に入射した光により生じた焦点検出用の信号を生成するための信号電荷が光電変換部 P D \_ A、P D \_ B において蓄積される。

## 【0242】

## (実施例 7)

図 3 1 に本実施例の等価回路図を示す。本実施例の上述の実施例との違いは、第 2 信号保持部 M E M 2 の後段の回路構成が並列に複数の回路ブロックを有しており、各々が、各回路ブロックに対応した複数の垂直信号線を有している点である。上述の実施例と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。

10

## 【0243】

本変形例は第 2 信号保持部 M E M 2 の後段に複数の第 3 電荷転送部を有している。そして各第 3 電荷転送部の後段には増幅トランジスタ、リセットトランジスタ、選択トランジスタが配されている。第 3 電荷転送部 T X 3 \_ A、T X 3 \_ B は互いに独立に動作可能なように制御パルスが独立に供給可能な構成となっている。上述したように例えば垂直信号線を複数設けることで、第 3 電荷転送部 T X 3 \_ A、T X 3 \_ B の後段の回路は同様の機能を有する回路素子に対して共通の制御パルスを用いて制御することができる。

20

## 【0244】

本実施例によれば実施例 6 等に比べて信号の読み出し速度をさらに向上させることができる。

## 【0245】

図 3 2 に本実施例の制御パルスの一例を示す。全てのパルスがハイレベルで導通状態となる。なお、パルス P T S は列回路に配される光信号保持部に信号を保持する際の制御パルスである。パルス P T N は列回路に配されるノイズ信号保持部に信号を保持する際の制御パルスである。パルス P H S E L は水平走査回路から出力される制御パルスで、列回路に保持された各列の信号を水平信号線に読み出すための制御パルスである。図 3 2 の駆動パルスは例えば焦点検出信号モードで用いることができる。

30

## 【0246】

時刻 T 1 以前は撮像面の全画素の R E S がハイレベルとなっており、増幅トランジスタのゲートに基準電圧が供給された状態となっている。図示されているその他の制御パルスはローレベルである。

## 【0247】

時刻 T 1 において撮像面の全画素の T X 1 \_ A、T X 1 \_ B、T X 2、T X 3 \_ A、T X 3 \_ B、O F D がローレベルからハイレベルへ遷移する。そして、時刻 T 2 において撮像面の全画素の T X 1 \_ A、T X 1 \_ B、T X 2、T X 3 \_ A、T X 3 \_ B、O F D がハイレベルからローレベルへ遷移する。この動作により、第 1 光電変換部 P D \_ A、第 2 光電変換部 P D \_ B、第 1 信号保持部 M E M 1、第 2 信号保持部 M E M 2 の電荷が O F D 領域に、もしくは F D 領域を介してリセットトランジスタのドラインに排出される。そして時刻 T 2 において n フレーム目の撮像の露光期間が開始する。図示されているように露光期間は撮像面全体において同一である。

40

## 【0248】

時刻 T 3 において、撮像面の全画素の T X 1 \_ A がローレベルからハイレベルへ遷移し、時刻 T 4 において撮像面の全画素の T X 1 \_ A がハイレベルからローレベルへ遷移する。この動作により撮像面の全画素の第 1 光電変換部 P D \_ A の焦点検出用の信号を生成するための信号電荷が第 1 信号保持部 M E M 1 へ転送される。

50

## 【0249】

時刻 T<sub>5</sub>において、撮像面の全画素の TX<sub>2</sub>がローレベルからハイレベルへ遷移し、時刻 T<sub>6</sub>において撮像面の全画素の TX<sub>2</sub>がハイレベルからローレベルへ遷移する。この動作により第1信号保持部 MEM<sub>1</sub>に保持されていた焦点検出用の信号を生成するための信号電荷が、第2電荷転送部 TX<sub>2</sub>を介して第2信号保持部 MEM<sub>2</sub>に転送される。

## 【0250】

時刻 T<sub>7</sub>において、撮像面の全画素の TX<sub>1\_B</sub>がローレベルからハイレベルへ遷移し、時刻 T<sub>8</sub>において撮像面の全画素の TX<sub>1\_B</sub>がハイレベルからローレベルへ遷移する。この動作により撮像面の全画素の第2光電変換部 PD<sub>B</sub>の焦点検出用の信号を生成するための信号電荷が第1信号保持部 MEM<sub>1</sub>へ転送される。

10

## 【0251】

時刻 T<sub>9</sub>において、撮像面の全画素の OFD がローレベルからハイレベルへ遷移し、光電変換部 PD<sub>A</sub>、PD<sub>B</sub>に入射して生じた電荷を OFD 領域へ排出する。

## 【0252】

時刻 T<sub>10</sub>において、SEL<sub>1</sub>がローレベルからハイレベルへ遷移し、同時に RES<sub>1</sub>がハイレベルからローレベルへ遷移する。この動作により1行目のノイズ信号が垂直信号線 VOUT<sub>A</sub>、VOUT<sub>B</sub>に出力され得る状態となる。

20

## 【0253】

時刻 T<sub>11</sub>において PTN がローレベルからハイレベルへ遷移し、時刻 T<sub>12</sub>において PTN がハイレベルからローレベルへ遷移する。この動作により列回路のノイズ信号保持部に1行目のノイズ信号が保持される。

20

## 【0254】

時刻 T<sub>13</sub>において TX<sub>3</sub>がローレベルからハイレベルへ遷移し、時刻 T<sub>14</sub>において TX<sub>3</sub>がハイレベルからローレベルへ遷移する。この動作により1行目の複数の画素において、第2信号保持部 MEM<sub>2</sub>から増幅トランジスタ SF の入力ノードへ焦点検出用の信号を生成するための信号電荷が転送される。

## 【0255】

時刻 T<sub>15</sub>において、撮像面の全画素の TX<sub>2</sub>がローレベルからハイレベルへ遷移し、時刻 T<sub>16</sub>において、撮像面の全画素の TX<sub>2</sub>がハイレベルからローレベルへ遷移する。この動作により、第2光電変換部 PD<sub>B</sub>に生じた焦点検出用の信号を生成するための信号電荷が、第1信号保持部 MEM<sub>1</sub>から第2信号保持部 MEM<sub>2</sub>へ転送される。

30

## 【0256】

時刻 T<sub>17</sub>において、PTS がローレベルからハイレベルへ遷移する。更に、撮像面の全画素の TX<sub>3\_B</sub>がローレベルからハイレベルへ遷移する。この動作により第2光電変換部 PD<sub>B</sub>に生じた焦点検出用の信号を生成するための信号電荷が第2信号保持部 MEM<sub>2</sub>から増幅トランジスタの入力ノードへ転送される。

## 【0257】

時刻 T<sub>18</sub>において撮像面の全画素の TX<sub>3\_B</sub>がハイレベルからローレベルへ遷移する。

40

## 【0258】

時刻 T<sub>19</sub>において、PTS がハイレベルからローレベルへ遷移する。期間 T<sub>17</sub> - T<sub>19</sub>において、列回路の光信号保持部に1行目の画素の第1光電変換部 PD<sub>A</sub>、第2光電変換部 PD<sub>B</sub>で生じた焦点検出用の信号を生成するための信号電荷に基づく光信号が保持される。

## 【0259】

そして、時刻 T<sub>20</sub> - T<sub>25</sub>において PHEL<sub>1</sub> - PHEL<sub>3</sub>を順次、導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。この動作により1行目の画素の第1光電変換部 PD<sub>A</sub>、第2光電変換部 PD<sub>B</sub>で生じた焦点検出用の信号を生成するための信号電荷に基づく信号を撮像装置外部に読み出すことができる。

50

## 【0260】

時刻 T 26において、SEL1がハイレベルからローレベルへ遷移し、RES1がローレベルからハイレベルへ遷移する。1行目の画素が選択状態から非選択状態となる。続けて期間 T 27 - T 44において2行目の画素の信号が読み出される。そして時刻 T 45以降において3行目の画素の信号の読み出しが行われる。

## 【0261】

本実施例では3行目の画素の読み出し期間中に次フレームの露光期間が開始する。時刻 T 45において撮像面の全画素のOFDがハイレベルからローレベルへ遷移する。これにより光電変換部 PD\_A、PD\_Bに入射した光により生じた電子が光電変換部 PD\_A、PD\_Bにおいて蓄積される。

10

## 【0262】

## (実施例8)

図33に本実施例の撮像装置の上面図を示す。また図34に本実施例の撮像装置の1画素の等価回路を示す。本実施例の上述の実施例との違いは、第1光電変換部 PD\_Aから増幅トランジスタの入力ノードまでに配された回路素子と、第2光電変換部 PD\_Bから増幅トランジスタの入力ノードまでに配された回路素子とが異なる点である。第1光電変換部 PD\_Aと第2光電変換部 PD\_Bとで必ずしも同じ信号処理が望まれるわけではなく、場合によっては異なる処理を行なう必要がある。例えば第1光電変換部 PD\_Aと第2光電変換部 PD\_Bとで感度が異なる場合である。または、第1光電変換部 PD\_Aと第2光電変換部 PD\_Bとで感度が変わらなくても、駆動シーケンス等の制約から異なる回路が望まれる場合がある。

20

## 【0263】

図34を参照すると、第1光電変換部 PD\_Aに関しては、第1光電変換部 PD\_Aの出力ノードと増幅トランジスタSFの入力ノードとの間の電気経路に第1信号保持部 MEM1が配された構成となっている。これに対して第2光電変換部 PD\_Bの出力ノードと増幅トランジスタSFの入力ノードとの間の電気経路には第2電荷転送部 TX2\_Bが配されるのみで独立した構成としての信号保持部は設けられていない。

30

## 【0264】

図35、36に図34に示した撮像装置の具体的な駆動パルス図を示す。図35に示したモードは静止画撮影などに好適に用いられるモードである。図36に示したモードは焦点検出用の信号などに好適に用いられるモードである。いずれの制御パルスもハイレベルで導通状態になるものとする。なお、パルスPTSは列回路に配される光信号保持部に信号を保持する際の制御パルスである。パルスPTNは列回路に配されるノイズ信号保持部に信号を保持する際の制御パルスである。パルスPHSELは水平走査回路から出力される制御パルスで、列回路に保持された各列の信号を水平信号線に読み出すための制御パルスである。

## 【0265】

まず図35について説明する。

40

## 【0266】

時刻 T 1以前は撮像面の全画素のRESがハイレベルとなっており、増幅トランジスタのゲートに基準電圧が供給された状態となっている。図示されているその他の制御パルスはローレベルである。

## 【0267】

時刻 T 1において撮像面の全画素のTX1、TX2\_A、TX2\_B、OFDがローレベルからハイレベルへ遷移する。そして、時刻 T 2において撮像面の全画素のTX1、TX2\_A、TX2\_B、OFDがハイレベルからローレベルへ遷移する。この動作により、第1光電変換部 PD\_A、第2光電変換部 PD\_B、第1信号保持部MEM1の電荷がOFD領域に、もしくはFD領域を介してリセットトランジスタのドレインに排出される。そして時刻 T 2においてnフレーム目の撮像の露光期間が開始する。図示されているように露光期間は撮像面全体において同一である。

50

## 【0268】

時刻T3において、撮像面の全画素のTX1がローレベルからハイレベルへ遷移し、時刻T4において撮像面の全画素のTX1\_Aがハイレベルからローレベルへ遷移する。この動作により撮像面の全画素の第1光電変換部PD\_Aの焦点検出用の信号を生成するための信号電荷が第1信号保持部MEM1へ転送される。

## 【0269】

時刻T5において、撮像面の全画素のOFDがローレベルからハイレベルへ遷移し、光電変換部PD\_A、PD\_Bに入射して生じた焦点検出用の信号を生成するための信号電荷をOFD領域へ排出する。

## 【0270】

時刻T6において、SEL\_1がローレベルからハイレベルへ遷移し、同時にRES\_1がハイレベルからローレベルへ遷移する。この動作により1行目のノイズ信号が垂直信号線VOUT\_A、VOUT\_Bに出力され得る状態となる。

10

## 【0271】

時刻T7においてPTNがローレベルからハイレベルへ遷移し、時刻T8においてPTNがハイレベルからローレベルへ遷移する。この動作により列回路のノイズ信号保持部に1行目のノイズ信号が保持される。

## 【0272】

時刻T9において撮像面の全画素のTX2\_A、TX2\_Bがローレベルからハイレベルへ遷移し、時刻T10においてTX2\_A、TX2\_Bがハイレベルからローレベルへ遷移する。この動作により1行目の複数の画素において、増幅トランジスタSFの入力ノードにおいて第1光電変換部PD\_Aで生じた焦点検出用の信号を生成するための信号電荷と、第2光電変換部PD\_Bで生じた焦点検出用の信号を生成するための信号電荷とが加算される。言い換えると、第1信号保持部MEM1で保持された第1光電変換部PD\_Aで生じた電荷に基づく信号と第2光電変換部PD\_Bで生じた焦点検出用の信号を生成するための信号電荷に基づく信号とが増幅トランジスタSFのゲートで加算される。

20

## 【0273】

時刻T11において、PTSがローレベルからハイレベルへ遷移し、時刻T12においてPTSがハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部に1行目の画素の第1光電変換部PD\_A、第2光電変換部PD\_Bで生じた焦点検出用の信号を生成するための信号電荷が加算された光信号が保持される。

30

## 【0274】

そして、時刻T13-T18においてPHSEL\_1-PHSEL\_3を順次、導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。この動作により1行目の画素の第1光電変換部PD\_A、第2光電変換部PD\_Bで生じた焦点検出用の信号を生成するための信号電荷を加算した信号を撮像装置外部に読み出すことができる。

## 【0275】

時刻T19において、SEL1がハイレベルからローレベルへ遷移し、RES1がローレベルからハイレベルへ遷移する。1行目の画素が選択状態から非選択状態となる。続けて期間T20-T33において2行目の画素の信号が読み出される。そして時刻T34以降において3行目の画素の信号の読み出しが行われる。

40

## 【0276】

本実施例では3行目の画素の読み出し期間中に次フレームの露光期間が開始する。時刻T34において撮像面の全画素のOFDがハイレベルからローレベルへ遷移する。これにより光電変換部PD\_A、PD\_Bに入射した光により生じた焦点検出用の信号を生成するための信号電荷が光電変換部PD\_A、PD\_Bにおいて蓄積される。

## 【0277】

次に図36について説明する。

50

**【 0 2 7 8 】**

時刻 T 1 以前は撮像面の全画素の R E S がハイレベルとなっており、増幅トランジスタのゲートに基準電圧が供給された状態となっている。図示されているその他の制御パルスはローレベルである。

**【 0 2 7 9 】**

時刻 T 1 において撮像面の全画素の T X 1 、 T X 2 \_ A 、 T X 2 \_ B 、 O F D がローレベルからハイレベルへ遷移する。そして、時刻 T 2 において撮像面の全画素の T X 1 、 T X 2 \_ A 、 T X 2 \_ B 、 O F D がハイレベルからローレベルへ遷移する。この動作により、第 1 光電変換部 P D \_ A 、第 2 光電変換部 P D \_ B 、第 1 信号保持部 M E M 1 の電荷が O F D 領域に、もしくは F D 領域を介してリセットトランジスタのドレンに排出される。そして時刻 T 2 において n フレーム目の撮像の露光期間が開始する。図示されているように露光期間は撮像面全体において同一である。10

**【 0 2 8 0 】**

時刻 T 3 において、撮像面の全画素の R E S がハイレベルからローレベルへ遷移する。。

**【 0 2 8 1 】**

時刻 T 4 において、撮像面の全画素の T X 1 、 T X 2 \_ B がローレベルからハイレベルへ遷移し、時刻 T 5 において撮像面の全画素の T X 1 、 T X 2 \_ B がハイレベルからローレベルへ遷移する。この動作により撮像面の全画素の第 1 光電変換部 P D \_ A の焦点検出用の信号を生成するための信号電荷が第 1 信号保持部 M E M 1 へ転送される。更に、第 2 光電変換部 P D \_ B の焦点検出用の信号を生成するための信号電荷が増幅トランジスタ S F の入力ノードに転送される。20

**【 0 2 8 2 】**

時刻 T 6 において、撮像面の全画素の O F D がローレベルからハイレベルへ遷移し、光電変換部 P D \_ A 、 P D \_ B に入射して生じた電荷を O F D 領域へ排出する。

**【 0 2 8 3 】**

時刻 T 7 において、 S E L \_ 1 がローレベルからハイレベルへ遷移する。この動作により 1 行目の画素の第 2 光電変換部 P D \_ B で生じた焦点検出用の信号を生成するための信号電荷に基づく信号を垂直信号線 V O U T に読み出し得る状態となっている。

**【 0 2 8 4 】**

時刻 T 8 において P T S がローレベルからハイレベルへ遷移し、時刻 T 9 において P T S がハイレベルからローレベルへ遷移する。この動作により列回路の光信号保持部に 1 行目の画素の第 2 光電変換部 P D \_ B で生じた焦点検出用の信号を生成するための信号電荷に基づく光信号が保持される。30

**【 0 2 8 5 】**

時刻 T 1 0 - T 1 5 において P H S E L \_ 1 - P H S E L \_ 3 を順次、導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。この動作により 1 行目の画素の第 2 光電変換部 P D \_ B で生じた焦点検出用の信号を生成するための信号電荷に基づく信号を撮像装置外部に読み出すことができる。40

**【 0 2 8 6 】**

時刻 T 1 6 において、 S E L \_ 1 が一時的にハイレベルからローレベルへ遷移し、 R E S \_ 1 が一時的にローレベルからハイレベルへ遷移する。時刻 T 1 7 において、 S E L \_ 1 がローレベルからハイレベルへ遷移し、 R E S \_ 1 が一時的にハイレベルからローレベルへ遷移する。

**【 0 2 8 7 】**

時刻 T 1 8 において C T N がローレベルからハイレベルへ遷移し、時刻 T 1 9 において C T N がハイレベルからローレベルへ遷移する。

**【 0 2 8 8 】**

時刻 T 2 0 において、撮像面の全画素の T X 2 \_ A がローレベルからハイレベルへ遷

10

20

30

40

50

移し、時刻 T<sub>2</sub> において、撮像面の全画素の TX<sub>2</sub>\_A がハイレベルからローレベルへ遷移する。

【0289】

時刻 T<sub>2</sub> において CTS がローレベルからハイレベルへ遷移し、時刻 T<sub>2</sub> において CTS がハイレベルからローレベルへ遷移する。

【0290】

期間 T<sub>24</sub> - T<sub>29</sub> において、PHSEL\_1 - PHSEL\_3 を順次、導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。この動作により 1 行目の画素の第 1 光電変換部 PD\_B で生じた焦点検出用の信号を生成するための信号電荷に基づく信号を撮像装置外部に読み出すことができる。

10

【0291】

時刻 T<sub>30</sub> において SEL\_1 がハイレベルからローレベルへ遷移し、RES\_1 がローレベルからハイレベルへ遷移する。この動作により 1 行目が選択状態から非選択状態となる。

【0292】

期間 T<sub>32</sub> - T<sub>58</sub> において 2 行目の画素の信号が同様に読み出される。そして時刻 T<sub>59</sub> 以降において 3 行目の画素の信号の読み出しが行われる。

20

【0293】

本実施例では第 1 光電変換部 PD\_A の光信号とノイズ信号とを出力しており、第 2 光電変換部 PD\_B は光信号のみを出力している。

20

【0294】

（実施例 9）

図 37 に本実施例の 1 画素の等価回路図を示す。本変形例の実施例 8 との違いは、第 1 光電変換部 PD\_A 及び第 2 光電変換部 PD\_B のそれぞれに対応して増幅トランジスタ等の画素トランジスタが独立して設けられている点である。上述の実施例と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。

30

【0295】

図 38 に本実施例の撮像装置の撮像領域に対して供給される制御パルス図を示す。いずれの制御パルスもハイレベルで導通状態になるものとする。なお、パルス PTS\_A、PTS\_B は列回路に配される光信号保持部に信号を保持する際の制御パルスである。パルス PTN\_A、PTN\_B は列回路に配されるノイズ信号保持部に信号を保持する際の制御パルスである。本実施例の構成では、列回路等のサンプルホールド回路が第 1 光電変換部 PD\_A 用のものと、第 2 光電変換部 PD\_B 用のものとで独立に制御可能な構成にしておく必要がある。

30

【0296】

パルス PHSEL は水平走査回路から出力される制御パルスで、列回路に保持された各列の信号を水平信号線に読み出すための制御パルスである。

40

【0297】

時刻 T<sub>1</sub> 以前は撮像面の全画素の RES がハイレベルとなっており、増幅トランジスタのゲートに基準電圧が供給された状態となっている。図示されているその他の制御パルスはローレベルである。

【0298】

時刻 T<sub>1</sub> において撮像面の全画素の TX<sub>1</sub>、TX<sub>2</sub>\_A、TX<sub>2</sub>\_B、OVD がローレベルからハイレベルへ遷移する。そして、時刻 T<sub>2</sub> において撮像面の全画素の TX<sub>1</sub>、TX<sub>2</sub>\_A、TX<sub>2</sub>\_B、OVD がハイレベルからローレベルへ遷移する。この動作により、第 1 光電変換部 PD\_A、第 2 光電変換部 PD\_B、第 1 信号保持部 MEM\_1 の電荷が OVD 領域に、もしくは FD 領域を介してリセットトランジスタのドレインに排出される。そして時刻 T<sub>2</sub> において n フレーム目の撮像の露光期間が開始する。図示されているように露光期間は撮像面全体において同一である。

50

**【0299】**

時刻 T 3において、撮像面の全画素の RES\_B がハイレベルからローレベルへ遷移する。

**【0300】**

時刻 T 4において、撮像面の全画素の TX1、TX2\_B がローレベルからハイレベルへ遷移し、時刻 T 5において撮像面の全画素の TX1、TX2\_B がハイレベルからローレベルへ遷移する。この動作により撮像面の全画素の第 1 光電変換部 PD\_A の焦点検出用の信号を生成するための信号電荷が第 1 信号保持部 MEM1 へ転送される。更に、第 2 光電変換部 PD\_B の焦点検出用の信号を生成するための信号電荷が増幅トランジスタ SF\_B の入力ノードに転送される。

10

**【0301】**

時刻 T 6において、撮像面の全画素の OFD がローレベルからハイレベルへ遷移し、光電変換部 PD\_A、PD\_B に入射して生じた電荷を OFD 領域へ排出する。

**【0302】**

時刻 T 7において、SEL\_1 がローレベルからハイレベルへ遷移する。この動作により 1 行目の画素の信号を垂直信号線 VOUT\_A、VOUT\_B に読み出し得る状態となっている。更に、撮像面の全画素の RES\_A がハイレベルからローレベルへ遷移する。

**【0303】**

時刻 T 8において PTN\_A、PTS\_B がローレベルからハイレベルへ遷移し、時刻 T 9において PTN\_A、PTS\_B がハイレベルからローレベルへ遷移する。この動作により列回路のノイズ信号保持部に 1 行目の第 1 光電変換部 PD\_A の電気経路に生じるノイズ信号が保持される。更に、列回路の光信号保持部に 1 行目の画素の第 2 光電変換部 PD\_B で生じた焦点検出用の信号を生成するための信号電荷に基づく光信号が保持される。

20

**【0304】**

時刻 T 10において RES\_B\_1 及び TX2\_A\_1 がローレベルからハイレベルへ遷移する。この動作により増幅トランジスタ SF\_B の入力ノードの電位に基準電圧が供給される。更に 1 行目の画素の第 1 信号保持部 MEM1 に保持されていた信号が、増幅トランジスタ SF\_A の入力ノードに転送される。そして時刻 T 11において RES\_B\_1 及び TX2\_A\_1 がハイレベルからローレベルへ遷移する。

30

**【0305】**

時刻 T 12において PTS\_A 及び PTN\_B がローレベルからハイレベルへ遷移し、時刻 T 13において PTS\_A 及び PTN\_B がハイレベルからローレベルへ遷移する。この動作により、列回路のノイズ信号保持部に 1 行目の第 2 光電変換部 PD\_A の電気経路に生じるノイズ信号が保持される。更に、列回路の光信号保持部に 1 行目の画素の第 1 光電変換部 PD\_B で生じた焦点検出用の信号を生成するための信号電荷に基づく光信号が保持される。

**【0306】**

期間 T 14 - 19において、PHSEL\_1 - PHSEL\_3 を順次、導通させることで、水平出力線に各画素列の信号を順次出力する。この期間がいわゆる水平走査期間（水平有効期間）である。この動作により 1 行目の画素の光信号及びノイズ信号を撮像装置外部に読み出すことができる。

40

**【0307】**

時刻 T 20において SEL\_1 がハイレベルからローレベルへ遷移し、RES\_A\_1 及び RES\_B\_1 がローレベルからハイレベルへ遷移する。この動作により 1 行目が選択状態から非選択状態となる。

**【0308】**

時刻 T 20以降において 2 行目以降の画素の信号が同様に読み出される。

**【0309】**

50

(焦点検出のメカニズム)

上述の実施形態で説明した撮像装置の撮像面における焦点検出に関して説明する。具体的に撮像面において位相差検出による撮像時の焦点検出を行なう一例を説明する。

【0310】

図39、図40を用いて説明する。図39は撮影レンズ3900の射出瞳から出た光束が撮像装置3901に入射する概念図である。MLはマイクロレンズであり、CFはカラーフィルターであり、光電変換部PD1、PD2は1つのマイクロレンズにより集光される光が入射する複数の光電変換部である。3902は撮影レンズの射出瞳を示す。ここでは、1つのマイクロレンズMLを有する1画素に対して、射出瞳3902から出た光束の中心を光軸3903とする。射出瞳から出た光は、光軸3903を中心として撮像装置3901に入射する。射出瞳の一部領域3904を通過する光の最外周の光線を3906、3907で示し、射出瞳3902の一部領域3905を通過する光の最外周の光線を3908、3909で示す。この図からわかるように、射出瞳3902から出る光束のうち、光軸3903を境にして、上側の光束はPD1に入射し、下側の光束はPD2に入射する。つまり、PD1とPD2は各々、撮影レンズの射出瞳の別の領域の光を受光している。

10

【0311】

この特性を生かして、位相差の検知を行う。画素内の領域において、撮像領域を上面から見た際に、1つのマイクロレンズで集光される光が入射する複数の光電変換部に対し、一方のPDから得られるデータを第1ラインとし、他方のPDから得られるデータを第2ラインとする。そしてライン間の相關データを求めれば位相を検知できる。

20

【0312】

例えば、図39において、1つのマイクロレンズにより集光される光が入射する光電変換部のうち下側に配されたPDのデータを第1ラインとし、上側に配されたPDのデータを第2ラインとする。この場合、PD1は第1ラインのデータのうちの1画素分の出力となり、PD2は第2ラインのデータのうちの1画素分の出力となる。図40は点光源を結像したときのラインデータを示す。図40(a)はピントがあった状態における第1ラインと第2ラインのデータである。横軸は、画素位置を表し、縦軸は出力を表す。ピントがっている場合は第1ラインと第2ラインは重なる。図40(b)はピントがない場合のラインデータである。このときは、第1ラインと第2ラインは位相差をもち、画素位置がずれている。このずれ量1001を算出すると、ピントがっている状態とどれだけずれているかがわかる。このような方法で位相を検知し、レンズを駆動することによってピントをあわすことができる。

30

【0313】

次に、これらの画素配置における画像データ生成について述べる。前述のように、PD1とPD2の信号を別々に撮像装置3901から読み出し、位相差を検出する計算を行うことで、ピントの検出が出来る。そして、1つのマイクロレンズにより集光された光が入射するPDの信号を加算することで撮影画像を生成することができる。

【0314】

ところで、図39では撮像素子の中心付近の画素について説明したが、実際にPD間の入射光量に大きな差がつくのは、撮像素子の周辺部の画素の方が顕著であるため撮像領域の中心よりも端部に焦点検出用の画素を配した方が精度が上がってよい。

40

【0315】

(撮像システムへの応用)

図41に、上述の各実施形態の撮像装置を適用可能な撮像システムの一例を示す。

【0316】

図41において、4101は被写体の光学像を撮像装置4105に結像させるレンズ部で、レンズ駆動装置4102によってズーム制御、フォーカス制御、絞り制御などがおこなわれる。4103はメカニカルシャッタでシャッタ制御手段4104によって制御される。メカニカルシャッタは、本発明の構成を用いればグローバル電子シャッタ動作が可能なため必ずしも必要ではないが、用途に応じて動作モードとして切り替え可能なようにな

50

っていると好ましい。

【0317】

4105はレンズ部4101で結像された被写体を画像信号として取り込むための撮像装置、4106は撮像装置4105から出力される画像信号に各種の補正を行ったり、データを圧縮したりする撮像信号処理回路である。4107は撮像装置4105、撮像信号処理回路4106に、各種タイミング信号を出力する駆動手段であるタイミング発生回路である。4109は各種演算と撮像装置全体を制御する制御回路、4108は画像データを一時的に記憶する為のメモリ、4110は記録媒体に記録または読み出しを行うためのインターフェースである。4111は画像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体、4112は各種情報や撮影画像を表示する表示部である。

10

【0318】

次に、前述の構成における撮影時のデジタルカメラの動作について説明する。

【0319】

メイン電源がオンされると、コントロール系の電源がオンし、更に撮像信号処理回路106などの撮像系回路の電源がオンされる。

【0320】

それから、レリーズボタン（図示せず）が押されると、撮像装置4105からのデータを元に測距演算を行い、測距結果に基づいて被写体までの距離の演算を制御回路4109で行う。その後、レンズ駆動装置4102によりレンズ部を駆動して合焦か否かを判断し、合焦していないと判断した時は、再びレンズ部を駆動し測距を行う。測距演算は、撮像装置からのデータで求める以外にも、測距専用装置（図示せず）で行っても良い。

20

【0321】

そして、合焦が確認された後に撮影動作が開始する。撮影動作が終了すると、撮像装置4105から出力された画像信号は撮影信号処理回路4106で画像処理をされ、制御回路4109によりメモリに書き込まれる。撮影信号処理回路では、並べ替え処理、加算処理やその選択処理が行われる。メモリ4108に蓄積されたデータは、制御回路4109の制御により記録媒体制御I/F部4110を通り半導体メモリ等の着脱可能な記録媒体4111に記録される。

30

【0322】

また、外部I/F部（図示せず）を通り直接コンピュータ等に入力して画像の加工を行っても良い。

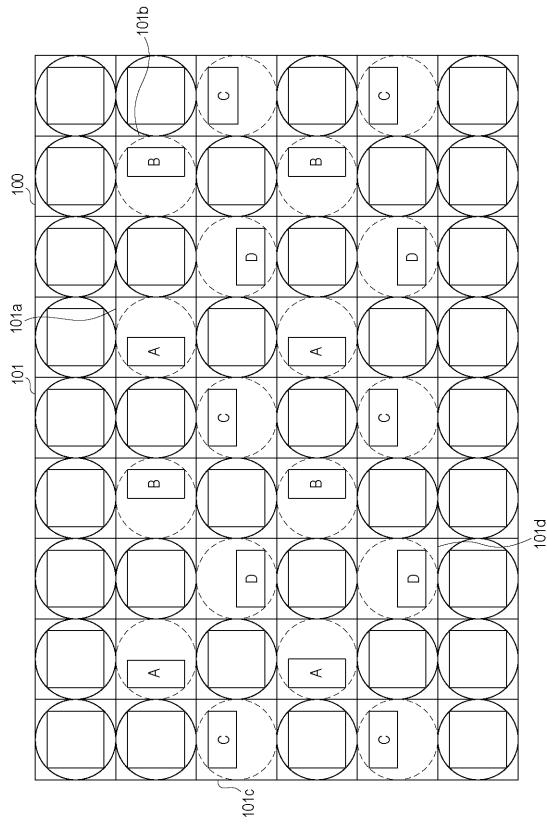
【符号の説明】

【0323】

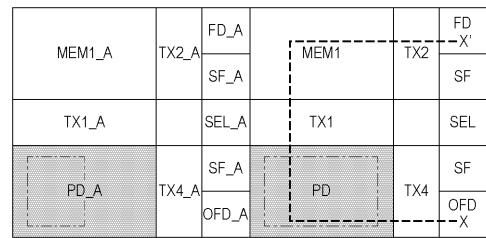
100 撮像領域

101a～101d 画素

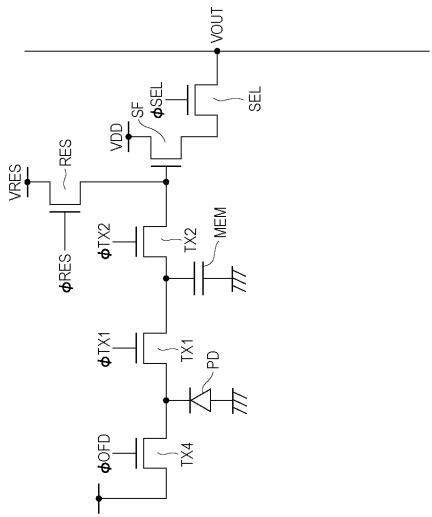
【図1】



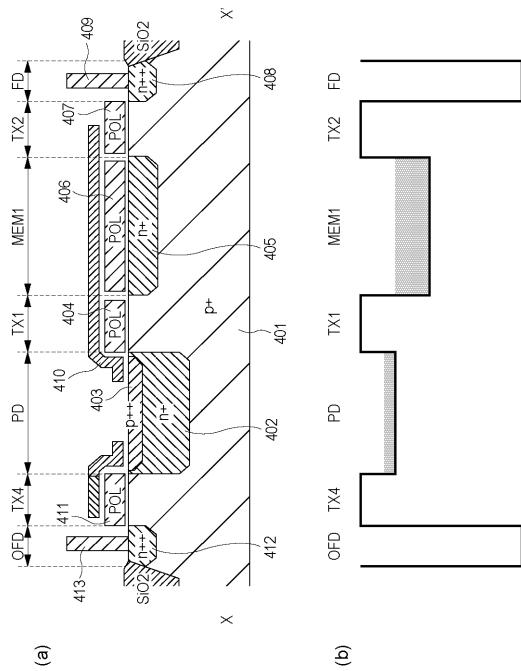
【図2】



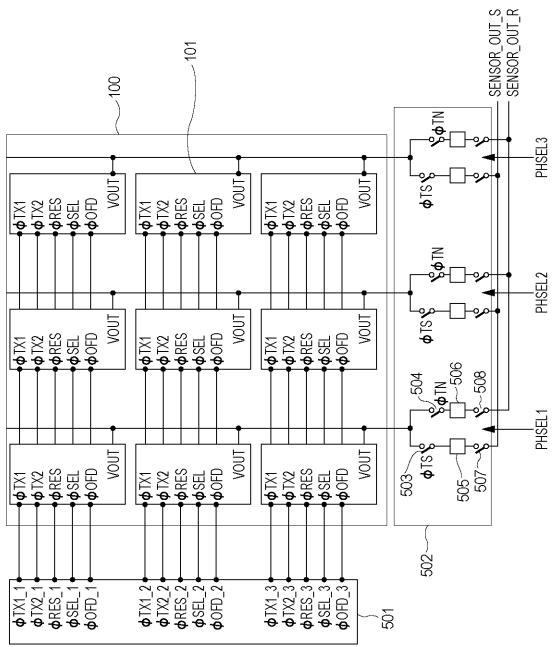
【図3】



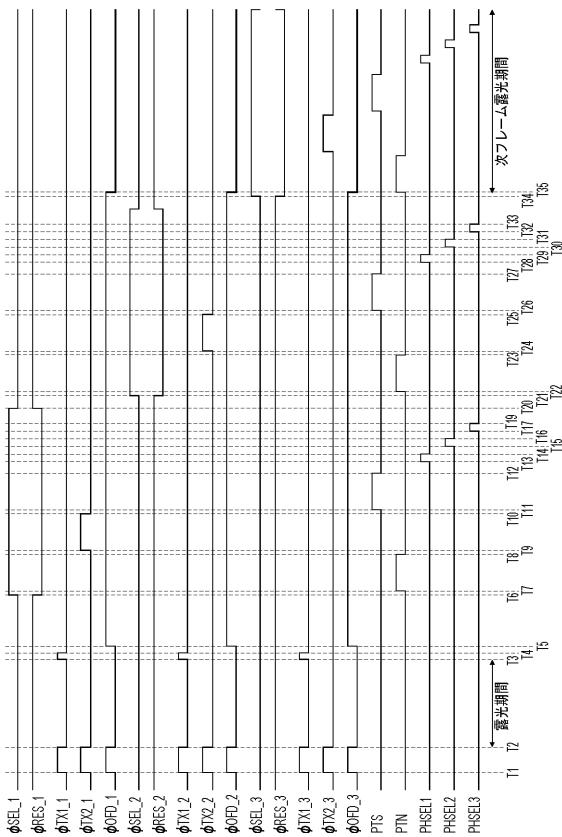
【図4】



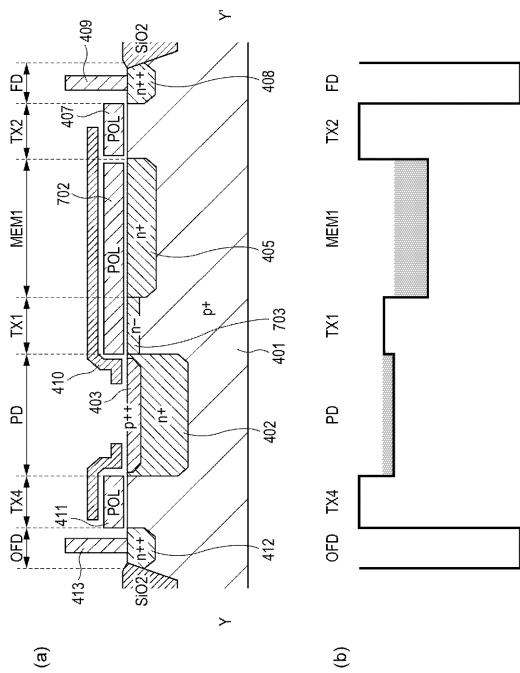
【図5】



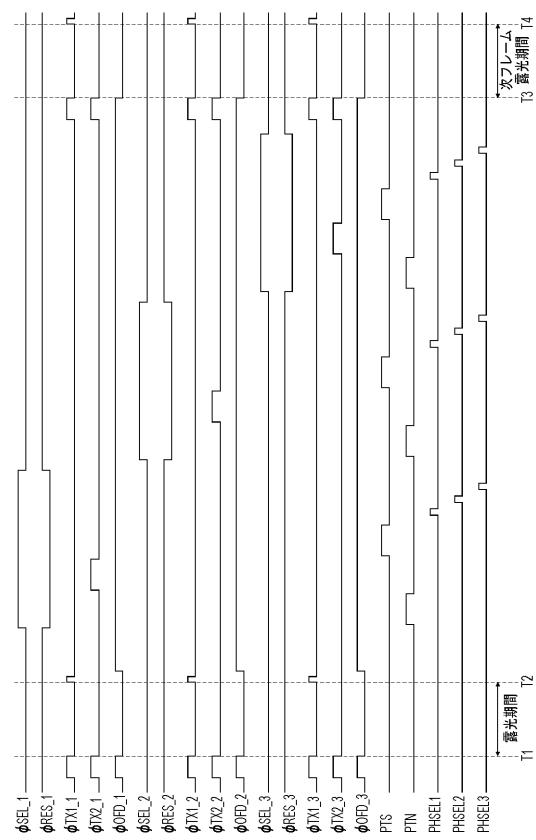
【図6】



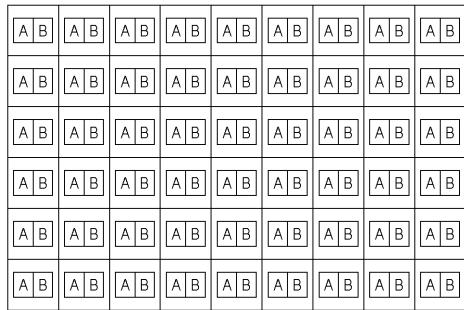
【図7】



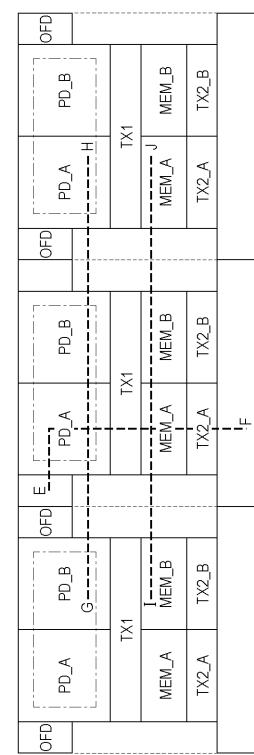
【図8】



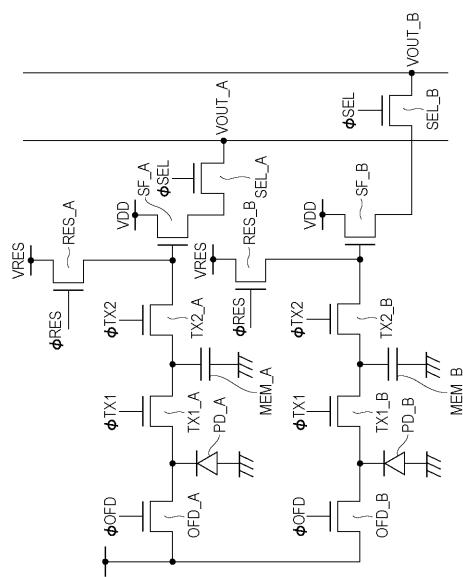
【図9】



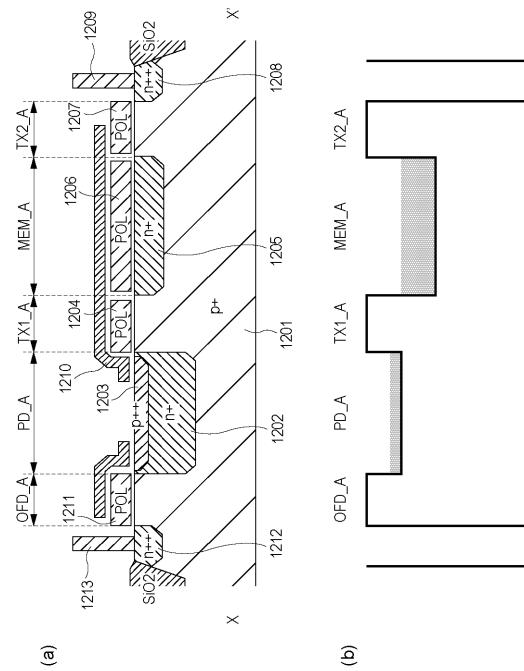
【図10】



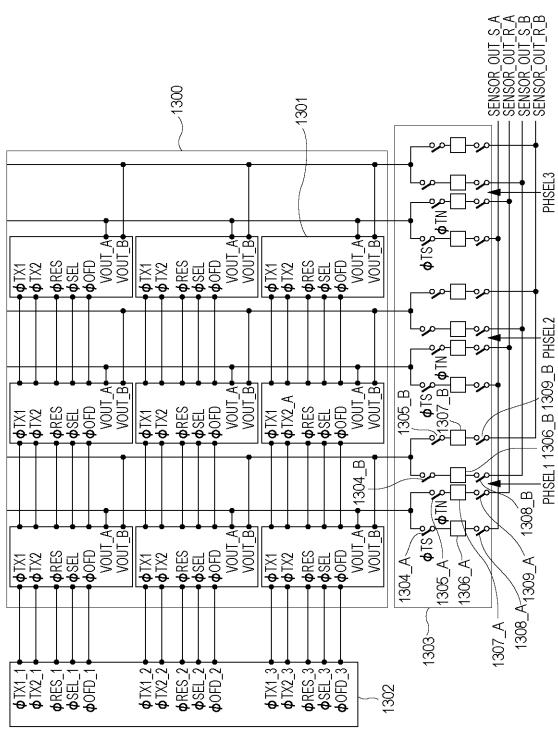
【図11】



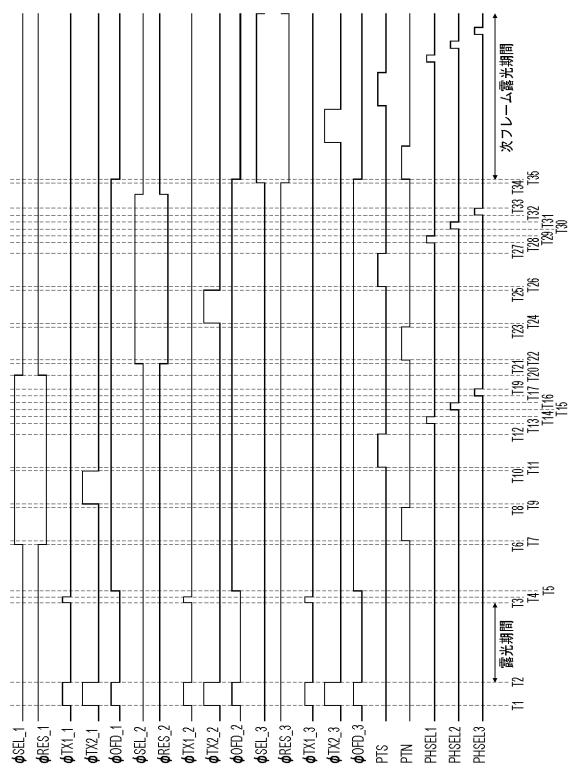
【図12】



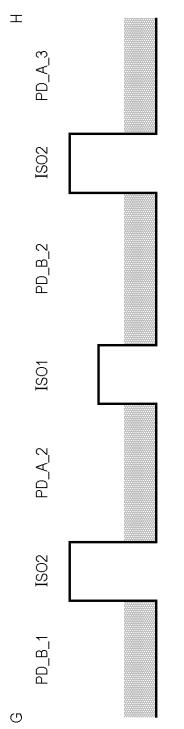
【図 1 3】



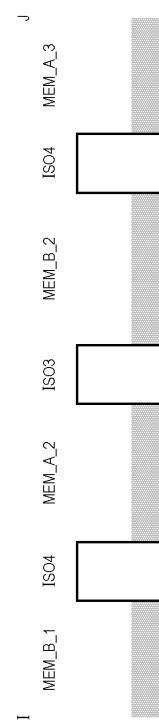
【図 1 4】



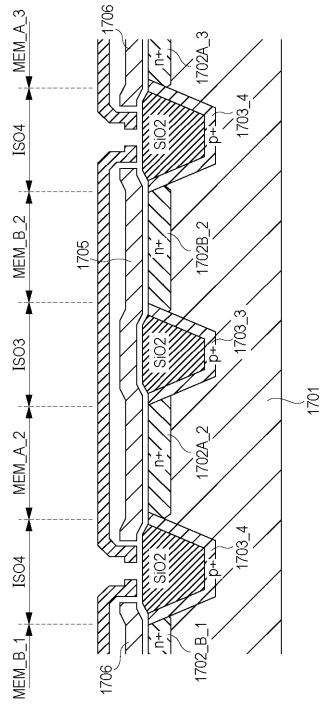
【図 1 5】



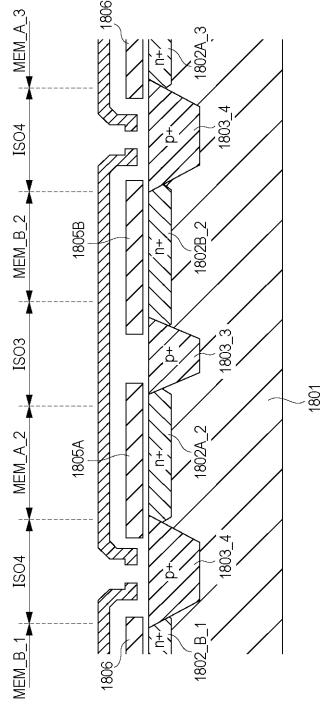
【図 1 6】



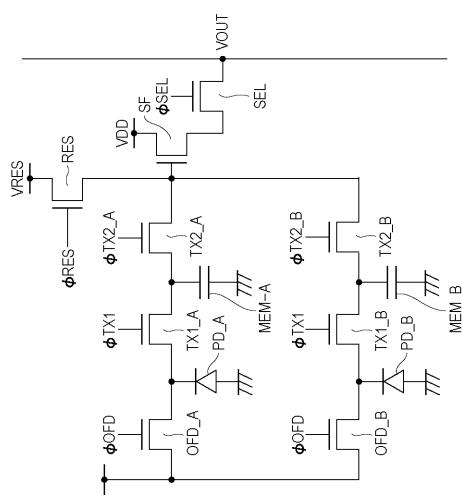
【図 17】



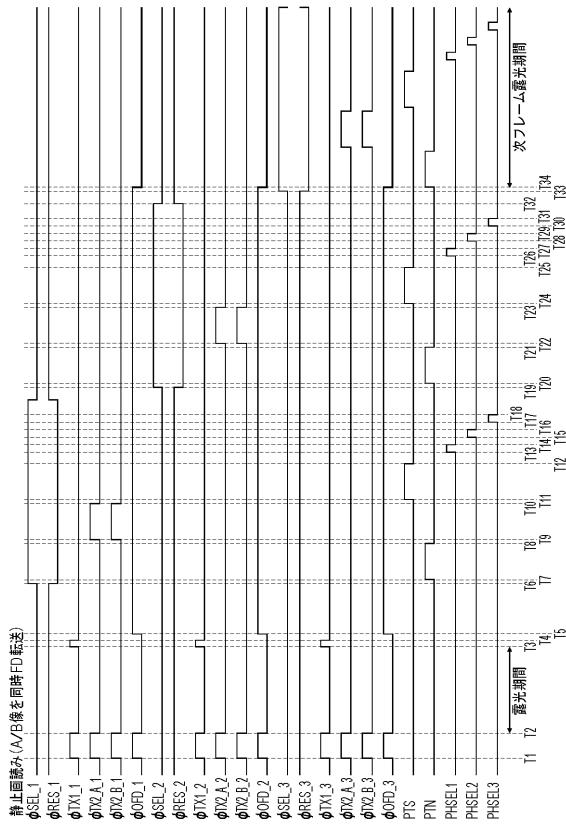
【図 18】



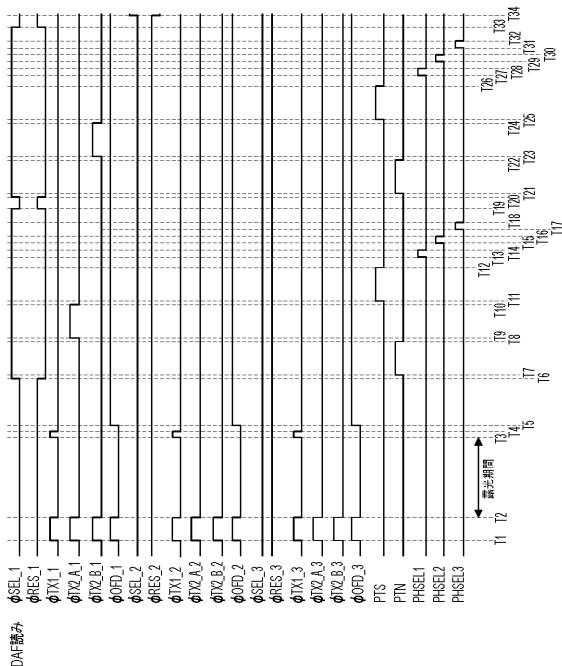
【図 19】



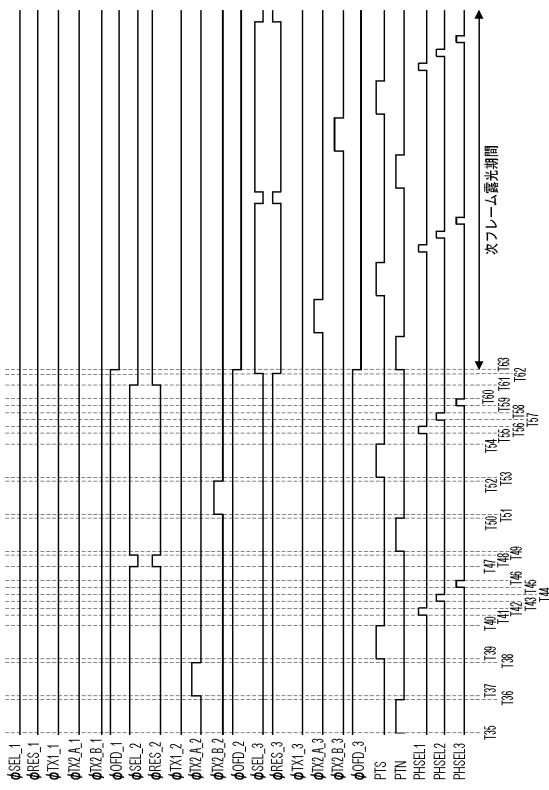
【図 20】



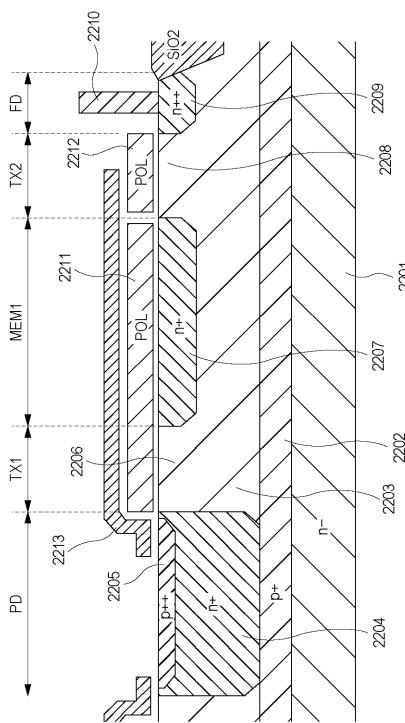
【図 2 1 - 1】



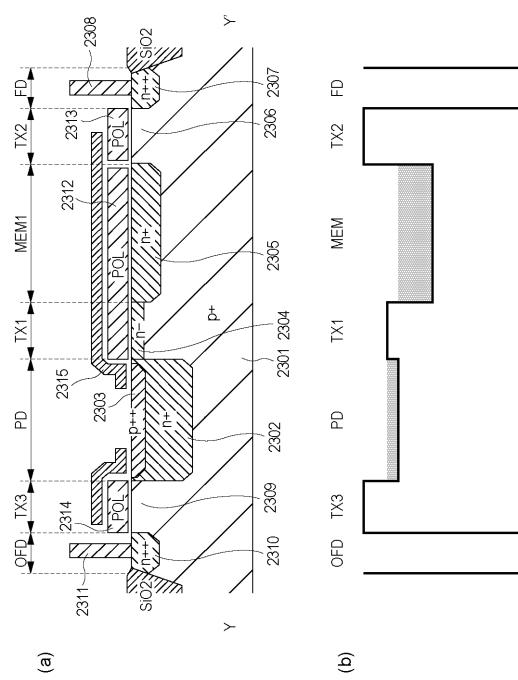
【図 2 1 - 2】



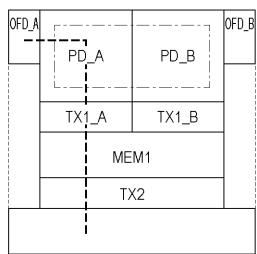
【図 2 2】



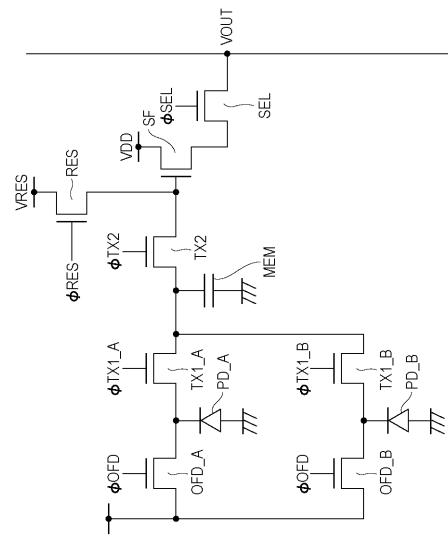
【図 2 3】



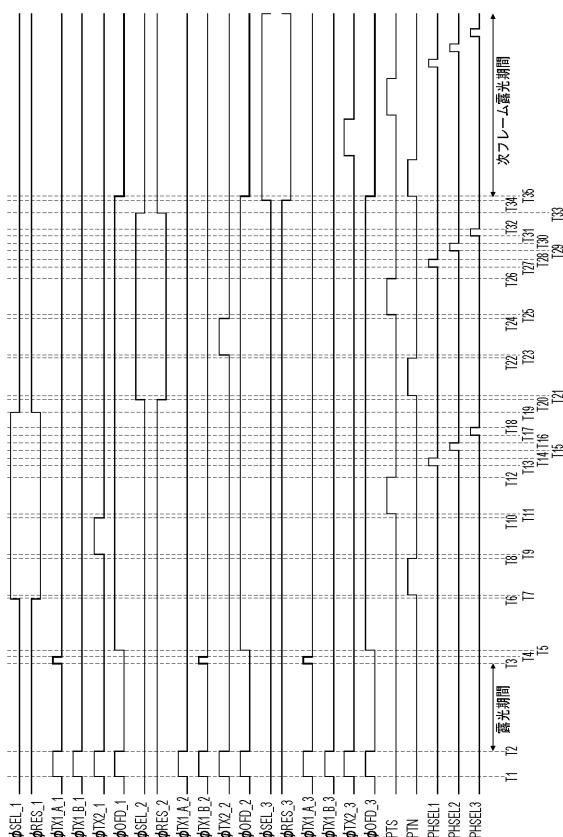
【 図 2 4 】



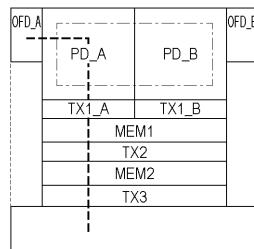
【 図 25 】



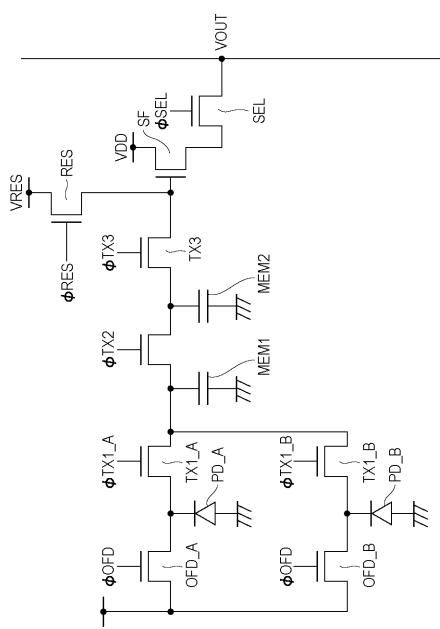
【図26】



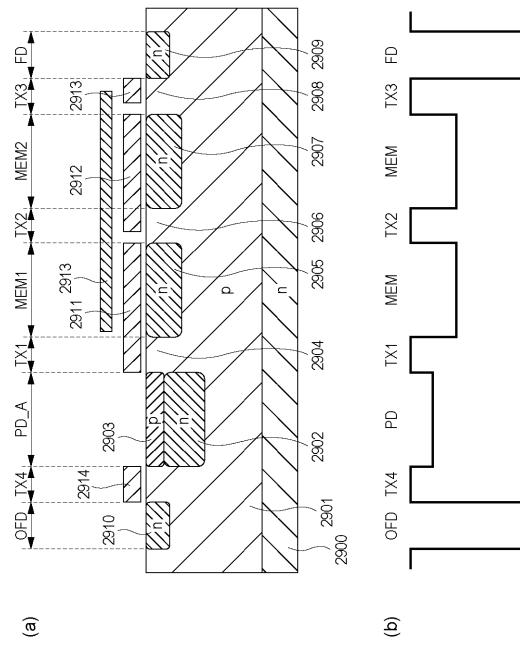
【 図 27 】



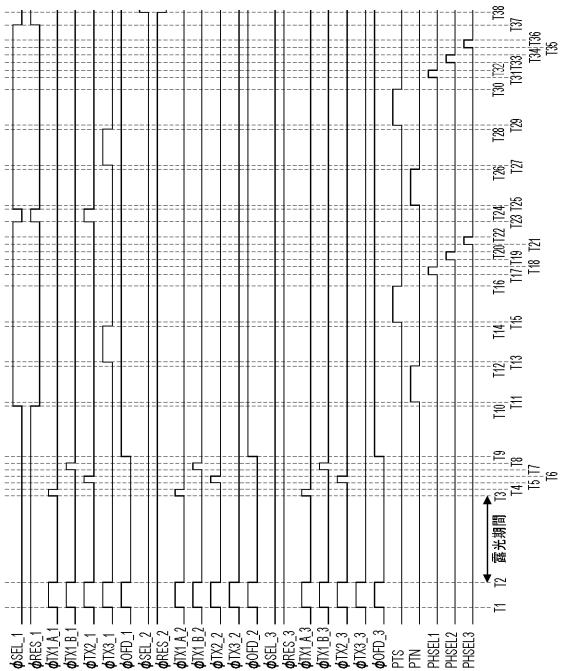
【図 28】



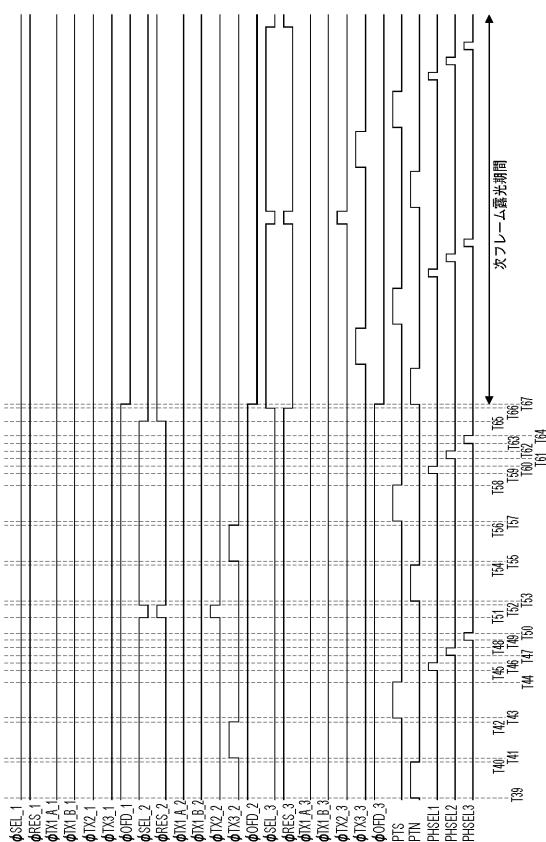
【図 29】



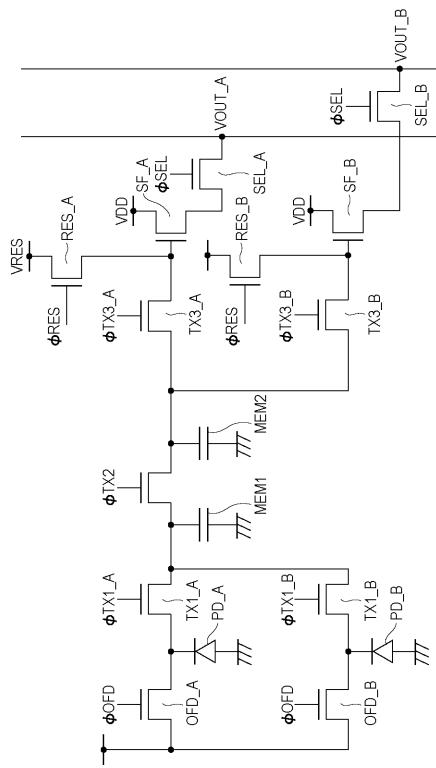
【図 30-1】



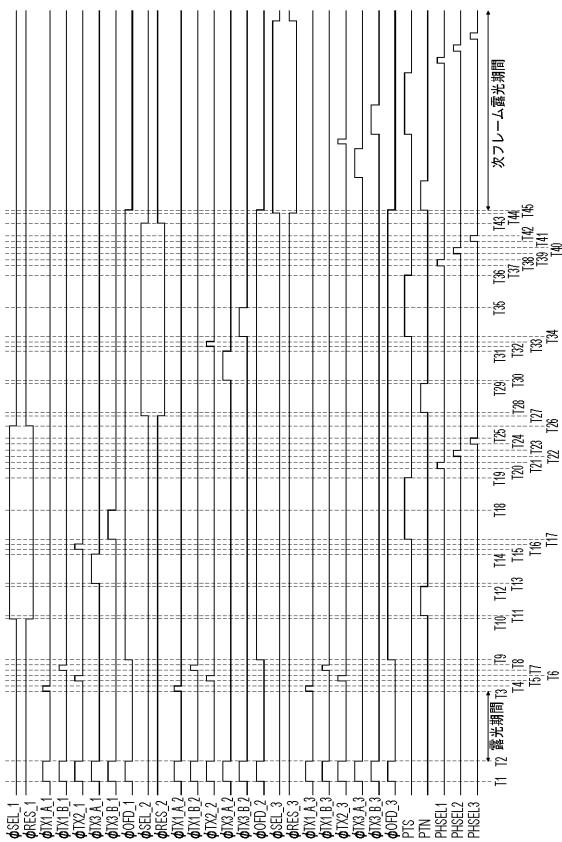
【図 30-2】



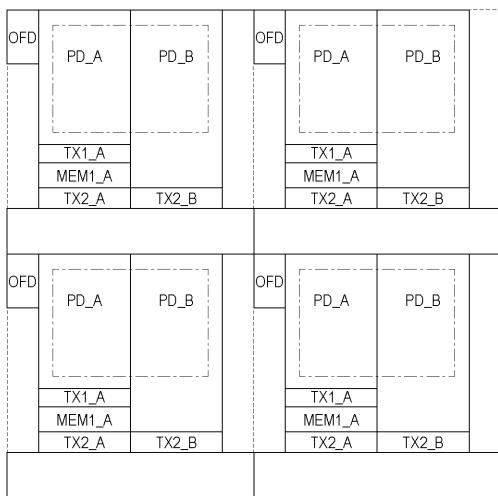
【図 3 1】



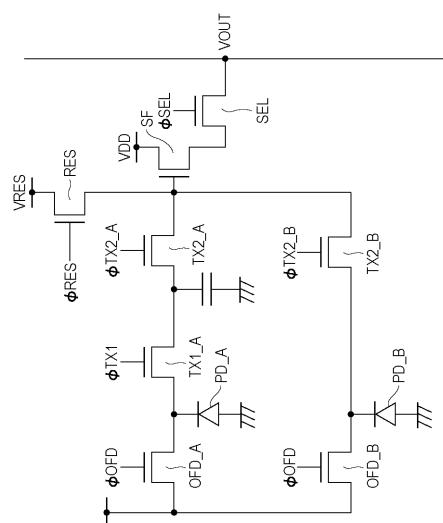
【図 3 2】



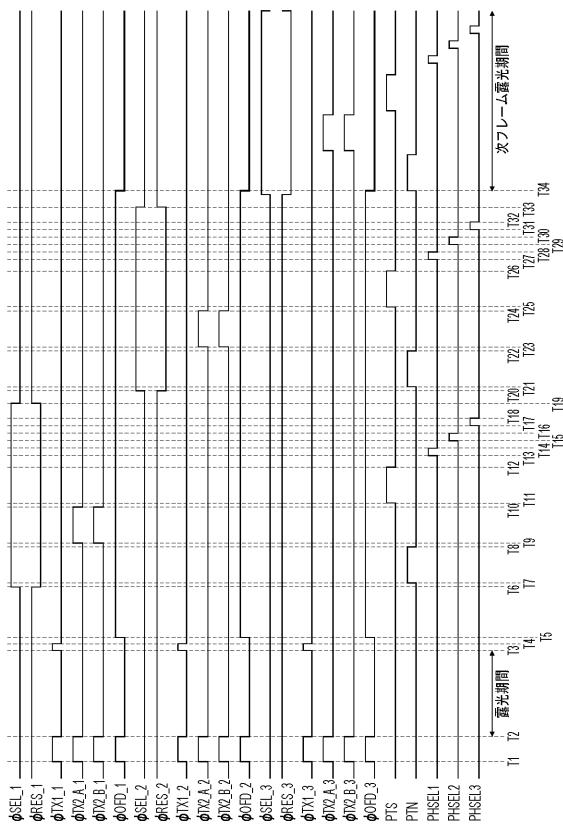
【図 3 3】



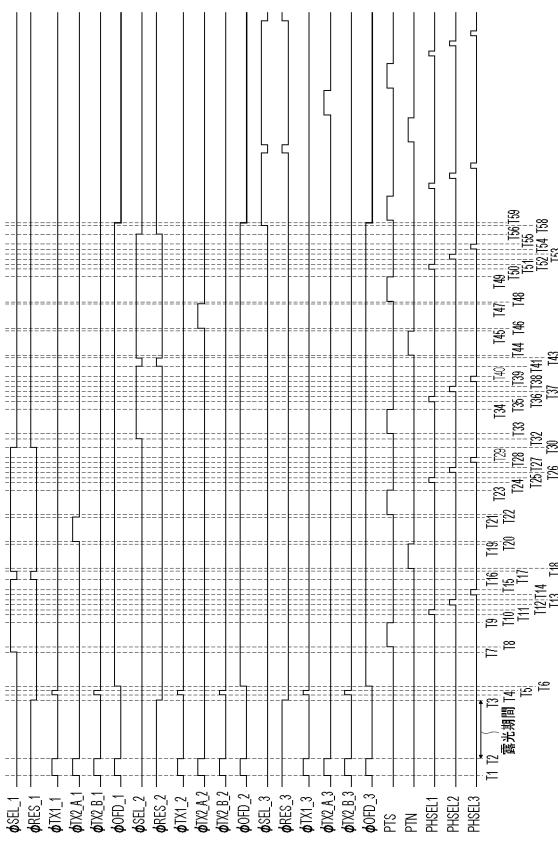
【図 3 4】



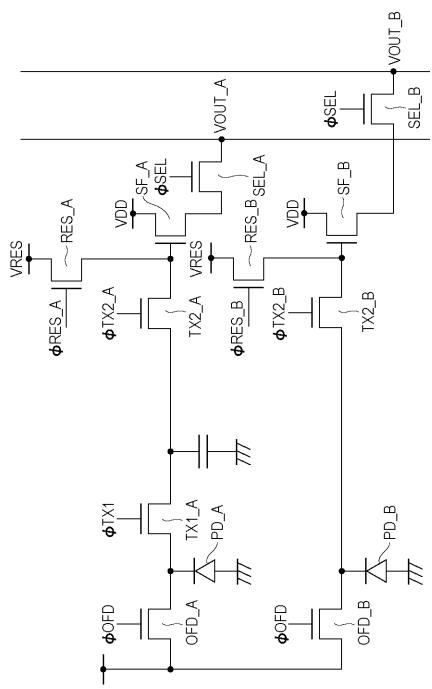
【 図 3 5 】



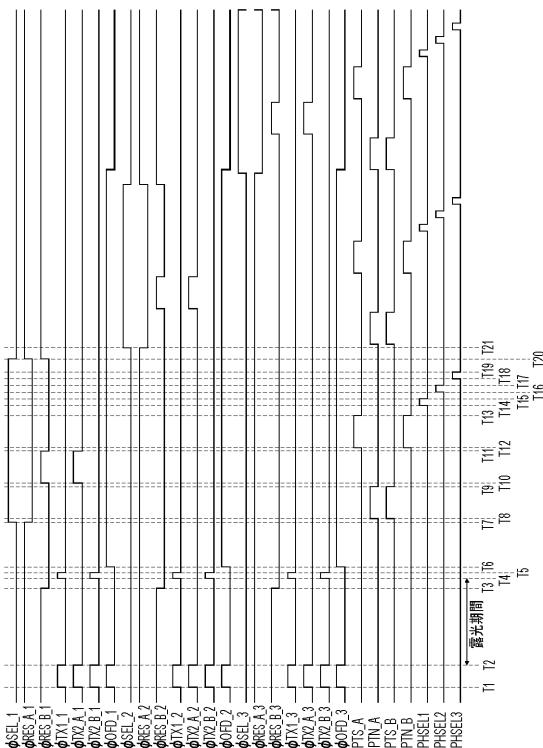
【 図 3 6 】



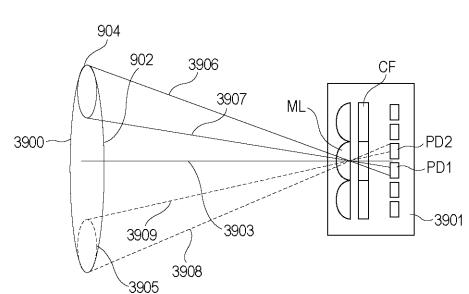
【図37】



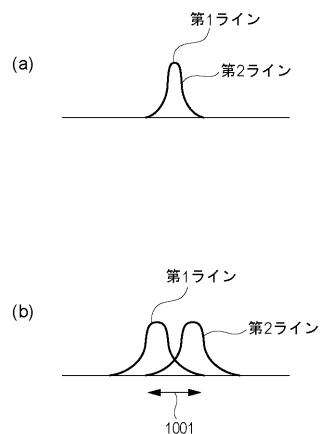
【 図 3 8 】



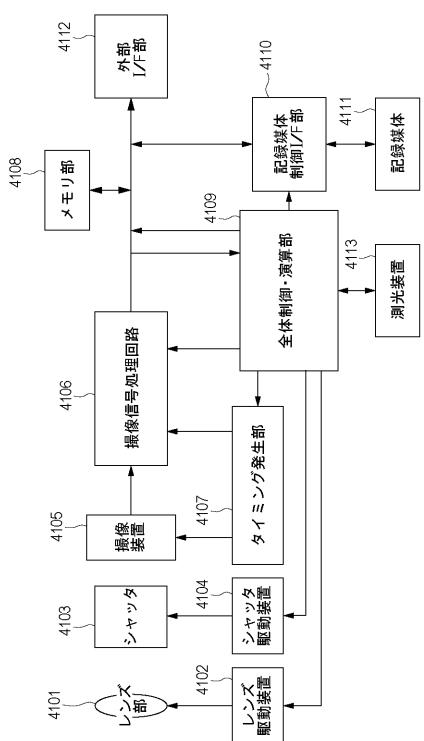
【図 3 9】



【図 4 0】



【図 4 1】



---

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
G 0 2 B 7/28 (2006.01)	G 0 2 B 7/11	N
G 0 3 B 13/36 (2006.01)	G 0 3 B 3/00	A
H 0 1 L 27/146 (2006.01)	H 0 1 L 27/14	A

(72)発明者 佐野 一拓

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 小島 賀

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

F ターム(参考) 2H011 BA23 BB02

2H151 BA06 CB09 CB20 CB24 CB26  
4M118 AB01 BA14 CA04 DD04 DD12 FA13 FA24 FA28 FA33 FA34  
GB03 GB06 GB07 GD04 GD07  
5C024 BX01 CX54 EX12 EX43 GX03 GX16 GX18 GY31 HX17 JX41  
5C122 DA04 EA42 FB05 FC02 FD07 FF11 HB02