

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G11C 11/407 (2006.01)

(45) 공고일자	2006년03월31일
(11) 등록번호	10-0566350
(24) 등록일자	2006년03월24일

(21) 출원번호

10-1999-0040662

(65) 공개번호

10-2000-0023346

(22) 출원일자

1999년09월21일

(43) 공개일자

2000년04월25일

(30) 우선권주장

98-269614

1998년09월24일

일본(JP)

(73) 특허권자

후지쓰 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1

(72) 발명자

후지오카신야

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

도미타히로요시

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

(74) 대리인

김진환

김두규

심사관 : 고재현**(54) 고속 클록에 대응할 수 있는 입력 버퍼를 갖는 집적 회로 장치****요약**

본 발명은 고주파수의 동기 클록에 대해서도 확실하게 입력 신호를 수신할 수 있는 입력 버퍼를 갖는 집적 회로 장치를 제공하는 것을 목적으로 한다. 본 발명은 입력 버퍼 회로를 1개의 입력 신호에 대하여 2 계통 또는 복수 계통의 구성으로 하고, 공급되는 클록으로부터 집적 회로 장치 내부에서 분주하여 상보의 내부 클록 또는 복수의 내부 클록을 생성하며, 2 계통 또는 복수 계통의 입력 버퍼에 의해, 상보 클록에 동기하거나 또는 복수 클록에 동기하여 입력 신호를 수신 및 래치하는 것을 특징으로 한다. 2 계통 또는 복수 계통의 입력 버퍼의 출력은 합성 회로로 합성되어 내부에 공급된다. 내부에서 생성되는 내부 클록은 각각의 입력 버퍼의 출력이 경합하는 일이 없도록 H 레벨 또는 L 레벨의 기간이 설정된다. 본 발명에 따르면, 복수 계통의 입력 버퍼의 동작을 공급되는 클록보다 저속의 내부 클록에 동기시키기 때문에, 확실하게 입력 신호를 수신할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 실시 형태 예의 집적 회로 장치인 메모리 디바이스의 전체 구성도.

도 2는 내부 클록 발생부를 도시한 도면.

도 3은 클록 버퍼의 회로도.

도 4는 클록 버퍼의 타이밍 차트도.

도 5는 클록 분주 회로의 회로도.

도 6은 도 5의 클록 분주 회로 및 스위치 회로의 타이밍 차트도.

도 7은 입력 버퍼의 회로도.

도 8은 동기 클록 입력부의 회로도.

도 9은 도 8의 동기 클록 입력부의 타이밍 차트도.

도 10은 입력 신호 래치부의 회로도.

도 11은 도 7과 도 10의 동작을 도시하는 타이밍 차트도.

도 12는 종래의 집적 회로 장치의 입력 버퍼 부분의 구성도.

도 13은 도 12의 입력 버퍼의 동작을 도시하는 타이밍 차트도.

〈도면의 주요 부분에 대한 부호의 설명〉

30, 31, 32 : 입력 버퍼

10 : 클록 버퍼

11 : 분주 회로

35 : 모드 레지스터, 분주 제어 설정부

60, 61 : 내부 클록 입력부, 동기 클록 입력부

68, 69 : 3상태 버퍼(tri-state buffer)

72 : 합성 회로

CLK : 공급 클록

clk, /clk : 분주된 내부 클록

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 클록에 동기하여 입력 신호를 수신 및 래치(유지)하는 입력 버퍼에 관한 것으로, 고속 클록에 대응하여 동작할 수 있는 입력 버퍼를 갖는 집적 회로 장치에 관한 것이다.

고속 동작을 행하는 동기형 DRAM과 같은 집적 회로 장치는 고속 동작을 실현하기 위해서, 컨트롤러측으로부터 클록에 동기하여 공급되는 데이터, 어드레스, 컨트롤 신호 등의 입력 신호를 그 클록에 동기하여 수신 및 래치하는 입력 버퍼를 갖는다. 이러한 입력 버퍼는 스트로브 신호로서 공급되는 클록의 상승 엣지에 동기하여 공급되는 입력 신호를 수신하고, 내부에서 래치한다. 따라서, 컨트롤러측은 클록에 동기하여 입력 신호를 부여하면 좋고, 집적 회로 장치가 장착되어 있는 회로 기판내의 전파 지연 시간 등의 문제를 고려할 필요가 없어 고속 동작을 실현할 수 있다.

도 12는 종래의 집적 회로 장치의 입력 버퍼 부분의 구성도이다. 집적 회로 장치(1)에는 클록(CLK)을 수신하는 클록 버퍼(10)와, 클록 버퍼(10)로부터 출력되는 내부 클록(iclk)의 위상을 보정하는 클록 보정부(12)와, 클록 보정부(12)가 출력하는 내부 클록(clk)에 동기하여 외부로부터 공급되는 어드레스(Address), 컨트롤 신호(Φ_{CON}) 및 데이터 신호(DQ)를 수신하는 입력 버퍼(20, 21, 22)를 갖는다.

도 13은 도 12의 입력 버퍼의 동작을 도시하는 타이밍 차트도이다. 도 13에 도시된 바와 같이, 입력 버퍼(20, 21, 22)는 외부 클록(CLK)에 위상 동기된 내부 클록(clk)의 상승 엣지에 동기하여 공급되는 입력 신호(Address, Φ_{CON} , DQ)를 수신하고, 내부에서 래치한다.

발명이 이루고자 하는 기술적 과제

그러나, 동기 클록(CLK)의 주파수가 예컨대 200 MHz 정도라면, 입력 버퍼는 그 클록(CLK)의 상승 엣지에 동기하여 입력 신호를 확실하게 수신할 수 있지만, 동기 클록(CLK)의 주파수가 예컨대 400 MHz 등의 고주파수가 되면, 입력 버퍼의 동작 속도가 한계에 도달하여 정상적인 입력 신호의 수신 동작을 행할 수 없게 된다. 또한, 고속의 동기 클록에서는 노이즈 등의 원인으로 클록 파형이 흐트러져 펄스폭이 극단적으로 짧아지는 경우도 있으며, 그 결과 입력 버퍼가 입력 신호를 확실하게 수신할 수 없게 된다.

그러므로, 본 발명은 고속의 클록에 동기하여 공급되는 입력 신호를 확실하게 수신할 수 있는 입력 버퍼 회로를 갖는 집적 회로 장치를 제공하는 것을 목적으로 한다.

또한, 본 발명은 저속에서 고속까지의 넓은 레인지의 클록에 동기하여 공급되는 입력 신호를 확실하게 수신할 수 있는 입력 버퍼 회로를 갖는 집적 회로 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서, 본 발명은 입력 버퍼 회로를 1개의 입력 신호에 대하여 2 계통 또는 복수 계통의 구성으로 하고, 공급되는 클록으로부터 집적 회로 장치 내부에서 분주하여 상보의 내부 클록 또는 복수의 내부 클록을 생성하며, 2 계통 또는 복수 계통의 입력 버퍼에 의해, 상보 클록에 동기하거나 또는 복수 클록에 동기하여 입력 신호를 수신 및 래치하는 것을 특징으로 한다. 2 계통 또는 복수 계통의 입력 버퍼의 출력은 합성 회로로 합성되어 내부에 공급된다. 내부에서 생성되는 내부 클록은 각각의 입력 버퍼의 출력이 경합하는 일이 없도록 H 레벨 또는 L 레벨의 기간이 설정된다. 본 발명에 따르면, 복수 계통의 입력 버퍼의 동작을 공급되는 클록보다도 저속의 내부 클록에 동기시키기 때문에 확실하게 입력 신호를 수신할 수 있다.

또한, 다른 발명에 따르면, 공급되는 외부 클록이 높은 주파수의 경우는 분주한 내부 클록에 동기하여 입력 버퍼를 동작시키고, 외부 클록이 낮은 주파수의 경우는 외부 클록에 동기하여 입력 버퍼를 동작시킴으로써 넓은 주파수 레인지의 외부 클록에 대응할 수 있다.

상기 목적을 달성하기 위해서, 본 발명은 공급 클록에 동기하여 입력 신호를 수신 및 래치하는 입력 버퍼를 구비한 집적 회로 장치에 있어서,

상기 공급 클록을 분주하여 위상이 다른 복수의 내부 클록을 생성하는 분주 회로와,

상기 복수의 내부 클록 중 대응하는 클록에 동기하여 각각 상기 입력 신호를 수신 및 래치하는 복수의 입력 버퍼와,

상기 복수의 입력 버퍼의 출력을 합성하는 합성 회로를 포함하는 것을 특징으로 한다.

더욱이, 상기 발명에 있어서, 상기 합성 회로는 상기 복수의 입력 버퍼의 출력에 각각 응답하여 H 레벨 또는 L 레벨의 로우 임피던스 상태 또는 하이 임피던스 상태가 되는 복수의 3상태 버퍼와, 상기 복수의 3상태 버퍼의 출력이 공급되는 공통의 출력 래치 회로를 갖는 것을 특징으로 한다.

더욱이, 상기 발명에 있어서, 상기 공급 클록의 주파수에 따라 분주 제어 신호가 설정되는 모드 레지스터를 더 포함하며, 상기 분주 회로는 상기 분주 제어 신호에 따라 상기 공급 클록의 주파수가 소정의 주파수보다 높을 때에 분주 동작을 행하고, 상기 공급 클록의 주파수가 상기 소정의 주파수보다 낮을 때에 분주 동작을 행하지 않는 것을 특징으로 한다. 본 발명에 따르면, 넓은 주파수 레인지의 공급 클록에 대응하여 확실하게 입력 신호를 수신할 수 있다.

더욱이, 상기 발명에 있어서, 상기 분주된 내부 클록의 상기 한쪽 레벨이 겹쳐질 때에, 선행하는 내부 클록을 다른쪽 레벨로 변경하는 내부 클록 입력 회로를 더 포함하며, 상기 복수의 입력 버퍼는 상기 내부 클록 입력 회로를 통해 각각의 상기 내부 클록을 입력하는 것을 특징으로 한다. 복수의 내부 클록의 한쪽 레벨이 겹쳐지지 않도록 되기 때문에, 합성 회로에 있어서 각각의 입력 버퍼로부터의 출력이 경합하는 것이 방지된다.

이하, 본 발명의 실시 형태의 예에 대해서 도면을 참조하여 설명한다. 그러나, 이러한 실시 형태 예가 본 발명의 기술적 범위를 제한하지는 않는다.

도 1은 실시 형태 예의 집적 회로 장치인 메모리 디바이스의 전체 구성도이다. 도 1의 메모리 디바이스는 컨트롤 신호(ϕ_{CON})와 어드레스(Add)를 수신 및 래치하는 입력 버퍼(30, 31)와, 데이터(DQ0~DQ31)를 수신 및 래치하는 입출력 버퍼(32)를 갖는다. 각각의 입력 버퍼는 후술하는 바와 같이 복수 계통의 입력 버퍼 회로로 구성되고, 공급되는 클록(CLK)을 분주한 내부 클록(clk, /clk)에 동기하여 각각 동작한다. 공급되는 클록(CLK)은 클록 버퍼(10)에 의해 수신되고, 클록 분주 회로(11)에 의해 분주되며, 분주된 클록이 클록 보정 회로(12)에 의해 위상 조정되어, 위상이 다른 복수의 내부 클록(clk, /clk)으로서, 상기 입력 버퍼(30, 31, 32)에 공급된다. 도 1의 예에서는 클록 분주 회로(11)는 공급 클록(CLK)의 주파수를 1/2로 분주하여 위상이 180° 다른 2개의 내부 클록(clk, /clk)을 생성한다. 따라서, 입력 버퍼(30, 31, 32)는 각각 2 계통의 입력 버퍼 회로로 구성된다.

단, 본 발명에 따르면, 클록 분주 회로(11)는 필요에 따라 1/2보다 적은 1/N로 분주하여 위상이 다른 N개의 내부 클록을 생성하여도 좋다. 그 경우는 입력 버퍼(30, 31, 32)는 각각 N 계통의 입력 버퍼 회로로 구성되고, 각각의 입력 버퍼 회로는 N개의 내부 클록에 동기하여 입력 신호(ϕ_{CON} , Add, DQ) 등을 내부에 순차 수신 및 래치한다.

도 1의 메모리 디바이스에 있어서, 분주된 내부 클록(clk, /clk)에 동기하여 입력 버퍼(30)로 순차 수신된 컨트롤 신호(ϕ_{CON})는, 예컨대 클록 인에이블 신호(/CKE), 로우 인에이블 신호(/RE), 칼럼 인에이블 신호(/CE), 기록 신호(/W) 및 침인에이블 신호(/CS)로 이루어져 커맨드 디코더(34)에 공급된다. 커맨드 디코더(34)는 이들 컨트롤 신호(ϕ_{CON})를 디코드하고, 어드레스 단자로부터 공급된 레이턴시(latency)나 버스트 길이의 모드 파라미터를 모드 레지스터(35)에 등록하거나 논리 회로(36)에 내부 모드 신호를 공급한다. 논리 회로(36)는 커맨드 디코더(34)로부터의 내부 모드 신호에 응답하여 각종 타이밍 신호(ϕ_1)를 메모리 디바이스내의 각종 회로에 공급한다. 이 타이밍 신호(ϕ_1)에 의해 메모리 디바이스내의 회로의 동작 타이밍이 제어된다.

어드레스($a_{00} \sim a_{14}$)는 내부 클록(clk, /clk)에 응답하여 입력 버퍼(31)에 순차 수신된다. 그 어드레스는 어드레스 버퍼(37)에 공급되어 유지된다. 유지된 어드레스는 디코더 등의 메모리 코어(42)의 주변 회로(40)에 공급된다. 더욱이, 어드레스는 데이터 버스(44)의 선택 및 출력 버퍼(32)의 선택에도 이용된다.

입력 데이터(D0)는 입력 버퍼(32)에 의해 내부 클록(clk, /clk)에 동기하여 순차 수신된다.

4개의 메모리 뱅크(bnk0~bnk3)는 각각 메모리 셀의 매트릭스를 갖는 메모리 코어(42)와 그 주변 회로(40)로 이루어진다. DQ 논리 회로(45)는 입출력 버퍼(32) 등의 데이터 흐름을 제어하는 회로로서, 예컨대 칼럼 선택 신호, 판독용 센스 버퍼 활성화 신호, 기록 앰프 활성화 신호 등의 타이밍 신호(ϕ_2)를 메모리 뱅크에 부여한다. 더욱이, DQ 논리 회로(45)는 입출력 버퍼(32)에 데이터의 출력 타이밍 신호(ϕ_3)를 공급한다.

상기 모드 레지스터(35)에는 커맨드 디코더(34)에 의해 생성되는 모드 레지스터 시퀀스 신호에 응답하여 판독 커맨드에서 데이터의 출력까지의 클록(CLK)의 수를 규정하는 레이턴시가 등록된다. 이 레이턴시는 공급되는 클록(CLK)의 주파수에 따라 설정되고, 클록(CLK)이 높은 주파수일수록 레이턴시(클록수)가 커진다. 따라서, 모드 레지스터(35)에 설정되는 레이턴시를 참조함으로써 공급되는 클록(CLK)의 주파수를 분주할 것인지 여부를 결정할 수 있다. 그리고, 모드 레지스터(35)는 그 레이턴시에 따라 분주 동작을 행하는지 행하지 않는지를 나타내는 분주 제어 신호(dvz)를 생성하여, 입력 버퍼(30, 31, 32)나 클록 분주 회로(11)에 공급한다. 또는, 분주 제어 신호(dvz)는 모드 레지스터(35)내에 메탈 옵션이나 와이어 본딩 옵션으로 설정되어도 좋다. 이 경우에는 모드 레지스터는 분주 제어 설정부가 된다.

도 2는 내부 클록 발생부를 도시한 도면이다. 내부 클록 발생부는 공급되는 클록(CLK)을 수신하는 클록 버퍼(10)와, 그 수신된 클록(iclk)을 분주하는 클록 분주 회로(11)와, 분주된 클록인지 또는 분주전의 클록(iclk)인지를 선택하는 스위치 회로(13)와, 클록(iclk, /iclk)의 위상을 공급 클록(CLK)의 위상으로 정합 또는 소정의 관계로 보정시키는 DLL 회로로 이루어지는 클록 보정 회로(12)를 갖는다. 이 내부 클록 발생부에 의해 생성된 2개의 역상의 내부 클록(clk, /clk)이 입력 버퍼(30, 31, 32)에 공급된다. 클록 버퍼(10)에는 공급 클록(CLK)이 유효한지 또는 무효한지를 나타내는 클록 활성화 신호(CKE)가 공급된다.

상기 클록 보정 회로(12)를 구성하는 DLL(Delay Locked Loop) 회로는, 예컨대 일본 특허 공개 공보 평성 10-112182(1998년 4월 28일 공개)에 개시되어 있다.

도 3은 클록 버퍼의 회로도이다. 클록 버퍼(10)는 소스가 접속된 한 쌍의 N 채널 트랜지스터(N1, N2), 클록 활성화 신호(CKE)에 의해 제어되는 N 채널 트랜지스터(N3), P 채널 트랜지스터(P1, P2), 전류 미러 회로를 구성하는 P 채널 트랜지스터(P3, P4) 및 인버터(50~52)를 갖는다. 트랜지스터(N2)의 게이트에는 기준 전압(V_{ref})이 공급되고, 트랜지스터(N1)의 게이트에는 외부로부터의 공급 클록(CLK)이 공급된다. 외부의 전원에 따른 레벨을 갖는 공급 클록(CLK)이 클록 버퍼(10)에 의해 내부의 전원(V_{ii})에 따른 레벨로 변환되어 과정 정형된다.

도 4는 클록 버퍼의 타이밍 차트도이다. 도 4에 도시되는 바와 같이, 클록 활성화 신호(CKE)가 H 레벨일 때에 트랜지스터(N3)가 도통하고, 트랜지스터(P1, P2)가 비도통이 되며, 공급 클록(CLK)이 기준 전압(V_{ref})과 비교되어, 공급 클록(CLK)이 내부 전원(V_{ii})에 따른 레벨의 내부 클록(iclk)으로 변환된다. 또한, 클록 활성화 신호(CKE)가 L 레벨일 때에 트랜지스터(N3)가 비도통, 트랜지스터(P1, P2)가 도통 상태가 되고, 내부 클록(iclk)은 L 레벨로 고정된다.

도 5는 클록 분주 회로의 회로도이다. 도 5에는 클록 분주 회로(11)와 스위치 회로(13)가 도시된다. 클록 분주 회로(11)는 인버터(110, 119, 120)와, NAND 게이트(111~114)로 이루어지는 초단 래치 회로와, NAND 게이트(115~118)로 이루어지는 후단 래치 회로로 구성되는 JK 플립플롭이다. 클록 버퍼(10)로 레벨 컨버트된 클록(iclk)이 클록 분주 회로(11)에 의해 1/2의 주파수로 분주되고, 위상이 180° 어긋난 내부 클록(clk, /clk)이 생성된다. 초단의 래치 회로(111, 112)에 래치된 상보 신호가 클록(iclk)의 H 레벨에 응답하여 후단의 래치 회로(115, 116)에 반전하여 전송된다. 더욱이, 그 래치된 상보 신호가 클록(iclk)의 L 레벨에 응답하여 초단의 래치 회로(111, 112)에 전송된다.

도 6은 도 5의 클록 분주 회로 및 스위치 회로의 타이밍 차트도이다. 전술한 분주 동작 제어 신호(dvz)가 L 레벨일 때에는 분주 동작이 유효화되고, 스위치 회로(13)의 트랜스페 게이트(51, 52)가 도통 상태이다. 그 경우는 클록(iclk)이 1/2의 주파수로 분주되어 2개의 내부 클록(clk, /clk)이 생성된다. 이 2개의 내부 클록(clk, /clk)은 각각 위상이 180° 어긋난 상보 클록이다. 또한, 분주 동작 제어 신호(dvz)가 H 레벨일 때에는 분주 동작이 금지되며, 트랜스페 게이트(53)를 통해 클록 버퍼(10)가 출력하는 클록(iclk)이 그대로 내부 클록(clk)으로서 출력된다. 즉, 이 경우의 내부 클록(clk)은 외부로부터 공급되는 클록(CLK)과 동일한 주파수이다. 그리고, 다른쪽 내부 클록(/clk)은 트랜스페(53)의 도통에 의해 L 레벨로 고정된다.

도 7은 입력 버퍼의 회로도이다. 입력 버퍼는 2개의 분주된 내부 클록(clk, /clk) 각각에 응답하여 입력 신호(64)를 수신 및 래치하는 2 계통의 회로 구성을 갖는다. 도 7에 도시되는 바와 같이, 내부 클록 발생부에 의해 생성된 2개의 내부 클록(clk, /clk)은 동기 클록 입력부(60, 61)에 공급된다. 그래서, 내부 클록(clk, /clk)의 타이밍의 조정이 행해져 래치 타이밍용 클록(n01, n02)이 각각 생성된다. 위상이 어긋난 클록(n01, n02)에 각각 응답하여 입력 신호 래치부(66, 67)가 독립적으로 입력 신호(64)를 순차 수신 및 래치한다. 각각의 입력 신호 래치부(66)는 입력 신호(64)에 따라 상보 신호(n11, n12)를 생성하고, 3상태 버퍼(68)를 제어한다. 또한, 입력 신호 래치부(67)도 입력 신호(64)에 따라 상보 신호(n22, n21)를 생성하고,

3상태 버퍼(69)를 제어한다. 그리고, 3상태 버퍼(68, 69)는 각각 H 레벨 또는 L 레벨의 로우 임피던스 상태와 하이 임피던스 상태가 되고, 이들 출력 n15, n16과 출력 n25, n26은 합성 회로(72)로서 와이어드 OR에 의해 합성되어 출력 래치 회로(70)에 래치된다.

도 8은 동기 클록 입력부의 회로도이다. 동기 클록 입력부(60)는 인버터(601, 602), 위상 조정용 지연 회로(603), 인버터(604) 및 NOR 게이트(605)를 갖는다. 또한, 동기 클록 입력부(61)는 NAND 게이트(611), 인버터(612), 위상 조정용 지연 회로(613), 인버터(614) 및 NOR 게이트(615)를 갖는다. 이들 동기 클록 입력부(60, 61)는 독립적으로 구성되고, 각각 위상이 다른 2개의 내부 클록(clk, /clk)을 입력하여, 위상 조정용 지연 회로(603, 613)에 의해 입력 신호(64)의 셋업에 필요한 시간만큼 지연시킨다. 또한, 인버터(604, 614)의 출력은 각각 인버터(62, 63)를 통해 NOR 게이트(605, 615)에 공급되며, 출력 클록(n01, n02)의 H 레벨 상태가 겹쳐지지 않도록 제어된다. 또한, NAND 게이트(611)에는 분주 제어 신호(dvz)가 입력되고, 분주가 행해지지 않을 때에는 분주 제어 신호(dvz)가 L 레벨이 되며, 동기 클록 입력부(61)가 클록(/clk)의 입력을 금지한다.

도 9는 도 8의 동기 클록 입력부의 타이밍 차트도이다. 이 예에서는 클록 분주 회로(11)로부터의 내부 클록(clk, /clk)의 H 레벨이 일부 겹쳐진다. 이 H 레벨의 겹침은 도 5에 도시한 JK 플립플롭 회로로 이루어지는 클록 분주 회로(11)의 구성상, 게이트 단수에 부정합이 존재함으로써 발생한다. 물론, 다른 이유로 H 레벨의 겹침이 발생하는 경우도 있다.

도 8에 도시되는 바와 같이, 출력 클록(n01)은 분주된 내부 클록(clk)과 동상의 클록이다. 또한, 출력 클록(n02)은 동일하게 분주된 내부 클록(/clk)과 동상의 클록이다. 그러나, 시각 t1에 있어서, 인버터(62, 63)에 의해 선행하는 H 레벨의 클록(clk)에 대한 출력 클록(n01)의 H 레벨은 뒤에 발생하는 클록(/clk)의 상승 엣지에 따라 L 레벨로 낮아진다. 또한, 한쪽 L 레벨의 출력 클록(n02)도 클록(/clk)의 상승 엣지에 응답하여 H 레벨로 상승된다.

동일하게, 시각 t2에 있어서, 선행하는 H 레벨의 클록(/clk)에 대한 출력 클록(n02)의 H 레벨은 뒤에 발생하는 클록(clk)의 상승 엣지에 따라 L 레벨로 낮아진다. 그리고, L 레벨의 출력 클록(n01)은 클록(clk)의 상승 엣지에 응답하여 H 레벨로 상승한다. 단, 각각의 출력 클록(n01, n02)의 변화는 입력되는 내부 클록(CLK, /clk)의 상승 엣지로부터, 지연 회로(603, 613)와 그 밖의 게이트 분주만큼 지연한 타이밍으로 발생한다.

따라서, 동기 클록 입력부(60, 61)의 출력 클록(n01, n02)은 분주된 내부 클록(CLK, /clk)보다 소정 시간 지연하고, 또한, H 레벨이 서로 겹쳐지지 않도록 생성된다.

도 10은 입력 신호 래치부의 회로도이다. 입력 신호 래치부(66, 67)는 회로 구성이 동일하기 때문에, 도 10에는 한 쌍의 입력 신호 래치부가 표시된다. 입력 신호 래치부에는 인버터(80, 81) 및 NAND 게이트(82)를 통해 클록(n01)이 공급되고 또한, 입력 신호(64)가 N 채널 트랜지스터(N26)의 게이트에 공급된다. N 채널 트랜지스터(N21, N22)는 클록(n01)에 의해 제어되고, 트랜지스터(N23, N24, N25)는 NAND 게이트(82)의 출력에 의해 제어된다. 트랜지스터(N26, N27)는 입력 신호(64)를 기준 전압(V_{ref})과 비교하는 비교 회로를 구성하고, 트랜지스터(P28, P29)와 트랜지스터(N28, N29)는 그 비교 결과를 증폭하여 래치하는 회로이다. P 채널 트랜지스터(P21, P22)는 클록(n01)이 L 레벨일 때에 도통하여 출력(n11, n12)을 H 레벨[전원(V_{ii}) 레벨]로 유지한다. 또한, 클록(n01)의 L 레벨에 의해 NAND 게이트(82)의 출력(n13)은 H 레벨이 되고, 트랜지스터(N23, N24, N25)는 모두 도통 상태에 있다. 이것이 입력 신호 래치 회로의 비활성 상태이다.

도 11은 도 7 및 도 10의 동작을 나타내는 타이밍 차트도이다. 도 11을 참조하여 도 10의 입력 신호 래치부의 동작을 설명한다. 우선, 상기한 비활성 상태로부터, 클록(n01)이 L 레벨에서 H 레벨로 상승하면, P 채널 트랜지스터(P21, P22)는 비도통이 되고, 트랜지스터(N21, N22)는 도통한다. 따라서, 트랜지스터(N26, N27)의 공통 소스는 접지 전위(V_{ss})로 낮아지고, 입력 신호(64)의 레벨에 따라 차동 증폭 동작에 의해 트랜지스터(N26, N27)의 전류량에 차이가 생긴다. 도 11의 입력 신호(D1)는 L 레벨이기 때문에, 출력(n12)이 약간 L 레벨측으로 내려간다.

그래서, 클록(n01)이 상승하고 나서, 인버터(80, 81)와 NAND 게이트(82)의 지연(T_b) 후에, 노드(n13)가 L 레벨로 하강한다. 그 결과, 트랜지스터(N23, N24, N25)가 비도통이 되는 동시에 트랜지스터(N28, N29)의 공통 소스 단자의 전위가 낮아지고, 트랜지스터(P28, P29, N28, N29)에 의해 출력(n11, n12)의 차전압이 증폭되어 래치된다. 그 결과, 출력(n12)이 L 레벨로 구동되고, 출력(n11)은 H 레벨의 상태로 유지된다.

그리고, 클록(n01)의 하강 엣지로부터 NAND 게이트(82)의 지연(T_c) 후에, 노드(n13)가 상승하고, 래치 상태가 해제되어, 도통 상태에 있는 P 채널 트랜지스터(P21, P22)에 의해 출력(n11, n12)은 H 레벨로 리셋된다.

이상 도 11에 도시되는 바와 같이, 기간 T_a 가 입력 신호의 셋업 기간이고, 기간 T_b 가 트랜지스터(N26, N27)에 의한 차동 증폭 기간, 기간 T_c 가 트랜지스터(P28, P29, N28, N29)에 의한 래치 기간, 그리고, 기간 T_d 가 리셋 기간이다.

도 11에 도시된 예에서는 입력 신호(D2)의 H 레벨은 입력 신호 래치부(67)에 의해 수신되고, 출력(n21)이 L 레벨로 구동되고, 출력(n22)이 H 레벨로 구동된다. 입력 신호(D2)는 D1의 H 레벨과는 반전 레벨인 H 레벨이기 때문에, 입력 신호 래치부의 동작도 반대가 된다.

도 7에는 입력 신호 래치부(66, 67)의 출력(n11, n12)과 출력(n21, n22)에 의해 제어되는 3상태 버퍼(68, 69)가 도시된다. 3상태 버퍼(68)는 p 채널 트랜지스터(P10)와 N 채널 트랜지스터(N10)로 이루어지는 버퍼 회로와, 트랜지스터(P11, N11)로 이루어지는 버퍼 회로를 가지며, 각각 출력(n11, n12)에 의해 역상으로 제어된다. 도 11의 입력 신호(D1)에 대해서는 출력(n11)이 H 레벨, 출력(n12)이 L 레벨이기 때문에, 상기 버퍼 회로에 의해 노드(n16)는 H 레벨로, 노드(n15)는 L 레벨로 각각 구동된다. 즉, 노드(n15, n16)는 로우 임피던스 상태(Lz)가 된다. 그리고, 입력 신호 래치부(66)가 리셋되면, 출력(n11, n12)이 모두 H 레벨이 되고, 트랜지스터(P10, N10, P11, N11)는 전부 비도통이 되며, 노드(n15, n16)는 하이 임피던스 상태(Hz)가 된다.

또한, 3상태 버퍼(69)는 P 채널 트랜지스터(P12)와 N 채널 트랜지스터(N12)로 이루어지는 버퍼 회로와, 트랜지스터(P13, N13)로 이루어지는 버퍼 회로를 가지며, 각각 출력(n21, n22)에 의해 역상으로 제어된다. 도 11의 입력 신호(D2)에 대해서는 출력(n22)이 H 레벨, 출력(n21)이 L 레벨이기 때문에, 상기 버퍼 회로에 의해 노드(n26)는 L 레벨로, 노드(n25)는 H 레벨로 각각 구동된다. 즉, 노드(n25, n26)는 로우 임피던스 상태(Lz)가 된다. 그리고, 입력 신호 래치부(67)가 리셋되면, 출력(n21, n22)이 모두 H 레벨이 되고, 트랜지스터(P12, N12, P13, N13)는 모두 비도통이 되며, 노드(n25, n26)는 하이 임피던스 상태(Hz)가 된다.

노드(n25, n26)의 하이 임피던스 상태(Hz)의 기간에 있어서, 노드(n15, n16)의 상태가 합성 회로(72)의 출력 래치 회로(70)에 래치된다. 또한, 그 후의 노드(n15, n16)의 하이 임피던스 상태(Hz)의 기간에 있어서, 노드(n25, n26)의 상태가 합성 회로(72)의 출력 래치 회로(70)에 래치된다. 도 11에 도시된 바와 같이, 노드(n15, n16)의 하이 임피던스 상태(Hz)와 로우 임피던스 상태(Lz), 노드(n25, n26)의 로우 임피던스 상태(Lz)와 하이 임피던스 상태(Hz)가 교대로 반복된다.

그런데, 도 8의 동기 클록 입력부에 있어서, 도 9의 타이밍 차트도에 도시된 바와 같이, 분주된 내부 클록(CLK, /clk)의 H 레벨이 서로 겹쳐지는 경우는 인버터(62, 63)에 의해 출력 클록(01, n02)의 H 레벨이 서로 겹쳐지는 것이 방지된다. 만약, 출력 클록(n01)과 출력 클록(n02)의 H 레벨이 서로 겹쳐진다고 하면, 도 11에서 X1, X2, X3과 같은 파형이 된다. 즉, 클록(n01)의 하강이 클록(n02)의 상승 옛지보다 지연되면(X1) 그것에 따라, 입력 신호 래치부(66)의 노드(n13)의 상승 옛지도 지연된다(X3). 그 결과, 출력(n12)의 리셋 동작도 지연된다(X2). 따라서, 3상태 버퍼(68)의 노드(n15, n16)의 로우 임피던스 상태(Lz)로부터 하이 임피던스 상태(Hz)로의 이행도 지연되어 노드(n15, n16)의 로우 임피던스 상태(Lz)(도면 중 점선)가 도 11중의 Ip로 도시되는 바와 같이, 노드(n25, n26)의 로우 임피던스 상태(Lz)와 일부 겹쳐진다.

이러한 로우 임피던스 상태의 겹침은 각각의 입력 신호(64)가 역상이면, 도 7의 3상태 버퍼(68, 69) 사이에서, 관통 전류(Ip)가 발생한다. 즉, 도 7의 3상태 버퍼에 있어서, 트랜지스터(P10)로부터 트랜지스터(N12)를 향해 관통 전류가 흐르고 또한, 트랜지스터(P13)로부터 트랜지스터(N11)를 향해 관통 전류가 흐른다. 따라서, 도 8의 동기 클록 입력부에서는 클록(n01, n02)의 H 레벨의 중복이 발생하지 않도록 제어된다.

상기 관통 전류의 문제는 특히 높은 주파수의 클록의 경우에 쉽게 발생하게 된다. 즉, 클록(CLK)의 주파수가 높아지면 그 주기도 짧아진다. 한편, 입력 신호 래치부(66, 67)의 래치 기간(T_c)은 합성 회로(72)의 출력 래치 회로(70)의 래치 상태를 반전하는 데에 충분한 시간 이상으로 설정될 필요가 있다. 그리고, 3상태 버퍼(68, 69)의 로우 임피던스 상태(Lz)의 기간은 이 래치 기간(T_c)과 동일하며, 일정이다. 그래서, 클록(CLK)의 주기가 짧아지면, 로우 임피던스 상태(Lz)와 하이 임피던스 상태(Hz)의 합계 시간이 짧아지고, 도 11과 같이 3상태 버퍼(68, 69)의 로우 임피던스 상태(Lz)의 기간이 접근한다. 이 상황에서, 클록(n01)의 하강 옛지가 X1과 같이 조금이라도 지연되면, 양 버퍼(68, 69)의 로우 임피던스 상태(Lz)의 기간이 중복되어 버리는 것이다.

따라서, 분주 클록에 의해 2 계통으로 한 입력 버퍼를 동작시켜, 이들 출력을 합성하는 경우는 각각의 입력 버퍼의 출력의 유효 기간이 경합하지 않도록 할 필요가 있다.

상기 실시 형태예에서는 공급 클록(CLK)을 1/2의 주파수로 분주하여 입력 버퍼를 2 계통으로 한 예로 설명하였다. 그러나, 본 발명은 그것에 한정되지 않고, 공급 클록(CLK)을 1/4의 주파수로 분주하여 4개의 90°씩 위상이 어긋난 내부 클록

을 생성하고, 4계통의 입력 버퍼를 각각의 내부 클록에 동기하여 동작시킬 수도 있다. 더욱이, 공급 클록(CLK)을 1/N의 주파수로 분주하여 위상이 다른 N개의 내부 클록을 생성하고, N 계통의 입력 버퍼를 각각의 내부 클록에 동기하여 동작시킬 수도 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 고속의 클록에 동기하여 공급되는 입력 신호를 확실하게 내부에 수신 및 래치하는 입력 버퍼를 갖는 집적 회로 장치를 제공할 수 있다.

더욱이, 본 발명에 따르면, 넓은 주파수 레인지의 클록에 대응하여 확실하게 입력 신호를 내부에 수신 및 래치하는 입력 버퍼를 갖는 집적 회로 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

공급 클록에 동기하여 입력 신호를 수신 및 래치하는 입력 버퍼를 구비한 집적 회로 장치로서,

상기 공급 클록을 분주하여 위상이 다른 복수의 내부 클록들을 생성하는 분주 회로와;

상기 복수의 내부 클록들 중 대응하는 클록에 동기하여 각각 상기 입력 신호를 수신 및 래치하는 복수의 입력 버퍼들과;

상기 복수의 입력 버퍼들의 출력들을 합성하는 합성 회로를 포함하고, 상기 합성 회로는,

상기 복수의 입력 버퍼들의 출력들에 각각 응답하여 H 레벨 또는 L 레벨의 로우 임피던스 상태 또는 하이 임피던스 상태가 되는 복수의 3상태 버퍼들과,

상기 복수의 3상태 버퍼들의 출력들이 공급되는 공통의 출력 래치 회로를 구비하는 것인 집적 회로 장치.

청구항 2.

공급 클록에 동기하여 입력 신호를 수신 및 래치하는 입력 버퍼를 구비한 집적 회로 장치로서,

상기 공급 클록을 분주하여 위상이 다른 복수의 내부 클록들을 생성하는 분주 회로와;

상기 복수의 내부 클록들 중 대응하는 클록에 동기하여 각각 상기 입력 신호를 수신 및 래치하는 복수의 입력 버퍼들과;

상기 복수의 입력 버퍼들의 출력들을 합성하는 합성 회로와;

상기 공급 클록의 주파수에 따라 분주 제어 신호가 설정되는 모드 레지스터를 포함하고,

상기 분주 회로는 상기 분주 제어 신호에 따라 상기 공급 클록의 주파수가 미리 정해진 주파수보다 높을 때에 분주 동작을 행하고, 상기 공급 클록의 주파수가 상기 미리 정해진 주파수보다 낮을 때에 분주 동작을 행하지 않는 것인 집적 회로 장치.

청구항 3.

공급 클록에 동기하여 입력 신호를 수신 및 래치하는 입력 버퍼를 구비한 집적 회로 장치로서,

상기 공급 클록을 분주하여 위상이 다른 복수의 내부 클록들을 생성하는 분주 회로와;

상기 복수의 내부 클록들 중 대응하는 클록에 동기하여 각각 상기 입력 신호를 수신 및 래치하는 복수의 입력 버퍼들과;
상기 복수의 입력 버퍼들의 출력들을 합성하는 합성 회로와;
분주 제어 신호가 설정되는 분주 제어 설정부를 포함하고,

상기 분주 회로는 상기 분주 제어 신호가 제1 상태일 때에 상기 분주 동작을 행하고, 상기 분주 제어 신호가 제2 상태일 때
에 상기 분주 동작을 행하지 않는 것인 집적 회로 장치.

청구항 4.

제2항에 있어서,

상기 분주 회로가 분주 동작을 행하지 않는 경우는 상기 복수의 입력 버퍼들 중에 규정된 입력 버퍼가 상기 공급 클록에 동
기하여 상기 입력 신호를 수신 및 래치하는 것인 집적 회로 장치.

청구항 5.

공급 클록에 동기하여 입력 신호를 수신 및 래치하는 입력 버퍼를 구비한 집적 회로 장치로서,

상기 공급 클록을 분주하여 위상이 다른 복수의 내부 클록들을 생성하는 분주 회로와;

상기 복수의 내부 클록들 중 대응하는 클록에 동기하여 각각 상기 입력 신호를 수신 및 래치하는 복수의 입력 버퍼들과;
상기 복수의 입력 버퍼들의 출력들을 합성하는 합성 회로와;

상기 분주된 내부 클록의 한쪽 레벨이 겹쳐질 때에, 선행하는 내부 클록을 다른쪽 레벨로 변경하는 내부 클록 입력 회로를
포함하고,

상기 복수의 입력 버퍼들은 상기 내부 클록 입력 회로를 통해 각각의 상기 내부 클록을 입력하는 것인 집적 회로 장치.

청구항 6.

공급 클록에 동기하여 입력 신호를 수신 및 래치하는 입력 버퍼를 구비한 집적 회로 장치로서,

상기 공급 클록을 분주하여 위상이 다른 복수의 내부 클록들을 생성하는 분주 회로와;

상기 복수의 내부 클록들 중 대응하는 클록에 동기하여 상기 입력 신호를 각각 수신 및 래치하는 복수의 입력 버퍼들과;

상기 복수의 입력 버퍼들의 출력들을 합성하는 합성 회로와;

상기 분주 회로가 생성한 상기 복수의 내부 클록들의 위상들을 상기 공급 클록의 위상과의 소정 관계로 조정하는 클록 보
정 회로를 포함하고,

상기 클록 보정 회로에 의해 위상이 조정된 상기 내부 클록들이 상기 입력 버퍼에 공급되는 것인 집적 회로 장치.

청구항 7.

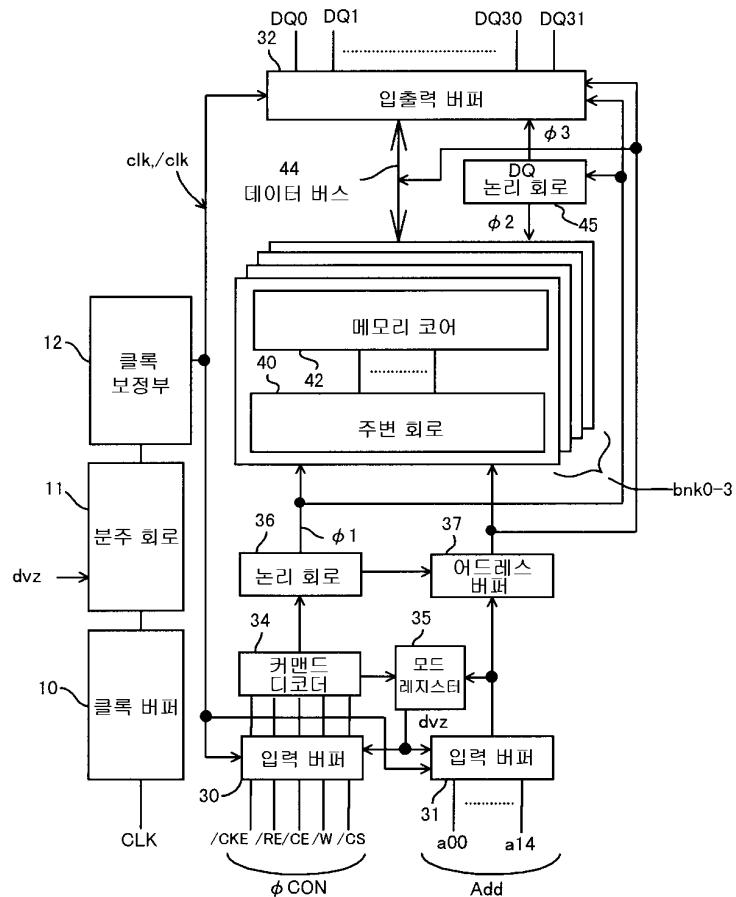
제3항에 있어서, 상기 분주 회로가 분주 동작을 행하지 않는 경우는 상기 복수의 입력 버퍼들 중에 규정된 입력 버퍼가 상기 공급 클록에 동기하여 상기 입력 신호를 수신 및 래치하는 것인 집적 회로 장치.

청구항 8.

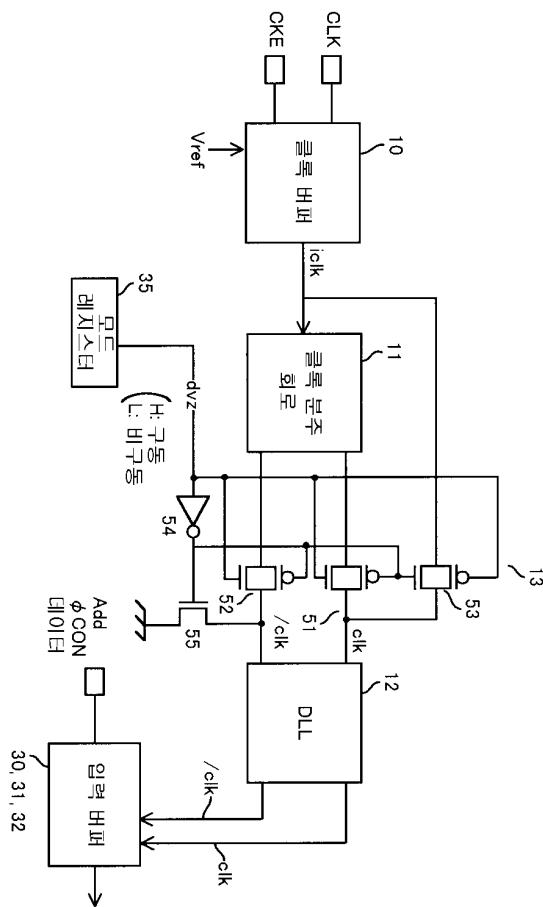
삭제

도면

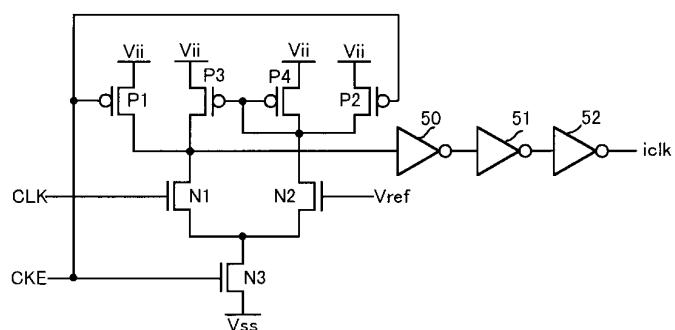
도면1



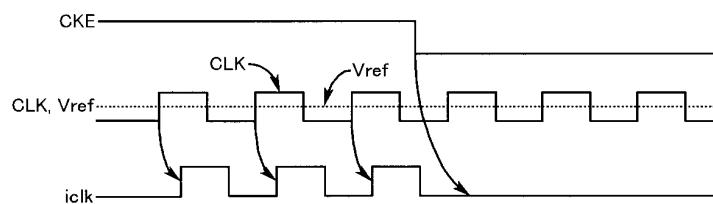
도면2



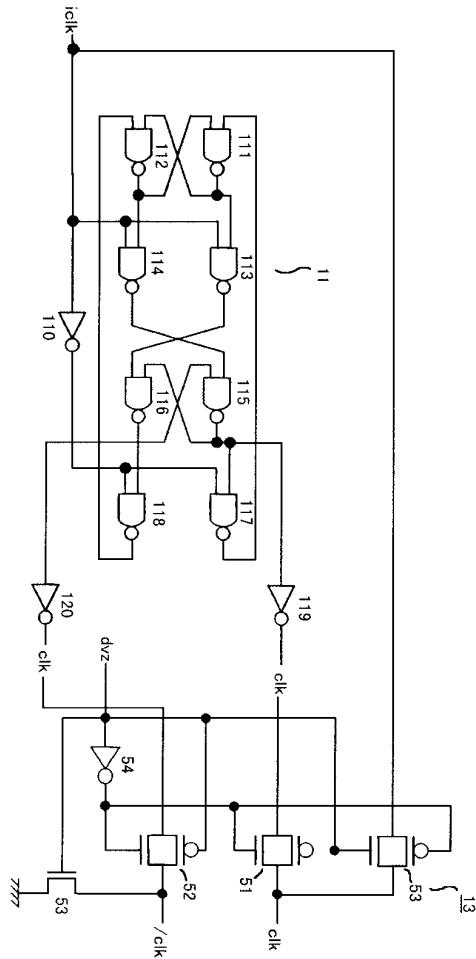
도면3



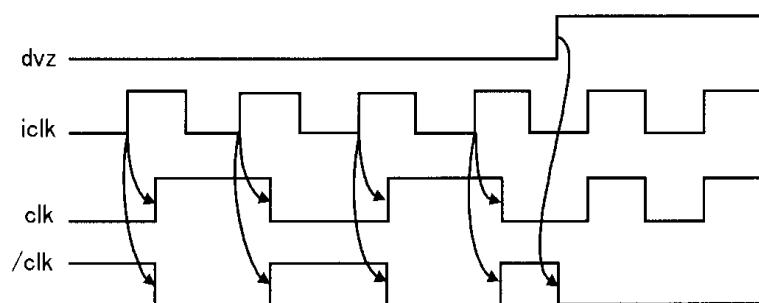
도면4



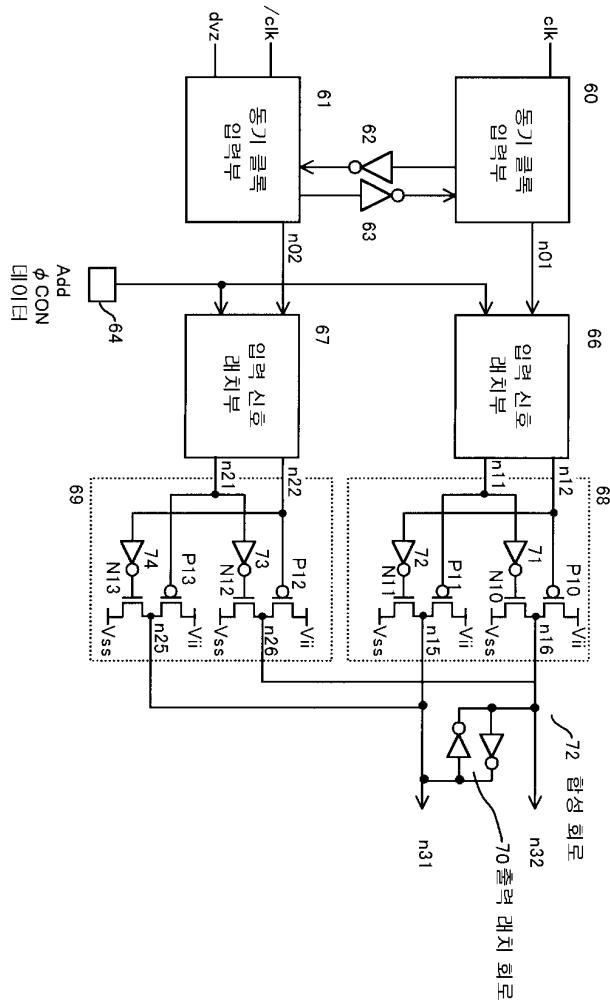
도면5



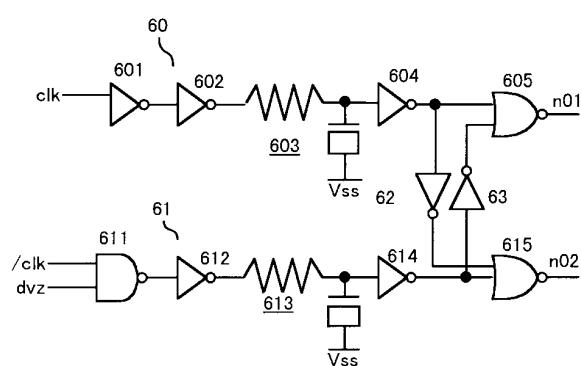
도면6



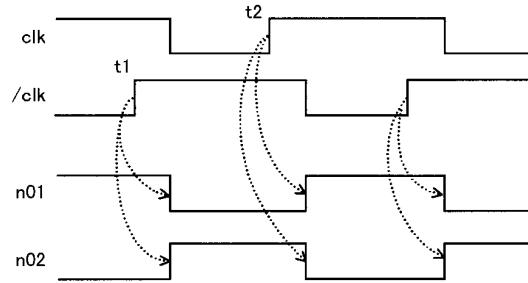
도면7



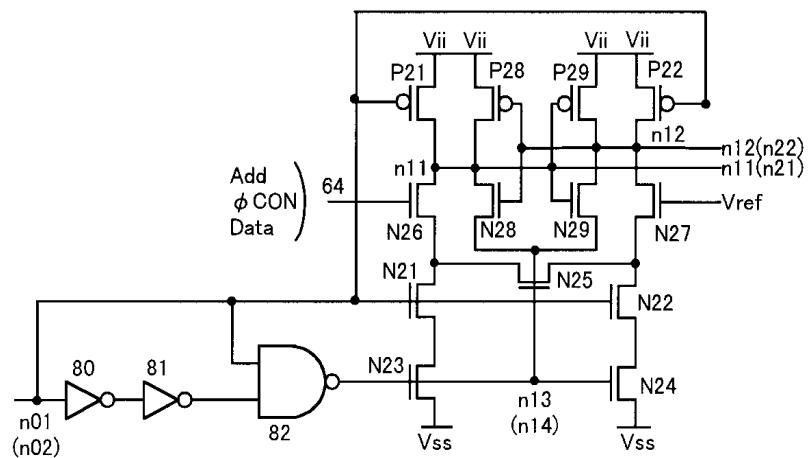
도면8



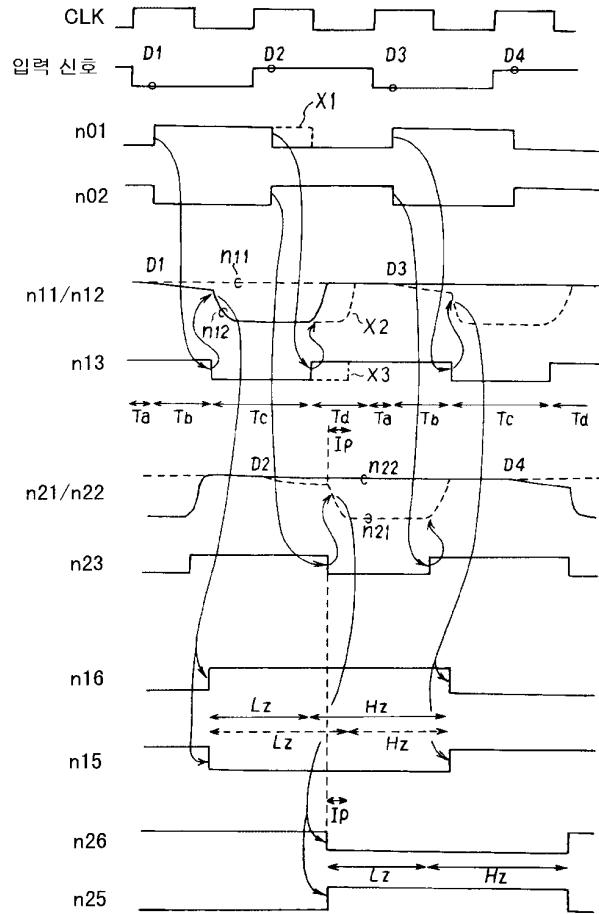
도면9



도면10

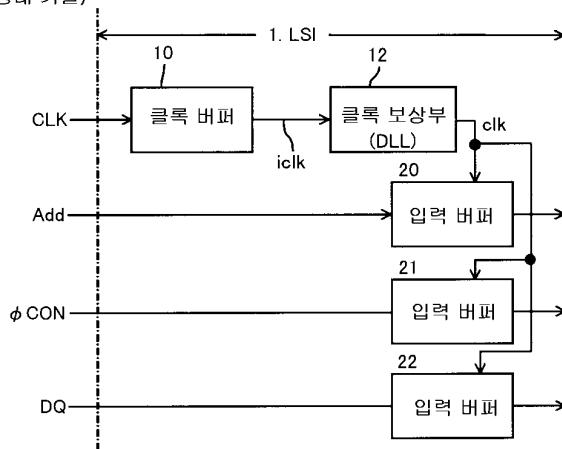


도면11



도면12

(종래 기술)



도면13

