

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 23 日 (23.11.2017)



(10) 国际公布号
WO 2017/197946 A1

- (51) 国际专利分类号:
H03K 5/135 (2006.01) **H03L 7/18** (2006.01)
- (21) 国际申请号: PCT/CN2017/074785
- (22) 国际申请日: 2017 年 2 月 24 日 (24.02.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610323558.2 2016 年 5 月 16 日 (16.05.2016) CN
- (71) 申请人: 东南大学 (SOUTHEAST UNIVERSITY)
[CN/CN]; 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。
- (72) 发明人: 单伟伟 (SHAN, Weiwei); 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。
万亮 (WAN, Liang); 中国江苏省南京市玄武

区四牌楼 2 号, Jiangsu 210096 (CN)。时龙兴 (SHI, Longxing); 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。

(74) 代理人: 南京经纬专利商标代理有限公司 (NANJING JINGWEI PATENT & TRADEMARK AGENCY CO., LTD); 中国江苏省南京市鼓楼区中山路 179 号 12 楼 B 座, Jiangsu 210005 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

(54) Title: PVTM-BASED, WIDE-VOLTAGE-RANGE CLOCK STRETCHING CIRCUIT

(54) 发明名称: 一种基于 PVTM 的宽电压时钟拉伸电路

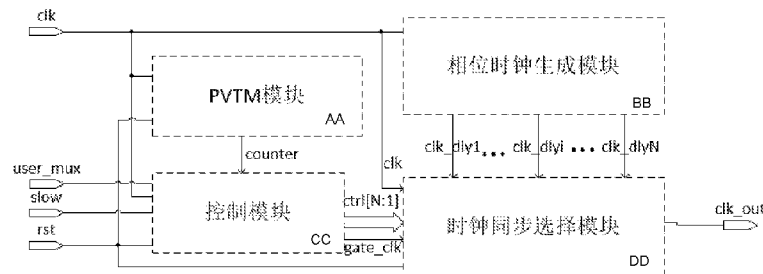


图 1

AA PVTM CIRCUIT MODULE
BB PHASE CLOCK GENERATION MODULE
CC CONTROL MODULE
DD CLOCK SYNCHRONIZATION SELECTION MODULE

(57) Abstract: Disclosed is a PVTM-based, wide-voltage-range clock stretching circuit. The circuit comprises a PVTM circuit module, a phase clock generation module, a clock synchronization selection module, and a control module. The PVTM circuit module monitors in real time delay information of a delay unit in a chip to detect a current running environment of the circuit, and feeds the information back to the control module. Under the effect of a clock stretching enable signal and a clock stretching scale signal, the control module selects, according to PVTM feedback information, a target phase clock from clocks generated by the phase clock generation module, so as to implement stretching of a system clock in different PVT environments within a single cycle. The circuit of the present invention does not require a complex gate device, and has a low cost in terms of surface area and power consumption; the circuit has a simple structure and is easy to implement, achieves a cost-based balance between precision and area overhead, and is especially suitable for

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

use in adaptive voltage and frequency regulation circuits based on online timing monitoring.

(57) 摘要: 一种基于PVTM的宽电压时钟拉伸电路, 该电路由PVTM电路模块、相位时钟生成模块、时钟同步选择模块以及控制模块组成。PVTM电路模块实时监测芯片中延时单元的延时信息来检测当前电路的运行环境, 并将该信息反馈到控制模块中。控制模块在时钟拉伸使能信号以及时钟拉伸尺度信号的作用下, 根据PVTM的反馈信息, 从相位时钟生成模块产生的时钟中选择目标相位时钟, 实现在单周期内对不同PVT环境下系统时钟的拉伸。不需要复杂的门器件, 面积和功耗代价较小。电路结构精简, 电路实现简单, 用一定的精度代价换取了面积代价, 尤其适合基于在线时序监测的自适应电压频率调整电路使用。

一种基于 PVTM 的宽电压时钟拉伸电路

技术领域

本发明涉及一种基于 PVTM 的宽电压时钟拉伸电路，利用数字逻辑实现，属于集成电路设计领域。

技术背景

近些年，宽电压（Wide voltage range）集成电路得到了广泛关注，它通常涵盖近/亚阈值区至常规电压区，可以在宽电压范围内进行切换，以便在满足芯片不同负载下的高性能或高能效需求。然而，由于 PVT（Process, Voltage, Temperature）偏差的存在以及电路老化的问题，在电路设计中需要预留一定的时序余量使电路在最坏情况下能仍正常工作，造成了性能和功耗浪费，但这些不利时序偏差因素实际很难同时发生甚至根本不发生，因此这就造成所选择的工作电压过于保守，芯片的性能没有达到最佳。

为了实现芯片的高性能或者高能效设计，通常会减少时序余量以让芯片在更低电压或者更高的频率下运行，但容易造成关键路径时序违规情况发生，使芯片运行出错。以 razor 结构为代表的电路是典型的在线时序监测方法，将电压降低到极限值至电路时序出错，并利用原地恢复或者上层恢复机制来恢复芯片的正确工作状态。这类监控方法的监控单元有两个特点，一是，监控时序工作情况，能有效的判断某一个时钟周期内，电路的时序是否出现错误；二是，保留正确的时序结果，在时序出错时需要实现纠错功能，因此监控单元需要保留正确的时序值。其结构主要是由两个时序单元组成：普通触发器和影子锁存器。在设计过程中，使用 Razor 监控单元替换传统的触发器，即可完成电路的时序监控及纠错。当电路时序正常时，监控单元中的触发器作用与传统触发器无异；当电路时序出错时，影子寄存器保存着正常时序结果，可以完成数据纠错。

利用在线时序监测方法，检测片上时序监测单元的延时变化情况，便可以得到电路中 PVT 环境情况。将该信息反馈到系统中，系统根据反馈的时序监测信息从而可以对目标电路进行相应的电压或者频率调节，以实现芯片的高性能或者高能效。一旦芯片的数据出现错误即表明出现时序违约，此时芯片时序余量较小，为了保证芯片工作正常，需要实现立刻降频操作，以提高时序余量，解决电路时序违约问题。而传统的降频方法有：分频操作和 PLL 配置。分频的方法可以实现立即降频，但是由于只能实现整数倍分频（通常使用二分频），因此芯片频率降低幅度较大，芯片工作性能降低也比较多；使用 PLL 动态配置的方法虽然可以实现比较小范围的频率调节，但是由于 PLL 调节需要一定的稳定时间，因此使用 PLL 配置的方法不适用于快速频率调节。已公布的时钟拉伸电路结构复杂，通常由多个 DLL（Delay-Locked Loop）

实现多相位时钟生成，延时相位控制比较精确，但面积开销比较大，不适用于嵌入式低功耗芯片。

发明内容

发明目的：

本发明针对采用 PLL 模块设计的时钟拉伸电路以及利用分频实现时钟降频电路的缺点和不足，提供了一种响应时间更快，拉伸尺度更细的时钟拉伸电路。本发明根据 PVTM 反馈的信息能够在控制信号下对时钟进行拉伸，可以完成细粒度的快速降频操作，能有效减小频率调节模块面积开销。本发明尤其适合基于在线时序监测的自适应电压频率调整电路使用，当出现电路时序违规时，即产生控制信号使时钟拉伸，增加电路时序余量，从而避免电路工作出错。

技术方案：

本发明所述的一种基于 PVTM 的宽电压时钟拉伸电路包括：

PVTM (Process Voltage Temperature Monitor, PVT 监测) 电路模块，实时监测芯片中延时单元的延时信息，并将延时信息反馈到控制模块；

相位时钟生成模块，利用系统时钟产生 N 个具有不同相位的相位时钟， N 为大于 1 的整数；

控制模块，在时钟拉伸使能信号以及时钟拉伸尺度信号的作用下，根据 PVTM 电路模块反馈的延时信息，产生控制信号；

时钟同步选择模块，响应所述控制信号，从系统时钟及 N 个相位时钟中选择目标相位时钟输出，实现在单周期内，对系统时钟拉伸。

优选地，所述 PVTM 电路模块包括：

一分频电路，利用 D 触发器对系统时钟进行分频，得到分频时钟；

一环振电路，由 1 个二输入与非门以及 M 级延时单元串联而成， M 为大于 1 的整数，最后一级延时单元输出的振荡信号与分频时钟共同作为所述二输入与非门的输入，形成闭环；

一计数器电路 1，输入所述振荡信号，对振荡次数进行采样，并输出采样结果至控制模块。

优选地，所述控制模块包括一计数器电路 2，用于产生 $N+1$ 位时钟选择控制信号 $ctrl[N:0]$ ，决定目标相位时钟的选择，在每个周期内，只有一位时钟选择控制信号有效。

所述控制模块进一步还包括一编码器，当编码器检测到拉伸使能信号由有效变为无效时，产生一门控时钟控制信号，决定是否对目标相位时钟进行门控一个周期后再输出。

另一优选地，所述时钟同步选择模块包括 N 个 D 触发器及若干门电路，最低位控制信号与系统时钟通过与门进行与操作，其余 N 位控制信号分别作为 N 个 D 触发器的数据输入信号， N 个相位时钟分别作为 N 个 D 触发器的时钟输入信号，与对应的控制信号进行同步处理， N 个 D 触发器的数据输出信号与其时钟输入信号分别通过与门进行与操作后，将所有 $N+1$ 个与门的输出连接到一个具有 $N+1$ 个输入端口的或门，该或门的输出即为拉伸时钟。

有益效果：

本发明的基于 PVTM 的宽电压时钟拉伸电路，主要采用 N 个延时单元获取 N 个相位相互偏移的相位时钟。由于延时单元的延时易受 PVT 环境变化影响，造成时钟拉伸结果粗糙。因此本电路结构加入 PVTM 电路模块，根据外部控制信号，利用 PVTM 的反馈信息，选择正确的相位时钟，实现快速准确的时钟拉伸。该方法相对于传统其他的时钟拉伸方法，包括使用分频或者 PLL 配置的方法，不仅能在一个周期内做到快速响应，而且能够做到对系统时钟较为精细程度的拉伸，即时钟频率不会变化太大，保证芯片能在解决电路时序违约的情况下，芯片的性能不会有太大的损失，使电路的时序违约问题得到及时解决。同时，本发明对于电路功能的实现所需单元数目相比少，不需要复杂的门器件，面积和功耗代价较小。本发明电路结构精简，电路实现简单，用一定的精度代价换取了面积代价，尤其适合基于在线时序监测的自适应电压频率调整电路使用。

附图说明：

图 1 为基于 PVTM 的宽电压时钟拉伸电路框图；

图 2 为基于 PVTM 的宽电压时钟拉伸电路原理图；

图 3 为时钟拉伸原理时序图；

图 4 为不同 PVT 环境 PVTM 的计数与实际结果对比

图 5 为在 FF 工艺角，0.7V，25° C，拉伸周期为 1/8 的 clk 的仿真波形图；

图 6 为在 TT 工艺角，0.8V，25° C，拉伸周期为 1/4 的 clk 的仿真波形图；

图 7 为在 SS 工艺角，1.1V，25° C，拉伸周期为 1/2 的 clk 的仿真波形图

具体实施方式

下面结合附图对本发明技术方案进行详细说明，但是本发明的保护范围不局限于所述实施例。

如图 1 所示，本发明基于 PVTM 的宽电压时钟拉伸电路包括 PVTM 电路模块，相位时钟

生成模块, 时钟同步选择模块以及控制模块。该电路的外部输入信号为系统时钟 clk , 复位信号 rst , 时钟拉伸使能信号 $slow$ 以及时钟拉伸尺度信号 $user_mux$, 输出信号为拉伸之后的时钟 clk_out 。PVTM 电路模块是实时监测芯片中延时单元的延时信息来检测当前电路的运行环境, 并将该延时信息反馈到控制模块中。控制模块在时钟拉伸使能信号 $slow$ 以及时钟拉伸尺度信号 $user_mux$ 的作用下, 根据 PVTM 的反馈信息, 从相位时钟生成模块产生的时钟中选择目标相位时钟, 实现在单周期内对不同 PVT 环境下系统时钟的拉伸。

PVTM 电路模块的输入信号为系统时钟 clk , 复位信号 rst , 输出信号为环振振荡次数 $counter$, 连接到控制模块的输入端。

相位时钟生成模块的输入信号为系统时钟 clk , 输出信号为 N 个具有不同相位的相位时钟 $clk_dly1 \dots clk_dlyi \dots clk_dlyN$, 连接到时钟同步选择模块的输入端, $i=2, 3 \dots N-1$; N 为大于 1 的整数。

控制模块的输入信号为系统时钟 clk , 复位信号 rst , 时钟拉伸尺度信号 $user_mux$ 以及来自 PVTM 电路模块的反馈信号 $counter$, 输出信号连接到时钟同步选择模块的输入端, 分别为 $N+1$ 位的控制信号 $ctrl[N:0]$ 以及门控时钟控制信号 $gate_clk$ 。

时钟同步选择模块的输入信号为系统时钟 clk , 复位信号 rst , 门控时钟控制信号 $gate_clk$, 相位时钟 clk_dlyi ($i=1, 2 \dots N$) 以及来自控制模块的控制信号 $ctrl[N:0]$, 输出为经过拉伸的时钟 clk_out 。

如图 2 所示, PVTM 电路模块是利用延时单元组成环振, 输入激励, 令其在该环境下开始振荡, 并记录振荡次数 $counter$, $counter$ 数目的大小代表着当前电路的 PVT 环境的好坏。通过计算可知, 该振荡次数 $counter$ 也即为在该环境下为获得延迟一个周期的系统时钟所需的延时单元数目。通过将 $counter$ 传递给后续的控制模块中, 结合外部输入的时钟拉伸使能信号 $slow$ 以及时钟拉伸尺度信号 $user_mux$, 输出控制信号 $ctrl[N:0]$, 从系统时钟及相位时钟生成模块产生的时钟中选择目标相位的时钟, 实现在单周期内, 对不同 PVT 的环境下系统时钟的拉伸。

PVTM 电路模块由三个子电路组成, 分别是分频电路、环振电路以及计数器电路 1。分频电路利用上升沿触发的 D 触发器构建, 通过将系统时钟 clk 进行 K 分频 (K 为大于 1 的整数), 得到分频时钟 clk_div 。环振电路由 1 个二输入与非门以及 M 级延时单元串联而成 (M 为大于 1 的整数), 本发明所选择的延时单元相当于数级串联而成的缓冲器 (buffer)。最后一级延时单元的输出信号 osc_out 与分频时钟 clk_div 共同作为上述二输入与非门的输入, 形成闭环。二输入与非门的输入信号分频时钟 clk_div 为环振的起振信号, 当分频时钟 clk_div 为低电平时, 锁定与非门的输出为高电平, 环振不振荡; 当分频时钟 clk_div 为高电平时, 环振开始振

荡,在其最后一级延时单元输出振荡信号 osc_out 。输入该振荡信号至 PVTM 电路模块中的计数器电路 1,统计其振荡次数。当分频时钟由高电平转为低电平时,环振结束振荡,计数器电路 1 同时停止计数。同时分频电路输出有效的采样信号 $clk_sample_counter$ 至计数器电路 1,对振荡次数进行采样。数据采样结束后,分频电路输出复位信号 out_rst 至计数器电路 1,令计数数据复位,并输出采样之后的数据 $counter$ 至控制模块。

利用振荡次数 $counter$ 数据,通过下式可计算出当前 PVT 环境下相位时钟生成模块延时链所需要的延时单元数目 $N1$:

$$N1 = \frac{(counter-1)*2*M}{K \div 2} = \frac{4M*(counter-1)}{K} \quad (N1 \leq N)$$

其中 M , K 分别为 PVTM 电路模块环振中延时单元数目、分频电路时钟分频数。 N 为综合所有 PVT 环境所需延时单元数目,取各 PVT 环境下所需延时单元数目的最大值。该式从理论上推出,在当前环境下,从延时链上第 $N1$ 个延时单元得到的相位时钟 clk_dlyN1 与系统时钟 clk 相位差为 2π 。该数 $N1$ 与延时链实际所需要的延时单元数目 $N0$ 有一定的误差,但误差在允许范围之内。在 PVTM 电路模块环振中,当分频时钟 clk_div 由高电平转为低电平时,环振应停止振荡,然而由于 clk_div 信号的转变仍可能会导致环振产生最后一次振荡,因此 $counter$ 数据应该舍去最后一次,以提高计数的精确度。

相位时钟生成模块由 N 级延时单元串联而成,组成延时链,为提高时钟拉伸的准确度,该延时链中的延时单元与上述 PVTM 中环振所用延时单元为同一型号。相位时钟生成模块以系统时钟 clk 作为延时链的初始输入信号,每一级延时单元对系统时钟将产生一定的相位偏移,由此可获取具有不同相位的 $N+1$ 个相位时钟(把系统时钟也视为一个相位时钟),相邻相位时钟之间的延迟时间即为在当前 PVT 环境下的 1 个延时单元的延迟时间。

在本发明中,拉伸后时钟的周期由下式决定:

$$T_{Stretch} = T_{Original} + \Delta t * N1 / 2^{user_mux}$$

其中 $T_{Stretch}$ 为拉伸后的时钟周期, $T_{Original}$ 为时钟拉伸前时的周期值,即为系统时钟周期, Δt 为一个延时单元在当前 PVT 环境下的延时, $N1$ 为在当前环境下,相位时钟生成模块延时链所需要的延时单元数目。 $user_mux$ 为可配输入变量,控制拉伸时钟输出周期。 $user_mux$ 信号决定了时钟拉伸的尺度,其位宽为整数 X ,该数值取决于用户需要实现的最小时钟拉伸粒度 $1/2^L$,其中 L 是位宽为 X 的二进制数字所能表示的最大十进制数。举例位宽 X 为 2 时,能表示的最大十进制数为 3,则可实现的最小时钟拉伸时间为 $1/8$ 个周期,除此还可实现拉伸 $1/4$ 、 $1/2$ 个周期,具体可通过配置 $user_mux$ 的数值来实现。由于 $N0$ 为当前环境下获得一个与系统时钟 clk 相位差为 2π 的时钟实际所需要的延时单元数目,因此有 $\Delta t * N0 \approx T_{Original}$,

N_0 与 N_1 误差较小, 因此有 $\Delta t * N_1 \approx T_{original}$, 故通过配置不同 $user_mux$ 便可得到不同周期的拉伸时钟。例如当 $user_mux$ 为 1 时, 则拉伸之后的时钟周期为:

$$T_{Stretch} = T_{original} + \Delta t * N_1/2 \approx 3 * T_{original}/2$$

控制模块根据外部输入的时钟拉伸使能信号 $slow$ 以及时钟拉伸尺度信号 $user_mux$ 产生控制信号, 以决定时钟的选择。在时钟拉伸使能信号 $slow$ 的作用下, 选择是否对时钟进行拉伸。 $slow=0$ 时, 时钟控制信号 $ctrl[0]$ 有效, 模块输出为系统时钟, $slow=1$ 时, 模块对系统时钟进行拉伸, 选择相应的时钟控制信号 $ctrl[N:1]$, 输出拉伸之后的时钟 clk_out 。控制模块输出信号为位宽为 $N+1$ 的 $ctrl$ 信号, 在每个周期内, 只有一位为高电平, 其余为低电平, 其中电平为高的控制信号代表选择对应的相位时钟。

控制模块由计数器电路 2 以及编码器组成, 编码器电路通过检测拉伸使能信号的下降沿, 即拉伸使能信号由有效变为无效时, 产生门控时钟信号 $gate_clk$, 决定是否对输出时钟进行门控一个周期。计数器电路 2 以步长 Z 在每周期内累加一次产生唯一的高电平控制信号 $ctrl[S]$, 即代表选择相位时钟 clk_dlyS , $S=Z*i$ ($i=1,2,3\cdots$), 步长 $Z = counter/2^{user_mux}$ 。若当 S 大于 $counter$ 数值时, 即表示所选的相位时钟 clk_dlyS 与当前主时钟 clk 的相位大于 2π , 则需从 clk_dly1 开始重新选择相位时钟。另外, 此时需将控制信号 $ctrl[N:0]$ 置为低电平, 保持一个周期, 在下一个周期置控制信号 $ctrl[M]$ 为高电平, 即选择 clk_dlyM , $M=S-counter$ 。否则由于 M 小于 S , 即 clk_dlyM 的有效沿在 clk_dlyS 之前, 将导致在 clk_dlyM 与 clk_dlyS 的有效沿之间, 时钟同步模块中的 $ctrl_synM$ 信号与 clk_dlyS 信号在一段时间内会同时为高电平, 表示同时选择了两个相位时钟, 造成功能错误。

由于上述控制模块中的控制信号与对应的相位时钟信号为异步信号, 在后续时钟选择组合逻辑电路中可能产生毛刺, 故需要进行数据同步处理。即利用 N 个下降沿有效的 D 触发器, 将上述控制模块中的控制信号 $ctrl[N:1]$ 与对应的相位时钟信号 $clk_dlyN \dots clk_dly2, clk_dly1$ 进行同步处理, 即第 S 位控制信号 $ctrl[S]$ 作为第 S 个触发器的数据端输入信号, 第 S 个相位时钟 clk_dlyS 作为该触发器的时钟信号, 输出同步控制信号 $ctrl_syn[S]$, 以避免在时钟选择时产生毛刺 ($S=1,2\cdots N$)。控制信号 $ctrl[0]$ 不经过同步处理, 直接与系统时钟 clk 进行与操作。同步之后的信号 $ctrl_syn[S]$ 再与之前 D 触发器的时钟信号 clk_dlyS 进行与操作 ($S=1,2\cdots N$), 将所有 $N+1$ 个与门的输出连接到一个具有 $N+1$ 个输入端口的或门, 该或门的输出即为拉伸时钟。

由于本发明采用的相位时钟生成模块是由延时链组成, 故在时钟拉伸使能信号由有效变为无效时 (本发明中为由 1 到 0 的变化), 控制模块需要选择是否对输出时钟进行门控一个周

期，即让当前时钟输出高电平一个周期，以避免产生不必要的毛刺或者短脉冲。在时钟拉伸使能信号 *slow* 无效时，若当前时钟同步选择模块所选择的相位时钟与系统时钟的相位差小于等于 π ，则将门控时钟控制信号 *gate_clk* 置为高电平，即表示对当前输出时钟进行门控一个周期；若当前时钟同步选择模块所选择的相位时钟与系统时钟的相位差大于 π ，则将门控时钟控制信号 *gate_clk* 置为低电平，即表示当前输出时钟选择系统时钟，停止拉伸。

图 3 所示为时钟拉伸原理时序图。时钟拉伸的操作就是根据拉伸尺度的不同，选择所需的目标相位时钟。

本发明以图 3 为例具体说明时钟拉伸原理，即时钟拉长的时间为两个延时单元的延时值。在时钟拉伸使能信号 *slow* 为低电平时，输出信号 *clk_out* 输出的为系统时钟 *clk*（如图 3 中①所示）。当时钟拉伸使能信号 *slow* 有效时——即为高电平，开始对时钟进行拉伸。由于本发明电路中采用的触发器均为下降沿有效，故在 *clk* 的下降沿到达时，控制信号 *ctrl[2]* 为高电平。由于各相位时钟和控制信号为异步信号，在时钟选择中可能产生不必要的毛刺，影响电路功能。故为了避免产生毛刺，我们将控制信号 *ctrl[2]* 与对应的相位时钟 *clk_dly2* 进行同步处理，则在 *clk_dly2* 的下降沿到达后，才会选择 *clk_dly2*（如图 3 中②所示）。同理，在 *clk* 的第二个下降沿到达后，经过信号同步之后才会选择相应的相位时钟 *clk_dly4*（如图 3 中③所示），以此类推。在时钟拉伸使能信号 *slow* 转为低电平时，时钟输出应停止对时钟进行拉伸，选择系统时钟。由于此时 *clk_out* 与 *clk* 的相位差未知，若在时钟拉伸使能信号 *slow* 无效后直接选择系统时钟 *clk*，可能产生毛刺或者时钟压缩。如本例所示，在时钟拉伸结束后选择系统时钟，由于 *clk_dly4* 与 *clk* 相位差小于 π ，故出现了短脉冲（如图 3 中④、⑤，即虚线所示），将影响电路正常工作。因此在这个时刻需对 *clk_out* 门控一个时钟，即令 *gate_clk* 为高电平（如图 3 中⑥所示），输出一个周期的高电平，在 *gate_clk* 为低电平时，输出系统时钟（如图 3 中所⑦示）。

图 4 所示，电路在基于 SMIC 40nm 工艺库，使用 Hsim 软件对 PVTM 电路模块在不同工艺角、电压、温度的环境下仿真，得到了 N0 与 N1 的数据比较。通过对比可知，两数误差较小，表示该时序监测模块准确度较高。

图 5 表示在 FF 工艺角，0.7V，25° C 环境下，拉伸尺度为 1/8 个周期的仿真波形图。当拉伸信号 *slow* 有效时，在触发器下降沿被采样。从图中可以看出输出时钟低电平得到了拉伸，且拉伸时长为 1/8 个周期左右，响应速度在一个周期内。由于在时钟拉伸使能信号 *slow* 无效时，输出时钟选择的相位时钟与系统时钟 *clk* 相位差约为 $\pi/2$ ，故为了避免在电路最后产生时钟压缩，对时钟输出采取门控一个时钟，输出一个周期的高电平。

图 6 所示，为在 TT 工艺角，0.8V，25° C 环境下，拉伸尺度为 1/4 个周期的仿真波形图。

当拉伸信号 slow 有效时，在触发器下降沿被采样。从图中可以看出输出时钟得到了拉伸，且拉伸时长为 1/4 个周期左右，响应速度为一个周期内。由于在时钟拉伸使能信号 slow 无效时，输出时钟选择的相位时钟与系统时钟 clk 相位差约为 π ，故为了避免在电路最后产生时钟压缩，对时钟输出采取门控一个时钟，输出高电平。

图 7 所示，为在 SS 工艺角，1.1V，25° C 环境下，拉伸尺度为 1/2 个周期的仿真波形图。当拉伸信号 slow 有效时，在触发器下降沿被采样。从图中可以看出输出时钟得到了拉伸，且拉伸时长为 1/2 个周期左右，响应速度为一个周期内。由于在时钟拉伸使能信号 slow 无效时，输出时钟选择的相位时钟与系统时钟 clk 相位差约为 2π ，并不会产生时钟压缩的情况，因此该情况不需要对电路进行门控。

一个实施案例

在基于 PVTM 的宽电压时钟拉伸电路的一个具体实施案例中，采用 SMIC 提供的 40nm 工艺库，利用 synopsys 公司提供的软件仿真平台，在不同 PVT 环境下对该电路进行功能仿真测试。首先设计各个模块的电路结构，利用硬件电路语言对电路进行建模，对其电路功能进行仿真验证，并不断优化。设定电路工作频率为 200MHz，选定 PVTM 电路模块中分频电路的时钟分频数 K 为 16，环振中延时单元数目 M 为 4，相位时钟生成模块延时链中延时单元数目 N 为 59。分别在 FF、TT、SS 不同工艺角，以及不同电压、温度下，改变时钟拉伸尺度信号 user_mux 的数值，进行仿真，得到仿真结果如图 5、6、7 所示。

图 5、6、7 显示了电路在时钟拉伸使能信号 slow 有效时，均在系统时钟下降沿（一个周期内）开始响应时钟拉伸的请求，开始对系统时钟进行拉伸。对于不同的拉伸尺度请求，分别实现对时钟拉长不同的时间。如图 6 所示，为在 TT 工艺角，0.8V，25° C 环境下，时钟拉伸尺度信号 user_mux 为 2，即时钟拉伸为 1/4 个周期。由仿真波形图可知，当拉伸信号 slow 有效时，在触发器下降沿被采样。从图中可以看出输出时钟得到了拉伸，且拉伸时长为 1/4 个周期左右，响应速度为一个周期内。由于在时钟拉伸使能信号 slow 无效时，输出时钟选择的相位时钟与系统时钟 clk 相位差约为 π ，故为了避免在电路最后产生时钟压缩，对时钟输出采取门控一个时钟，输出高电平。

以上结果显示了本发明能够在单周期内迅速实现时钟拉伸，时钟拉伸的精度较好，误差较小，使用的电路结构简单。

9
权利要求书

1. 一种基于 PVTM 的宽电压时钟拉伸电路，其特征在于包括：

PVTM 电路模块，实时监测芯片中延时单元的延时信息，并将延时信息反馈到控制模块；
相位时钟生成模块，利用系统时钟产生 N 个具有不同相位的相位时钟，N 为大于 1 的整数；

控制模块，在时钟拉伸使能信号以及时钟拉伸尺度信号的作用下，根据 PVTM 电路模块反馈的延时信息，产生控制信号；

时钟同步选择模块，响应所述控制信号，从系统时钟及 N 个相位时钟中选择目标相位时钟输出，实现在单周期内，对系统时钟拉伸。

2. 根据权利要求 1 所述的基于 PVTM 的宽电压时钟拉伸电路，其特征在于所述 PVTM 电路模块包括：

一分频电路，利用 D 触发器对系统时钟进行分频，得到分频时钟；

一环振电路，由 1 个二输入与非门以及 M 级延时单元串联而成，M 为大于 1 的整数，最后一级延时单元输出的振荡信号与分频时钟共同作为所述二输入与非门的输入，形成闭环；

一计数器电路 1，输入所述振荡信号，对振荡次数进行采样，并输出采样结果至控制模块。

3. 根据权利要求 1 所述的基于 PVTM 的宽电压时钟拉伸电路，其特征在于：所述相位时钟生成模块由 N 级延时单元串联而成。

4. 根据权利要求 1 所述的基于 PVTM 的宽电压时钟拉伸电路，其特征在于：所述控制模块包括一计数器电路 2，用于产生 N+1 位时钟选择控制信号 $ctrl[N:0]$ ，决定目标相位时钟的选择，在每个周期内，只有一位时钟选择控制信号有效。

5. 根据权利要求 4 所述的基于 PVTM 的宽电压时钟拉伸电路，其特征在于：时钟拉伸使能信号有效时，所述计数器电路 2 以步长 $Z = counter / 2^{user_mux}$ 在每周期内累加一次产生唯一有效的时钟选择控制信号 $ctrl[S]$ ，用于选择相应的相位时钟， $counter$ 为 PVTM 电路模块输出信号的值， $user_mux$ 为时钟拉伸尺度信号的值， $S=Z*i$ ， $i=1,2,3\cdots$ ，当 S 大于 $counter$ 时，从相位时钟生成模块生成的最低相位时钟开始重新选择相位时钟。

6. 根据权利要求 1 所述的基于 PVTM 的宽电压时钟拉伸电路，其特征在于：所述控制模块包括一编码器，当编码器检测到拉伸使能信号由有效变为无效时，产生一门控时钟控制信号，决定是否对目标相位时钟进行门控一个周期后再输出。

7. 根据权利要求 1 所述的基于 PVTM 的宽电压时钟拉伸电路，其特征在于：所述时钟同步选择模块包括 N 个 D 触发器及若干门电路，最低位控制信号与系统时钟通过与门进行与操作，其余 N 位控制信号分别作为 N 个 D 触发器的数据输入信号，N 个相位时钟分别作为 N 个 D 触发器的时钟输入信号，与对应的控制信号进行同步处理，N 个 D 触发器的数据输出信

号与其时钟输入信号分别通过与门进行与操作后，将所有 $N+1$ 个与门的输出连接到一个具有 $N+1$ 个输入端口的或门，该或门的输出即为拉伸时钟。

8. 根据权利要求 6 所述的基于 PVTM 的宽电压时钟拉伸电路，其特征在于：当时钟拉伸使能信号无效时，若当前时钟同步选择模块所选择的相位时钟与系统时钟的相位差小于等于 π ，则将门控时钟控制信号置为有效，对当前输出时钟进行门控一个周期，之后停止时钟拉伸，输出系统时钟；若当前时钟同步选择模块所选择的相位时钟与系统时钟的相位差大于 π ，则将门控时钟控制信号置为无效，停止时钟拉伸，输出系统时钟。

9. 根据权利要求 1 所述的基于 PVTM 的宽电压时钟拉伸电路，其特征在于： N 为相位时钟生成模块延时链中延时单元数目，其确定原则为：在芯片当前工作环境下，通过相位时钟生成模块中的延时链的末端能获得一个与系统时钟相位差为 2π 的相位时钟。

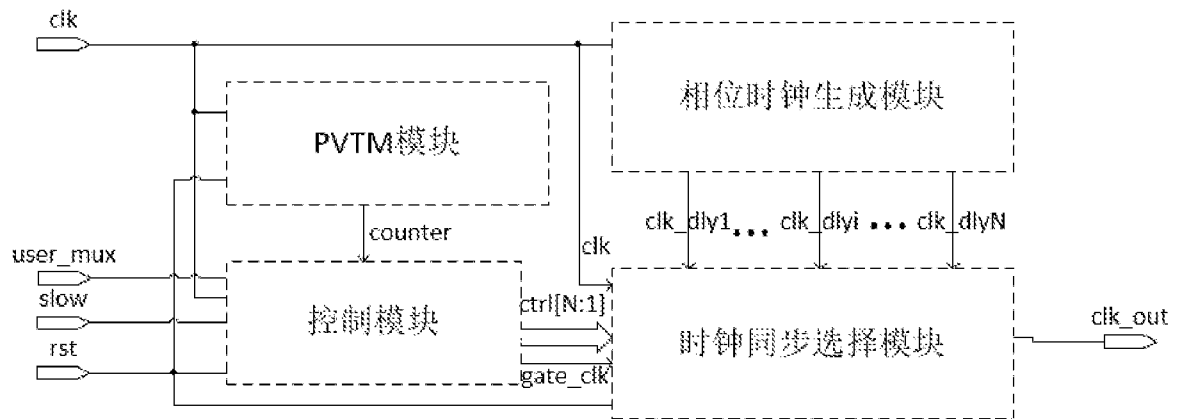


图 1

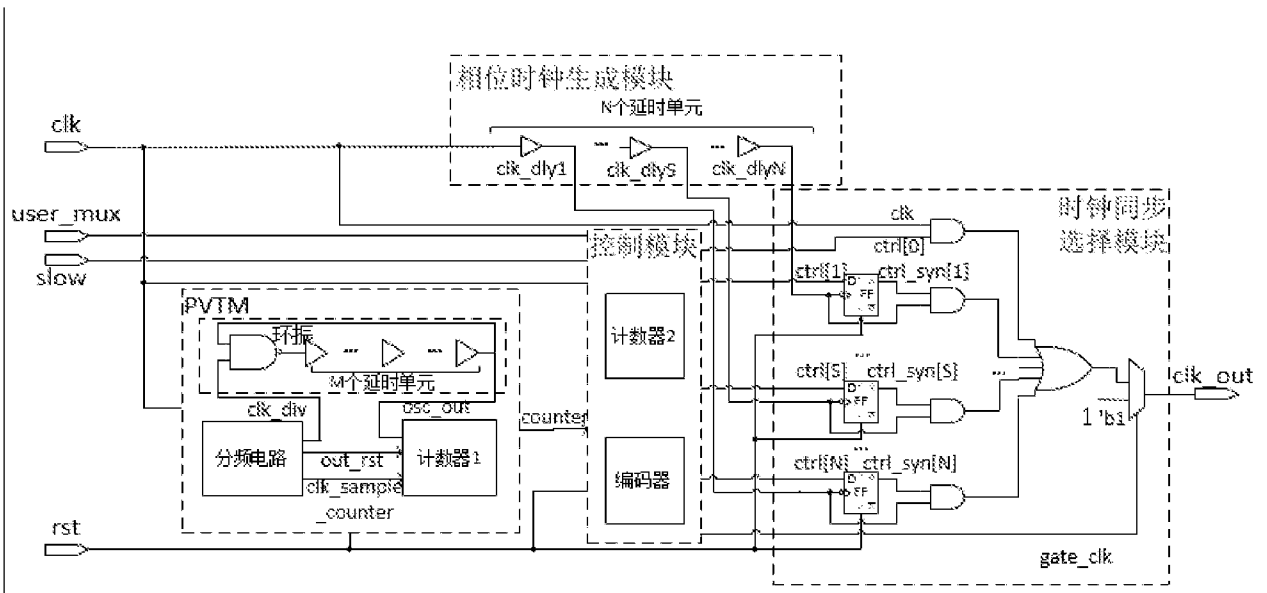


图 2

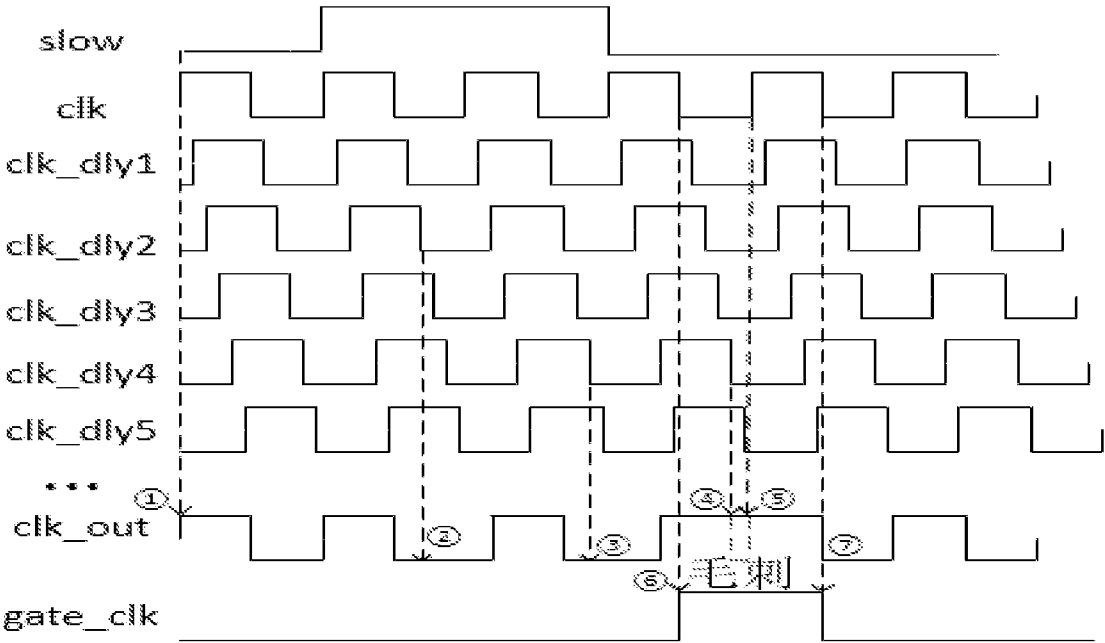


图 3

PVTM 的数据 (N1) /实际数据 (N0)	FF	TT	SS
1.1V 25° C	54/53	40/40	28/28
0.8V 125° C	35/33	20/20	11/10
0.7V 125° C	26/25	13/13	4/4

图 4

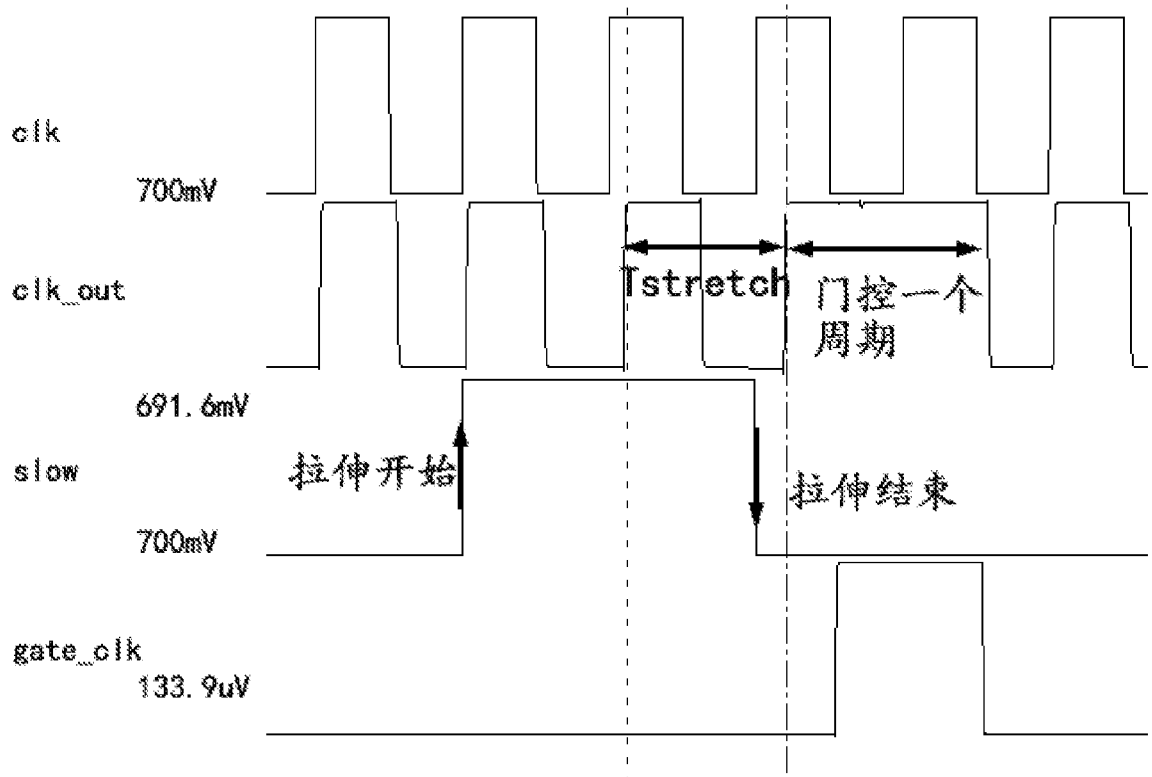


图 5

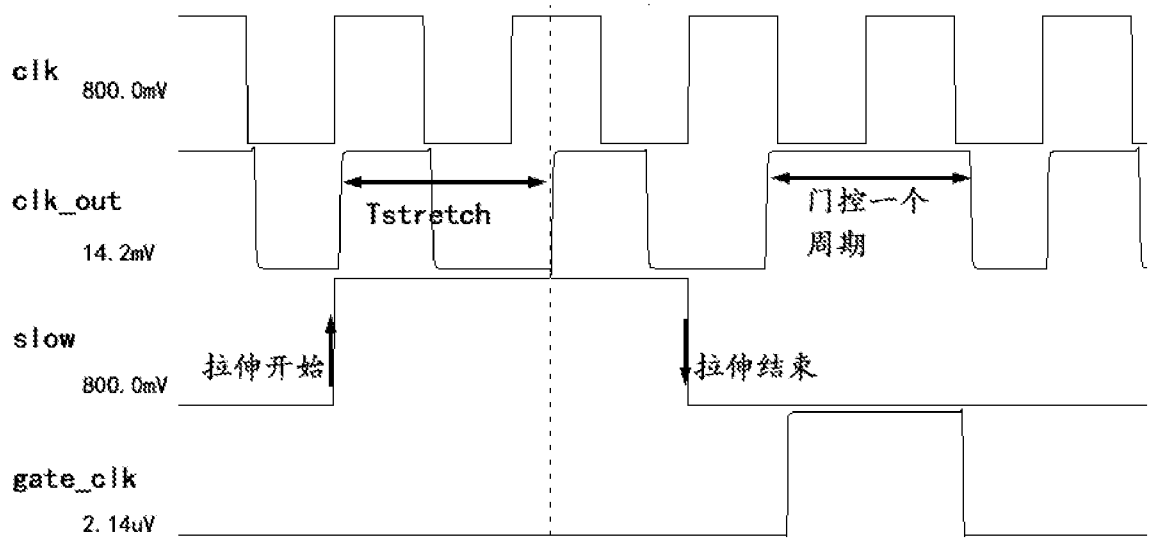


图 6

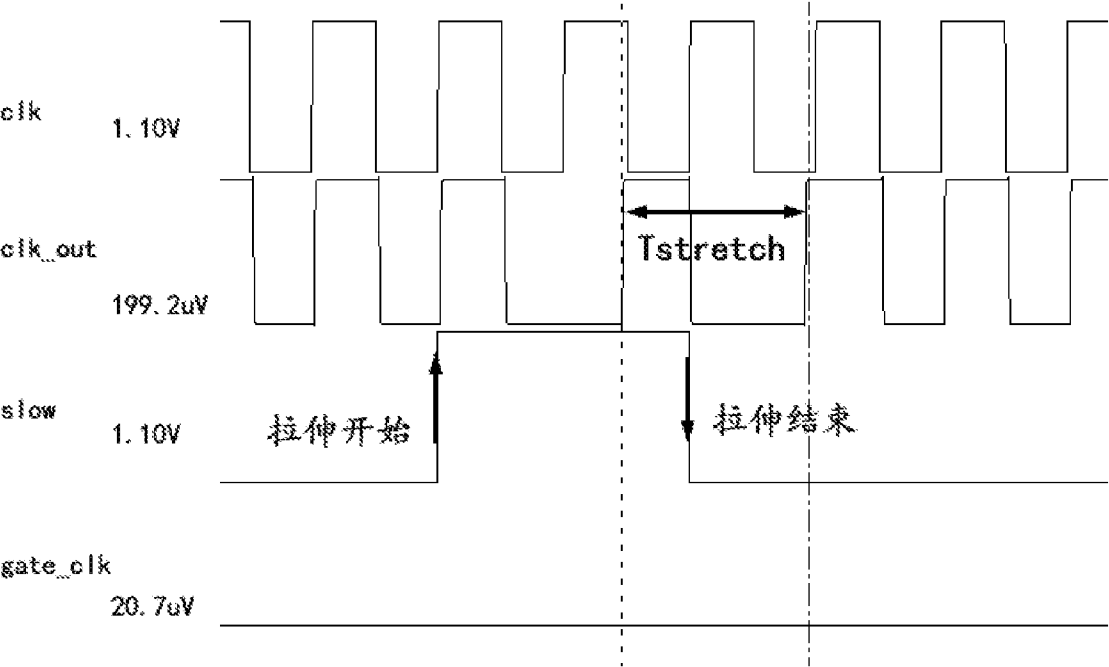


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/074785

A. CLASSIFICATION OF SUBJECT MATTER

H03K 5/135 (2006.01) i; H03L 7/18 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K; H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: SHAN, Weiwei; time delay, time sequence, PVT, clock, stretch, delay, voltage, process, temperature

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106026994 A (SOUTHEAST UNIVERSITY), 12 October 2016 (12.10.2016), claims 1-9	1-9
A	US 2006088137 A1 (BROADCOM CORPORATION), 27 April 2006 (27.04.2006), description, paragraphs [0020]-[0038], and figures 1-4	1-9
A	CN 104348449 A (SAMSUNG ELECTRONICS CO., LTD.), 11 February 2015 (11.02.2015), the whole document	1-9
A	US 5781055 A (SUN MICROSYSTEMS INC.), 14 July 1998 (14.07.1998), the whole document	1-9
A	US 2004037158 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 26 February 2004 (26.02.2004), the whole document	1-9
A	US 2005268142 A1 (SARIPAUI, R. et al.), 01 December 2005 (01.12.2005), the whole document	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 April 2017 (12.01.2017)	Date of mailing of the international search report 12 May 2017 (12.05.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer SHI, Wenqing Telephone No.: (86-10) 010-62413411

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/074785

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106026994 A	12 October 2016	None	
US 2006088137 A1	27 April 2006	US 2006161370 A1	20 July 2006
		US 7209848 B2	24 April 2007
CN 104348449 A	11 February 2015	KR 20150016908 A	13 February 2015
		US 2015036447 A1	05 February 2015
		TW 201513573 A	01 April 2015
US 5781055 A	14 July 1998	None	
US 2004037158 A1	26 February 2004	US 6807125 B2	19 October 2004
US 2005268142 A1	01 December 2005	US 2008209252 A1	28 August 2008
		US 7818604 B2	19 October 2010

A. 主题的分类 H03K 5/135(2006.01)i; H03L 7/18(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H03K; H03L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNKI, CNPAT, WPI, EPODOC: 单伟伟, 时钟, 拉伸, 延迟, 延时, 时序, PVT, clock, stretch, delay, voltage, process, temperature																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 106026994 A (东南大学) 2016年 10月 12日 (2016 - 10 - 12) 权利要求1-9</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 2006088137 A1 (BROADCOM CORPORATION) 2006年 4月 27日 (2006 - 04 - 27) 说明书第[0020]-[0038]段, 附图1-4</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>CN 104348449 A (三星电子株式会社) 2015年 2月 11日 (2015 - 02 - 11) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 5781055 A (SUN MICROSYSTEMS INC.) 1998年 7月 14日 (1998 - 07 - 14) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 2004037158 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2004年 2月 26日 (2004 - 02 - 26) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 2005268142 A1 (SARIPALLI, RAMESH 等) 2005年 12月 1日 (2005 - 12 - 01) 全文</td> <td>1-9</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 106026994 A (东南大学) 2016年 10月 12日 (2016 - 10 - 12) 权利要求1-9	1-9	A	US 2006088137 A1 (BROADCOM CORPORATION) 2006年 4月 27日 (2006 - 04 - 27) 说明书第[0020]-[0038]段, 附图1-4	1-9	A	CN 104348449 A (三星电子株式会社) 2015年 2月 11日 (2015 - 02 - 11) 全文	1-9	A	US 5781055 A (SUN MICROSYSTEMS INC.) 1998年 7月 14日 (1998 - 07 - 14) 全文	1-9	A	US 2004037158 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2004年 2月 26日 (2004 - 02 - 26) 全文	1-9	A	US 2005268142 A1 (SARIPALLI, RAMESH 等) 2005年 12月 1日 (2005 - 12 - 01) 全文	1-9
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 106026994 A (东南大学) 2016年 10月 12日 (2016 - 10 - 12) 权利要求1-9	1-9																					
A	US 2006088137 A1 (BROADCOM CORPORATION) 2006年 4月 27日 (2006 - 04 - 27) 说明书第[0020]-[0038]段, 附图1-4	1-9																					
A	CN 104348449 A (三星电子株式会社) 2015年 2月 11日 (2015 - 02 - 11) 全文	1-9																					
A	US 5781055 A (SUN MICROSYSTEMS INC.) 1998年 7月 14日 (1998 - 07 - 14) 全文	1-9																					
A	US 2004037158 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2004年 2月 26日 (2004 - 02 - 26) 全文	1-9																					
A	US 2005268142 A1 (SARIPALLI, RAMESH 等) 2005年 12月 1日 (2005 - 12 - 01) 全文	1-9																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2017年 4月 12日		国际检索报告邮寄日期 2017年 5月 12日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 史文庆 电话号码 (86-10)010-62413411																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/074785

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106026994	A	2016年 10月 12日	无			
US	2006088137	A1	2006年 4月 27日	US	2006161370	A1	2006年 7月 20日
				US	7209848	B2	2007年 4月 24日
CN	104348449	A	2015年 2月 11日	KR	20150016908	A	2015年 2月 13日
				US	2015036447	A1	2015年 2月 5日
				TW	201513573	A	2015年 4月 1日
US	5781055	A	1998年 7月 14日	无			
US	2004037158	A1	2004年 2月 26日	US	6807125	B2	2004年 10月 19日
US	2005268142	A1	2005年 12月 1日	US	2008209252	A1	2008年 8月 28日
				US	7818604	B2	2010年 10月 19日