

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-208066

(P2012-208066A)

(43) 公開日 平成24年10月25日(2012.10.25)

(51) Int.Cl.			F I			テーマコード (参考)	
GO 1 R	19/165	(2006.01)	GO 1 R	19/165	M	2 G 0 3 5	
HO 2 J	7/00	(2006.01)	HO 2 J	7/00	Y	5 G 5 0 3	
HO 2 J	7/02	(2006.01)	HO 2 J	7/02	H	5 H 0 3 0	
HO 1 M	10/48	(2006.01)	HO 1 M	10/48	P		

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2011-75302 (P2011-75302)
 (22) 出願日 平成23年3月30日 (2011. 3. 30)

(71) 出願人 000141901
 株式会社ケーヒン
 東京都新宿区西新宿一丁目2 6番2号
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100108578
 弁理士 高橋 詔男
 (74) 代理人 100146835
 弁理士 佐伯 義文
 (74) 代理人 100094400
 弁理士 鈴木 三義
 (74) 代理人 100107836
 弁理士 西 和哉
 (74) 代理人 100108453
 弁理士 村山 靖彦

最終頁に続く

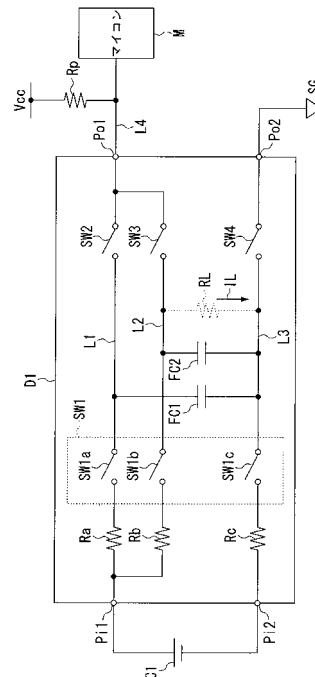
(54) 【発明の名称】 電池電圧検出装置

(57) 【要約】

【課題】 電圧検出回路の経時劣化に起因するセル電圧の誤検出発生を検知可能な電池電圧検出装置を提供する。

【解決手段】 電池セルのセル電圧を検出する電圧検出回路と、前記セル電圧の検出結果を処理する電圧処理部とを備えた電池電圧検出装置であって、前記電圧検出回路は、前記電池セルによって同時に充電される複数のコンデンサを有し、充電後に前記複数のコンデンサの端子間電圧を前記セル電圧としてそれぞれ異なるタイミングで前記電圧処理部へ出力し、前記電圧処理部は、前記電圧検出回路から異なるタイミングで得られた複数のセル電圧に基づいて前記セル電圧の誤検出が発生したか否かを判断する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

電池セルのセル電圧を検出する電圧検出回路と、前記セル電圧の検出結果を処理する電圧処理部とを備えた電池電圧検出装置であって、

前記電圧検出回路は、前記電池セルによって同時に充電される複数のコンデンサを有し、充電後に前記複数のコンデンサの端子間電圧を前記セル電圧としてそれぞれ異なるタイミングで前記電圧処理部へ出力し、

前記電圧処理部は、前記電圧検出回路から異なるタイミングで得られた複数のセル電圧に基づいて前記セル電圧の誤検出が発生したか否かを判断することを特徴とする電池電圧検出装置。

10

【請求項 2】

前記電圧処理部は、前記電圧検出回路から異なるタイミングで得られた複数のセル電圧の差分が所定の閾値を越えた場合に、前記セル電圧の誤検出が発生したと判断することを特徴とする請求項 1 に記載の電池電圧検出装置。

【請求項 3】

前記電圧検出回路は、直列接続された複数の前記電池セルの各々に対して個別に設けられており、

各電圧検出回路のそれぞれは、

前記電池セルの正極端子に接続される第 1 入力端子と、

前記電池セルの負極端子に接続される第 2 入力端子と、

前記電圧処理部に接続される第 1 出力端子と、

共通電位線に接続される第 2 出力端子と、

前記第 1 入力端子と前記第 1 出力端子とを結ぶ第 1 高電位線と、前記第 2 入力端子と前記第 2 出力端子とを結ぶ低電位線との間に接続された第 1 コンデンサと、

前記第 1 高電位線に並列接続された第 2 高電位線と前記低電位線との間に接続された第 2 コンデンサと、

前記第 1 高電位線、前記第 2 高電位線及び前記低電位線における前記第 1 及び第 2 コンデンサの前段側に介挿された第 1 スイッチ群と、

前記第 1 高電位線における前記第 1 コンデンサの後段側に介挿された第 2 スイッチと、

前記第 2 高電位線における前記第 2 コンデンサの後段側に介挿された第 3 スイッチと、

前記低電位線における前記第 1 及び第 2 コンデンサの後段側に介挿された第 4 スイッチと、を備え、

前記第 1 及び第 2 コンデンサの充電時には、前記第 1 スイッチ群のうち各々または全てがオン状態に、前記第 2、第 3 及び第 4 スイッチがオフ状態となり、

前記第 1 及び第 2 コンデンサの充電後には、始めに前記第 2 及び第 4 スイッチがオン状態となって、次に前記第 3 及び第 4 スイッチがオン状態となるか、或いは始めに前記第 3 及び第 4 スイッチがオン状態となって、次に前記第 2 及び第 4 スイッチがオン状態となることを特徴とする請求項 1 または 2 に記載の電池電圧検出装置。

20

30

【発明の詳細な説明】**【技術分野】**

40

【0001】

本発明は、電池電圧検出装置に関する。

【背景技術】**【0002】**

周知のように、電気自動車やハイブリッド自動車などの車両には、動力源となるモータと、該モータに電力を供給する高電圧・大容量のバッテリーが搭載されている。このバッテリーは、リチウムイオン電池或いは水素ニッケル電池等からなる電池セルを直列に複数接続して構成されるものである。従来では、バッテリーの性能を維持するために、各電池セルのセル電圧を監視して各セル電圧を均一化するセルバランス制御を行っている。

【0003】

50

セル電圧の検出には、専用の絶縁電源や絶縁素子が不要なフライングキャパシタ式電圧検出回路を利用することが主流となっている。このフライングキャパシタ式電圧検出回路は、経時劣化によってフライングキャパシタやサンプリングスイッチのリーク電流が増大すると、測定対象のセル電圧が真値よりも低めに検出されるという欠点があり、その結果、正確なセル電圧を得られずにセルバランス制御の精度低下を招く虞がある。

【0004】

下記特許文献1には、上述したフライングキャパシタ式電圧検出回路の欠点を克服するために、測定対象の電池セルについて、フライングキャパシタ式電圧検出回路を用いて時系列的に異なるタイミングでセル電圧の検出を行い、その検出結果から得られるセル電圧の電圧減衰特性に基づいて、フライングキャパシタの充電開始直後の電圧（つまり、真値と看做せるセル電圧）を推定する技術が開示されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-291167号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記特許文献1に記載の技術は、フライングキャパシタ式電圧検出回路を用いて正確なセル電圧を検出する（正確には演算処理によって真値と看做せるセル電圧を推定する）技術であって、経時劣化に起因するセル電圧の誤検出発生を検知することを目的とした技術ではない。適切なバッテリー制御を行うには、正確なセル電圧の検出は勿論のこと、セル電圧の誤検出発生（つまり回路異常発生）を検知することも重要となる。

20

【0007】

本発明は、上述した事情に鑑みてなされたものであり、電圧検出回路の経時劣化に起因するセル電圧の誤検出発生を検知可能な電池電圧検出装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明では、電池電圧検出装置に係る第1の解決手段として、電池セルのセル電圧を検出する電圧検出回路と、前記セル電圧の検出結果を処理する電圧処理部とを備えた電池電圧検出装置であって、前記電圧検出回路は、前記電池セルによって同時に充電される複数のコンデンサを有し、充電後に前記複数のコンデンサの端子間電圧を前記セル電圧としてそれぞれ異なるタイミングで前記電圧処理部へ出力し、前記電圧処理部は、前記電圧検出回路から異なるタイミングで得られた複数のセル電圧に基づいて前記セル電圧の誤検出が発生したか否かを判断することを特徴とする。

30

【0009】

また、本発明では、電池電圧検出装置に係る第2の解決手段として、上記第1の解決手段において、前記電圧処理部は、前記電圧検出回路から異なるタイミングで得られた複数のセル電圧の差分が所定の閾値を越えた場合に、前記セル電圧の誤検出が発生したと判断することを特徴とする。

40

【0010】

また、本発明では、電池電圧検出装置に係る第3の解決手段として、上記第1または第2の解決手段において、前記電圧検出回路は、直列接続された複数の前記電池セルの各々に対して個別に設けられており、各電圧検出回路のそれぞれは、前記電池セルの正極端子に接続される第1入力端子と、前記電池セルの負極端子に接続される第2入力端子と、前記電圧処理部に接続される第1出力端子と、共通電位線に接続される第2出力端子と、前記第1入力端子と前記第1出力端子とを結ぶ第1高電位線と、前記第2入力端子と前記第2出力端子とを結ぶ低電位線との間に接続された第1コンデンサと、前記第1高電位線に並列接続された第2高電位線と前記低電位線との間に接続された第2コンデンサと、前記

50

第1高電位線、前記第2高電位線及び前記低電位線における前記第1及び第2コンデンサの前段側に介挿された第1スイッチ群と、前記第1高電位線における前記第1コンデンサの後段側に介挿された第2スイッチと、前記第2高電位線における前記第2コンデンサの後段側に介挿された第3スイッチと、前記低電位線における前記第1及び第2コンデンサの後段側に介挿された第4スイッチと、を備え、前記第1及び第2コンデンサの充電時には、前記第1スイッチ群のうち各々または全てがオン状態に、前記第2、第3及び第4スイッチがオフ状態となり、前記第1及び第2コンデンサの充電後には、始めに前記第2及び第4スイッチがオン状態となって、次に前記第3及び第4スイッチがオン状態となるか、或いは始めに前記第3及び第4スイッチがオン状態となって、次に前記第2及び第4スイッチがオン状態となることを特徴とする。

10

【発明の効果】

【0011】

電圧検出回路の経時劣化に起因するリーク電流が増大する程、電池セルによって複数のコンデンサを同時に充電した後に、これら複数のコンデンサの端子間電圧をセル電圧としてそれぞれ異なるタイミングで検出すると、これら複数のセル電圧間の差が大きくなる。

本発明では、上記のように電圧検出回路から異なるタイミングで得られた複数のセル電圧に基づいて前記セル電圧の誤検出が発生したか否かを判断することにより、電圧検出回路の経時劣化（リーク電流増大）に起因するセル電圧の誤検出発生（電圧検出回路の異常発生）を簡単な構成で高精度に検知することができ、適切なバッテリー制御に寄与することができる。

20

【図面の簡単な説明】

【0012】

【図1】本実施形態における電池電圧検出装置1の構成概略図である。

【図2】セル電圧検出回路D1の回路構成図である。

【図3】電池電圧検出装置1の動作を示すタイミングチャートである。

【図4】V-I特性図(a)、V-I特性図(b)及び故障フラグの状態(c)である。

【発明を実施するための形態】

【0013】

以下、本発明の一実施形態について、図面を参照しながら説明する。

30

図1は、本実施形態における電池電圧検出装置1の構成概略図である。この図1に示すように、電池電圧検出装置1は、バッテリーを構成する12個の電池セルC1～C12のセル電圧を検出する機能及び各電池セルC1～C12のセルバランス制御（セル電圧の均一化）を行う機能を備えたECU（Electronic Control Unit）であり、12個のバイパス回路B1～B12と、12個のセル電圧検出回路D1～D12と、マイコンM（電圧処理部）と、絶縁素子IRとを備えている。

【0014】

バイパス回路B1～B12は、それぞれバイパス抵抗とトランジスタ等のスイッチング素子との直列回路からなり、電池セルC1～C12のそれぞれに並列接続されている。なお、図1では、バイパス回路B1～B12のそれぞれに内蔵されているバイパス抵抗の符号をR1～R12とし、スイッチング素子の符号をT1～T12としている。

40

【0015】

セル電圧検出回路D1～D12は、電池セルC1～C12のそれぞれに並列接続されており、それぞれに接続された電池セルの端子間電圧（セル電圧）を検出し、その検出したセル電圧をマイコンMに出力する。なお、詳細は後述するが、これらセル電圧検出回路D1～D12は、電圧検出周期の1周期内において、それぞれ担当の電池セルによって2つのコンデンサ（フライングキャパシタ）を同時に充電した後、これら2つのフライングキャパシタの端子間電圧をセル電圧としてそれぞれ異なるタイミングでマイコンMへ出力するものである。

【0016】

50

マイコンMは、ROM及びRAM等のメモリ、CPU(Central Processing Unit)、A/D変換回路、入出力インターフェースなどが一体的に組み込まれたマイクロコントローラであり、電圧検出周期の1周期内に、セル電圧検出回路D1～D12のそれぞれから異なるタイミングで得られた2つのセル電圧に基づいてセル電圧の誤検出が発生したか否か(つまりセル電圧検出回路に異常が発生したか否か)を判断する機能を有している。

【0017】

また、このマイコンMは、絶縁素子IRを介して上位制御装置であるバッテリーECU2と通信可能に接続されており、各電池セルC1～C12のセル電圧検出結果をバッテリーECU2へ送信する機能を有している。なお、各電池セルC1～C12のセル電圧は、電圧検出周期の1周期内でそれぞれ2つずつ得られるが、セル電圧の誤検出が発生していない場合(セル電圧検出回路が正常な場合)には、2つのセル電圧はほぼ等しくなるので、いずれか一方のセル電圧(例えばフライングキャパシタFC1から得られるセル電圧)をその電池セルのセル電圧検出結果としてバッテリーECU2へ送信すれば良い。

10

【0018】

バッテリーECU2は、マイコンMから受信した各電池セルC1～C12のセル電圧検出結果を基にセル電圧のバランス状態を監視し、他の電池セルと比較してセル電圧の高い電池セルを発見すると、その電池セルを放電が必要なセル(要放電セル)として特定し、その特定結果をマイコンMに送信するものである。マイコンMは、バッテリーECU2から要放電セルの特定結果を受信すると、要放電セルに接続されたバイパス回路に所定の放電電流が流れるよう、要放電セルに接続されたバイパス回路のスイッチング素子をデューティ制御する機能、つまりセルバランス制御機能を有している。

20

【0019】

図2は、電池セルC1のセル電圧を検出するセル電圧検出回路D1の回路構成図である。なお、他のセル電圧検出回路D2～D12も同様な回路構成であるので、以下ではセル電圧検出回路D1を代表的に用いてその回路構成の詳細について説明する。この図2において、符号Pi1は、電池セルC1の正極端子に接続される第1入力端子である。符号Pi2は、電池セルC1の負極端子に接続される第2入力端子である。符号Po1は、マイコンMの入力ポート(A/D変換回路に通じるポート)に接続される第1出力端子である。符号Po2は、電池電圧検出装置1内の共通電位線(例えばグラウンドラインSG)に接続される第2出力端子である。

30

【0020】

符号FC1は、第1入力端子Pi1と第1出力端子Po1とを結ぶ第1高電位線L1と、第2入力端子Pi2と第2出力端子Po2とを結ぶ低電位線L3との間に接続された第1フライングキャパシタ(第1コンデンサ)である。符号FC2は、上記第1高電位線L1に並列接続された第2高電位線L2と上記低電位線L3との間に接続された第2フライングキャパシタ(第2コンデンサ)である。

【0021】

符号SW1は、第1高電位線L1、第2高電位線L2及び低電位線L3における第1及び第2フライングキャパシタFC1、FC2の前段側に介挿された第1スイッチ群である。具体的には、この第1スイッチ群SW1は、第1高電位線L1における第1フライングキャパシタFC1の前段側に介挿された第1スイッチSW1aと、第2高電位線L2における第2フライングキャパシタFC2の前段側に介挿された第1スイッチSW1bと、低電位線L3における第1及び第2フライングキャパシタFC1、FC2の前段側に介挿された第1スイッチSW1cとから構成されている。

40

【0022】

なお、第1高電位線L1における第1スイッチSW1aの前段側には入力抵抗Raが介挿され、第2高電位線L2における第1スイッチSW1bの前段側には入力抵抗Rbが介挿され、低電位線L3における第1スイッチSW1cの前段側には入力抵抗Rcが介挿されている。

【0023】

50

符号 $SW2$ は、第 1 高電位線 $L1$ における第 1 フライングキャパシタ $FC1$ の後段側に介挿された第 2 スイッチである。符号 $SW3$ は、第 2 高電位線 $L2$ における第 2 フライングキャパシタ $FC2$ の後段側に介挿された第 3 スイッチである。符号 $SW4$ は、低電位線 $L3$ における第 1 及び第 2 フライングキャパシタ $FC1$ 、 $FC2$ の後段側に介挿された第 4 スイッチである。

【0024】

また、第 1 出力端子 $Po1$ とマイコン M とを接続する配線 $L4$ は、プルアップ抵抗 Rp を介して電池電圧検出装置 1 内の電源ライン（例えば $Vcc = 5V$ の電源ライン）と接続されている。図示は省略しているが、この電源ラインは、回路動作の基準となる安定した基準電圧（ Vcc ）を生成する基準電圧源と接続されている。

10

【0025】

なお、図 2 において、点線で示したリーク抵抗 RL は実際の回路素子としてセル電圧検出回路 $D1$ 内に存在しているわけではなく、セル電圧検出回路 $D1$ の経時劣化によって生じるリーク電流 IL がどのような径路で流れるかを等価的に表すために図示したものである。セル電圧検出回路 $D1$ の経時劣化が進むと、リーク抵抗 RL の値が小さくなってリーク電流 IL が増大する。

【0026】

以上が本実施形態における電池電圧検出装置 1 の構成に関する説明であり、以下では上記のように構成された電池電圧検出装置 1 の動作、特に本実施形態の特徴的な動作であるセル電圧の誤検出発生の有無（セル電圧検出回路の異常発生の有無）を判断する際の動作について、図 3 及び図 4 を参照しながら詳細に説明する。

20

なお、以下では、説明の便宜上、電池セル $C1$ のセル電圧を検出するセル電圧検出回路 $D1$ を代表的に用いてセル電圧の誤検出発生の有無を判断する際の動作について説明するが、他のセル電圧検出回路 $D2 \sim D12$ についても同様な動作となる。

【0027】

図 3 は、電圧検出周期 Td の 1 周期内における、セル電圧検出回路 $D1$ からマイコン M へ入力される検出電圧値 V （つまりセル電圧検出回路 $D1$ の第 1 出力端子 $Po1$ と第 2 出力端子 $Po2$ との端子間電圧）と、セル電圧検出回路 $D1$ の第 1 スイッチ群 $SW1$ のオン/オフ状態と、第 2 スイッチ $SW2$ のオン/オフ状態と、第 3 スイッチ $SW3$ のオン/オフ状態と、第 4 スイッチ $SW4$ のオン/オフ状態との時間的な対応関係を示すタイミングチャートである。

30

【0028】

この図 3 に示すように、時刻 $t1$ に電圧検出周期 Td の開始タイミング（第 1 及び第 2 フライングキャパシタ $FC1$ 、 $FC2$ の充電開始タイミング）が到来したと仮定すると、セル電圧検出回路 $D1$ の第 1 スイッチ群 $SW1$ （ $SW1a$ 、 $SW1b$ 、 $SW1c$ ）がオン状態となる一方、第 2 スイッチ $SW2$ 、第 3 スイッチ $SW3$ 及び第 4 スイッチ $SW4$ がオフ状態となる。これにより、電池セル $C1$ による第 1 及び第 2 フライングキャパシタ $FC1$ 、 $FC2$ の充電が開始される。

【0029】

そして、第 1 スイッチ群 $SW1$ は、時刻 $t1$ から一定時間（第 1 及び第 2 フライングキャパシタ $FC1$ 、 $FC2$ が十分に充電されたと考えられる時間）の経過後の時刻 $t2$ にオフ状態となる。時刻 $t1$ から時刻 $t2$ までの期間では、セル電圧検出回路 $D1$ とマイコン M とが電氣的に切断された状態となるため、マイコン M にはプルアップ抵抗 Rp を介して Vcc に相当する検出電圧値 V が入力される。

40

【0030】

そして、第 1 及び第 2 フライングキャパシタ $FC1$ 、 $FC2$ の充電後、時刻 $t3$ から時刻 $t4$ までの期間において、第 2 スイッチ $SW2$ 及び第 4 スイッチ $SW4$ がオン状態となる（第 1 スイッチ群 $SW1$ 及び第 3 スイッチ $SW3$ はオフ状態）。これにより、時刻 $t3$ から時刻 $t4$ までの期間では、第 1 フライングキャパシタ $FC1$ の端子間電圧 V_{FC1} に相当する検出電圧値 V がマイコン M に入力される。

50

【 0 0 3 1 】

この検出電圧値 V (第 1 フライングキャパシタ $F C 1$ の端子間電圧 V_{FC1}) はマイコン M 内に入力されると、 A/D 変換回路によって CPU 処理可能なデジタルデータに変換され、マイコン M (正確には CPU) は、時刻 t_3 から時刻 t_4 までの期間に得られた検出電圧値 V のデジタルデータを 1 つ目のセル電圧 (以下、第 1 セル電圧 V_{FC1} と称す) として内部メモリ (例えば RAM) に記憶する。

【 0 0 3 2 】

そして、第 1 セル電圧 V_{FC1} の取得後、時刻 t_5 から時刻 t_6 までの期間において、第 3 スイッチ $SW3$ 及び第 4 スイッチ $SW4$ がオン状態となる (第 1 スイッチ群 $SW1$ 及び第 2 スイッチ $SW2$ はオフ状態)。これにより、時刻 t_5 から時刻 t_6 までの期間では、第 2 フライングキャパシタ $F C 2$ の端子間電圧 V_{FC2} に相当する検出電圧値 V がマイコン M に入力される。

10

【 0 0 3 3 】

この検出電圧値 V (第 2 フライングキャパシタ $F C 2$ の端子間電圧 V_{FC2}) はマイコン M 内に入力されると、 A/D 変換回路によって CPU 処理可能なデジタルデータに変換され、マイコン M (正確には CPU) は、時刻 t_5 から時刻 t_6 までの期間に得られた検出電圧値 V のデジタルデータを 2 つ目のセル電圧 (以下、第 2 セル電圧 V_{FC2} と称す) として内部メモリ (例えば RAM) に記憶する。

【 0 0 3 4 】

マイコン M は、上記のように、2 つのセル電圧、つまり第 1 セル電圧 V_{FC1} 及び第 2 セル電圧 V_{FC2} を取得すると、内部メモリからこれら第 1 セル電圧 V_{FC1} 及び第 2 セル電圧 V_{FC2} を読み出して、第 1 セル電圧 V_{FC1} と第 2 セル電圧 V_{FC2} との差分 $V (= V_{FC1} - V_{FC2})$ を算出する。

20

【 0 0 3 5 】

図 4 (a) は、マイコン M に入力される検出電圧値 V と、セル電圧検出回路 $D 1$ に発生するリーク電流 I_L (図 2 参照) との関係を示す $V - I_L$ 特性図であり、図 4 (b) は、第 1 セル電圧 V_{FC1} と第 2 セル電圧 V_{FC2} との差分 V とリーク電流 I_L との関係を示す $V - I_L$ 特性図である。

【 0 0 3 6 】

これらの図からわかるように、セル電圧検出回路 $D 1$ の経時劣化によってリーク電流 I_L が増大するほど、第 1 セル電圧 V_{FC1} 及び第 2 セル電圧 V_{FC2} には、電池セル $C 1$ のセル電圧の真値に対して大きな誤差が発生し、第 1 セル電圧 V_{FC1} と第 2 セル電圧 V_{FC2} との差分 V が大きくなる。従って、この差分 V が最低限許容される閾値 V_{th} を越えた時に、セル電圧の誤検出が発生した (セル電圧検出回路 $D 1$ の異常が発生した) と判断することができる。

30

【 0 0 3 7 】

つまり、マイコン M は、上記のように算出した第 1 セル電圧 V_{FC1} と第 2 セル電圧 V_{FC2} との差分 V が閾値 V_{th} を越えたか否かを判定し、差分 V が閾値 V_{th} を越えた場合には、セル電圧の誤検出が発生した (セル電圧検出回路 $D 1$ の異常が発生した) と判断して故障フラグを「1」にセットする一方、差分 V が閾値 V_{th} 以下の場合には、セル電圧を正常に検出した (セル電圧検出回路 $D 1$ は正常) と判断して故障フラグを「0」にセットする (図 4 (c) 参照)。

40

【 0 0 3 8 】

マイコン M は、故障フラグを「0」にセットした場合は、第 1 セル電圧 V_{FC1} と第 2 セル電圧 V_{FC2} とのいずれか一方を、電池セル $C 1$ のセル電圧検出結果としてバッテリー $ECU 2$ へ送信し、故障フラグを「1」にセットした場合は、電池セル $C 1$ のセル電圧検出結果の代わりに故障フラグをバッテリー $ECU 2$ へ送信することで、セル電圧の誤検出が発生した (セル電圧検出回路 $D 1$ の異常が発生した) ことをバッテリー $ECU 2$ に知らせる。

【 0 0 3 9 】

50

電池電圧検出装置 1 は、上述した一連の動作を電圧検出周期 T_d で繰り返し実行することにより、各電池セル $C_1 \sim C_{12}$ のセル電圧の誤検出発生（セル電圧検出回路 $D_1 \sim D_{12}$ の異常発生）を常時監視し、セル電圧の誤検出（セル電圧検出回路の異常）が発生した場合にはバッテリー ECU_2 に都度知らせることになる。なお、第 1 スイッチ群 SW_1 、第 2 スイッチ SW_2 、第 3 スイッチ SW_3 及び第 4 スイッチ SW_4 のオン/オフ状態は、マイコン M によって制御しても良いし、或いは他の制御回路を設けて制御しても良い。

【0040】

以上のように、本実施形態によれば、セル電圧検出回路 $D_1 \sim D_{12}$ からそれぞれ異なるタイミングで得られた 2 つのセル電圧（第 1 セル電圧 V_{FC1} と第 2 セル電圧 V_{FC2} ）に基づいてセル電圧の誤検出が発生したか否かを判断することにより、フライングキャパシタ式のセル電圧検出回路 $D_1 \sim D_{12}$ の経時劣化（リーク電流増加）に起因するセル電圧の誤検出発生（セル電圧検出回路の異常発生）を、簡単な構成で高精度に検知することができ、その結果、適切なバッテリー制御に寄与することができる。

10

【0041】

なお、本発明は上記実施形態に限定されず、以下のような変形例が挙げられる。

(1) 上記実施形態では、第 1 及び第 2 フライングキャパシタ FC_1 、 FC_2 の充電後に、始めに第 2 スイッチ SW_2 及び第 4 スイッチ SW_4 がオン状態となって、次に第 3 スイッチ SW_3 及び第 4 スイッチ SW_4 がオン状態となる場合、つまり始めに第 1 フライングキャパシタ FC_1 の端子間電圧 V_{FC1} を取得し、次に第 2 フライングキャパシタ FC_2 の端子間電圧 V_{FC2} を取得する場合を例示した。

20

【0042】

これに対して、第 1 及び第 2 フライングキャパシタ FC_1 、 FC_2 の充電後に、始めに第 3 スイッチ SW_3 及び第 4 スイッチ SW_4 をオン状態とし、次に第 2 スイッチ SW_2 及び第 4 スイッチ SW_4 をオン状態とする、つまり始めに第 2 フライングキャパシタ FC_2 の端子間電圧 V_{FC2} を取得し、次に第 1 フライングキャパシタ FC_1 の端子間電圧 V_{FC1} を取得するようにしても良い。

また、上記実施形態では、第 1 スイッチ群 SW_1 のうち全てのスイッチ（ SW_{1a} 、 SW_{1b} 、 SW_{1c} ）をオンオフ制御するようにしているが、第 1 スイッチ群 SW_1 のうち各々のスイッチ（ SW_{1a} 、 SW_{1b} 、 SW_{1c} ）をオンオフ制御するようにしても良い。

30

【0043】

(2) 上記実施形態では、図 2 を参照しながらセル電圧検出回路 $D_1 \sim D_{12}$ の回路構成の一例を説明したが、セル電圧検出回路 $D_1 \sim D_{12}$ の回路構成はこれに限らず、電池セルによって 2 つのコンデンサ（フライングキャパシタ）を同時に充電した後、2 つのコンデンサの端子間電圧をセル電圧としてそれぞれ異なるタイミングでマイコン M へ出力する回路構成であれば、どのようなものでも良い。また、1 つのセル電圧検出回路にフライングキャパシタを 3 つ以上設けても良い。

【0044】

(3) 上記実施形態では、12 個の電池セル $C_1 \sim C_{12}$ についてセル電圧検出を行う電池電圧検出装置 1 を例示したが、測定対象の電池セル数は 12 個に限定されない。また、セル電圧検出回路 $D_1 \sim D_{12}$ も電池セル $C_1 \sim C_{12}$ に対応して 12 個設ける場合を例示したが、セル電圧検出回路を 1 個だけ設け、マルチプレクサによって電池セル $C_1 \sim C_{12}$ のそれぞれの両端子とセル電圧検出回路の両入力端子（第 1 入力端子 P_{i1} 、第 2 入力端子 P_{i2} ）とを順次接続させながら、各電池セル $C_1 \sim C_{12}$ のセル電圧を順番に検出するような構成としても良い。なお、マルチプレクサを使用する場合、第 1 スイッチ群 SW_1 は不要となる。

40

【符号の説明】

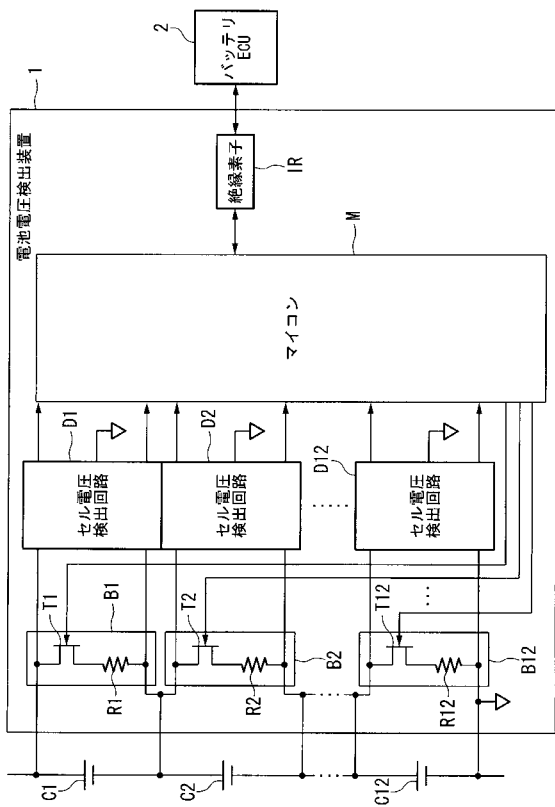
【0045】

1 ... 電池電圧検出装置、 $C_1 \sim C_{12}$... 電池セル、 $B_1 \sim B_{12}$... バイパス回路、 $D_1 \sim D_{12}$... セル電圧検出回路、 M ... マイコン（電圧管理部）、 P_{i1} ... 第 1 入力端子、 P

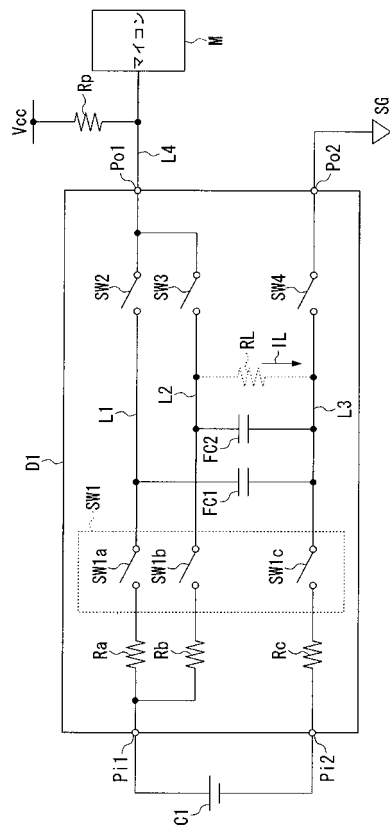
50

i 2 ... 第 2 入力端子、P o 1 ... 第 1 出力端子、P o 2 ... 第 2 出力端子、F C 1 ... 第 1 フライ
イングキャパシタ (第 1 コンデンサ)、F C 2 ... 第 2 フライイングキャパシタ (第 2 コンデ
ンサ)、S W 1 ... 第 1 スイッチ群、S W 2 ... 第 2 スイッチ、S W 3 ... 第 3 スイッチ、S W
4 ... 第 4 スイッチ

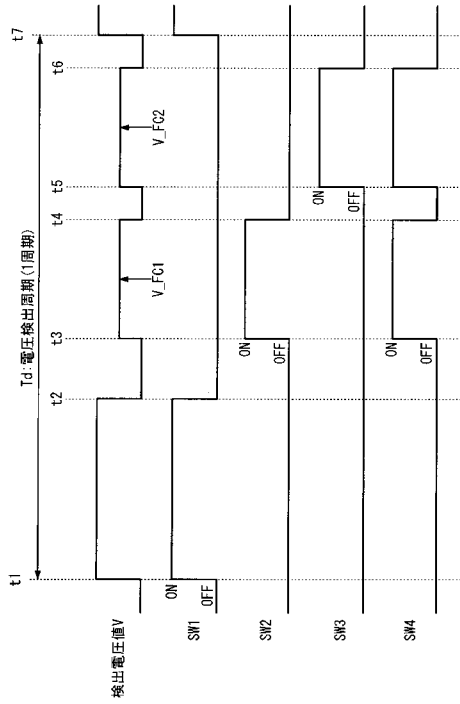
【 図 1 】



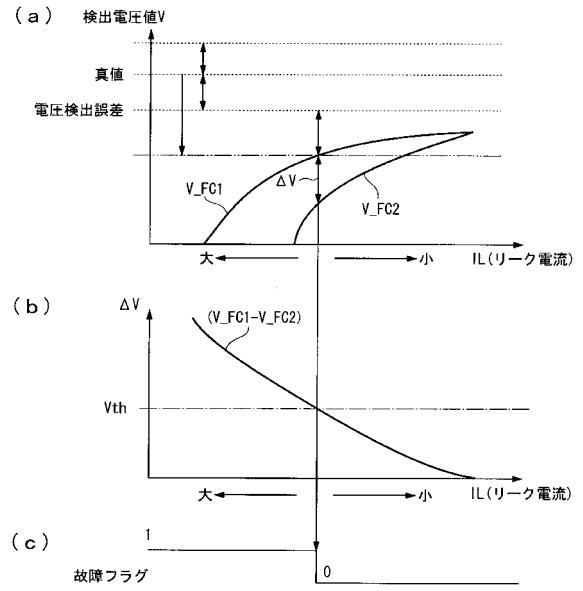
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 槌矢 真吾

栃木県塩谷郡高根沢町宝積寺 2 0 2 1 番地 8 株式会社ケーヒン栃木開発センター内

(72)発明者 鎌田 誠二

栃木県塩谷郡高根沢町宝積寺 2 0 2 1 番地 8 株式会社ケーヒン栃木開発センター内

Fターム(参考) 2G035 AB03 AC01 AC16 AD13 AD28 AD44 AD65

5G503 AA01 BA03 BB02 EA08 HA01

5H030 BB27 FF43 FF44 FF52