



(21)申請案號：100114453

(22)申請日：中華民國 100 (2011) 年 04 月 26 日

(51)Int. Cl. : G11C7/22 (2006.01)

G06F13/16 (2006.01)

(71)申請人：奇景光電股份有限公司 (中華民國) HIMAX TECHNOLOGIES LIMITED (TW)
臺南市新市區紫棟路 26 號

(72)發明人：王志軒 WANG, CHIH HSUAN (TW)

(74)代理人：詹銘文

(56)參考文獻：

TW I330321B

US 6889334B1

US 7107424B1

US 7382146B2

US 7480360B2

US 2005/0286320A1

US 2006/0265161A1

US 2008/0104351A1

審查人員：蕭明椿

申請專利範圍項數：14 項 圖式數：7 共 35 頁

(54)名稱

記憶體的最佳化數值搜尋方法

METHOD FOR SEARCHING OPTIMUM VALUE OF MEMORY

(57)摘要

一種記憶體的最佳化數值搜尋方法包括下列步驟。將記憶體的第一相位延遲值及第二相位延遲值依序分別設定為多個第一數值及多個第二數值。記錄這些第一數值與這些第二數值的組合中通過讀寫測試的組合數。選取這些第一數值中對應通過讀寫測試的組合數大於門檻值的部分。於上述選取的第一數值中選取靠近中間值的第一數值作為用以設定第一相位延遲值的第一最佳化數值。記錄這些第二數值通過讀寫測試的部分。選取這些第二數值中通過讀寫測試的部分中靠近中間值的第二數值作為用以設定第二相位延遲值的第二最佳化數值。

A method for searching an optimum value of a memory includes the following steps. A first and a second phase delay values of the memory are sequentially set to a plurality of first values and a plurality of second values respectively. amounts of combinations of the first values combining with the second values passing a reading and writing test is recorded. A portion of the first values that the amounts of the corresponding combinations passing the reading and writing test is greater than a threshold is selected. A first value near a median of the selected first values is selected as a first optimum value for setting the first phase delay value. A portion of second values passing the reading and writing test is recorded. A second value near a median of the recording second values is selected as a second optimum value for setting the second phase delay value.



PDV1~PDV2 . . .

相位延遲值

OPV1~OPV2 . . .

最佳化數值

圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100/114453

※申請日：

100. 4. 26

※IPC 分類：

G11C 7/2 (2006.01)

G06F 13/16 (2006.01)

一、發明名稱：

記憶體的最佳化數值搜尋方法 / METHOD FOR SEARCHING OPTIMUM VALUE OF MEMORY

二、中文發明摘要：

一種記憶體的最佳化數值搜尋方法包括下列步驟。將記憶體的第一相位延遲值及第二相位延遲值依序分別設定為多個第一數值及多個第二數值。記錄這些第一數值與這些第二數值的組合中通過讀寫測試的組合數。選取這些第一數值中對應通過讀寫測試的組合數大於門檻值的部分。於上述選取的第一數值中選取靠近中間值的第一數值作為用以設定第一相位延遲值的第一最佳化數值。記錄這些第二數值通過讀寫測試的部分。選取這些第二數值中通過讀寫測試的部分中靠近中間值的第二數值作為用以設定第二相位延遲值的第二最佳化數值。

三、英文發明摘要：

A method for searching an optimum value of a memory includes the following steps. A first and a second phase delay values of the memory are sequentially set to a plurality

of first values and a plurality of second values respectively. amounts of combinations of the first values combining with the second values passing a reading and writing test is recorded. A portion of the first values that the amounts of the corresponding combinations passing the reading and writing test is greater than a threshold is selected. A first value near a median of the selected first values is selected as a first optimum value for setting the first phase delay value. A portion of second values passing the reading and writing test is recorded. A second value near a median of the recording second values is selected as a second optimum value for setting the second phase delay value.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

PDV1~PDV2：相位延遲值

OPV1~OPV2：最佳化數值

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

EP(x) 無

(2012262997

868724)

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種最佳化數值搜尋方法，且特別是有關於一種記憶體的最佳化相位延遲值的搜尋方法。

【先前技術】

近年來，由於雙倍資料速率(double data rate, DDR)同步動態隨機存取記憶體(Synchronous Dynamic Random Access Memory, SDRAM)的低耗電性、高耐久性以及高速讀寫的特性，使得雙倍資料速率同步動態隨機存取記憶體模組廣泛用在筆記型電腦、工作站、伺服器、路由器及交換器等電子產品中。

為了使記憶體可以穩定的讀寫，其讀寫方法是將資料選通(Data Queue Strobe, DQS)信號作適當的延遲後，才來栓鎖記憶體的資料(Data Queue, DQ)信號。一般而言，資料選通信號的延遲時間係由設定一相位延遲值來決定，而改變相位延遲值的大小即可改變控制延遲時間。而且，現今的資料選通信號的延遲時間會依據預設值做設定，而此預設值為根據廠商提供的資料手冊(Data Sheet)來設定。然而，依據廠商提供的資料手冊而設定的相位延遲值並不能隨著個別的環境、元件狀態或電路佈局等因素而調整，因此資料選通信號的延遲時間可能並非最佳的設定，使得記憶體的讀寫狀況會不穩定。

【發明內容】

本發明提供一種記憶體的最佳化數值搜尋方法，可搜尋相位延遲值的最佳化數值，以避免記憶體因相位延遲值的設定不佳而讀寫失敗。

本發明提出一種記憶體的最佳化數值搜尋方法，包括下列步驟。將記憶體的第一相位延遲值依序設定為多個第一數值。將記憶體的第二相位延遲值依序設定為多個第二數值。對記憶體進行讀寫測試。記錄每一第一數值與這些第二數值的不同組合中通過讀寫測試的組合數。選取這些第一數值中對應通過讀寫測試的組合數大於第一門檻值的部分。於上述選取的這些第一數值中選取為中間值或靠近中間值的第一數值作為第一最佳化數值。將第一相位延遲值設定為第一最佳化數值。記錄這些第二數值通過讀寫測試的部分。選取這些第二數值中通過讀寫測試的部分中為中間值或靠近中間值的第二數值作為第二最佳化數值。將第二相位延遲值設定為第二最佳化數值。

在本發明之一實施例中，記憶體的最佳化數值搜尋方法更包括：將記憶體的第三相位延遲值依序設定為多個第三數值；將記憶體的第四相位延遲值依序設定為多個第四數值；記錄每一第三數值與這些第一數值、這些第二數值及這些第四數值的不同組合中通過讀寫測試的組合數；選取這些第三數值中對應通過讀寫測試的組合數大於第二門檻值的部分；於上述選取的這些第三數值中選取為中間值或靠近中間值的第三數值作為第三最佳化數值；將第三相

位延遲值設定為第三最佳化數值；記錄每一第四數值與這些第一數值及這些第二數值的不同組合中通過讀寫測試的組合數；選取這些第四數值中對應通過讀寫測試的組合數大於第三門檻值的部分；於上述選取的這些第四數值中選取為中間值或靠近中間值的第四數值作為第四最佳化數值；將第四相位延遲值設定為第四最佳化數值。

在本發明之一實施例中，這些第一數值、這些第二數值、這些第三數值及這些第四數值分別為多個連續且大於等於 0 的整數。

在本發明之一實施例中，這些第一數值、這些第二數值、這些第三數值及這些第四數值分別為多個不連續且大於等於 0 的整數。

在本發明之一實施例中，這些第一數值、這些第二數值、這些第三數值及這些第四數值的間距相同。

在本發明之一實施例中，記憶體的最佳化數值搜尋方法，更包括：依據第一最佳化數值選取多個連續的第五數值，其中這些第五數值包括第一最佳化數值；依據第二最佳化數值選取多個連續的第六數值，其中這些第六數值包括第二最佳化數值；依據第三最佳化數值選取多個連續的第七數值，其中這些第七數值包括第三最佳化數值；依據第四最佳化數值選取多個連續的第五數值，其中這些第五數值包括第一最佳化數值；將第一相位延遲值依序設定為這些第五數值；將第二相位延遲值依序設定為這些第六數值；將第三相位延遲值依序設定為這些第七數值；將第四

相位延遲值依序設定為這些第八數值；記錄每一第七數值與這些第五數值、這些第六數值及這些第八數值的不同組合中通過讀寫測試的組合數；選取這些第七數值中對應通過讀寫測試的組合數大於第四門檻值的部分；於上述選取的這些第七數值中選取為中間值或靠近中間值的第七數值作為第四最佳化數值；將第三相位延遲值設定為第五最佳化數值；記錄每一第八數值與這些第五數值及這些第六數值的不同組合中通過讀寫測試的組合數；選取這些第八數值中對應通過讀寫測試的組合數大於第五門檻值的部分；於上述選取的這些第八數值中選取為中間值或靠近中間值的第八數值作為第六最佳化數值；將第四相位延遲值設定為第六最佳化數值；記錄每一第五數值與這些第六數值的不同組合中通過讀寫測試的組合數；選取這些第五數值中對應通過讀寫測試的組合數大於第六門檻值的部分；於上述選取的這些第五數值中選取為中間值或靠近中間值的第五數值作為第七最佳化數值；將第一相位延遲值設定為第七最佳化數值；記錄這些第六數值通過讀寫測試的部分；於上述選取的這些第六數值中選取為中間值或靠近中間值的第六數值作為第八最佳化數值；將第二相位延遲值設定為第八最佳化數值。

在本發明之一實施例中，第一最佳化數值為這些第五數值的中間值，第二最佳化數值為這些第六數值的中間值，第三最佳化數值為這些第七數值的中間值，第一最佳化數值為這些第五數值的中間值。

在本發明之一實施例中，第一相位延遲值、第二相位延遲值、第三相位延遲值及第四相位延遲值分別為記憶體進行資料讀取時的資料選通(Data Queue Strobe, DQS)信號對應的相位延遲值及資料(Data Queue, DQ)信號對應的相位延遲值、以及記憶體進行資料寫入時的資料選通信號對應的相位延遲值及資料信號對應的相位延遲值。

在本發明之一實施例中，這些第一數值及這些第二數值分別為多個連續且大於等於 0 的整數。

在本發明之一實施例中，這些第一數值及這些第二數值分別為多個不連續且大於等於 0 的整數。

在本發明之一實施例中，這些第一數值及這些第二數值的間距相同。

在本發明之一實施例中，記憶體的最佳化數值搜尋方法，更包括：依據第一最佳化數值選取多個連續的第九數值，其中這些第九數值包括第一最佳化數值；依據第二最佳化數值選取多個連續的第十數值，其中這些第十數值包括第二最佳化數值；將第一相位延遲值依序設定為這些第九數值；將第二相位延遲值依序設定為這些第十數值；記錄每一第九數值與這些第十數值的不同組合中通過讀寫測試的組合數；選取這些第九數值中對應通過讀寫測試的組合數大於第七門檻值的部分；於上述選取的這些第九數值中選取為中間值或靠近中間值的第九數值作為第九最佳化數值；將第一相位延遲值設定為第九最佳化數值；記錄這些第十數值通過讀寫測試的部分；選取這些第十數值中通

過讀寫測試的部分中為中間值或靠近中間值的第十數值作為第十最佳化數值；將第二相位延遲值設定為第十最佳化數值。

在本發明之一實施例中，之第一最佳化數值為這些第九數值的中間值，第二最佳化數值為這些第十數值的中間值。

在本發明之一實施例中，第一相位延遲值為記憶體進行資料讀取時的資料選通信號對應的相位延遲值及記憶體進行資料寫入時的資料選通信號對應的相位延遲值的其中之一，第二相位延遲值為記憶體進行資料讀取時的資料信號對應的相位延遲值及記憶體進行資料寫入時的資料信號對應的相位延遲值的其中之一。

基於上述，本發明實施例的記憶體的最佳化數值搜尋方法，其將第一相位延遲值多個第一數值，以及將第二相位延遲值依序設定為多個第二數值，據此形成多個不同的組合，並且測試這些組合是否通過讀寫測試，再依據通過測試的組合找出用以設定第一相位延遲值的第一最佳化數值。在第一相位延遲值設定為第一最佳化數值時，第二相位延遲值會依序設定為這些第二數值，並且測試是否通過讀寫測試，據此找出用以設定第二相位延遲值的第二最佳化數值。藉此，第一相位延遲值及第二相位延遲值可設定為經過讀寫測試的第一最佳化數值及第二最佳化數值，以避免記憶體因相位延遲值的設定不佳而讀寫失敗的效果。

為讓本發明之上述特徵和優點能更明顯易懂，下文特

舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

依據上述，由於資料選通信號的相位延遲值為依據廠商提供的資料手冊來設定，因此資料選通信號的延遲時間並不能隨著個別的環境、元件狀態或電路佈局等因素而調整，以致於有資料讀寫失敗的可能。為了解決上述可能資料讀寫失敗的問題，本發明提出一種記憶體的最佳化數值搜尋方法，以搜尋最佳的相位延遲值。並且，上述的相位延遲值為設定資料選通信號的延遲時間，相反地，亦可對資料信號設定對應的延遲時間，亦即設定對應資料信號的相位延遲值，以使資料選通信號與資料信號於時序上可相互配合，進而達到資料讀寫的功能。

此外，在進行資料讀取的時序與進行資料寫入的時序可能會不同，因此資料選通信號與資料信號於進行資料讀取時的適當延遲時間可能會不同於進行資料寫入時的適當延遲時間，亦即在進行資料讀取時，資料選通信號與資料信號會分別對應兩個相位延遲值，在進行資料寫入時，資料選通信號與資料信號會分別對應另外兩個相位延遲值。

再者，相位延遲值的數值範圍為依據相位延遲值的位元數大小而定。若相位延遲值為 5 位元，則相位延遲值的數值範圍為 0 至 31 (即相位延遲值具有 32 個檔位(gear))；若相位延遲值為 8 位元，則相位延遲值的數值範圍為 0 至 255 (即相位延遲值具有 256 個檔位)。其中，不同檔位對

應不同的相位延遲，亦即不同檔位對應不同的延遲時間。

圖 1 為依據本發明一實施例的多個相位延遲值依序設定為不同數值的時序示意圖。請參照圖 1，在本實施例中，相位延遲值 PDV1 可以為記憶體進行資料寫入時資料選通信號及資料信號其中之一對應的相位延遲值，而相位延遲值 PDV2 可以為記憶體進行資料讀取時資料選通信號及資料信號其中之一對應的相位延遲值。

進一步來說，當相位延遲值 PDV1 為記憶體進行資料寫入時資料選通信號對應的相位延遲值，則記憶體進行資料寫入時資料信號對應的相位延遲值會設定為固定值；當相位延遲值 PDV1 為記憶體進行資料寫入時資料信號對應的相位延遲值，則記憶體進行資料寫入時資料選通信號對應的相位延遲值會設定為固定值。相似地，當相位延遲值 PDV2 為記憶體進行資料讀取時資料選通信號對應的相位延遲值，則記憶體進行資料讀取時資料信號對應的相位延遲值會設定為固定值；當相位延遲值 PDV2 為記憶體進行資料讀取時資料信號對應的相位延遲值，則記憶體進行資料讀取時資料選通信號對應的相位延遲值會設定為固定值。其中，上述固定值可以為特定的檔位。

在其他實施例中，相位延遲值 PDV1 可以為記憶體進行資料讀取時資料選通信號及資料信號其中之一對應的相位延遲值，而相位延遲值 PDV2 可以為記憶體進行資料寫入時資料選通信號及資料信號其中之一對應的相位延遲值，此可依據本領域通常知識者自行設定。

在本實施例中，假設相位延遲值 PDV1 及 PDV2 為 5 位元的數值，因此相位延遲值 PDV1 及 PDV2 的數值範圍為 0 至 31。在本實施例的記憶體的最佳化數值搜尋方法中，首先將相位延遲值 PDV1 及 PDV2 依序設定為 0 至 31。並且，在相位延遲值 PDV2 設定為 0 的期間，相位延遲值 PDV1 會依序設定為 0 至 31；在相位延遲值 PDV2 設定為 1 的期間，相位延遲值 PDV1 同樣會依序設定為 0 至 31，其餘則以此類推。換言之，相位延遲值 PDV1 的數值更換速度較快，相位延遲值 PDV2 的數值更換速度較慢。

在每次相位延遲值 PDV1 的數值更換之後，皆會對記憶體進行讀寫測試，以測試相位延遲值 PDV1 及 PDV2 不同的數值組合是否可以通過讀寫測試。並且，記錄相位延遲值 PDV2 分別設定為 0 至 31 時，與相位延遲值 PDV1 分別設定為 0 至 31 的不同組合中通過讀寫測試的組合數。

圖 2 為依據本發明一實施例的這些相位延遲值與通過讀寫測試的組合數的對應示意圖。請參照圖 1 及圖 2，在本實施例中，假設相位延遲值 PDV2 設定為 0 時，通過讀寫測試的組合數為 0；假設相位延遲值 PDV2 設定為 1 時，通過讀寫測試的組合數為 0；假設相位延遲值 PDV2 設定為 2 時，通過讀寫測試的組合數為 1，其餘則參照圖示，在此不作贅述。

接著，選取對應的通過讀寫測試的組合數大於門檻值 TH1 的數值。在此門檻值 TH1 以 9 為例，則被選取的數值為 15 至 23。然後，在被選取的數值（即 15 至 23）之中，

選取為中間值的 19 作為最佳化數值 OPV2，其中當被選取的這些數值的中間值非整數值時，則可以選取靠近中間值且較大或較小於中間值的數值，本發明實施例不以此為限。

在搜尋到最佳化數值 OPV2 之後，將相位延遲值 PDV2 設定為最佳化數值 OPV2 (例如 19)。在相位延遲值 PDV2 設定為 19 的期間，相位延遲值 PDV1 同樣會依序設定為 0 至 31。在每次相位延遲值 PDV1 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV1 分別設定為 0 至 31 時通過讀寫測試的部分。例如，在相位延遲值 PDV2 設定為 19 且相位延遲值 PDV1 設定為 4 至 15 時，記憶體可通過讀寫測試。據此，會取 4 至 15 的中間值作為最佳化數值 OPV1，並且將相位延遲值 PDV1 設定最佳化數值 OPV1，其中，由於 4 至 15 的中間值非整數，因此可選取 9 或 10 作為最佳化數值 OPV1。

在將相位延遲值 PDV1 設定為最佳化數值 OPV1 且相位延遲值 PDV2 設定為最佳化數值 OPV2 之後，由於最佳化數值 OPV1 及 OPV2 為經由讀寫測試所獲得，因此可避免記憶體因相位延遲值 PDV1 及 PDV2 的設定不佳而讀寫失敗。

此外，在上述實施例的最佳化數值搜尋方法中，其相位延遲值 PDV1 及 PDV2 會依序設定為多個連續且大於等於 0 的整數。然而，當相位延遲值 PDV1 及 PDV2 的位元數增加時，則上述實施例的最佳化數值搜尋方法所花費的時間亦會增加。因此，本發明的另一實施例提出另一種最

佳化數值搜尋方法，以降低搜尋最佳化數值所需要的時間。

圖 3 為依據本發明另一實施例的多個相位延遲值依序設定為不同數值的時序示意圖。請參照圖 1 及圖 3，在本實施例中，假設相位延遲值 PDV1 及 PDV2 為 8 位元的數值，因此相位延遲值 PDV1 及 PDV2 的數值範圍為 0 至 255。在本實施例的記憶體的最佳化數值搜尋方法中，相位延遲值 PDV1 及 PDV2 皆不會依序設定為 0 至 255，而是依序設定為 0、8、16、…、248 等遞增 8 的數值。其中，上述相位延遲值 PDV1 及 PDV2 設定的數值為由 0 至 255 中取 32 個，但在其他實施例中，亦可以選擇性地取 16 或 64 個，而數值間の間距則對應的調整為 16 或 4，此可依據本領域通常知識都自行設定。

在每次相位延遲值 PDV1 的數值更換之後，同樣會對記憶體進行讀寫測試，以測試相位延遲值 PDV1 及 PDV2 不同的數值組合是否可以通過讀寫測試。並且，記錄相位延遲值 PDV2 分別設定為 0、8、16、…、248 等時，與相位延遲值 PDV1 分別設定為 0、8、16、…、248 等的不同組合中通過讀寫測試的組合數，再依據對應的通過讀寫測試的組合數是否大於門檻值 TH2（例如為 9）來選取用以設定相位延遲值 PDV2 的數值。

在此假設選取的數值為 160、168、176、184、192、200、208、216 及 224，則將上述選取的數值的中間值（即 192）作為最佳化數值 OPV4。接著，將相位延遲值 PDV2 設定為 192（亦即最佳化數值 OPV4）。在相位延遲值 PDV2

設定為 192 的期間，相位延遲值 PDV1 同樣會依序設定為 0、8、16、...、248 等。在每次相位延遲值 PDV1 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV1 分別設定為 0、8、16、...、248 等時通過讀寫測試的部分。

例如，在相位延遲值 PDV2 設定為 192 且相位延遲值 PDV1 分別設定為 96、104、112、120、128、136、144、152 及 160 時，記憶體可通過讀寫測試。據此，會取 96、104、112、120、128、136、144、152 及 160 的中間值（即 128）作為最佳化數值 OPV3，並且將相位延遲值 PDV1 設定最佳化數值 OPV3。其中，當選取的數值的中間值不為本實施例中用以設定相位延遲值 PDV1 及 PDV2 的數值時，則會從本實施例中用以設定相位延遲值 PDV1 及 PDV2 的數值中選取靠近中間值且較大於或較小於中間值的數值。

依據上述，本實施例的記憶體的最佳化數值搜尋方法是作概略性搜尋，並且搜尋到的最佳化數值 OPV3 及 OPV4 同樣具有可避免記憶體因相位延遲值 PDV1 及 PDV2 的設定不佳而讀寫失敗的效果。並且，可再依據最佳化數值 OPV3 及 OPV4 進行進一步的搜尋，以搜尋相位延遲值 PDV1 及 PDV2 更精細的最佳化設定。

圖 4 為依據本發明另一實施例的這些相位延遲值進一步依序設定為不同數值的時序示意圖。請參照圖 3 及圖 4，在本實施例中，會以最佳化數值 OPV3 及 OPV4 為基準點

(例如作為中間值) 選取多個連續的數值來依序設定相位延遲值 PDV1 及 PDV2。假設最佳化數值 OPV3 為 128，則在本實施例中會以 128 為基準點取前面 8 個及後面 7 個共 16 個數值 (亦即 120 至 135) 用以依序設定相位延遲值 PDV1。假設最佳化數值 OPV4 為 192，則在本實施例中會以 192 為基準點取前面 8 個及後面 7 個共 16 個數值 (亦即 184 至 199) 用以依序設定相位延遲值 PDV2。其中，上述數值的選取範圍可依據本領域通常知識者自行調整，並且可往前及往後取同數量的數值，以使最佳化數值 OPV3 及 OPV4 為選取的數值的中間值，本發明不以此為限。

接著，相位延遲值 PDV1 會依序設定為 120 至 135，並且相位延遲值 PDV2 會依序設定為 184 至 199。在每次相位延遲值 PDV1 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV2 分別設定為 184 至 199 時，與相位延遲值 PDV1 分別設定為 120 至 135 的不同組合中通過讀寫測試的組合數。同樣地，會依據對應的通過讀寫測試的組合數是否大於門檻值 TH3 (例如為 5) 來選取用以設定相位延遲值 PDV2 的數值

在此假設選取的數值為 188 至 194，則將上述選取的數值的中間值 (即 191) 作為最佳化數值 OPV6。接著，將相位延遲值 PDV2 設定為 191 (亦即最佳化數值 OPV6)。在相位延遲值 PDV2 設定為 191 的期間，相位延遲值 PDV1 同樣會依序設定為 120 至 135。在每次相位延遲值 PDV1 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，

記錄相位延遲值 PDV1 分別設定為 120 至 135 時通過讀寫測試的部分。

例如，在相位延遲值 PDV2 設定為 191 且相位延遲值 PDV1 分別設定為 122 至 128 時，記憶體可通過讀寫測試。據此，會取 122 至 128 的中間值（即 125）作為最佳化數值 OPV5，並且將相位延遲值 PDV1 設定最佳化數值 OPV5。

圖 5 為依據本發明再一實施例的多個相位延遲值依序設定為不同數值的時序示意圖。請參照圖 1 及圖 5，上述實施例為搜尋記憶體進行資料寫入時資料選通信號及資料信號其中之一對應的相位延遲值，以及搜尋記憶體進行資料讀取時資料選通信號及資料信號其中之一對應的相位延遲值。但在本實施例中，則會搜尋記憶體進行資料寫入時資料選通信號及資料信號對應的相位延遲值，以及搜尋記憶體進行資料讀取時資料選通信號及資料信號對應的相位延遲值。換言之，相位延遲值 PDV3 至 PDV6 分別為記憶體進行資料寫入時資料選通信號及資料信號對應的相位延遲值，以及記憶體進行資料讀取時資料選通信號及資料信號對應的相位延遲值。

在本實施例中，相位延遲值 PDV3 至 PDV6 是為 5 位元的數值為例，因此相位延遲值 PDV3 至 PDV6 的數值範圍為 0 至 31。在本實施例中，記憶體的最佳化數值搜尋方法首先將相位延遲值 PDV3 至 PDV6 依序設定為 0 至 31。

在每次相位延遲值 PDV3 的數值更換之後，皆會對記憶體進行讀寫測試，以測試相位延遲值 PDV3 至 PDV6 不

同的數值組合是否可以通過讀寫測試。並且，記錄相位延遲值 PDV6 分別設定為 0 至 31 時，與相位延遲值 PDV5 分別設定為 0 至 31、相位延遲值 PDV4 分別設定為 0 至 31 及相位延遲值 PDV3 分別設定為 0 至 31 的不同組合中通過讀寫測試的組合數。接著，依據對應的通過讀寫測試的組合數是否大於門檻值 TH4（例如為 9216）來選取用以設定相位延遲值 PDV6 的數值。

在此假設選取的數值為 13 至 17，則將上述選取的數值的中間值（即 15）作為最佳化數值 OPV10。接著，將相位延遲值 PDV6 設定為 15（亦即最佳化數值 OPV10）。在相位延遲值 PDV6 設定為 15 的期間，相位延遲值 PDV3 至 PDV5 會依序設定為 0 至 31。在每次相位延遲值 PDV3 的數值更換之後，會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV5 分別設定為 0 至 31 時，與相位延遲值 PDV4 分別設定為 0 至 31 及相位延遲值 PDV3 分別設定為 0 至 31 的不同組合中通過讀寫測試的組合數。接著，依據對應的通過讀寫測試的組合數是否大於門檻值 TH5（例如為 288）來選取用以設定相位延遲值 PDV5 的數值。

在此假設選取的數值為 16 至 22，則將上述選取的數值的中間值（即 19）作為最佳化數值 OPV9。接著，將相位延遲值 PDV5 設定為 19（亦即最佳化數值 OPV9）。在相位延遲值 PDV6 設定為 15 且相位延遲值 PDV5 設定為 19 的期間，相位延遲值 PDV3 及 PDV4 會依序設定為 0 至 31。在每次相位延遲值 PDV3 的數值更換之後，同樣會對

記憶體進行讀寫測試。並且，記錄相位延遲值 PDV4 分別設定為 0 至 31 時，與相位延遲值 PDV3 分別設定為 0 至 31 的不同組合中通過讀寫測試的組合數。接著，依據對應的通過讀寫測試的組合數是否大於門檻值 TH6(例如為 9)來選取用以設定相位延遲值 PDV4 的數值。

在此假設選取的數值為 14 至 18，則將上述選取的數值的中間值(即 16)作為最佳化數值 OPV8。接著，將相位延遲值 PDV4 設定為 16(亦即最佳化數值 OPV8)。在相位延遲值 PDV6 設定為 15、相位延遲值 PDV5 設定為 19 且相位延遲值 PDV4 設定為 16 的期間，相位延遲值 PDV3 會依序設定為 0 至 31。在每次相位延遲值 PDV3 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV3 分別設定為 0 至 31 時通過讀寫測試的部分。

例如，在相位延遲值 PDV6 設定為 15、相位延遲值 PDV5 設定為 19、相位延遲值 PDV4 設定為 16 且相位延遲值 PDV3 分別設定為 10 至 17 時，記憶體可通過讀寫測試。據此，會取 10 至 17 的中間值(即 14)作為最佳化數值 OPV7，並且將相位延遲值 PDV3 設定最佳化數值 OPV7。

圖 6 為依據本發明又一實施例的多個相位延遲值依序設定為不同數值的時序示意圖。請參照圖 5 及圖 6，在本實施例中，假設相位延遲值 PDV3 至 PDV6 為 8 位元的數值，因此相位延遲值 PDV3 至 PDV6 的數值範圍為 0 至 255。在本實施例的記憶體的最佳化數值搜尋方法中，相位延遲值 PDV3 至 PDV6 不會依序設定為 0 至 255，而是依

序設定為 0、8、16、...、248 等遞增 8 的數值。

在每次相位延遲值 PDV3 的數值更換之後，同樣會對記憶體進行讀寫測試，以測試相位延遲值 PDV3 至 PDV6 不同的數值組合是否可以通過讀寫測試。並且，記錄相位延遲值 PDV6 分別設定為 0、8、16、...、248 等時，與相位延遲值 PDV5 分別設定為 0、8、16、...、248 等、相位延遲值 PDV4 分別設定為 0、8、16、...、248 等及相位延遲值 PDV3 分別設定為 0、8、16、...、248 等的不同組合中通過讀寫測試的組合數。接著，依據對應的通過讀寫測試的組合數是否大於門檻值 TH7（例如為 9216）來選取用以設定相位延遲值 PDV6 的數值。

在此假設選取的數值為 96、104、112、120、128、136、144、152 及 160，則將上述選取的數值的中間值（即 128）作為最佳化數值 OPV14。接著，將相位延遲值 PDV6 設定為 128（亦即最佳化數值 OPV14）。在相位延遲值 PDV6 設定為 128 的期間，相位延遲值 PDV3 至 PDV5 同樣會依序設定為 0、8、16、...、248 等。在每次相位延遲值 PDV3 的數值更換之後，同樣會對記憶體進行讀寫測試。接著，依據對應的通過讀寫測試的組合數是否大於門檻值 TH8（例如為 288）來選取用以設定相位延遲值 PDV5 的數值。

在此假設選取的數值為 96、104、112、120、128、136、144、152 及 160，則將上述選取的數值的中間值（即 128）作為最佳化數值 OPV13。接著，將相位延遲值 PDV5 設定為 128（亦即最佳化數值 OPV13）。在相位延遲值 PDV6

設定為 128 且相位延遲值 PDV5 設定為 128 的期間，相位延遲值 PDV3 及 PDV4 同樣會依序設定為 0、8、16、...、248 等。在每次相位延遲值 PDV3 的數值更換之後，同樣會對記憶體進行讀寫測試。接著，依據對應的通過讀寫測試的組合數是否大於門檻值 TH9（例如為 9）來選取用以設定相位延遲值 PDV4 的數值。

在此假設選取的數值為 160、168、176、184、192、200、208、216 及 224，則將上述選取的數值的中間值（即 192）作為最佳化數值 OPV12。接著，將相位延遲值 PDV4 設定為 192（亦即最佳化數值 OPV12）。在相位延遲值 PDV6 設定為 128、相位延遲值 PDV5 設定為 128 且相位延遲值 PDV4 設定為 192 的期間，相位延遲值 PDV3 同樣會依序設定為 0、8、16、...、248 等。在每次相位延遲值 PDV3 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV3 分別設定為 0、8、16、...、248 等時通過讀寫測試的部分。

例如，在相位延遲值 PDV6 設定為 128、相位延遲值 PDV5 設定為 128、相位延遲值 PDV4 設定為 192 且相位延遲值 PDV3 分別設定為 96、104、112、120、128、136、144、152 及 160 時，記憶體可通過讀寫測試。據此，會取 96、104、112、120、128、136、144、152 及 160 的中間值（即 128）作為最佳化數值 OPV11，並且將相位延遲值 PDV3 設定最佳化數值 OPV11。其中，當選取的數值的中間值不為本實施中用以設定相位延遲值 PDV3 至 PDV6 的

數值時，則會從本實施中用以設定相位延遲值 PDV3 至 PDV6 的數值中選取靠近中間值且較大於或較小於中間值的數值。

依據上述，本實施例的記憶體的最佳化數值搜尋方法是作概略性搜尋，並且搜尋到的最佳化數值 OPV11 及 OPV14 同樣具有可避免記憶體因相位延遲值 PDV3 至 PDV6 的設定不佳而讀寫失敗的效果。並且，可再依據最佳化數值 OPV11 至 OPV14 進行進一步的搜尋，以搜尋相位延遲值 PDV3 至 PDV6 更精細的最佳化設定。

圖 7 為依據本發明又一實施例的這些相位延遲值進一步依序設定為不同數值的時序示意圖。請參照圖 6 及圖 7，在本實施例中，會以最佳化數值 OPV15 至 OPV18 為基準點（例如為中間值）選取多個連續的數值來依序設定相位延遲值 PDV3 至 PDV6。假設最佳化數值 OPV15 為 128，則以 128 為基準點取前面 8 個及後面 7 個共 16 個數值（亦即 120 至 135）用以依序設定相位延遲值 PDV3。假設最佳化數值 OPV16 為 192，則以 192 為基準點取前面 8 個及後面 7 個共 16 個數值（亦即 184 至 199）用以依序設定相位延遲值 PDV4。假設最佳化數值 OPV15 為 128，則以 128 為基準點取前面 8 個及後面 7 個共 16 個數值（亦即 120 至 135）用以依序設定相位延遲值 PDV5。假設最佳化數值 OPV15 為 128，則以 128 為基準點取前面 8 個及後面 7 個共 16 個數值（亦即 120 至 135）用以依序設定相位延遲值 PDV6。

接著，相位延遲值 PDV3、PDV5 及 PDV6 會依序設定為 120 至 135，並且相位延遲值 PDV4 會依序設定為 184 至 199。在每次相位延遲值 PDV3 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV6 分別設定為 120 至 135 時，與相位延遲值 PDV5 分別設定為 120 至 135、相位延遲值 PDV4 分別設定為 184 至 199 以及相位延遲值 PDV3 分別設定為 120 至 135 的不同組合中通過讀寫測試的組合數。同樣地，會依據對應的通過讀寫測試的組合數是否大於門檻值 TH10（例如為 5）來選取用以設定相位延遲值 PDV6 的數值。

在此假設選取的數值為 124 至 130，則將上述選取的數值的中間值（即 127）作為最佳化數值 OPV18。接著，將相位延遲值 PDV6 設定為 127（亦即最佳化數值 OPV18）。在相位延遲值 PDV6 設定為 127 的期間，相位延遲值 PDV3 及 PDV5 同樣會依序設定為 120 至 135，相位延遲值 PDV4 同樣會依序設定為 184 至 199。在每次相位延遲值 PDV3 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV5 分別設定為 120 至 135 時，與相位延遲值 PDV4 分別設定為 184 至 199 以及相位延遲值 PDV3 分別設定為 120 至 135 的不同組合中通過讀寫測試的組合數。同樣地，會依據對應的通過讀寫測試的組合數是否大於門檻值 TH11（例如為 5）來選取用以設定相位延遲值 PDV5 的數值。

在此假設選取的數值為 126 至 132，則將上述選取的

數值的中間值（即 129）作為最佳化數值 OPV17。接著，將相位延遲值 PDV5 設定為 129（亦即最佳化數值 OPV17）。在相位延遲值 PDV6 設定為 127 且相位延遲值 PDV5 設定為 129 的期間，相位延遲值 PDV3 同樣會依序設定為 120 至 135，相位延遲值 PDV4 同樣會依序設定為 184 至 199。在每次相位延遲值 PDV3 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV4 分別設定為 184 至 199 時，與相位延遲值 PDV3 分別設定為 120 至 135 的不同組合中通過讀寫測試的組合數。同樣地，會依據對應的通過讀寫測試的組合數是否大於門檻值 TH12（例如為 5）來選取用以設定相位延遲值 PDV4 的數值。

在此假設選取的數值為 189 至 195，則將上述選取的數值的中間值（即 192）作為最佳化數值 OPV16。接著，將相位延遲值 PDV4 設定為 192（亦即最佳化數值 OPV16）。在相位延遲值 PDV6 設定為 127、相位延遲值 PDV5 設定為 129 且相位延遲值 PDV4 設定為 192 的期間，相位延遲值 PDV3 同樣會依序設定為 120 至 135。在每次相位延遲值 PDV3 的數值更換之後，同樣會對記憶體進行讀寫測試。並且，記錄相位延遲值 PDV3 分別設定為 120 至 135 時通過讀寫測試的部分。

例如，在相位延遲值 PDV6 設定為 127、相位延遲值 PDV5 設定為 129、相位延遲值 PDV4 設定為 192 且相位延遲值 PDV3 分別設定為 122 至 128 時，記憶體可通過讀寫

測試。據此，會取 122 至 128 的中間值（即 125）作為最佳化數值 OPV15，並且將相位延遲值 PDV3 設定最佳化數值 OPV15。

綜上所述，本發明實施例的記憶體的最佳化數值搜尋方法，其將相位延遲值依序設定為多個數值，以形成不同的組合，並且測試這些組合是否通過讀寫測試，再依據通過測試的組合找出最佳化數值。藉此，相位延遲值可設定為經過讀寫測試的最佳化數值，避免記憶體因相位延遲值的設定不佳而讀寫失敗的效果。並且，相位延遲值可依序設定為多個不連續的數值，以找出概略性的最佳化數值，再依據上述概略性的最佳化數值選取多個連續的數值來設定相位延遲值，進而找出更精細的最佳化數值。藉此，透過二階段搜尋的方式，可降低搜尋的時間。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 為依據本發明一實施例的多個相位延遲值依序設定為不同數值的時序示意圖。

圖 2 為依據本發明一實施例的這些相位延遲值與通過讀寫測試的組合數的對應示意圖。

圖 3 為依據本發明另一實施例的多個相位延遲值依序

設定為不同數值的時序示意圖。

圖 4 為依據本發明另一實施例的這些相位延遲值進一步依序設定為不同數值的時序示意圖。

圖 5 為依據本發明再一實施例的多個相位延遲值依序設定為不同數值的時序示意圖。

圖 6 為依據本發明又一實施例的多個相位延遲值依序設定為不同數值的時序示意圖。

圖 7 為依據本發明又一實施例的這些相位延遲值進一步依序設定為不同數值的時序示意圖。

【主要元件符號說明】

PDV1~PDV6：相位延遲值

OPV1~OPV18：最佳化數值

七、申請專利範圍：

1. 一種記憶體的最佳化數值搜尋方法，包括：

將該記憶體的一第一相位延遲值依序設定為多個第一數值；

將該記憶體的一第二相位延遲值依序設定為多個第二數值；

對該記憶體進行讀寫測試；

記錄每一該些第一數值與該些第二數值的不同組合中通過讀寫測試的組合數；

選取該些第一數值中對應通過讀寫測試的組合數大於一第一門檻值的部分；

於上述選取的該些第一數值中選取為中間值或靠近中間值的第一數值作為一第一最佳化數值；

將該第一相位延遲值設定為該第一最佳化數值；

記錄該些第二數值通過讀寫測試的部分；

選取該些第二數值中通過讀寫測試的部分中為中間值或靠近中間值的第二數值作為一第二最佳化數值；以及

將該第二相位延遲值設定為該第二最佳化數值。

2. 如申請專利範圍第 1 項所述之記憶體的最佳化數值搜尋方法，更包括：

將該記憶體的一第三相位延遲值依序設定為多個第三數值；

將該記憶體的一第四相位延遲值依序設定為多個第四數值；

記錄每一該些第三數值與該些第一數值、該些第二數值及該些第四數值的不同組合中通過讀寫測試的組合數；

選取該些第三數值中對應通過讀寫測試的組合數大於一第二門檻值的部分；

於上述選取的該些第三數值中選取為中間值或靠近中間值的第三數值作為一第三最佳化數值；

將該第三相位延遲值設定為該第三最佳化數值；

記錄每一該些第四數值與該些第一數值及該些第二數值的不同組合中通過讀寫測試的組合數；

選取該些第四數值中對應通過讀寫測試的組合數大於一第三門檻值的部分；

於上述選取的該些第四數值中選取為中間值或靠近中間值的第四數值作為一第四最佳化數值；以及

將該第四相位延遲值設定為該第四最佳化數值。

3. 如申請專利範圍第 2 項所述之記憶體的最佳化數值搜尋方法，其中該些第一數值、該些第二數值、該些第三數值及該些第四數值分別為多個連續且大於等於 0 的整數。

4. 如申請專利範圍第 2 項所述之記憶體的最佳化數值搜尋方法，其中該些第一數值、該些第二數值、該些第三數值及該些第四數值分別為多個不連續且大於等於 0 的整數。

5. 如申請專利範圍第 4 項所述之記憶體的最佳化數值搜尋方法，其中該些第一數值、該些第二數值、該些第

三數值及該些第四數值的間距相同。

6. 如申請專利範圍第 4 項所述之記憶體的最佳化數值搜尋方法，更包括：

依據該第一最佳化數值選取多個連續的第五數值，其中該些第五數值包括該第一最佳化數值；

依據該第二最佳化數值選取多個連續的第六數值，其中該些第六數值包括該第二最佳化數值；

依據該第三最佳化數值選取多個連續的第七數值，其中該些第七數值包括該第三最佳化數值；

依據該第四最佳化數值選取多個連續的第五數值，其中該些第五數值包括該第一最佳化數值；

將該第一相位延遲值依序設定為該些第五數值；

將該第二相位延遲值依序設定為該些第六數值；

將該第三相位延遲值依序設定為該些第七數值；

將該第四相位延遲值依序設定為該些第八數值；

記錄每一該些第七數值與該些第五數值、該些第六數值及該些第八數值的不同組合中通過讀寫測試的組合數；

選取該些第七數值中對應通過讀寫測試的組合數大於一第四門檻值的部分；

於上述選取的該些第七數值中選取為中間值或靠近中間值的第七數值作為一第五最佳化數值；

將該第三相位延遲值設定為該第五最佳化數值；

記錄每一該些第八數值與該些第五數值及該些第六數值的不同組合中通過讀寫測試的組合數；

選取該些第八數值中對應通過讀寫測試的組合數大於一第五門檻值的部分；

於上述選取的該些第八數值中選取為中間值或靠近中間值的第八數值作為一第六最佳化數值；

將該第四相位延遲值設定為該第六最佳化數值；

記錄每一該些第五數值與該些第六數值的不同組合中通過讀寫測試的組合數；

選取該些第五數值中對應通過讀寫測試的組合數大於一第六門檻值的部分；

於上述選取的該些第五數值中選取為中間值或靠近中間值的第五數值作為一第七最佳化數值；

將該第一相位延遲值設定為該第七最佳化數值；

記錄該些第六數值通過讀寫測試的部分；

於上述選取的該些第六數值中選取為中間值或靠近中間值的第六數值作為一第八最佳化數值；以及

將該第二相位延遲值設定為該第八最佳化數值。

7. 如申請專利範圍第 6 項所述之記憶體的最佳化數值搜尋方法，其中該第一最佳化數值為該些第五數值的中間值，該第二最佳化數值為該些第六數值的中間值，該第三最佳化數值為該些第七數值的中間值，該第一最佳化數值為該些第五數值的中間值。

8. 如申請專利範圍第 2 項所述之記憶體的最佳化數值搜尋方法，其中該第一相位延遲值、該第二相位延遲值、該第三相位延遲值及該第四相位延遲值分別為該記憶體進

行資料讀取時的一資料選通(Data Queue Strobe, DQS)信號對應的相位延遲值及一資料(Data Queue, DQ)信號對應的相位延遲值、以及該記憶體進行資料寫入時的該資料選通信號對應的相位延遲值及該資料信號對應的相位延遲值。

9. 如申請專利範圍第 1 項所述之記憶體的最佳化數值搜尋方法，其中該些第一數值及該些第二數值分別為多個連續且大於等於 0 的整數。

10. 如申請專利範圍第 1 項所述之記憶體的最佳化數值搜尋方法，其中該些第一數值及該些第二數值分別為多個不連續且大於等於 0 的整數。

11. 如申請專利範圍第 10 項所述之記憶體的最佳化數值搜尋方法，其中該些第一數值及該些第二數值的間距相同。

12. 如申請專利範圍第 10 項所述之記憶體的最佳化數值搜尋方法，更包括：

依據該第一最佳化數值選取多個連續的第九數值，其中該些第九數值包括該第一最佳化數值；

依據該第二最佳化數值選取多個連續的第十數值，其中該些第十數值包括該第二最佳化數值；

將該第一相位延遲值依序設定為該些第九數值；

將該第二相位延遲值依序設定為該些第十數值；

記錄每一該些第九數值與該些第十數值的不同組合中通過讀寫測試的組合數；

選取該些第九數值中對應通過讀寫測試的組合數大

於一第七門檻值的部分；

於上述選取的該些第九數值中選取為中間值或靠近中間值的第九數值作為一第九最佳化數值；

將該第一相位延遲值設定為該第九最佳化數值；

記錄該些第十數值通過讀寫測試的部分；

選取該些第十數值中通過讀寫測試的部分中為中間值或靠近中間值的第十數值作為一第十最佳化數值；以及將該第二相位延遲值設定為該第十最佳化數值。

13. 如申請專利範圍第 12 項所述之記憶體的最佳化數值搜尋方法，其中該第一最佳化數值為該些第九數值的中間值，該第二最佳化數值為該些第十數值的中間值。

14. 如申請專利範圍第 1 項所述之記憶體的最佳化數值搜尋方法，其中該第一相位延遲值為該記憶體進行資料讀取時的一資料選通信號對應的相位延遲值及該記憶體進行資料寫入時的該資料選通信號對應的相位延遲值的其中之一，該第二相位延遲值為該記憶體進行資料讀取時的一資料信號對應的相位延遲值及該記憶體進行資料寫入時的該資料信號對應的相位延遲值的其中之一。

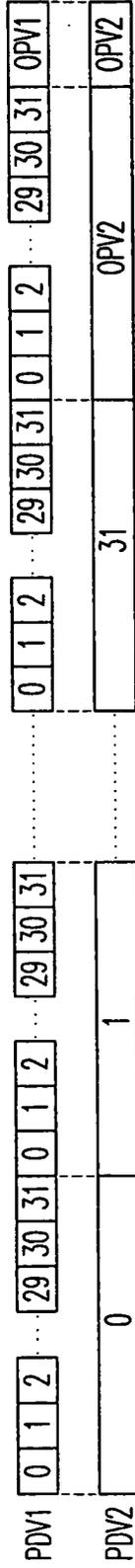


圖 1

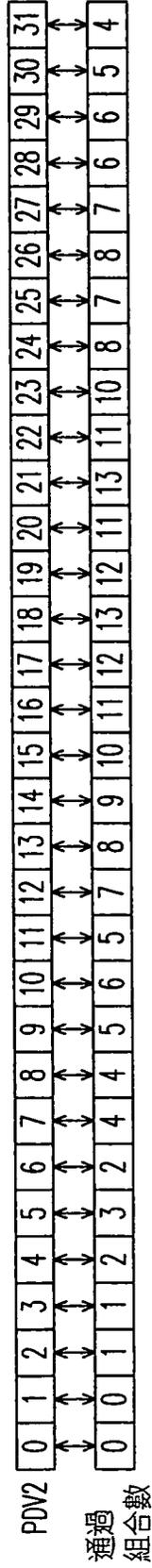


圖 2

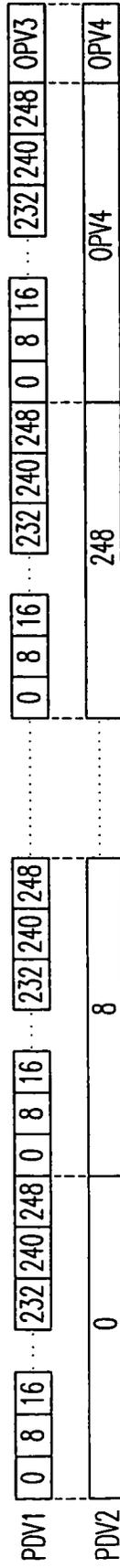


圖 3

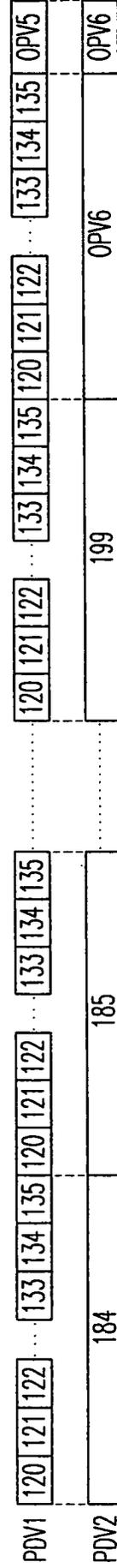


圖 4

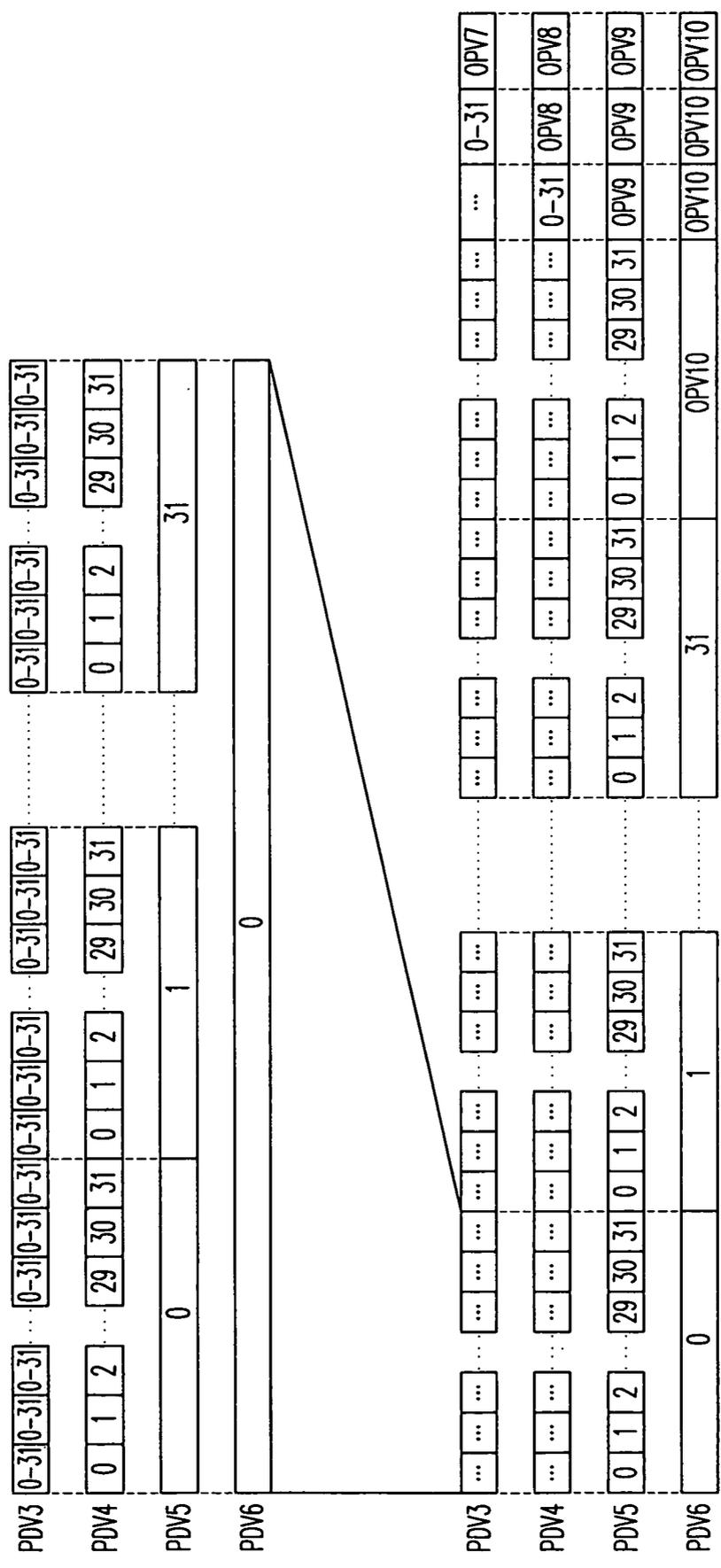


圖 5

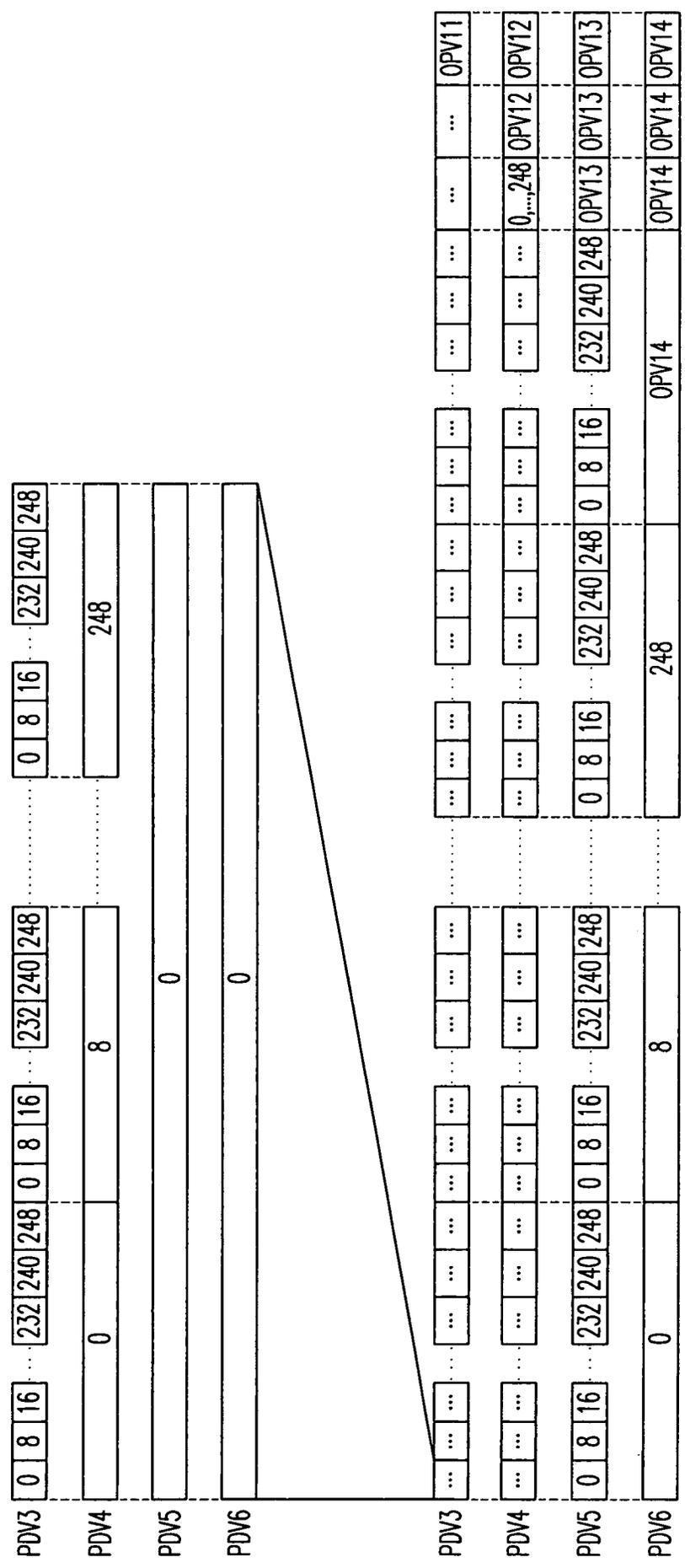


圖 6

