(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H03K 5/00

(11) 공개번호 특1999-0037033
(43) 공개일자 1999년05월25일

(21) 출원번호 10-1998-0042640
(22) 출원일자 1998년10월09일
(30) 우선권주장 60/061,530 1997년10월09일 미국(US)
8/963,063 1997년11월03일 미국(US)
(71) 출원인 루센트 테크놀러지스 인크 엘리 와이스
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)
(72) 발명자 무스카비지 라차드
미국, 펜실베이니어, 몬트고메리, 길버츠빌러, 토마스 서클 2345
세간 스코트 에이
미국, 펜실베이니어, 레하이, 알렌타운, 사우스 화이트홀 타운십, 브라운 스트리트 1928
(74) 대리인 이병호

심사청구 : 있음

(54) 에지 신호 회복 회로 및 방법

요약

본 발명은 논리 상태 사이의 변이중 확산 신호의 상승 및 하강 시간을 감소시키는 에지 신호 회복 회로 및 신호의 에지를 개선시키는 방법에 관한 것이다. 에지 신호 회복 회로는 입력 신호의 에지를 검출하여 검출 신호를 출력하는 제 1 회로 및, 제 1 회로가 입력 신호의 에지를 검출함과 거의 동시에 검출 신호에 응답하여 입력 신호의 다음 상태를 드라이브하는 제 2 회로를 포함한다. 에지 신호 회복 방법을 통해 현재 상태와 다음 상태 사이의 신호의 변이를 검출하며, 다음 상태가지의 변이중 신호상에 다음 상태를 드라이브한다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 IC 의 배선 루트에 대한 에지 신호 회복(ESR) 회로의 도면

도 2는 본 발명에 따른 ESR 회로의 제 1 실시예의 일반적인 구성도

도 3은 도 2에 도시된 제 1 실시예의 상세 회로도

도 4는 도 2의 제 1 실시예에 대한 타이밍도

도 5는 본 발명에 따른 ESR 회로에 따라 신호의 에지를 개선시킨 도면

도 6은 도 2에 도시된 제 1 실시예에 대한 상세 타이밍도

도 7은 본 발명에 따른 ESR 회로의 제 2 실시예의 일반적인 구성도

도 8은 본 발명에 따른 ESR 회로의 제 3 실시예의 일반적인 구성도

도 9a는 종래의 배선 루트를 도시한 도면

도 9b는 본 발명에 따른 확산 지연을 감소시키기 위한 배선 루트에 따른 ESR 회로의 배치도

도 10a는 IC의 종래의 전기 배선 루트를 도시한 도면

도 10b는 IC의 종래의 전기 배선 루트 사이에 버퍼를 배치시키기 위해 절단된 도면

* 도면의 주요부분에 대한 부호의 설명

10 : 에지 신호 회복(ESR) 회로 36 : 배선 루트

38 : 전기 노드 40 : 접점

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전기 신호의 에지의 개선에 관한 것으로서, 특히 디지탈 신호의 에지를 검출하고, 검출된 신호 에지에 기초하여 신호의 다음 상태를 드라이브함으로서 신호의 상승 및 하강 시간을 감소시키는 회로 및 방법에 관한 것이다.

현대의 복잡한 집적 회로(ICs)에서는 많은 요인이 그 최대 동작 속도를 제한한다. 예를 들면, ICs 는 일반적으로, 전기 배선의 저항값 및 용량값에 기초한 상승 시간 및 하강 시간으로 인해 본질적으로 중대한 지연이 나타나는 긴, 상호접속된 전기 배선을 갖는다. 일반적으로, 상기 지연은 시상수로 알려져 있으며, 등식 T = RC 에 의해 계산되는데, 여기서 T는 초 단위의 시간이고, R은 오음 단위의 저항이며, C는 패럿 단위의 용량이다.

ICs 내의 모든 전기 배선은 일반적으로 최단으로 가능한 경로 및 다른 배선으로부터의 최대 절연을 갖도록 ICs를 소형화시키더라도, 소정 양의 저항값과 소정 양의 용량값을 갖게된다. 그렇지만, 디지탈 신호의 에지는 지수적으로(exponentially) 상승 및 하강하는 에지를 갖는다. 따라서, ICs 내의 전기 배선의 저항값 및 용량값은 큰 확산 지연을 직접적으로 유발한다.

도 10a는 그 저항값 및 용량값 때문에 확산 지연이 나타나는 IC 내의 배선로(36)를 도시한다. 과도한 확산 지연을 개선시키기 위한 한 종래의 해결책으로, 도 10b에 도시된 바와 같이 배선 루트(36a, 36b)를 따라 직렬로 버퍼(32, 34)를 배치시킨 것이 있다. 도 10b에서, 다른 방법으로는 긴 배선 루트가 2개의 부분(36a, 36b)으로 분리되고, 버퍼(32, 34)를 형성하는 2개의 인버터가 그 사이에 직렬로 배치된다. 도 10a에 도시된 바와 같은 전기 배선 루트(36)를 도 10b에 도시된 바와 같은 2개의 부분(36a, 36b)으로 분리하면, 예컨대 도 10b에 도시된 바와 같이 적어도 2개의 금속 산화물 반도체 전계 효과 트랜지스터(MOSFETs)(600n, 600p) 같은 능동 버퍼 소자를 거쳐 신호가 확산되어야하기 때문에 신호의 전체적인 지연이 증가된다. 더욱이, 배선 루트(36)가 물리적으로 2개의 부분(36a, 36b)(도 10b)으로 절단되기 때문에, 절단 부분과의 접촉으로 인해 접촉 저항이 회로에 부가된다. 상기한 것과 이외의 요인이 또한 확산 지연을 증가시킨다.

따라서, 전체 장치 속도에 더 이상의 지연을 부가하지 않으면서 IC의 전기 배선 루트에서의 확산 지연을 개선시킬 필요가 있다.

발명이 이루고자하는 기술적 과제

본 발명의 원리에 따르면, 신호의 에지를 개선하기 위한 에지 신호 회복 회로 및 방법이 제공되어 신호의 상승 및 하강 시간을 감소시킨다. 에지 신호 회복 회로는 입력 신호의 에지를 검출하여 검출된 신호를 출력하는 제 1 회로 및, 상기 제 1 회로가 입력 신호의 에지를 검출함과 거의 동시에 입력 신호상에 돌아오는 입력 신호의 다음 상태를 드라이브하는 제 2 회로를 포함한다.

에지 신호 회복 방법은 또한 현재 상태와 다음 상태 사이의 신호의 변이를 검출함으로써 제공된다. 이때, 다음 상태는 그 변이중의 신호로 다시 드라이브된다.

발명의 구성 및 작용

본 발명의 특징 및 장점은 도면을 참조한 다음의 설명을 통해 당 업자에게는 명확히 이해될 수 있다.

도 1은 IC의 분리되지 않은 배선 루트(36)의 단일 전기 노드(38)에만 접속된 에지 신호 회복(ESR) 회로를 도시한다. 저항 R은 배선 루트(36)의 저항값을 나타내고, 캐패시터 C는 배선 루트(36)의 기생 용량값을 나타낸다.

ESR 회로(10)는 노드(38)에서 논리 로우 상태에서 논리 하이 상태로, 또는 논리 하이 상태에서 논리 로우 상태로 신호 S의 변이 주기를 검출하기 위해 에지 검출기(100)를 포함한다. 상기 변이 주기는 신호 S의 상승 및 하강 에지에 각각 대응한다. 에지 검출기(100)의 출력은 변이 주기중 노드(38)상에 돌아오는 다음 상태의 신호를 드라이브하는 드라이버(102)에 공급된다. 신호 S의 '다음 상태'는 신호 S의 검출된 변이가 진행하는 방향의 논리 레벨이다.

도 2에서, 참조 부호 (10)은 ESR 회로의 제 1 실시예의 일반적인 구성을 표시한다. 도 2에서 ESR 회로(10)는 2개의 접점에서 IC의 분리되지 않은 배선 루트(36)와 접속되지만, 2개의 접점(40)이 전기적으로 접속되기 때문에, ESR 회로(10)는 도 1에 도시된 바와 같이 하나의 전기 노드(38)에만 전기적으로 접속된다.

도 2에서, 에지 검출기(100)는 인버터(12), 인버터(14) 및 배타적 OR(XOR) 게이트(16)를 포함한다. 드라이버(102)는 스위치(28, 30)와 함께 인버터(18, 318, 20, 22, 24, 26)를 포함한다. 인버터(12, 14)는 입력 신호 S를 수신하여 반전된 신호 LH, HL을 각각 출력한다. 인버터(12, 14)로부터 반전된 신호 LH, HL은 XOR 게이트(16)에 공급된다. XOR(16)로부터 출력된 신호 XOR은 인버터(18)에 공급된다. 인버터(18)는 XOR 신호를 반전하여 MOSFET 트랜지스터 스위치(28)의 게이트에 신호 SAMPLE를 출력한다. 신호 SAMPLE은 SAMPLE 신호의 논리 레벨에 따라 스위치(28)를 ON 또는 OFF 로 턴시킨다. 인버터(18)의 출력은 또한 신호 DRIVE를 MOSFET 트랜지스터 스위치(30)의 게이트에 신호 DRIVE를 출력시키는 인버터(318)에 공급된다. 신호 DRIVE 는 DRIVE 신호의 논리 레벨에 따라 스위치(30)를 턴온 또는 턴오

프시킨다.

인버터(20)는 또한 입력 신호 S를 수신하여 반전된 신호 INN을 스위치(28)의 드레인에 출력시킨다. 스위치(28)의 소스는 인버터(22)의 입력단에 접속되어 신호 PREDICT를 인버터(22)에 공급한다. 인버터(22)의 출력단은 인버터(24)의 입력단 및 인버터(26)의 입력단과 접속되어 신호 PREDICT를 공급한다. 인버터(24)의 출력단은 인버터(22)의 입력단과 접속된다. 인버터(26)의 출력단 OUTD 은 스위치(30)의 드레인과 접속된다.

전원은 도 2에 도시된 모든 논리 장치에 의해 이용되고, 통상 'VDD'로 불리운다. VDD는 ESR 회로(10)의 제 1 실시예의 전원 전압이다. 인버터(12, 14) 이외의 ESR 회로(10)의 제 1 실시예에서의 모든 인버터는 거의 1/3배의 전원 전압 VDD 즉 (1/3)*VDD 및, 2/3배의 전원 전압 VDD 즉 (2/3)*VDD으로 허용된 논리 레벨을 갖는 통상의 CMOS 스위칭 점을 갖는다.

인버터(12)는 통상의 스위칭 레벨을 갖지 않는다. 일 실시예에서, 인버터(12)를 형성하는 CMOS 트랜지스터의 채널 폭은 0.3*VDD 정도의 ON/OFF 스위칭 점을 공급하기 위해 변경된다. 인버터(12)로의 입력 전압이 상기 저 스위칭 점 보다 낮은 경우, 인버터(12)는 논리 1을 출력하고, 인버터(12)로의 입력 전압이 저 스위칭 점 보다 높은 경우, 인버터(12)는 논리 0 을 출력한다.

마찬가지로, 인버터(14)는 통상의 CMOS 스위칭 레벨을 갖지 않는다. 인버터(14)를 형성하는 CMOS 트랜지스터의 채널 폭은 0.7*VDD 정도의 ON/OFF 스위칭 점을 공급하기 위해 변경된다. 인버터(14)로의 입력 전압이 상기 고 스위칭 점 보다 낮은 경우, 인버터(14)는 논리 1을 출력하고, 인버터(14)로의 입력 전압이 고 스위칭 점 보다 높은 경우, 인버터(14)는 논리 0을 출력한다.

본 발명의 ESR 회로(10)를 더 상세히 도시한 도 3을 참조하면, 각 인버터(12, 14)는 PMOS 트랜지스터(300, 304) 및 NMOS 트랜지스터(302, 306)를 각각 포함한다. 인버터(12, 14) 및 XOR(16)은 상이한 점에서 신호 S의 상승 및 하강 에지를 검출한다. 상승 및 하강 에지의 검출 시, 인버터(12)는 예컨대 0.3*VDD 의 저 스위칭 점을 갖도록 구성되고, 인버터(14)는 예컨대 0.7*VDD 정도의 고 스위칭 점을 갖도록 구성된다. 이것은 인버터(12, 14) 각각의 PMOS 트랜지스터(300, 304)와 NMOS 트랜지스터(302, 306)의 폭 비율에 맞게 게이트 길이를 조정함으로써 실현된다. 예들 들면, PMOS 트랜지스터(300, 304)의 게이트가 각 인버터(12, 14) 내의 NMOS 트랜지스터(302, 306)의 게이트 보다 넓다면, 논리 0에서 논리 1까지의 변이가 게이트 폭이 동일하게 형성된 것보다 빠르게 된다. PMOS 트랜지스터(300, 304)의 게이트가 각 NMOS 트랜지스터(302, 306)의 게이트 보다 좁다면, 논리 0에서 논리 1까지의 변이가 게이트 폭이 동일하게 형성된 것보다 느리게 된다.

인버터(12)는 NMOS 트랜지스터(302)의 게이트 폭의 6배인 게이트 폭을 갖는 PMOS 트랜지스터(300)를 갖도록 구성되어, 예컨대 0.3*VDD 정도의 논리 변이 스위칭 점을 얻을 수 있다. 인버터(14)는 NMOS 트랜지스터(306)의 게이트 폭의 2배인 게이트 폭을 갖는 PMOS 트랜지스터(304)를 갖도록 구성되어, 예컨대 0.7*VDD 정도의 논리 변이 스위칭 점을 얻을 수 있다. VDD는 5V, 3.3V 또는 이외의 적절한 전원 전압일 수 있다. ERS 회로(10)의 구성요소는 소정의 적절한 전원 전압으로 스케일화될 수 있다.

0.3*VDD 와 0.7*VDD 의 2가지 예의 스위칭 점은 CMOS 부하에 기초하여 선택된다. 그러나, 2개의 스위칭 점은 배선 루트의 단부에서의 부하의 스위칭 임계값에 대한 보상을 충분히 고려하면서 신호의 상승 및 하강 에지를 검출하도록 0과 VDD 사이의 어는 곳에서도 선택될 수 있다. 예를 들면, 0.2*VDD와 0.36*VDD 각각의 2개의 스위칭 점들은 TTL 논리를 갖는 ESR 회로를 이용할 때 선택될 수 있다.

동작 시, ESR 회로(10)는 2개의 모드, 즉 드라이브 모드 및 샘플 모드를 갖는다. 드라이브 모드는 전기 배선 루트(36)를 따라 확산하는 디지탈 신호 S의 상승 에지중 또는 디지탈 신호 S의 하강 에지중에 발생한다. 상승 에지는 논리 상태 0(로우)에서 논리 상태 1(하이)까지의 변이에 대응하고, 하강 에지는 논리 상태 1에서 논리 상태 0까지의 변이에 대응한다. 드라이브 모드는 논리 상태 사이의 변이중에 신호 S의 상승 또는 하강 시간을 감소시키기 때문에, 신호 S의 에지를 더 수직이 되도록 하여 신호 S의 에지를 개선시킬 수 있다. 샘플 모드는 ESR 회로(10)가 드라이브 모드에 있지 않을 때 발생하여, 얻어진 논리 레벨로부터의 변이중 신호 S의 다음 상태를 예측하기 위해 이용되는 전기 배선 루트(36)상의 디지탈 신호의 얻어진 논리 레벨을 샘플링한다. 샘플 모드에서, 신호 S는 아직 변이되지 않은, 즉 논리 상태 0 또는 논리 상태 1로 남아 있다.

도 4는 도 2에 도시된 ESR 회로의 제 1 실시예의 타이밍도를 도시한다. 전기 배선 루트(36)상에 확산하는 신호 S는 도 4의 파형 (a)로 표시된다. 신호 S는 간단화를 위해 선형 상승 및 하강 에지를 갖는 것으로 도시된다. 그러나, 신호 S의 상승 및 하강 에지는 실제로 비선형으로 지수적이다. 제 1 신호 에지(200)에서, 즉 신호 S가 논리 0에서 1로 변이하는 점에서, 인버터(12)(즉, 도 4의 파형(b)로 도시된 신호 LH)의 출력은 인버터(14)의 출력(즉, 도 4의 파형(c)에 도시된 신호 HL) 이전에 논리 상태를 스위치한다. 이것은 인버터(12, 14)의 상이한 스위칭 점 때문이다. 반대로, 제 2 신호 에지(202)에서, 즉 신호 S가 논리 1에서 논리 0으로 변이하는 점에서, 인버터(14)의 출력의 논리 상태는 인버터(12)의 출력의 논리 상태 이전에 스위치된다.

인버터(12) 및 인버터(14)의 상이한 스위칭 점 때문에, XOR(16)은 도 4의 파형 (d)에서의 신호 DRIVE로 도시된 바와 같이 인버터(12, 14)의 상이한 스위칭 점들 사이에서 펄스(204, 206)를 발생한다. 펄스(204, 206)의 폭은 인버터(12, 14)에 대하여 선택된 스위칭 점 및 시간 길이에 좌우되어, 인버터(12, 14)가 동일한 논리 상태에 도달하도록 한다.

인버터(12, 14)가 상이한 출력 논리 레벨을 갖는 상태에 있다면, 인버터(18)의 출력이 논리 0까지 드라이브되며, 인버터(318)의 출력은 논리 1까지 드라이브된다. 도 4의 파형 (e)에 도시된 신호 SAMPLE 의 펄스(204a, 206a)는 스위치(28)를 턴 오프시킨다. 도 4의 파형 (d)에 도시된 DRIVE 신호의 펄스(204,

206)는 스위치(30)를 턴온시켜 드라이브시키기 때문에, 인버터(26)로부터 스위치(30)를 통과하는 신호 S의 예측 논리 레벨을 개선시켜서 전기 배선 루트(36)로 돌아간다.

인버터(12, 14)가 도 4의 파형 (b), (c)에 도시된 점(208)에서 동일한 출력 논리 레벨을 갖는다면, 인버터(18)의 출력은 논리 1까지 드라이브되며, 인버터(318)의 출력은 논리 0까지 드라이브되어, 스위치(28)를 턴온시키고 스위치(30)를 턴오프시킨다. 이로서 인버터(22, 24)로 형성된 저항 내에 인버터(20)로부터 출력된 신호 S의 컴플리먼트(complement) 신호를 저장시킨다. 인버터(26)는 또한 신호 S의 컴플리먼트 값을 저장하고, 저장된 신호의 드라이브를 증가시켜 신호 S의 다음 논리 상태를 예측한다. 인버터(26)로부터 출력된 컴플리먼트 논리 레벨은 전기 배선 루트(36)로 다시 드라이브되어 드라이브 모드중에 스위치(30)가 턴온될 때 신호 S를 개선시킨다.

도 5는 도 10a에 도시된 종래의 회로의 결과와 도 1의 회로의 결과를 비교한 SPICE 조정 결과를 도시한다. 도 5에서, 신호 X(점선)는 도 1의 회로를 이용한 결과에 대응하고, 신호 Y(실선)는 본 발명이 아닌, 즉 도 10a에 도시된 바와 같은 종래의 신호에 대응한다. 본 발명의 신호 X는 신호 Y보다 더 날카로운 에지를 갖는다. 신호 X는 또한 감소된 상승/하강 시간 및, 신호 Y보다 짧은 확산 시간을 갖는다.

ESR 회로(10)는 신호의 에지, 즉 도 5에 도시된 바와 같이 선택된 스위칭 점 T1과 T2 사이에 신호 S의 변이를 검출하여 예측된 다음 신호를 드라이브한다. 도시된 바와 같이 스위칭 점(T1, T2)은 각각 $0.3^{*}VDD$ 정도 및 $0.7^{*}VDD$ 정도로 설정된다. 현재의 논리 상태가 논리 0 이면, 변이는 논리 1 의 예측된 다음 논리 상태가 된다. 현재의 논리 상태가 1 이면, 변이는 논리 0 의 예측된 다음 논리 상태가 된다. 본 발명은 공지된 논리 상태로부터 변이의 발생을 검출하고, 변이점 T1 과 T2 사이의 변이 영역에서 다음 레벨까지의 변이중 신호 S상에 예측된 다음 상태를 드라이브함으로서 신호 S를 더 빨리 다음 논리 상태까지 드라이브하여, 신호 S의 에지를 개선시킨다.

도 5에 도시된 바를 통해 알 수 있듯이, 신호 S는 신호 S의 상승 또는 하강 에지가 검출됨과 거의 동시에 다음 상태까지 드라이브된다. 이것은 변이점 T1 과 T2 사이의 변이 영역에서 발생한다. 도 5에 도시된 바를 통해 알 수 있듯이, $0.3^{*}VDD$ 및 $0.7^{*}VDD$ 의 선택된 스위칭 점을 갖는 제 1 실시예의 ESR 회로(10)는 약 2V에서 신호 S의 다음 상태를 드라이브하고, 약 1.5V에서 에지를 검출한다. 신호 S의 다음 상태를 드라이브하기 위한 신호 S의 상승 또는 하강 에지의 검출에 따른 지연은 약 0.5nsec 로 조정된다. 상기 약간의 지연은 ESR 회로(10)의 인버터를 통과하는 확산 시간에 기인한다.

ESR 회로(10)가 다음 상태의 드라이브를 정지하면, 그 출력은 드라이버를 부하로부터 분리시킨 고 임피던스 상태로 진행한다. 도 5는 거의 4.1V에서 다음 상태의 드라이브를 중단함을 도시한다. 그러나, 상기 레벨은 변동할 수 있다. 예를 들면, ESR 회로(10)는 신호 S가 VDD 만큼 높게(또는 0V 만큼 낮게) 도달할 때가지 드라이브하도록 구성된다. 다음 상태가 드라이브되는 점은 부하의 특성에 따라 부하를 신속하게 스위치할 목적으로 선택된다.

도 3을 참조하면, 인버터(12, 14)의 스위칭 점이 종래의 CMOS 인버터의 스위칭 점으로부터 변경되었기 때문에, 그 드라이브 능력이 감소된다. 따라서, 인버터(308, 310)는 인버터(12, 14)에 각각 이어져 반전된 신호 LH 및 HL 의 드라이브 능력을 증가시켜서 XOR(16)을 드라이브하기에 충분한 전력을 얻을 수 있다. 인버터(308)는 PMOS 트랜지스터(320) 및 NMOS 트랜지스터(322)를 포함하며, 인버터(310)는 PMOS 트랜지스터(324) 및 NMOS 트랜지스터(326)를 포함한다. 인버터(308, 310)의 스위칭 또는 변이점은 종래의 CMOS 레벨에 따라 거의 동일하다. 인버터(308, 310)는 인버터(12, 14)로부터의 신호를 반전시키지만, 이것은 궁극적으로 XOR(16)의 논리 함수로 인해 어떠한 영향도 주지 않는다.

XOR(16)는 통상의 구성에서 6개의 MOS 트랜지스터(348, 350, 352, 354, 356, 358)를 포함한다. 통상의 임계 장치를 이용한 통상의 구성에서, 인버터(18)는 PMOS 트랜지스터(340) 및 NMOS 트랜지스터(342)를 포함하며, 인버터(318)는 PMOS 트랜지스터(344) 및 NMOS 트랜지스터(346)를 포함하고, 인버터(20)는 PMOS 트랜지스터(360) 및 NMOS 트랜지스터(362)를 포함하고, 인버터(22)는 PMOS 트랜지스터(364) 및 NMOS 트랜지스터(366)를 포함하고, 인버터(24)는 PMOS 트랜지스터(368) 및 NMOS 트랜지스터(370)를 포함하고, 인버터(26)는 PMOS 트랜지스터(372) 및 NMOS 트랜지스터(374)를 포함한다.

또한, 스위치(28)는 어떠한 실질적인 열화 없이 논리 1 신호를 통과시키기 위한 PMOS 트랜지스터(380) 및 어떠한 실질적인 열화 없이 논리 0 신호를 통과시키기 위한 NMOS 트랜지스터(382)를 포함한다. 스위치(30)는 어떠한 실질적인 열화 없이 논리 1 신호를 통과시키기 위한 PMOS 트랜지스터(376) 및 어떠한 실질적인 열화 없이 논리 0 신호를 통과시키기 위한 NMOS 트랜지스터(378)를 포함한다. NMOS 트랜지스터는 논리 1 신호를 통과시키기 위한 고저항 및 논리 0 신호를 통과시키기 위한 저저항을 갖는다. PMOS 트랜지스터는 논리 0 신호를 통과시키기 위한 고저항 및 논리 1 신호를 통과시키기 위한 저저항을 갖는다.

XOR 게이트(16) 이후에는 인버터(312, 314, 316)가 인버터(18) 및 인버터(318)로 타이밍을 밸런스한다. 인버터(18)를 통과하는 신호 확산 시간은 인버터(312, 314)를 통과하는 신호 확산 시간과 동일하다. 따라서, 신호 SAMPLEN 은 신호 SAMPLE 와 동시에 논리 상태를 스위치한다. 예를 들면, 신호 SAMPLE 는 신호 SAMPLEN 이 논리 1 에서 논리 0 으로 변이함과 동시에 논리 0 에서 논리 1 로 변이한다. 신호 SAMPLEN 은 신호 SAMPLE 의 컴플리먼트이다. 마찬가지로, 신호 DRIVEN 은 신호 DRIVE 의 컴플리먼트이고, 신호 DRIVEN 은 신호 DRIVE 와 동시에 논리 상태를 스위치한다. 또한, 신호 DRIVE 는 스위치(28)가 스위치(30) 전에 스위칭되도록 신호 SAMPLE 후에 논리 상태를 스위치한다. 따라서, 데이터가 우선 클럭된 후 드라이브된다. 따라서, 인버터(312, 314, 316)는 스위치(28, 30)의 타이밍을 제어하고, 또한 신호 SAMPLE 및 DRIVE 의 드라이브 능력을 증가시킨다.

도 6은 지연 T=10nsec를 나타내는 신호 S 에 응답하는 ESR 회로(10)의 실제 타이밍도이다. 파형 (a)에서의 VCLK 는 도 2의 노드(40)에서의 입력 방형파 신호 S의 전압을 예시한다. 입력 방형파 신호 S 는 12MHZ 의 주파수를 갖는다. 파형 (b)에서의 VLH 는 도 2 및 도 3에 도시된 신호 LH의 전압을 도시하고,

파형 (c)에서의 VHL 은 도 2 및 도 3에 도시된 신호 HL 의 전압을 도시하며, 파형 (d)에서의 VXOR 은 도 2 및 도 3 에 도시된 신호 XOR 의 전압을 도시한다. 파형 (e)에서의 VDRIVE 는 파형(d)에서의 VXOR 로부터의 약간의 지연을 갖으며, 도 2 및 도 3 에서의 신호 DRIVE 에 대응한다. 파형 (f)에서의 VSAMPLE 는 도 2 및 도 3 에서의 신호 SAMPLE 에 대응한다. 파형 (g)에서의 VOUTD 는 도 2 및 도 3 에서의 신호 OUTD 의 예측된 논리 상태이다.

도 7은 ESR 회로(10)의 제 2 실시예를 도시한다. 본 실시예에서, 에지 검출기(100)는 신호 S 의 변이 주기 또는 에지를 검출하기 위해 이용되는 2개의 비교기(108, 110)를 포함한다. 에지 검출기(100)는 또한 XOR 게이트(16)를 포함한다. 이 경우, 각 비교기(108, 110)는 기준 전압 입력 VBIAS_HI, VBIAS_LO 의 바이어스 레벨을 적용함으로써 상이한 스위칭 점으로 설정된다. CMOS 부하를 가정하면, 비교기(108)에 입력된 전압 기준 VBIAS_HI 은 고 스위칭 점, 예컨대 0.7*VDD와 동일한 전압 레벨로 설정되고, 비교기(110)에 입력된 전압 기준 VBIAS_LO 는 저 스위칭 점, 예컨대 0.3*VDD 과 동일한 전압 레벨로 설정된다. 드라이버(102)는 도 2에 도시 및 설명된 바와 동일한 구성요소를 갖는다.

도 8은 ESR 회로(10)의 제 3 실시예를 도시한다. 본 실시예에서, 에지 검출기(100)는 신호 S의 에지를 검출하기 위한 미분기(117) 및 비교기(112)를 포함한다. 에지 검출기(100)는 미분기(117) 및 비교기(112)를 포함한다. 미분기(117)는 비교기(118), 제 1 스위치(114) 및 제 2 스위치(116)를 포함한다. 이 경우, 에지 검출기(100)에는 스위칭 점이 없다. 대신에, 미분기(117) 및 비교기(112)는 신호 S 의 변이를 검출하기 위해 함께 동작한다. 신호 S 가 변이할 때, 비교기(118)는 노드(120)에서 신호(스파이크)를 발생한다. 상기 스파이크 신호는 스위치(114)를 트리거하여 닫아서, 전압이 비교기(112)에 입력되도록 한다. 비교기(112)에 입력되는 전압이 접지(즉, 0 볼트)보다 클 때, DRIVE 신호를 활성화시키고 SAMPLE 신호를 비활성화시키기 위해 활성 EDGE 신호를 발생한다. 변이가 감지된 후, 스위치(116)는 캐패시터(118)를 리셋하기 위해 닫힌다. 스위치(114)는 신호 S 가 변화하지 않을 때, 개방되고, EDGE 신호는 비교기(112)에 의해 발생되지 않는다. 드라이버(102)는 도 2에 도시된 것과 동일한 구성요소를 갖는다.

드라이버 및 부하에 관련한 ESR 회로(10)의 배치는 전기 배선 루트(36)를 따라 확산하는 신호 S의 RC 확산 지연에 영향을 준다. 도 9a는 ESR 회로(10) 없이 배선 루트를 따라 확산하는 신호를 도시한다. 신호원(900)에서 부하(902)까지의 거리 L에 따라 부하에 의해 나타나는 지연은 RC 이다. 도 9b는 ESR 회로(10)와 함께 배선 루트를 따라 확산하는 신호 S를 도시한다. 드라이버로부터 부하까지의 거리 L 에 따라 드라이버(900)와 부하(902) 사이의 중간에 ESR 회로(10)를 배치하여, 이에 따른 ESR 회로(10)의 지연을 감소시킨다. 따라서, 도 9b에 도시된 바와 같이, 부하(902)에 의해 나타나는 확산 지연은 R/2*C/2 = RC/4 이다.

발명의 효과

ESR 회로(10)는 작고, 분리된 배선 루트를 필요로 하지 않으며, 정적 전력을 낭비하지 않는다. ESR 회로(10)는 실질적으로 열화의 문제점이 있는 어떠한 디지탈 신호에 대해서도 이용될 수 있다. 예를 들면, ESR 회로(10)는 연합 테스트 액션 그룹(JTAG) 바운더리 스캔 칩에서 이용되어 관련된 시간 지연을 감소할 수 있다. 또한, ESR 회로(10)는 크게 로딩된 클럭상에 클럭 왜곡(skew)을 줄이기 위해 이용된다. ESR 회로(10)는 또한 버스 조정 데이터 전송에 의해 이용되는 핸드쉐이킹 신호에 의해 나타나는 RC 확산 지연을 감소하기 위해 이용된다.

본 발명은 예시된 양호한 실시예를 참조하여 설명되지만, 당업자가 본 발명의 범주를 이탈하지 않는 범위 내에서 설명된 본 발명의 실시예의 여러 가지 변형을 시도할 수 있다.

(57) 청구의 범위

청구항 1

에지 신호 회복 회로로서,

전기 배선 루트의 하나의 전기 노드에서 입력 신호의 에지를 검출하여 검출된 신호를 출력하는 제 1 회로와,

상기 제 1 회로가 상기 입력 신호의 상기 에지를 검출함과 거의 동시에 상기 검출 신호에 응답하여 상기 하나의 전기 노드로 돌아가는 상기 입력 신호의 다음 상태 신호를 드라이브하는 제 2 회로를 포함하는 에지 신호 회복 회로.

청구항 2

제 1 항에 있어서, 상기 에지 신호 회복 회로는 상기 전기 배선 루트의 분리되지 않은 부분과 접속되는 에지 신호 회복 회로.

청구항 3

제 1 항에 있어서, 상기 제 1 회로는,

제 1 스위칭 점을 갖는 제 1 구성요소 및,

상기 제 1 스위칭 점과는 상이한 제 2 스위칭 점을 갖는 제 2 구성요소를 포함하며,

상기 제 1 스위칭 점 및 상기 제 2 스위칭 점은 2개의 상이한 점에서 상기 입력 신호의 상기 에지를 검출하는 에지 신호 회복 회로.

청구항 4

제 3 항에 있어서, 상기 제 1 구성요소 및 상기 제 2 구성요소는 각각 인버터인 에지 신호 회복 회로.

청구항 5

제 3 항에 있어서, 상기 제 1 스위칭 점은 상기 에지 신호 회복 회로의 전원 전압의 약 0.3 배이고, 상기 제 2 스위칭 점은 상기 전원 전압의 약 0.7 배인 에지 신호 회복 회로.

청구항 6

제 3 항에 있어서, 상기 제 1 회로는,

상기 검출 신호를 상기 입력 신호의 상기 에지 동안의 펄스로서 발생하도록 상기 제 1 및 제 2 구성요소와 결합된 XOR 게이트를 더 포함하며,

상기 펄스의 폭은 상기 제 1 스위칭 점과 상기 제 2 스위칭 점에 좌우되는 에지 신호 회복 회로.

청구항 7

제 1 항에 있어서, 상기 제 2 회로는 상기 입력 신호를 샘플하고, 상기 입력 신호를 컴플리먼트하여, 상기 입력 신호의 상기 다음 상태 신호를 발생하는 에지 신호 회복 회로.

청구항 8

제 7 항에 있어서, 상기 제 2 회로는 상기 컴플리먼트된 입력 신호를 래치하는 에지 신호 회복 회로.

청구항 9

제 3 항에 있어서, 상기 제 2 회로는 상기 제 1 스위칭 점과 상기 제 2 스위칭 점 사이의 변이 영역에서만 상기 입력 신호의 상기 다음 상태 신호를 드라이브하는 에지 신호 회복 회로.

청구항 10

제 3 항에 있어서, 상기 제 1 구성요소 및 제 2 구성요소는 각각 비교기인 에지 신호 회복 회로.

청구항 11

제 1 항에 있어서, 상기 제 1 회로는 미분기 및 비교기를 포함하는 에지 신호 회복 회로.

청구항 12

에지 신호 회복 회로로서,

입력 신호의 현재 상태를 샘플링 및 컴플리먼트하여 상기 입력 신호의 다음 상태 신호를 발생하는 샘플러 및,

상기 입력 신호의 상승 에지 및 하강 에지중 적어도 하나를 검출하며, 이와 거의 동시에 상기 입력 신호상에 돌아오는 상기 발생된 다음 상태 신호를 드라이브하는 드라이버를 포함한 에지 신호 회복 회로.

청구항 13

제 12 항에 있어서, 상기 에지 신호 회복 회로는 분리되지 않은 전기 배선 루트의 하나의 전기 노드에만 접속되는 에지 신호 회복 회로.

청구항 14

제 12 항에 있어서, 상기 드라이버는 제 1 스위칭 점 및 상기 제 1 스위칭 점과 상이한 제 2 스위칭 점을 구비하여 상기 입력 신호의 상기 상승 에지 및 상기 하강 에지중 적어도 하나를 검출하는 에지 신호 회복 회로.

청구항 15

제 14 항에 있어서, 상기 제 1 스위칭 점은 상기 에지 신호 회복 회로의 전원 전압의 약 0.3 배이며, 상기 제 2 스위칭 점은 상기 전원 전압의 약 0.7 배인 에지 신호 회복 회로.

청구항 16

제 12 항에 있어서, 상기 드라이버는 상기 제 1 스위칭 점과 상기 제 2 스위칭 점 사이에 도달하는 상기 입력 신호의 변이 영역에서만 상기 발생된 다음 상태를 드라이브하는 에지 신호 회복 회로.

청구항 17

신호의 에지를 개선하는 방법으로서,

현재 상태와 다음 상태 사이의 입력 신호의 변이 영역을 검출하는 단계 및,

실질적으로 상기 신호가 상기 변이 영역을 통과할 때만 상기 입력 신호상에 돌아오는 다음 상태의 신호를 드라이브하는 단계를 포함하는 신호의 에지 개선 방법.

청구항 18

제 17 항에 있어서, 상기 드라이브 단계는,

상기 입력 신호의 상기 변이 영역을 검출함과 거의 동시에 상기 입력 신호상에 상기 다음 상태를 드라이브하는 단계를 포함하는 신호의 에지 개선 방법.

청구항 19

제 17 항에 있어서, 상기 검출 단계는,

상기 입력 신호를 적어도 2개의 상이한 스위칭 점에서 검출하는 단계를 포함하는 신호의 에지 개선 방법.

청구항 20

제 19 항에 있어서, 상기 검출 단계는, 상기 적어도 2개의 상이한 스위칭 점중 하나를 전원 전압의 약 0.3 배로 설정하는 단계를 포함하는 신호의 에지 개선 방법.

청구항 21

제 19 항에 있어서, 상기 검출 단계는, 상기 적어도 2개의 상이한 스위칭 점중 하나를 전원 전압의 약 0.7 배로 설정하는 단계를 포함하는 신호의 에지 개선 방법.

청구항 22

에지 신호 회복 회로로서,

제 1 전압 레벨을 통해 입력 신호의 변이를 검출하는 제 1 검출기와,

상기 제 1 전압 레벨과 상이한 제 2 전압 레벨을 통해 상기 입력 신호의 변이를 검출하는 제 2 검출기 및,

상기 입력 신호상에 돌아오는 상기 입력 신호의 다음 논리 상태를 드라이브하는 드라이버를 포함하는 에지 신호 회복 회로.

청구항 23

제 22 항에 있어서, 상기 드라이버는 실질적으로 상기 제 1 검출기에 의한 상기 입력 신호의 상기 변이의 검출과 상기 제 2 검출기에 의한 상기 입력 신호의 검출 사이의 기간 동안에만 상기 다음 논리 상태를 드라이브하는 에지 신호 회복 회로.

청구항 24

에지 신호 회복 회로로서,

제 1 논리 상태로부터 제 2 논리 상태까지의 입력 신호의 변이를 검출하는 수단과,

상기 입력 신호의 다음 상태를 예측하는 수단 및,

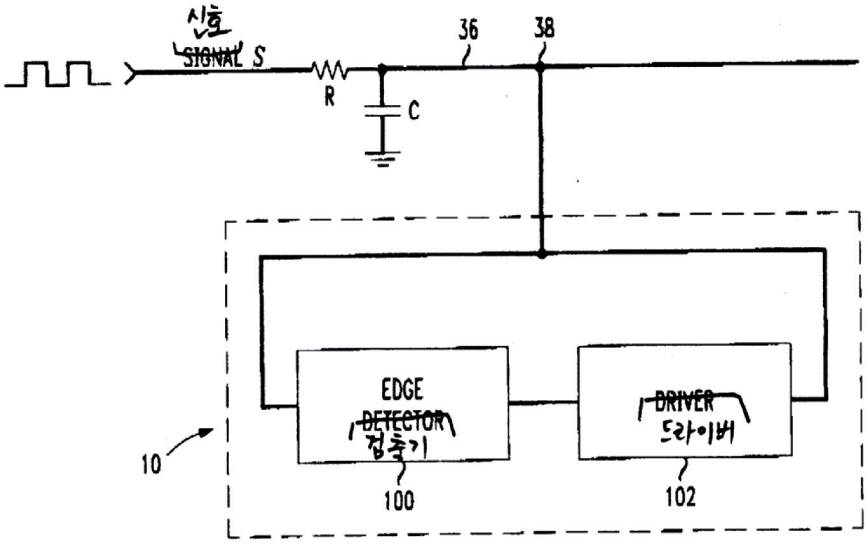
상기 입력 신호가 실질적으로 상기 제 1 논리 상태와 상기 제 2 논리 상태 사이에 변이하는 기간 동안만 상기 입력 신호상에 돌아오는 다음 상태 신호를 드라이브하는 수단을 포함하는 에지 신호 회복 회로.

청구항 25

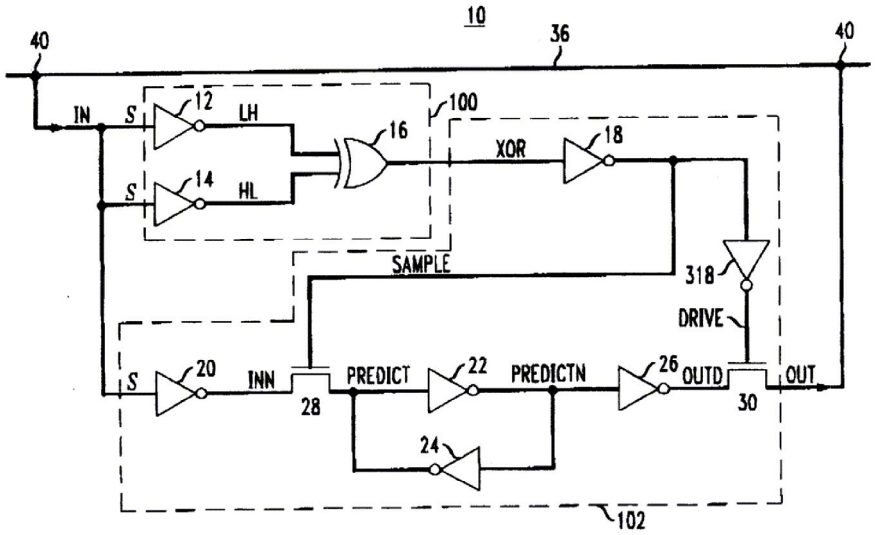
제 24 항에 있어서, 상기 입력 신호가 변이하는 상기 기간은, 상기 입력 신호가 상기 에지 회복 회로의 전원 전압의 약 0.3 배인 제 1 시점 및, 상기 입력 신호가 상기 전원 전압의 약 0.7 배인 제 2 시점에 의해 규정되는 에지 신호 회복 회로.

도면

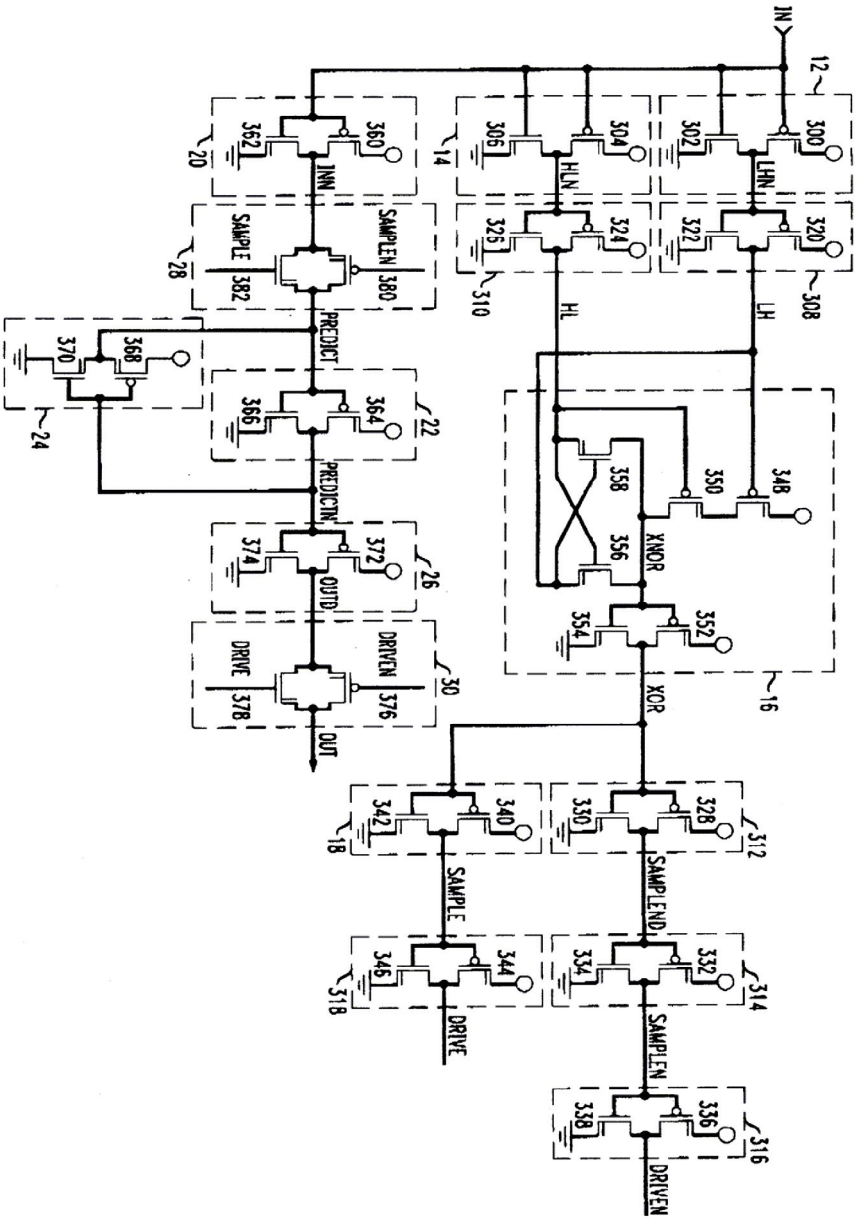
도면1


신호
SIGNAL S
R
C
36
38
EDGE
DETECTOR
검출기
DRIVER
드라이버
10
100
102

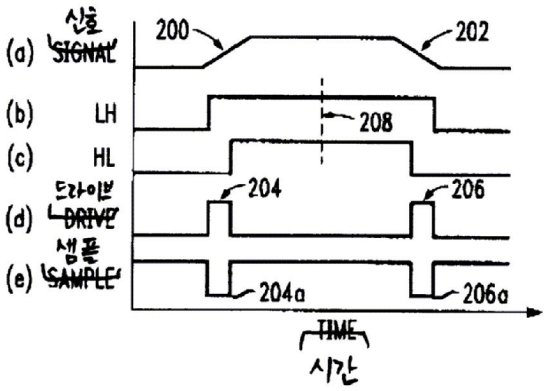
도면2


10
40
36
40
IN
S
12
LH
16
100
XOR
18
S
14
HL
SAMPLE
318
DRIVE
S
20
INN
28
PREDICT
22
PREDICTN
26
OUTD
30
OUT
24
102

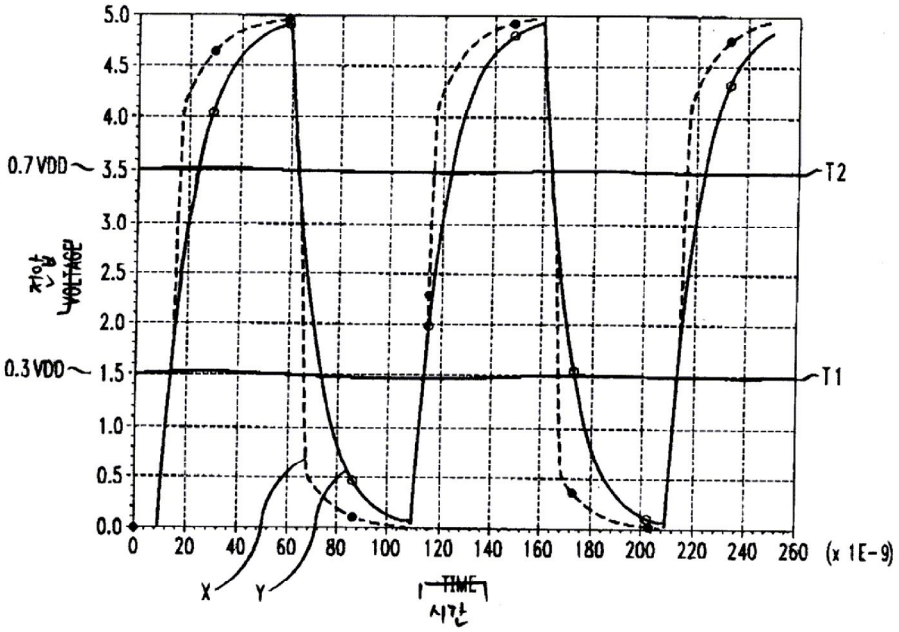
도면3


IN
12
300
302
304
306
LHN
HLN
320
322
324
325
LH
HL
308
310
14
16
348
350
352
354
356
358
XNOR
XOR
20
360
362
INN
SAMPLE
SAMPLEN
380
382
28
PREDICT
22
364
366
24
368
370
PREDICTN
26
372
374
OUTD
30
DRIVEN
376
DRIVE
378
OUT
312
328
330
340
342
18
SAMPLE
SAMPLEND
314
332
334
344
346
318
DRIVE
316
336
338
SAMPLEN
DRIVEN

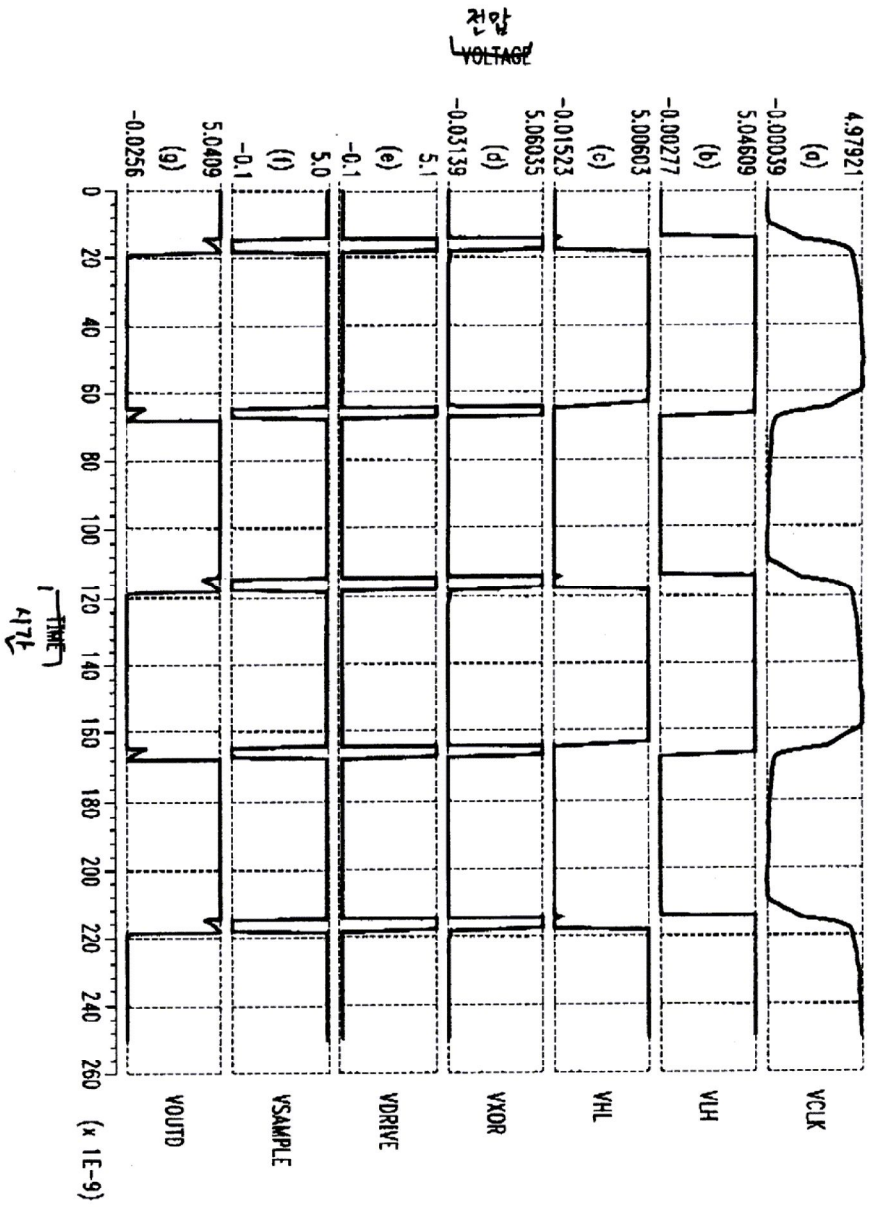
도면4


(a) 신호 SIGNAL
(b) LH
(c) HL
(d) 드라이브 DRIVE
(e) 샘플 SAMPLE
200
202
208
204
206
204a
206a
TIME
시간

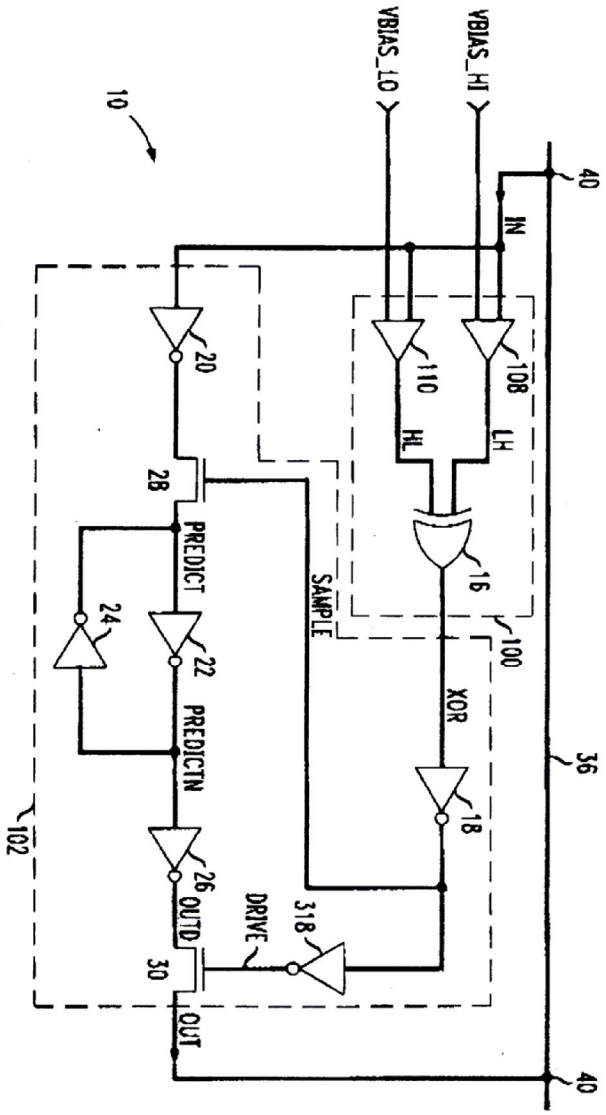
도면5


5.0
4.5
4.0
0.7VDD
3.5
T2
3.0
2.5
2.0
0.3VDD
1.5
T1
1.0
0.5
0.0
0
20
40
60
80
100
120
140
160
180
200
220
240
260
(x 1E-9)
X
Y
TIME
시간

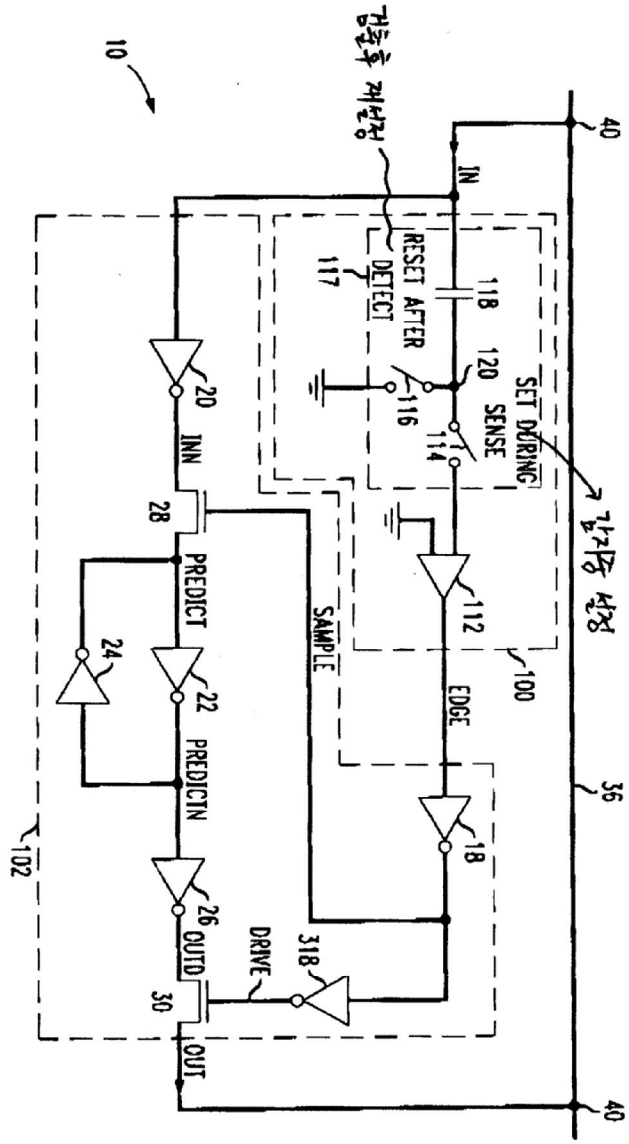
도면6


전압
VOLTAGE
4.97921
-0.00039
5.04609
-0.00277
5.00603
-0.01523
5.06035
-0.03139
5.1
-0.1
5.0
-0.1
5.0409
-0.0256
(a)
(b)
(c)
(d)
(e)
(f)
(g)
VCLK
VLH
VHL
VXOR
VDRIVE
VSAMPLE
VOUTD
0
20
40
60
80
100
120
140
160
180
200
220
240
260
(x 1E-9)
TIME
시간

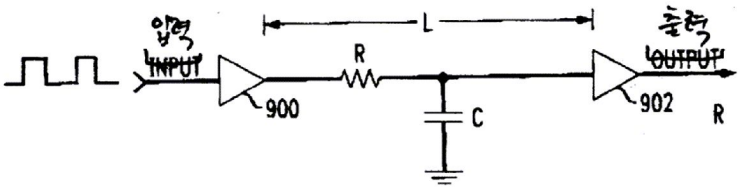
도면7


10
VBIAS_LO
VBIAS_HI
40
IN
20
110
108
HL
LH
2B
16
PREDICT
SAMPLE
100
24
22
XOR
PREDICTN
36
18
102
26
DRIVE
318
OUTD
30
OUT
40

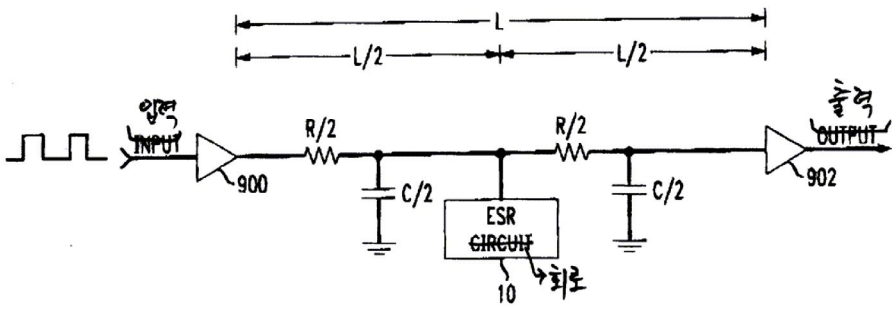
도면8


10
IN
40
RESET AFTER
DETECT
117
118
120
SET DURING
SENSE
116
114
20
INN
28
PREDICT
24
22
PREDICTN
26
OUTD
30
OUT
SAMPLE
112
100
EDGE
18
36
102
DRIVE
318

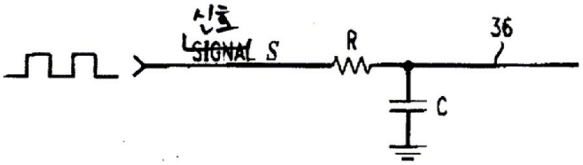
도면9a


L
INPUT
R
OUTPUT
900
C
902
R

도면9b



도면10a



도면10b

