

【發明說明書】

【中文發明名稱】

用於鐵電記憶體單元感測之偏移補償

【英文發明名稱】

OFFSET COMPENSATION FOR FERROELECTRIC MEMORY
CELL SENSING

【技術領域】

【先前技術】

下文大體上係關於記憶體裝置且更具體言之係關於用於鐵電記憶體單元感測之偏移補償。

記憶體裝置廣泛用於將資訊儲存於各種電子裝置中，諸如電腦、無線通信裝置、攝影機、數位顯示器及類似物。藉由程式化一記憶體裝置之不同狀態而儲存資訊。例如，二進位裝置具有兩個狀態，其等通常藉由一邏輯「1」或一邏輯「0」表示。在其他系統中，可儲存兩個以上狀態。為存取所儲存之資訊，電子裝置可讀取(或感測)記憶體裝置中之儲存狀態。為儲存資訊，電子裝置可將狀態寫入(或程式化)於記憶體裝置中。

存在多個類型之記憶體裝置，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態RAM (DRAM)、同步動態RAM (SDRAM)、鐵電RAM (FeRAM)、磁性RAM (MRAM)、電阻式RAM (RRAM)、快閃記憶體等等。記憶體裝置可係揮發性或非揮發性。非揮發性記憶體(例如，快閃記憶體)可甚至在不存在一外部電源的情況下儲存資料達延長時段。揮發性記憶體裝置(例如，DRAM)可隨時間丟失其等儲存狀態，除非其等藉由一外部電源週期性刷新。一二進位記憶體裝置可(例如)包含一充電或放電電

容器。一充電電容器可隨時間變得透過洩漏電流放電，導致儲存資訊之丟失。揮發性記憶體之特定特徵可提供效能優勢，諸如更快之讀取或寫入速度，而非揮發性記憶體之特徵(諸如在無週期性刷新的情況下儲存資料之能力)可係有利的。

FeRAM可使用類似於揮發性記憶體之裝置架構，但可歸因於使用一鐵電電容器作為一儲存裝置而具有非揮發性性質。因此，相較於其他非揮發性及揮發性記憶體裝置，**FeRAM**裝置可具有改良效能。然而，一些**FeRAM**感測方案可在判定經儲存邏輯狀態時僅提取鐵電電容器之儲存電荷之一部分。此可降低感測操作之可靠性或可限制原本可實現之記憶體單元(或陣列)大小減小。

【發明內容】

【圖式簡單說明】

參考下列圖描述本發明之實施例：

圖1繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性記憶體陣列；

圖2繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一記憶體單元之一例示性電路；

圖3繪示根據本發明之各種實施例之一鐵電記憶體單元之操作之例示性磁滯曲線；

圖4繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性電路；

圖5繪示用於操作在記憶體單元感測期間不具有偏移補償之一鐵電記憶體單元之一時序圖；

圖6繪示根據本發明之各種實施例之用於操作在記憶體單元感測期間支援偏移補償之一鐵電記憶體單元之一時序圖；

圖7繪示根據本發明之各種實施例之在記憶體單元感測期間支援偏移補償之一例示性鐵電記憶體陣列；

圖8繪示根據本發明之各種實施例之包含在記憶體單元感測期間支援偏移補償之一記憶體陣列之一裝置；及

圖9至圖11係繪示根據本發明之各種實施例之用於在記憶體單元感測期間之偏移補償之一或若干方法之流程圖。

【實施方式】

交叉參考

本專利申請案主張2016年3月11日申請之Vimercati之標題為「Offset Compensation for Ferroelectric Memory Cell Sensing」之美國專利申請案第15/067,838號之優先權，該案讓渡給其受讓人。

可使用補償一電晶體偏移電壓之一感測方案來實現記憶體單元之增大感測可靠性。例如，一電晶體或其他切換組件可用於將一記憶體陣列之一數位線連接至用於感測(即，讀取)儲存於一記憶體單元中之一邏輯值之一感測放大器。當被啟動時，電晶體可在記憶體單元感測期間使數位線虛擬地接地。如下文描述，數位線接地可促進從一記憶體單元之全電荷提取，此繼而可增大感測操作之可靠性。然而，電晶體臨限電壓之變動可影響自記憶體單元之電荷轉移，此可導致感測期間之數位線電壓增大。即，電晶體之變動可引起數位線電壓增大或可引起在一讀取操作期間跨電晶體之一電壓降。此可降低用於判定記憶體單元之經儲存邏輯狀態之信號強度，因此降低感測可靠性。

一記憶體陣列內之記憶體單元(包含**FeRAM**單元)通常藉由一字線及一數位線存取。一單一數位線可連接許多記憶體單元且可經連接至一感測放大器，該放大器在被啟動時可判定一記憶體單元之經儲存邏輯狀態。為促進全電荷提取且因此增大用於感測操作之信號強度，可在一感測操作期間將一數位線接地且可與用於一感測或讀取操作之一感測電容器(即，一電容器，其可係一感測放大器之一特徵)共用一鐵電電容器之全電荷。

其中數位線接地且採用一感測電容器之一感測方案與依靠或經受數位線之固有電容來感測儲存於記憶體單元中之一狀態之**FeRAM**感測方案相反。在依靠用於感測之一數位線之方案中，當存取記憶體單元時，記憶體單元與數位線之間共用的電荷可引起在數位線上產生一電壓。經轉移至數位線之電荷量及因此最終數位線電壓可取決於記憶體單元之經儲存邏輯狀態。數位線之電壓可有效地減小用於感測鐵電記憶體單元之經儲存邏輯之電荷量。但防止數位線在讀取操作期間產生一非零電壓之一感測方案可容許從鐵電記憶體單元提取所有或實質上所有經儲存電荷。此可增大感測窗，因為所提取電荷之增大可如下文描述般導致感測放大器之一更高信號。

數位線可藉由啟動與數位線電子連通之一切換組件而在感測期間虛擬接地。切換組件(亦被稱為一切換裝置)可係一電晶體，諸如一

型場效電晶體(FET)，其可藉由施加等於其臨限電壓之一電壓而啟動。電晶體臨限電壓可(例如)歸因於電晶體尺寸、材料性質或製造之變動而變化。因此，不同電晶體可對相同的施加電壓作出不同的反應。例如，施加至一給定電晶體之電壓可不足以啟動電晶體。若電晶體經連接至一數位線，則足夠或適時啟動電晶體之一故障可引起數位線之電壓增大，直至電晶體啟

動，因此減小從記憶體單元提取之總電荷及感測窗。

隨著電子組件(諸如電晶體)之大小持續減小且製造挑戰因此增大，臨限電壓偏移可愈加限制記憶體陣列之效能。即，電晶體性質(包含電壓偏移)之變動可在相對小於前代類似組件之組件中更明顯。在一些情況中，一記憶體陣列之設計或操作可取決於臨限電壓之最大變動。例如，最大適應偏移可指示最小可能的電晶體大小，或用於控制電路操作之電壓可經選擇以適應陣列之最大偏移。因此，臨限電壓偏移(亦被稱為臨限偏移)可降低記憶體陣列效能或可限制與記憶體陣列之較小組件相關聯之潛在成本節省，或兩者。

如本文揭示，可補償或取消經連接至數位線之電晶體之一臨限電壓之偏移。電晶體可經連接至可放電之一偏移電容器，從而導致一臨限電壓施加至電晶體。以其臨限電壓操作電晶體可在感測期間使數位線虛擬接地，且可實現從記憶體單元之完全或幾乎完全電荷提取。提取之電荷可經轉移至可用於判定記憶體單元之儲存邏輯狀態之一感測電容器。另外，偏移補償可實現組件大小之進一步縮小，從而導致記憶體單元密度增大且製造成本減小。

在一些情況中，一單一導電元件(諸如一共同信號線)可啟動一個以上電晶體，且可補償各電晶體之偏移。例如，兩個電晶體之各者可與一偏移電容器電子連通，且一共同信號線可將各電容器充電及放電以便啟動兩個電晶體。因此，施加至信號線之一單一電壓可導致施加一臨限電壓至各電晶體，即使其等臨限電壓不同。此在產生一參考信號以判定記憶體單元之經儲存邏輯狀態時可係有益的。例如，可藉由操作一參考組件而產生一參考信號。參考信號可取決於按其臨限電壓操作一第二切換組件(諸如一第

二p型FET)，其中藉由一共同信號線操作兩個FET。若未校正第二偏移，則參考信號之強度可降低，且因此可降低用於感測之邊限，即，參考信號與記憶體單元信號之間的差。

下文在一記憶體陣列之內容背景中進一步描述上文引入之本發明之實施例。接著，針對在感測一記憶體單元時支援偏移補償以使一數位線虛擬接地之一電路描述特定實例。亦呈現電路之一例示性時序圖。本發明之此等及其他實施例藉由與用於鐵電記憶體單元感測之偏移補償(包含補償)相關之設備圖、系統圖及流程圖進一步繪示且參考其等描述。

圖1繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性記憶體陣列100。記憶體陣列100亦可被稱為一電子記憶體設備。記憶體陣列100包含可程式化以儲存不同狀態(例如，表示邏輯0及邏輯1之兩個狀態)之記憶體單元105。在一些情況中，記憶體單元105經組態以儲存兩個以上邏輯狀態。一記憶體單元105可包含一電容器來儲存表示可程式化狀態之一電荷；例如，一充電及未充電電容器可表示兩個邏輯狀態。DRAM架構通常可使用此一設計，且所採用之電容器可包含具有線性電性極化性質之一介電材料。相比而言，一鐵電記憶體單元可包含具有作為介電材料之一鐵電體之一電容器。一鐵電電容器之電荷之不同位準可表示不同邏輯狀態。鐵電材料具有非線性極化性質且在下文論述一鐵電記憶體單元105之一些細節及優勢。

可藉由啟動或選擇適當字線110及數位線115對記憶體單元105執行操作(諸如讀取及寫入)。啟動或選擇一字線110或一數位線115可包含施加一電壓至各自線。在一些情況中，一數位線115可被稱為一位元線。字線110及數位線115由導電材料製成。在一些實例中，字線110及數位線115

由金屬(例如，銅、鋁、金、鎢等)製成。記憶體單元105之各列可經連接至一單一字線110，且記憶體單元105之各行可經連接至一單一數位線115。藉由啟動一個字線110及一個數位線115，可在其等之交叉處存取一單一記憶體單元105。字線110及數位線115之交叉可被稱為一記憶體單元之一位址。

在一些架構中，一單元之邏輯儲存裝置(例如，一電容器)可藉由一選擇裝置與數位線電隔離。字線110可經連接至選擇裝置且可控制該選擇裝置。例如，選擇裝置可係一電晶體且字線110可經連接至電晶體之閘極。啟動字線110導致一記憶體單元105之電容器與其對應數位線115之間的一電連接。接著，可存取數位線以讀取或寫入記憶體單元105。

可透過一列解碼器120及一行解碼器130控制存取記憶體單元105。例如，一列解碼器120可從記憶體控制器140接收一列位址且基於所接收之列位址啟動適當字線110。類似地，一行解碼器130從記憶體控制器140接收一行位址且啟動適當數位線115。因此，藉由啟動一字線110及一數位線115，可存取一記憶體單元105。

在存取之後，可藉由感測組件125讀取或感測一記憶體單元105。例如，感測組件125可比較相關數位線115之一信號(例如，一電壓)與一參考信號(未展示)以便判定記憶體單元105之經儲存狀態。若數位線115具有高於參考電壓之一電壓，則感測組件125可將記憶體單元105中之經儲存狀態判定為一邏輯1，且反之亦然。在一些情況中，數位線115可在感測期間虛擬接地(例如，藉由一切換組件，諸如一場效電晶體)，此可容許記憶體單元105之經儲存電荷經由數位線115轉移至另一裝置(例如，一感測電容器，未展示)。可操作與切換組件電子連通之電路以補償切換組件之臨

限電壓之一偏移。例如，一偏移電容器可經放電以施加一臨限電壓至電晶體。使數位線虛擬接地可容許將記憶體單元105之一全充電或實質上全充電用於讀取記憶體單元105。

感測組件125可包含各種電晶體或放大器以便偵測且放大一信號差，此可被稱為鎖存。感測組件125亦可包含一感測電容器，如參考圖4描述。記憶體單元105之經偵測邏輯狀態接著可透過行解碼器130輸出為輸出135。

可藉由類似地啟動相關字線110及數位線115設定或寫入一記憶體單元105。如上文論述，啟動一字線110將記憶體單元105之對應列電連接至其等各自數位線115。藉由在啟動字線110時控制相關數位線115，可寫入一記憶體單元105，即，可將一邏輯值儲存於記憶體單元105中。行解碼器130可接受將寫入至記憶體單元105之資料(例如，輸入135)。在一鐵電電容器的情況中，藉由跨鐵電電容器施加一電壓而寫入一記憶體單元105。在下文中更詳細論述此程序。

在一些記憶體架構中，存取記憶體單元105可使經儲存之邏輯狀態降級或損毀經儲存之邏輯狀態且可執行重寫或刷新操作以將原始邏輯狀態返回至記憶體單元105。在DRAM中，例如，電容器可在一感測操作期間部分或完全放電，損壞經儲存之邏輯狀態。故可在一感測操作之後重寫邏輯狀態。另外，啟動一單一字線110可導致列中之所有記憶體單元放電；因此，可需要重寫列中之所有記憶體單元105。

一些記憶體架構(包含DRAM)可隨時間丟失其等儲存狀態，除非其等藉由一外部電源週期性刷新。例如，一充電電容器可隨時間變得透過洩漏電流放電，導致經儲存資訊之丟失。此等所謂的揮發性記憶體裝置之刷新

速率可係相對高的-例如，對於**DRAM**可採用每秒數十個刷新操作，此可導致明顯的電力消耗。隨著記憶體陣列愈來愈大，尤其對於依靠一有限電源(諸如一電池)之行動裝置而言，增大之電力消耗可抑制記憶體陣列之部署或操作(例如，電力供應、熱產生、材料限制等)。

如下文論述，鐵電記憶體單元可具有可導致相對於其他記憶體架構之改良效能之有益性質。例如，因為鐵電記憶體單元傾向於較不易受經儲存電荷之降級影響，故採用鐵電記憶體單元**105**之一記憶體陣列**100**可需要更少或無需刷新操作且因此可需要更少之電力進行操作。另外，採用本文描述之感測方案(其中提取一記憶體單元中之所有或實質上所有經儲存電荷)可使記憶體單元**105**之大小能夠減小，此可容許電力消耗相對於採用其他感測方案之其他陣列有所減小。

記憶體控制器**140**可透過各種組件(例如，列解碼器**120**、行解碼器**130**及感測組件**125**)控制記憶體單元**105**之操作(例如，讀取、寫入、重寫、刷新等)。記憶體控制器**140**可產生列及行位址信號以便啟動所要字線**110**及數位線**115**。記憶體控制器**140**亦可產生且控制在記憶體陣列**100**之操作期間使用之各種電壓電位。例如，記憶體控制器**140**可操作一切換組件以在感測期間使一數位線**115**虛擬接地。可藉由將與切換組件電子連通之一偏移電容器充電及放電而操作切換組件。一般言之，本文所論述之一經施加電壓之振幅、形狀或持續時間可經調整或變化且可針對在操作記憶體陣列**100**中所論述之各種操作而不同。此外，可同時存取記憶體陣列**100**內之一個、多個或所有記憶體單元**105**；例如，可在其中將所有記憶體單元**105**或一群組記憶體單元**105**設定至一單一邏輯狀態之一重設操作期間同時存取記憶體陣列**100**之多個或所有單元。

如本文中描述，可選擇與一數位線115電子連通之一鐵電記憶體單元105。可使數位線115虛擬接地。在一些情況中，可藉由啟動在數位線與感測組件125（例如，感測組件125之一感測放大器）之間電子連通之一切換組件而使數位線115虛擬接地。可藉由將與切換組件電子連通之一偏移電容器放電而啟動切換組件。在一些實例中，切換組件可係一p型場效電晶體(FET)，其中將偏移電容器放電可導致施加一臨限電壓至p型FET之一閘極。偏移電容器之電容可基於p型FET之一臨限電壓。

藉由實例，例如可在一讀取操作期間施加一電壓至鐵電記憶體單元105之一鐵電電容器。此可導致與數位線115電子連通之一感測電容器之充電。感測電容器之充電(其可為感測組件125之一特徵)可基於在數位線虛擬接地時施加電壓至鐵電電容器。在一些情況中，從鐵電記憶體單元105之鐵電電容器提取鐵電電容器之所有電荷。可在數位線115虛擬接地時啟動一感測放大器(其可係與數位線115電子連通之感測組件125之一特徵)。感測放大器可基於被啟動而比較感測電容器之一電壓與一參考電壓。

圖2繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性電路200。電路200包含一鐵電記憶體單元105-a、字線110-a、數位線115-a及感測組件125-a，其等可分別係如參考圖1描述之一記憶體單元105、字線110、數位線115及感測組件125之實例。電路200亦包含一參考組件225及一邏輯儲存組件(諸如電容器205)，電容器205可包含兩個導電終端(包含板極210及單元底部215)。在圖2之實例中，電容器205之終端藉由一絕緣鐵電材料分離。如上文描述，可藉由將電容器205充電或放電(即，使電容器205之鐵電材料極化)而儲存各種狀態。

可藉由操作在電路200中所表示之各種元件而讀取或感測電容器205之經儲存狀態。如描繪，電容器205與數位線115-a電子連通。因此，電容器205可在撤銷啟動選擇組件220時與數位線115-a隔離，且電容器205可在啟動選擇組件220以選擇鐵電記憶體單元105-a時經連接至數位線115-a。換言之，可使用與鐵電電容器205電子連通之選擇組件220來選擇鐵電記憶體單元105-a，其中鐵電記憶體單元105-a包含選擇組件220及鐵電電容器205。在一些情況中，選擇組件220可係一電晶體且其操作可藉由施加一電壓至電晶體閘極而控制，其中所施加之電壓具有大於電晶體之臨限量值之一量值。字線110-a可啟動選擇組件220；例如，可透過字線110-a施加一電壓至電晶體閘極。

歸因於電容器205之板極之間的鐵電材料，且如下文更詳細論述，電容器205在連接至數位線115-a之後無法放電。代替地，可藉由一外部電壓加偏壓於板極210，從而導致電容器205上所儲存之電荷之一改變。所儲存電荷之改變對應於電容器205之一邏輯狀態。施加至電容器205之一電壓改變電容器205之電荷。接著，可藉由感測組件125-a比較所儲存電荷之改變與一參考(例如，一參考電壓)以便判定記憶體單元105-a中所儲存之邏輯狀態。

用於讀取記憶體單元105-a之特定感測方案或程序可採用許多形式。在一個實例中，數位線115-a可具有一固有電容且隨著電容器205回應於施加至板極210之電壓充電或放電而產生一非零電壓。固有電容可取決於數位線115-a之實體特性(包含尺寸)。數位線115-a可連接許多記憶體單元105，使得數位線115-a可具有導致一不可忽略之電容(例如，pF之數量級)之一長度。數位線115-a之後續電壓可取決於電容器205之初始邏輯狀態，

且感測組件125-a可比較此電壓與藉由參考組件225提供之一參考電壓。例如，可施加一電壓至板極210且單元底部215處之一電壓可相對於經儲存之電荷而改變。可比較單元底部215處之電壓與感測組件125-a處之一參考電壓，且與參考電壓之一比較可指示源自所施加之電壓之電容器205之電荷之一改變且因此指示儲存於記憶體單元105-a中之一邏輯狀態。參考圖3進一步詳細描述電容器205中之電荷與電壓之間的關係。

可使用其他感測程序，諸如在感測期間使用一主動切換組件(如在圖4中描繪)使數位線虛擬接地。例如，可啟動與數位線115-a電子連通之一切換組件以藉由將與切換組件電子連通之一偏移電容器充電及放電而使數位線115-a虛擬接地。此啟動程序可補償切換組件之偏移(例如，一電晶體之臨限電壓之偏移)之變動。當啟動切換組件時，可基於選擇鐵電記憶體單元105-a將一電壓施加至鐵電電容器205。此可導致對可包含於感測組件125-a中之一感測電容器充電，該感測電容器在數位線115-a虛擬接地時與鐵電記憶體單元105-a電子連通。在一些情況中，充電係基於經施加至記憶體單元105-a之鐵電電容器205之一電壓，此可導致透過切換組件將鐵電記憶體單元105-a之一經儲存電荷轉移至感測電容器。

為感測經儲存狀態，可比較感測電容器之一電壓與一參考電壓。在一些情況中，比較感測電容器之電壓與參考電壓包含啟動與感測電容器電子連通之一感測放大器。在一些實例中，感測放大器係感測組件125-a之部分。參考電壓可源自對與感測放大器電子連通之一參考電容器充電，且感測放大器可比較感測電容器之電壓與參考電容器之電壓。

為寫入記憶體單元105-a，可施加一電壓至電容器205。可使用各種方法。例如，可透過字線110-a啟動選擇組件220以便將電容器205電連接

至數位線115-a。可藉由透過數位線115-a控制板極210及單元底部215之電壓而施加一電壓至電容器205。為寫入一邏輯0，板極210可為高(即，可施加一正電壓)且單元底部215可為低(即，連接至接地，虛擬接地，或可施加負電壓)。執行相反程序來寫入一邏輯1，即，板極210可為低且單元底部215可為高。

電容器205之讀取及寫入操作可係與一鐵電裝置相關聯之非線性性質之一結果。圖3使用磁滯曲線300-a及300-b來繪示此等非線性性質之實例。磁滯曲線300-a及300-b分別繪示根據本發明之各種實施例之一鐵電記憶體單元寫入及讀取程序之一實例。磁滯曲線300描繪依據一電壓電位差V而變化之儲存於鐵電電容器(圖2、圖4、圖5及圖6之電容器205)上之電荷Q。

一鐵電材料之特徵為一自發電性極化，即，其在不存在電場的情況下維持一非零電性極化。例示性鐵電材料包含鈦酸鋇(BaTiO_3)、鈦酸鉛(PbTiO_3)、鋇鈦酸鉛(PZT)、鈹鉍酸(SBT)等等。所描述之鐵電電容器(包含參考圖2及圖4至圖6描述之電容器205)可包含此等或其他鐵電材料。一鐵電電容器內之電性極化導致鐵電材料之表面處之一淨電荷且透過電容器終端吸引相反電荷。因此，電荷可儲存於鐵電材料與電容器終端之介面處。因為可在不存在一外部施加之電場的情況下相對長時間甚至無限地維持電性極化，故相較於(例如)DRAM陣列中所採用之電容器，可顯著減少電荷洩漏。此可降低對如上文描述般執行刷新操作之需要。

可從一電容器之一單一終端之視角理解磁滯曲線300。藉由實例，若鐵電材料具有一負極化，則正電荷可累積在終端處。同樣地，若鐵電材料具有一正極化，則負電荷可累積在終端處。另外，磁滯曲線300中之電壓

表示跨電容器之一電壓差且係方向性的。例如，可藉由施加一正電壓至所述終端且維持第二終端接地(或為約零伏特(0 V))而施加一正電壓。可藉由維持所述終端接地(或0 V)且施加一正電壓至第二終端而施加一負電壓，即，可施加正電壓以使所述終端負極化。類似地，可施加兩個正電壓、兩個負電壓或正電壓及負電壓之任何組合至適當電容器終端以產生在磁滯曲線300中展示之電壓差。

如在磁滯曲線300-a中描繪，鐵電材料可使用一零電壓差維持一正或負極化，從而導致兩個可能電荷狀態：電荷狀態305及電荷狀態310。根據圖3之實例，電荷狀態305表示一邏輯0且電荷狀態310表示一邏輯1。在一些實例中，在不改變理解的情況下可反轉各自電荷狀態之邏輯值。

可藉由控制鐵電材料之電性極化及因此電容器終端上之電荷(藉由施加電壓)而將一邏輯0或1寫入記憶體單元。例如，跨電容器施加一淨正電壓315導致電荷累積，直至到達電荷狀態305-a。在移除電壓315之後，電荷狀態305-a遵循路徑320直至其到達零電壓電位之電荷狀態305。類似地，藉由施加一淨負電壓325寫入電荷狀態310，此導致電荷狀態310-a。在移除負電壓325之後，電荷狀態310-a遵循路徑330直至其到達在零電壓之電荷狀態310。電荷狀態305-a及電荷狀態310-a亦可被稱為殘餘極化(Pr)值，即，在移除外部偏壓(例如，電壓)之後保留之極化(或電荷)。矯頑電壓係電荷(或極化)為零之電壓。

為讀取或感測鐵電電容器之經儲存狀態，可跨電容器施加一電壓。作為回應，經儲存電荷改變，且改變程度取決於初始電荷狀態，即，電容器之經儲存電荷改變之程度係可變的且取決於是否最初儲存電荷狀態305-b或310-b。例如，磁滯曲線300-b繪示兩個可能經儲存電荷狀態305-b或

310-b。可跨電容器施加淨電壓335。雖然描繪為一正電壓，但電壓335可係負的。回應於電壓335，電荷狀態305-b可遵循路徑340。同樣地，若最初儲存電荷狀態310-b，則其遵循路徑345。電荷狀態305-c及310-c之最終位置取決於數個因數，包含特定感測操作及電路。

如上文論述，讀取一DRAM記憶體單元可使經儲存邏輯降級或損毀經儲存邏輯。然而，一鐵電記憶體單元可在一讀取操作之後維持初始邏輯狀態。例如，若儲存電荷狀態305-b且執行讀取操作，則電荷狀態可在移除電壓335之後例如藉由在相反方向上遵循路徑340而返回至初始電荷狀態305-b。

在一些情況中，在一讀取操作期間感測之電荷可取決於一記憶體單元之數位線之固有電容。例如，若記憶體單元之一鐵電電容器經電連接至數位線且施加電壓335，則數位線之電壓可歸因於其固有電容而升高。因此，在一感測組件處量測之一電壓可不等於電壓335且代替地可取決於數位線之電壓。因此，磁滯曲線300-b上之最終電荷狀態305-c及310-c之位置可取決於數位線之電容且可透過一負載線分析判定，即，可相對於數位線電容界定電荷狀態305-c及310-c。因此，電容器之電壓、電壓350或電壓355可係不同的且可取決於電容器之初始狀態。

當將一數位線用於一讀取操作時(例如，當一數位線未虛擬接地時)，則取決於經儲存邏輯狀態，數位線之所得電壓可係電壓335與電壓350之間的差或電壓335與電壓355之間的差。藉由比較數位線電壓與一參考電壓，可判定電容器之初始狀態。例如，參考電壓可係數位線邏輯0及邏輯1電壓之一平均值(例如， $[(\text{電壓}335 - \text{電壓}350) + (\text{電壓}335 - 355)]/2$)。在比較之後，可將經感測之數位線電壓判定為高於或低於參考電壓。接著可

基於比較判定鐵電單元之一值(即，一邏輯0或1)。但此方法可不容許提取電容器之一全電荷。

其他感測方案係可能的。例如，在記憶體單元感測期間，可將數位線維持在0 V。在此等情況中，電荷狀態305-c及310-c之最終位置可獨立於數位線電容。例如，可在感測期間藉由啟動一切換組件而使數位線虛擬接地。在此等情況中，電荷狀態305-c及310-c可共同定位於電荷狀態360，且可自鐵電記憶體單元提取全電荷或實質上全電荷(例如，幾乎所有電荷)，此藉由大於電荷狀態310-c與310-b之間的差之電荷狀態360與310-b之差繪示。此電荷可經儲存於一感測電容器上，且接著可使用感測電容器之電壓來判定記憶體單元之經儲存狀態。此可導致在感測放大器處產生高於依靠一數位線之固有電容之一感測方案之一信號。

在結果具有極小差異或無差異的情況下，可配合一較小記憶體單元採用類似感測方案。例如，此可增大記憶體單元及記憶體陣列之按比例調整能力。但如上文提及，隨著記憶體陣列及其等組件之大小減小，可產生組件性質(諸如臨限偏移)之變動。因此，可操作記憶體陣列來補償與在感測期間使數位線虛擬接地之一電晶體相關聯之臨限電壓之一偏移。再者，記憶體陣列可經組態具有用來補償臨限電壓之偏移之組件。

圖4繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性電路400。電路400包含記憶體單元105-b、字線110-b、數位線115-b及感測組件125-b，其等可分別係如參考圖1及圖2描述之一記憶體單元105、字線110、數位線115及感測組件125之實例。電路400亦包含電容器205-a、板極210-a及參考組件225-a，其等可分別係如參考圖2描述之電容器205、板極210及參考組件225之實例。另外，根據圖4之

實例，數位線115-b包含固有數位線電容405且能夠經由開關440連接至虛擬接地410。電路400亦包含感測電容器420、參考電容器425、(若干)電壓源430、(若干)電壓源435、開關440、445、450及455、虛擬接地460、偏移電容器465及電壓源470。在一些情況中，電壓源470可將偏移電容器465充電及放電以啟動切換組件415，此可使數位線115-b虛擬接地，且因此實現在記憶體單元105-b之感測期間從電容器205-a至感測電容器420之全電荷或實質上全電荷轉移。

參考組件225-a可經組態以產生一參考信號且在一些情況中可包含用來操作充當參考單元之一或多個鐵電記憶體單元105之電路。在一些實例中，參考組件225-a包含記憶體單元105-c、字線110-c及參考數位線115-c，其等可分別係參考圖1及圖2描述之一記憶體單元105、字線110及數位線115之實例。參考組件225-a亦可包含電容器205-b及板極210-b，其等可分別係如參考圖2所描述之電容器205及板極210之實例。另外，根據圖4之實例，參考數位線115-c包含固有參考數位線電容405-a。參考組件225-a亦可包含開關440-a、445-a、450-a及455-a、虛擬接地460-a及偏移電容器465-a。在一些情況中，偏移電容器465及465-a可共同連接至一電壓源(例如，電壓源470)。

數位線115-b及參考數位線115-c可具有一固有電容，其可分別藉由固有數位線電容405及405-a表示。在圖4之實例中，固有數位線電容405及405-a並非一電裝置，例如，其可不係二端電容器。代替地，固有數位線電容405及405-a可取決於數位線115-b及參考數位線115-c之實體特性，包含尺寸。

虛擬接地410可提供一虛擬接地至數位線115-b。虛擬接地410可透過

一開關440與數位線115-b分離。在一些實例中，開關440、445、450及455可係電晶體。切換組件415可係與感測電容器420及數位線115-b串聯連接之一電晶體。在一些情況中，電晶體包括一p型FET。感測電容器420及參考電容器425可係經組態以在感測記憶體單元105-b時儲存電荷之電容器。在一些情況中，感測電容器420及參考電容器425可具有相同電容-例如，感測電容器420及參考電容器425可具有以法拉為單位進行量測之一共同值或額定值。參考電容器425可與參考組件225-a電子連通。在一些情況中，可將藉由參考組件225-a產出之電荷儲存於參考電容器425上。

感測組件125-b可判定記憶體單元105-b之經儲存狀態。感測組件125-b可係或可包含一感測放大器。在一些實例中，藉由(若干)電壓源430及435操作感測組件125-b。感測組件125-b亦可包含感測電容器420，儘管在圖4之實例中未描繪。

當切換組件415未作用時(即，當數位線115-b與感測電容器420電隔離時)，可藉由(若干)電壓源430或435施加一充電電壓至感測電容器420。在一些實例中，可斷開開關445以將數位線115-b與感測電容器420電隔離。經施加至感測電容器420之充電電壓可係負的。接著，可將感測電容器420與(若干)電壓源430或435電隔離。可在感測記憶體單元105-b之前發生對感測電容器420充電。

如描繪，鐵電記憶體單元105-b與數位線115-b電子連通。可啟動亦與數位線115-b電子連通之切換組件415以使數位線115-b虛擬接地。在一些實例中，切換組件415係一p型FET且偏移電容器465與p型FET之閘極電子連通。切換組件415亦可透過開關455連接至虛擬接地460。在切換組件係一p型FET之一些實例中，FET之閘極可透過開關450與FET之汲極電子

連通。啟動切換組件415以使數位線115-b虛擬接地可包含使用電壓源470將偏移電容器465充電及放電。

可使用與鐵電電容器205-a電子連通之一選擇組件220-a來選擇鐵電記憶體單元105-b，其中鐵電記憶體單元105-b包含選擇組件220-a及鐵電電容器205-a。例如，選擇組件220-a可係一電晶體(例如，一FET)且可藉由使用字線110-b施加至一電晶體之一閘極之一電壓啟動。

當啟動切換組件415時，可基於選擇鐵電記憶體單元105-b而將一電壓施加至鐵電電容器205-a。例如，可使用板極210-a來施加一電壓。此可引起與鐵電記憶體單元105-b電子連通之感測電容器420在數位線115-b虛擬接地時充電。因此，充電可基於經施加至記憶體單元105-b之鐵電電容器205-a之一電壓，且導致透過切換組件415將鐵電記憶體單元105-b之一經儲存電荷轉移至感測電容器420。

可比較感測電容器420之一電壓與一參考電壓。在一些情況中，比較感測電容器420之電壓與參考電壓包含啟動與感測電容器420電子連通之感測組件125-b。在一些情況中，感測組件125-b係或包含一感測放大器。參考電壓可源自對與感測組件125-b電子連通之參考電容器425充電，且感測組件125-b可比較感測電容器420之電壓與參考電容器425之電壓。

電路400之一例示性操作可包含閉合開關440、450及455，且斷開開關445。閉合開關440最初使數位線115-b接地。可閉合開關475且可使用電壓源430對感測電容器420充電；接著可斷開開關475。當偏移電容器之第二終端與虛擬接地460電子連通時，電壓源470可施加一正電壓至偏移電容器465。可斷開開關455且電壓源470可施加一零電壓至偏移電容器465以將電容器465放電。此可導致將電荷轉移至切換組件415，例如至可

係一p型FET之一FET之閘極。因為，FET可經連接為一二極體，故所得平衡電壓可約為FET之臨限電壓。可斷開開關440、450及455且可閉合開關445。字線110-b可啟動記憶體單元105-b之選擇組件220-a，且板極210-a可施加一電壓至鐵電電容器205-a。此可導致在藉由切換組件415使數位線115-b虛擬接地時將電荷轉移至感測電容器420。

可以一類似方式操作參考組件225-a。例如，可閉合開關440-a、450-a及455-a且可斷開開關445-a。閉合開關440-a最初使數位線115-b接地。可閉合開關475-a且可使用電壓源430對參考電容器425充電；接著可斷開開關475-a。電壓源470可共同連接至偏移電容器465及465-a且可在偏移電容器465-a之第二終端與虛擬接地460-a電子連通時施加一正電壓至偏移電容器465-a。可斷開開關455-a且電壓源470可施加一零電壓至偏移電容器465-a。此可導致將電荷轉移至切換組件415，例如，至FET 415-a之閘極。在一些情況中，FET 415-a之臨限電壓不等於FET 415之臨限電壓。因為FET可經連接為一二極體，故所得平衡電壓可約為FET 415-a之臨限電壓。因此，藉由施加一共同電壓至偏移電容器465及465-a，可將FET 415及415-a之各自臨限電壓(即使在該等臨限電壓不相等時)施加至FET 415及415-a。

接著，可斷開開關440-a、450-a及455-a且可閉合開關445-a。字線110-c可啟動參考記憶體單元105-c之選擇組件220-b，且板極210-b可施加一電壓至鐵電電容器205-b。此可導致在藉由切換組件415-a使參考數位線115-c虛擬接地時將電荷轉移至參考電容器425。

圖5繪示根據本發明之各種實施例之用於操作在記憶體單元感測期間不具有偏移補償之一鐵電記憶體單元之一時序圖500。時序圖500在軸505

上描繪電壓且在軸510上描繪時間。因此，在時序圖500上表示依據時間而變化之各種組件之電壓。例如，時序圖500包含字線電壓515、板極電壓520、數位線電壓525及感測電容器電壓530。時序圖500描繪不具有偏移補償之記憶體單元感測之一例示性操作。在下文參考先前圖之組件描述圖5。

如在圖4中論述，最初可將感測電容器420充電至一負電壓，如藉由感測電容器電壓530描繪。可施加字線電壓515至與一鐵電記憶體單元105相關聯之一字線110。可施加板極電壓520至鐵電記憶體單元105之一板極210。數位線電壓525最初可為零，但接著可在施加板極電壓520之後升高至一非零電壓。數位線電壓525之升高可係歸因於未完全啟動切換組件，諸如圖4之切換組件415。

例如，在其中切換組件415係一FET且未施加適當臨限電壓之一實例中，可不啟動FET直至數位線之電壓增大。一旦數位線電壓525充分增大以啟動切換組件，電荷便可轉移至一感測電容器420，從而導致感測電容器電壓530之改變。感測電容器電壓530之改變可取決於記憶體單元105之邏輯狀態。例如，若儲存一邏輯0，則感測電容器電壓530可改變至感測電容器電壓530-a。若儲存一邏輯1，則感測電容器電壓530可改變至感測電容器電壓530-b。感測電容器電壓530-a與感測電容器電壓530-b之間的差可稱為感測窗535。可藉由比較感測電容器電壓530-a或530-b與一參考電壓而判定經儲存邏輯狀態。例如，參考電壓係感測電容器電壓530-a與530-b之間的一值。與數位線電壓525已經維持於零伏特之情況相比，感測窗535在此處可較小，此係因為數位線電壓525之升高可暗示未從記憶體單元105提取所有電荷。

圖6繪示根據本發明之各種實施例之用於操作支援用於鐵電記憶體單元感測之偏移補償之一鐵電記憶體單元之一時序圖600。時序圖600在軸505-a上描繪電壓且在軸510-a上描繪時間。因此，在時序圖600上表示依據時間而變化之各種組件之電壓。例如，時序圖600包含字線電壓515-a、板極電壓520-a、數位線電壓525-a及感測電容器電壓530。時序圖600描繪具有偏移補償之記憶體單元感測之一例示性操作，諸如在圖4中描述之電路。在下文參考先前圖之組件描述圖6。

如在圖4中論述，最初可將感測電容器420充電至一負電壓，如藉由感測電容器電壓530描繪。可施加字線電壓515-a至與一鐵電記憶體單元105相關聯之一字線110。可施加板極電壓520-a至鐵電記憶體單元105之一板極210。在如先前論述之感測期間，數位線電壓525-a可為約零或虛擬接地。例如，一切換組件415可在感測期間使數位線虛擬接地。因此，可如在圖4中描述般補償切換組件415之臨限電壓之一偏移。在一些情況中，數位線電壓525-a暫時偏離零。

在施加字線電壓515-a及板極電壓520-a時數位線電壓525-a為約0 V的情況下，電荷可轉移至一感測電容器420，從而導致感測電容器電壓530之改變。如上文論述，感測電容器電壓530之改變可取決於記憶體單元105之邏輯狀態。例如，若儲存一邏輯0，則感測電容器電壓530可改變至感測電容器電壓530-c。若儲存一邏輯1，則感測電容器電壓530可改變至感測電容器電壓530-d。感測電容器電壓530-c與感測電容器電壓530-d之間的差可為感測窗535-a。與在未補償切換組件415之臨限偏移的情況下操作一電路之情況(如在圖5中描繪)相比，感測窗535-a在此處可較大，此係歸因於基於使數位線虛擬接地而提取更大部分之經儲存電荷。可藉由比

較感測電容器電壓530-c或530-d與一參考電壓而判定經儲存邏輯狀態。例如，參考電壓可係感測電容器電壓530-c與530-d之間的一值。

圖7展示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一記憶體陣列100-a之一方塊圖700。記憶體陣列100-a可被稱為一電子記憶體設備且可包含記憶體控制器140-a及記憶體單元105-d，其等可係參考圖1、圖2及圖4描述之記憶體控制器140及記憶體單元105之實例。記憶體控制器140-a可包含偏壓組件710及時序組件715，且可如在圖1至圖6中描述般操作記憶體陣列100-a。記憶體控制器140-a可與字線110-d、數位線115-d、感測組件125-c、板極210-c、參考組件225-b及切換組件415-b電子連通，其等可係參考圖1、圖2、圖4至圖6描述之字線110、數位線115、感測組件125、板極210、參考組件225及切換組件415之實例。

在一些實例中，切換組件415-b與數位線115-d電子連通，如上文論述。切換組件415-b亦可與一偏移電容器(未展示)電子連通，如在圖4中描繪且參考圖4描述。可藉由記憶體控制器140-a操作偏移電容器。記憶體陣列100-a亦可包含鎖存器725。記憶體陣列100-a之組件可彼此電子連通且可執行參考圖1至圖6描述之功能。

記憶體控制器140-a可經組態以藉由施加電壓至字線110-d、感測組件125-c、板極210-c、參考組件225-b或切換組件415-b而啟動該等各種節點。例如，偏壓組件710可經組態以施加一電壓以操作記憶體單元105-d以讀取或寫入記憶體單元105-d，如上文描述。在一些情況中，記憶體控制器140-a可包含一列解碼器、行解碼器或兩者，如參考圖1描述。此可使記憶體控制器140-a能夠存取一或多個記憶體單元105。偏壓組件710亦可提

供電壓電位至參考組件225-b以便產生感測組件125-c之一參考信號。另外，偏壓組件710可提供電壓電位以用於感測組件125-c之操作。在一些情況中，記憶體控制器140-a可將與切換組件415-b電子連通之一偏移電容器充電及放電以便補償切換組件415-b之臨限偏移。

在一些實例中，記憶體控制器140-a可使用時序組件715來執行其操作。例如，時序組件715可控制各種字線或板極偏壓之時序(包含用於切換及電壓施加之時序)以執行本文論述之記憶體功能(諸如讀取及寫入)。在一些情況中，時序組件715可控制偏壓組件710之操作。

參考組件225-b可產生感測組件125-c之一參考信號。參考組件225-b可例如包含經特定組態以產生一參考信號之電路。在一些情況中，參考組件225-b係另一鐵電記憶體單元。在一些實例中，參考組件225-b經組態以輸出具有在兩個感測電壓之間的一值之一電壓，如參考圖3描述。或參考組件225-b可經設計以輸出一虛擬接地電壓，即，約0 V。

感測組件125-c可比較來自記憶體單元105-d (透過數位線115-d)之一信號與來自參考組件225-b之一參考信號。在判定邏輯狀態之後，感測組件125-c接著可將輸出儲存於鎖存器725中，其中其可根據使用記憶體陣列100-a之一電子裝置之操作而使用。

圖8展示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一系統800之一圖。系統800可包含一裝置805，其可係或包含一印刷電路板來連接或實體支撐各種組件。裝置805可包含一記憶體陣列100-b，其可係圖1及圖7中描述之記憶體陣列100之一實例。記憶體陣列100-b可含有記憶體控制器140-b及(若干)記憶體單元105-e，其等可係參考圖1及圖7描述之記憶體控制器140及參考圖1至圖7描述之記憶體單元

105之實例。裝置805亦可包含一處理器810、BIOS組件815、(若干)周邊組件820及輸入/輸出控制組件825。裝置805之組件可透過匯流排830彼此電子連通。

處理器810可經組態以透過記憶體控制器140-b操作記憶體陣列100-b。在一些情況中，處理器810可執行參考圖1及圖7描述之記憶體控制器140之功能。例如，記憶體控制器140-b可將一偏移電容器465充電及放電以啟動可使一數位線115虛擬接地之一切換組件以便提取記憶體單元105-e中之經儲存電荷。在其他情況中，記憶體控制器140-b可經整合至處理器810中。處理器810可係一通用處理器、一數位信號處理器(DSP)、一特定應用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其可係此等類型之組件之一組合，且處理器810可執行本文描述之各種功能(包含用於鐵電記憶體單元感測之偏移補償)。例如，處理器810可經組態以執行儲存於記憶體陣列100-b中之電腦可讀指令以引起裝置805執行各種功能或任務。

BIOS組件815可係包含經操作為韌體之一基本輸入/輸出系統(BIOS)之一軟體組件，其可初始化且運行系統800之各種硬體組件。BIOS組件815亦可管理處理器810與各種組件(例如，周邊組件820、輸入/輸出組件825等)之間的資料流。BIOS組件815可包含經儲存於唯讀記憶體(ROM)、快閃記憶體或任何其他非揮發性記憶體中之一程式或軟體。

(若干)周邊組件820可係經整合至裝置805中之任何輸入或輸出裝置，或此等裝置之一介面。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、USB控制器、一串列或並列埠或周邊卡槽(諸如周邊組件互連(PCI)或加速圖形埠(AGP)槽)。

輸入/輸出控制組件825可管理處理器810與(若干)周邊組件820、輸入835或輸出840之間的資料連通。輸入/輸出控制組件825亦可管理未經整合至裝置805中之周邊設備。在一些情況中，輸入/輸出控制組件825可表示至外部周邊設備之一實體連接或埠。

輸入835可表示裝置805外部之一裝置或信號，其提供輸入至裝置805或裝置805之組件。此可包含一使用者介面或與其他裝置或其他裝置之間的介面。在一些情況中，輸入835可係經由(若干)周邊組件820與裝置805介接或可藉由輸入/輸出組件825管理之一周邊設備。

輸出840可表示裝置805外部之一裝置或信號，其經組態以從裝置805或裝置805之組件之任一者接收輸出。輸出840之實例可包含一顯示器、音頻揚聲器、一印刷裝置、另一處理器或印刷電路板等。在一些情況中，輸出840可係經由(若干)周邊組件820與裝置805介接或可藉由輸入/輸出組件825管理之一周邊設備。

記憶體控制器140-b、裝置805及記憶體陣列100-b之組件可由經設計以執行其等功能之電路組成。此可包含經組態以執行本文描述之功能之各種電路元件，例如，導電線、電晶體、電容器、電感器、電阻器、放大器或其他作用或非作用元件。

圖9展示一流程圖，其繪示根據本發明之各種實施例之操作具有偏移補償之一鐵電記憶體單元之一方法900。方法900之操作可藉由如參考圖1至圖8描述之一記憶體陣列100實施。例如，可藉由如參考圖1、圖7及圖8描述之一記憶體控制器140執行方法900之操作。在一些實例中，一記憶體控制器140可執行一組碼來控制記憶體陣列100之功能元件以執行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體來執行下

文描述之一些或所有功能。

在方塊905，方法可包含使與如參考圖1至圖6描述之鐵電記憶體單元電子連通之一數位線虛擬接地。在特定實例中，可藉由記憶體控制器140執行方塊905之操作，如參考圖1、圖7及圖8描述。

在方塊910，方法可包含將與如參考圖1至圖6描述之一切換組件電子連通之一偏移電容器放電。在特定實例中，可藉由如參考圖1、圖4、圖7及圖8描述之記憶體控制器140或電壓源470執行方塊910之操作。將偏移電容器放電可施加一臨限電壓至切換組件。

在方塊915，方法可包含透過切換組件將鐵電記憶體單元之一經儲存電荷轉移至一感測電容器，其中如參考圖1至圖6描述，在數位線虛擬接地時且在偏移電容器已放電之後轉移經儲存電荷。在特定實例中，可藉由記憶體控制器140及感測電容器420執行方塊915之操作，如參考圖1、圖7及圖8描述。

圖10展示一流程圖，其繪示根據本發明之各種實施例之操作具有偏移補償之一鐵電記憶體單元之一方法1000。方法1000之操作可藉由如參考圖1至圖8描述之一記憶體陣列100實施。例如，可藉由如參考圖1、圖7及圖8描述之一記憶體控制器140執行方法1000之操作。在一些實例中，一記憶體控制器140可執行一組碼來控制記憶體陣列100之功能元件以執行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體來執行下文描述之功能。

在方塊1005，方法可包含使與如參考圖1至圖6描述之鐵電記憶體單元電子連通之一數位線虛擬接地。在特定實例中，可藉由記憶體控制器140執行方塊1005之操作，如參考圖1、圖7及圖8描述。

在方塊1010，方法可包含藉由將一偏移電容器放電而啟動一p型場效電晶體(FET)，該偏移電容器與該p型FET電子連通，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140執行方塊1010之操作，如參考圖1、圖7及圖8描述。將偏移電容器放電可施加一臨限電壓至切換組件。在一些例項中，偏移電容器之電容可基於該p型FET之一臨限電壓。

在方塊1015，方塊可包含如參考圖1至圖6描述般將數位線維持於虛擬接地。在特定實例中，可藉由記憶體控制器140執行方塊1015之操作，如參考圖1、圖7及圖8描述。在一些情況中，啟動切換組件(例如，p型FET)可將數位線維持於虛擬接地。

在方塊1020，方法可包含透過p型FET將鐵電記憶體單元之一經儲存電荷轉移至一感測電容器，其中在數位線虛擬接地時且在偏移電容器已放電之後轉移經儲存電荷，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140及感測電容器420執行方塊1020之操作，如參考圖1、圖7及圖8描述。

在方塊1025，方法可包含啟動與感測電容器電子連通之一感測放大器，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140、感測組件125及/或感測電容器420執行方塊1025之操作，如參考圖1、圖7及圖8描述。在一些例項中，感測放大器可基於被啟動而比較感測電容器之一電壓與一參考電壓。

方法亦可包含施加一電壓至一鐵電記憶體單元之一鐵電電容器，此可導致與數位線電子連通之感測電容器之充電。方法亦可包含選擇鐵電記憶體單元，其中選擇鐵電記憶體單元可包含啟動與鐵電電容器及數位線電子連通之一選擇組件，其中鐵電記憶體單元包括選擇組件及鐵電電容器。

方法亦可包含施加一電壓至鐵電記憶體單元之一鐵電電容器。

圖11展示一流程圖，其繪示根據本發明之各種實施例之操作採用偏移補償之一鐵電記憶體單元之一方法1100。方法1100之操作可藉由一記憶體陣列100實施，如參考圖1至圖8描述。例如，可藉由一記憶體控制器140執行方法1100之操作，如參考圖1、圖7及圖8描述。在一些實施中，一記憶體控制器140可執行一組碼來控制記憶體陣列100之功能元件以執行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體來執行下文描述之功能。

在方塊1105，方法可包含使與鐵電記憶體單元電子連通之一數位線虛擬接地，如參考圖1至圖6描述。在特定實施中，可藉由記憶體控制器140執行方塊1105之操作，如參考圖1、圖7及圖8描述。

在方塊1110，方法可包含使與一參考電路電子連通之一參考數位線虛擬接地，如參考圖1至圖6描述。在特定實施中，可藉由記憶體控制器140執行方塊1110之操作，如參考圖1、圖7及圖8描述。在一些情況中，參考電路可包含一或多個鐵電記憶體單元105。

在方塊1115，方法可包含將與一第一切換組件電子連通之一第一偏移電容器放電，如參考圖1至圖6描述。在特定實施中，可藉由記憶體控制器140執行方塊1115之操作，如參考圖1、圖7及圖8描述。將第一偏移電容器放電可容許一臨限電壓施加至第一切換組件。

在方塊1120，方法可包含將與一第二切換組件電子連通之一第二偏移電容器放電，其中第一偏移電容器及第二偏移電容器與一共同信號線電子連通，如參考圖1至圖6描述。在特定實施中，可藉由記憶體控制器140執行方塊1120之操作，如參考圖1、圖7及圖8描述。在一些情況中，第一

及第二切換組件可係p型FET。將第二偏移電容器放電可施加一臨限電壓至第二p型FET之閘極。在一些情況中，第一及第二p型FET之臨限電壓不相等，但兩個p型FET可藉由使用共同信號線將偏移電容器放電而達成其等臨限電壓。

在方塊1125，方法可包含透過第一切換組件將鐵電記憶體單元之一經儲存電荷轉移至一感測電容器，其中在數位線虛擬接地時且在偏移電容器已放電之後轉移經儲存電荷，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140及感測電容器420執行方塊1125之操作，如參考圖1、圖7及圖8描述。

在方塊1130，方法可在數位線虛擬接地時且在偏移電容器已放電之後透過第二切換組件將參考電路之一經儲存電荷轉移至一參考電容器，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140及感測電容器420執行方塊1130之操作，如參考圖1、圖7及圖8描述。

因此，方法900、1000及1100可在鐵電記憶體單元感測期間提供偏移補償。應注意，方法900、1000及1100描述可能實施方案，且操作及步驟可經重新配置或以其他方式經修改使得其他實施方案係可能的。在一些實例中，可組合來自方法900、1000及1100之兩個或兩個以上特徵。

本文之描述提供實例且不限制發明申請專利範圍中陳述之範疇、適用性或實例。在不脫離本發明之範疇的情況下可對所論述之元件之功能及配置進行改變。各種實例可視情況省略、替換或添加各種程序或組件。又，可在其他實例中組合關於一些實例描述之特徵。

本文陳述之描述以及附圖描述例示性組態且不表示可實施或在發明申請專利範圍之範疇內之所有實例。如本文使用之術語「實例」及「例示

性」意謂「充當一實例、例項或圖解」且非「較佳」或「優於其他實例」。實施方式出於提供對所描述技術之理解而包含具體細節。然而，可在不具有此等具體細節之情況下實踐此等技術。在一些例項中，以方塊圖形式展示熟知結構及裝置以避免模糊所描述實例之概念。

在附圖中，類似組件或特徵可具有相同參考標籤。此外，可藉由在參考標籤後加破折號及區分類似組件之第二標籤來區分相同類型之各種組件。當在說明書中使用第一參考標籤時，描述可適用於具有相同第一參考標籤之類似組件之任一者，而無關於第二參考標籤。

可使用各種不同科技及技術之任一者來表示本文描述之資訊及信號。例如，可藉由電壓、電流、電磁波、磁場或磁性微粒、光場或光學微粒或其等之任何組合表示可貫穿上文描述引用之資料、指令、命令、資訊、信號、位元、符號及晶片。一些圖式可將信號繪示為一單一信號；然而，熟習此項技術者將理解，信號可表示信號之一匯流排，其中匯流排可具有各種位元寬度。

如本文使用，術語「虛擬接地」係指保持在約零伏特(0 V)之一電壓但不與接地直接連接之一電路之一節點。因此，一虛擬接地之電壓可臨時波動且在穩定狀態返回至約0 V。可使用各種電子電路元件來實施一虛擬接地，諸如由運算放大器及電阻器構成之一分壓器。其他實施方案亦係可能的。如本文中使用的術語「虛擬接地」或「虛擬地接地」意謂連接至一虛擬接地或接地。

術語「電子連通」係指組件之間的一關係，其支援組件之間的電子流。此可包含組件之間的一直接連接或可包含中間組件。電子連通中之組件可係主動交換之電子或信號(例如，在一通電電路中)或可不係主動交換

之電子或信號(例如，在一斷電電路中)，但可經組態且可操作以在使一電路通電之後交換電子或信號。藉由實例，經由一開關(例如，一電晶體)實體連接之兩個組件電子連通，而不管開關之狀態(即，斷開或閉合)。

本文論述之裝置(包含記憶體陣列100)可形成在一半導體基板(諸如矽、鍺、矽鍺合金、砷化鎵、氮化鎵等)上。在一些情況中，基板係一半導體晶圓。在其他情況中，基板可係一絕緣體上覆矽(SOI)基板(諸如玻璃上矽(SOG)或藍寶石上矽(SOP))或另一基板上之半導體材料之磊晶層。可透過使用各種化學物種(包含但不限於磷、硼或砷)之摻雜控制基板或基板之子區域之導電率。可藉由離子植入或藉由任何其他摻雜方法在基板之初始形成或生長期間執行摻雜。

本文論述之電晶體可表示一場效電晶體(FET)且包括包含一源極、汲極及閘極之一三端裝置。該等終端可透過導電材料(例如，金屬)連接至其他電子元件。源極及汲極可係導電的且可包括一重度摻雜(例如，簡併)半導體區。可藉由一輕度摻雜半導體區或通道分離源極及汲極。若通道係n型(即，多數載子係電子)，則FET可被稱為一n型FET。同樣地，若通道係p型(即，多數載子係電洞)，則FET可被稱為一p型FET。通道可藉由一絕緣閘極氧化物封端。可藉由施加一電壓至閘極而控制通道導電率。例如，分別施加一正電壓或一負電壓至一n型FET或一p型FET可導致通道變得導電。當施加大於或等於一電晶體之臨限電壓之一電壓至電晶體閘極時，可「開啟」或「啟動」電晶體。當施加小於電晶體之臨限電壓之一電壓至電晶體閘極時，可「關閉」或「撤銷啟動」該電晶體。

結合本文之揭示內容描述之各種闡釋性方塊、組件及模組可使用經設計以執行本文中描述之功能之一通用處理器、一DSP、一ASIC、一

FPGA或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其等之任何組合而實施或執行。一通用處理器可係一微處理器，但在替代例中，處理器可係任何習知處理器、控制器、微控制器或狀態機。一處理器亦可實施為計算裝置之一組合(例如，**DSP**及微處理器之一組合、多個微處理器、結合**DSP**核心之一或多個微處理器或任何其他此組態)。

可在硬體、藉由一處理器執行之軟體、韌體或其等之任何組合中實施本文描述之功能。若實施於藉由一處理器執行之軟體中，該等功能可作為一或多個指令或程式碼儲存於一電腦可讀媒體上或經由該電腦可讀媒體傳輸。其他實例及實施方案係在本發明及隨附發明申請專利範圍之範疇內。例如，歸因於軟體之性質，可使用藉由一處理器執行之軟體、硬體、韌體、硬接線或此等之任一者之組合來實施上文描述之功能。實施功能之特徵亦可實體定位於各種位置處，包含經分佈使得在不同實體位置處實施功能之部分。又，如本文使用(包含在發明申請專利範圍中)，如在一項目清單(例如，以諸如「...之至少一者」或「...之一或多者」片語開始之一項目清單)中使用之「或」指示一包含清單，使得例如A、B或C之至少一者之一清單意謂A或B或C或AB或AC或BC或ABC (即，A及B及C)。

電腦可讀媒體包含非暫時性電腦儲存媒體及通信媒體兩者，包含促進一電腦程式從一個位置傳送至另一位置之任何媒體。一非暫時性儲存媒體可係可藉由一通用或專用電腦存取之任何可用媒體。藉由實例但非限制，非暫時性電腦可讀媒體可包括**RAM**、**ROM**、電子可抹除可程式化唯讀記憶體(**EEPROM**)、光碟(**CD**) **ROM**或其他光碟儲存器、磁碟儲存器或其他磁性儲存裝置、或可用於攜載或儲存呈指令或資料結構形式之所需程式碼構件且可藉由一通用或專用電腦或一通用或專用處理器存取之任何其

他非暫時性媒體。

又，任何連接被適當地稱為一電腦可讀媒體。例如，若使用一同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或諸如紅外線、無線電及微波之無線技術從一網站、伺服器或其他遠端源傳輸軟體，則同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或諸如紅外線、無線電及微波之無線技術包含於媒體之定義中。如在本文中使用的磁碟及光碟包含CD、雷射光碟、光碟、數位多功能光碟(DVD)、軟磁碟及藍光光碟，其中磁碟通常磁性地重現資料，而光碟使用雷射光學地重現資料。上文之組合亦包含於電腦可讀媒體之範疇內。

提供本文之描述以使熟習此項技術者能夠製成或使用本發明。熟習此項技術者可容易地明白對本發明之各種修改，且在不背離本發明之範疇之情況下，在本文中定義之一般原理可適用於其他變體。因此，本發明不限於在本文中描述之實例及設計，而應符合與本文中揭示之原則及新穎特徵一致之最廣範疇。

【符號說明】

100	記憶體陣列
100-a	記憶體陣列
100-b	記憶體陣列
105	記憶體單元
105-a	鐵電記憶體單元
105-b	鐵電記憶體單元
105-c	鐵電記憶體單元
105-d	鐵電記憶體單元

105-e	鐵電記憶體單元
110	字線
110-a	字線
110-b	字線
110-c	字線
110-d	字線
115	數位線
115-a	數位線
115-b	數位線
115-c	數位線
115-d	數位線
120	列解碼器
125	感測組件
125-a	感測組件
125-b	感測組件
125-c	感測組件
130	行解碼器
135	輸入/輸出
140	記憶體控制器
140-a	記憶體控制器
140-b	記憶體控制器
200	電路
205	電容器

205-a	電容器
205-b	電容器
210	板極
210-a	板極
210-b	板極
210-c	板極
215	單元底部
220	選擇組件
220-a	選擇組件
220-b	選擇組件
225	參考組件
225-a	參考組件
225-b	參考組件
300-a	磁滯曲線
300-b	磁滯曲線
305	電荷狀態
305-a	電荷狀態
305-b	電荷狀態
305-c	電荷狀態
310	電荷狀態
310-a	電荷狀態
310-b	電荷狀態
310-c	電荷狀態

315	正電壓
320	路徑
325	負電壓
330	路徑
335	電壓
340	路徑
345	路徑
350	電壓
355	電壓
360	電荷狀態
400	電路
405	固有數位線電容
405-a	固有數位線電容
410	虛擬接地
415	切換組件
415-a	FET
415-b	切換組件
420	感測電容器
425	參考電容器
430	電壓源
435	電壓源
440	開關
440-a	開關

445	開關
445-a	開關
450	開關
450-a	開關
455	開關
455-a	開關
460	虛擬接地
460-a	虛擬接地
465	偏移電容器
465-a	偏移電容器
470	電壓源
475	開關
475-a	開關
500	時序圖
505	軸
505-a	軸
510	軸
510-a	軸
515	字線電壓
515-a	字線電壓
520	板極電壓
520-a	板極電壓
525	數位線電壓

525-a	數位線電壓
530	感測電容器電壓
530-a	感測電容器電壓
530-b	感測電容器電壓
530-c	感測電容器電壓
530-d	感測電容器電壓
535	感測窗
535-a	感測窗
600	時序圖
700	方塊圖
710	偏壓組件
715	時序組件
725	鎖存器
800	系統
805	裝置
810	處理器
815	BIOS組件
820	周邊組件
825	輸入/輸出控制組件
830	匯流排
835	輸入
840	輸出
900	方法

905	方塊
910	方塊
915	方塊
1000	方法
1005	方塊
1010	方塊
1015	方塊
1020	方塊
1025	方塊
1100	方法
1105	方塊
1110	方塊
1115	方塊
1120	方塊
1125	方塊
1130	方塊

【發明摘要】

【中文發明名稱】

用於鐵電記憶體單元感測之偏移補償

【英文發明名稱】

OFFSET COMPENSATION FOR FERROELECTRIC MEMORY
CELL SENSING

【中文】

本發明描述用於操作一或若干鐵電記憶體單元之方法、系統及裝置。可藉由使用各種操作技術或額外電路組件或兩者來補償經連接至數位線之切換組件(例如，電晶體)之臨限電壓之偏移。例如，經連接至一數位線之一切換組件亦可連接至經選擇以補償一臨限電壓偏移之一偏移電容器。該偏移電容器可結合一讀取操作放電，從而導致施加至該切換組件之一臨限電壓。此可使該鐵電記憶體單元之所有或實質上所有經儲存電荷能夠被提取且透過該電晶體轉移至一感測電容器。一感測放大器可比較該感測電容器之電壓與一參考電壓以便判定該記憶體單元之經儲存邏輯狀態。

【英文】

Methods, systems, and devices for operating a ferroelectric memory cell or cells are described. Offsets in the threshold voltage of switching components (e.g., transistors) connected to digit lines may be compensated by using various operating techniques or additional circuit components, or both. For example, a switching component connected to a digit line may also be connected to an offset capacitor selected to compensate for a threshold voltage offset. The offset capacitor may be

discharged in conjunction with a read operation, resulting in a threshold voltage applied to the switching component. This may enable all or substantially all of the stored charge of the ferroelectric memory cell to be extracted and transferred to a sense capacitor through the transistor. A sense amplifier may compare the voltage of the sense capacitor to a reference voltage in order to determine the stored logic state of the memory cell.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 100 記憶體陣列
- 105 記憶體單元
- 110 字線
- 115 數位線
- 120 列解碼器
- 125 感測組件
- 130 行解碼器
- 135 輸入/輸出
- 140 記憶體控制器

【發明申請專利範圍】

【第1項】

一種方法，其包括：

使與一記憶體單元電子連通之一數位線虛擬接地；

至少部分地基於將該數位線虛擬接地而將一偏移電容器放電；及

至少部分地基於將該偏移電容器放電而將該記憶體單元之一經儲存電荷轉移至一感測電容器。

【第2項】

如請求項1之方法，其進一步包括：

至少部分地基於將該偏移電容器放電而將一電荷自該偏移電容器轉移至一切換組件。

【第3項】

如請求項1之方法，其進一步包括：

至少部分地基於將該偏移電容器放電而將該記憶體單元耦接至該感測電容器。

【第4項】

如請求項1之方法，其中將該偏移電容器放電包括：

經由一第三切換組件將該偏移電容器之一第一終端自一第一切換組件隔離；及

施加一虛擬接地至該偏移電容器之一第二終端。

【第5項】

如請求項1之方法，其進一步包括：

啟動耦接至一第一切換組件或該感測電容器或該兩者之一第二切換

組件，其中將該記憶體單元耦接至該感測電容器係至少部分地基於啟動該第二切換組件。

【第6項】

如請求項1之方法，其進一步包括：

透過一第二切換組件將該偏移電容器之一第一終端虛擬接地，其中該偏移電容器之該第一終端與一第一切換組件之一閘極及該第一切換組件之一汲極電子連通；及

在該第一終端為虛擬接地時將一電壓施加至該偏移電容器之一第二終端。

【第7項】

如請求項1之方法，其進一步包括：

啟動一第三切換組件，其中將該數位線虛擬接地係至少部分地基於啟動該第三切換組件。

【第8項】

如請求項1之方法，其進一步包括：

啟動一感測組件，該感測組件與該感測電容器電子連通；

至少部分地基於啟動該感測組件而比較該感測電容器之一電壓與一參考電壓；及

至少部分地基於比較該感測電容器之該電壓與該參考電壓而識別該記憶體單元之一邏輯狀態。

【第9項】

如請求項1之方法，其進一步包括：

啟動該記憶體單元之一選擇組件，該選擇組件耦接至該數位線，其

中轉移該經儲存電荷係至少部分地基於啟動該選擇組件。

【第10項】

如請求項1之方法，其中將該偏移電容器放電係經組態以致能(enable)在一感測操作期間來自於該記憶體單元之至少部分電荷提取。

【第11項】

一種電子記憶體設備，其包括：

一記憶體單元，其耦接至一數位線，該記憶體單元經組態以儲存一邏輯狀態；

一感測電容器，其與該記憶體單元電子連通，該感測電容器經組態以儲存指示該邏輯狀態之一電荷；

一偏移電容器；及

一第一切換組件，其與該數位線及該偏移電容器耦接。

【第12項】

如請求項11之電子記憶體設備，其進一步包括：

一感測組件，其與該感測電容器電子連通。

【第13項】

如請求項11之電子記憶體設備，其進一步包括：

一第三切換組件，其與該第一切換組件之一閘極及該第一切換組件之一終端耦接。

【第14項】

如請求項13之電子記憶體設備，其進一步包括：

一第四切換組件，其耦接至該偏移電容器、該第一切換組件之該閘極、及一接地或一虛擬接地。

【第15項】

如請求項11之電子記憶體設備，其進一步包括：

一電壓源，其耦接至該偏移電容器。

【第16項】

如請求項11之電子記憶體設備，其進一步包括：

一第五切換組件，其耦接至該數位線及一接地或一虛擬接地。

【第17項】

一種電子記憶體設備，其包括：

一記憶體單元，其耦接至一數位線；

一感測組件，其經由該數位線與該記憶體單元電子連通；

一第一切換組件，其耦接至該數位線及該感測組件；

一偏移電容器，其耦接至該第一切換組件；

一第二切換組件，其耦接至該數位線及一接地或一虛擬接地；及

一控制器，其可操作以：

將該數位線虛擬接地；

至少部分地基於將該數位線虛擬接地而將該偏移電容器放電；及

至少部分地基於將該偏移電容器放電而將該記憶體單元之一經儲存電荷轉移至一感測電容器。

【第18項】

如請求項17之電子記憶體設備，其中該控制器可操作以使該設備：

將來自於該記憶體單元之一電荷轉移至該感測組件之該感測電容器。

【第19項】

如請求項17之電子記憶體設備，其中該控制器可操作以：

至少部分地基於該感測電容器之一電壓與一參考電容器之一電壓之一比較而識別由該記憶體單元儲存之一邏輯狀態。

【第20項】

如請求項17之電子記憶體設備，其中該控制器可操作以：

至少部分地基於將該偏移電容器放電而將該記憶體單元耦接至該感測組件。

【第21項】

如請求項17之電子記憶體設備，其中該控制器可操作以：

經由一第三切換組件將該偏移電容器之一第一終端自該第一切換組件隔離；及

施加一虛擬接地至該偏移電容器之一第二終端。

【第22項】

如請求項17之電子記憶體設備，其中該控制器可操作以：

啟動耦接至該第一切換組件或該感測電容器或該兩者之該第二切換組件，其中將該記憶體單元耦接至該感測電容器係至少部分地基於啟動該第二切換組件。

【第23項】

如請求項17之電子記憶體設備，其中該控制器可操作以：

透過該第二切換組件將該偏移電容器之一第一終端虛擬接地，其中該偏移電容器之該第一終端與該第一切換組件之一閘極及該第一切換組件之一汲極電子連通；及

在該第一終端為虛擬接地時將一電壓施加至該偏移電容器之一第二

終端。

【第24項】

如請求項17之電子記憶體設備，其中該控制器可操作以：

啟動一第三切換組件，其中將該數位線虛擬接地係至少部分地基於啟動該第三切換組件。

【第25項】

如請求項17之電子記憶體設備，其中該控制器可操作以：

啟動該感測組件，該感測組件與該感測電容器電子連通；

至少部分地基於啟動該感測組件而比較該感測電容器之一電壓與一參考電壓；及

至少部分地基於比較該感測電容器之該電壓與該參考電壓而識別該記憶體單元之一邏輯狀態。

【發明說明書】

【中文發明名稱】

用於鐵電記憶體單元感測之偏移補償

【英文發明名稱】

OFFSET COMPENSATION FOR FERROELECTRIC MEMORY
CELL SENSING

【技術領域】

下文大體上係關於記憶體裝置且更具體言之係關於用於鐵電記憶體單元感測之偏移補償。

【先前技術】

記憶體裝置廣泛用於將資訊儲存於各種電子裝置中，諸如電腦、無線通信裝置、攝影機、數位顯示器及類似物。藉由程式化一記憶體裝置之不同狀態而儲存資訊。例如，二進位裝置具有兩個狀態，其等通常藉由一邏輯「1」或一邏輯「0」表示。在其他系統中，可儲存兩個以上狀態。為存取所儲存之資訊，電子裝置可讀取(或感測)記憶體裝置中之儲存狀態。為儲存資訊，電子裝置可將狀態寫入(或程式化)於記憶體裝置中。

存在多個類型之記憶體裝置，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態RAM (DRAM)、同步動態RAM (SDRAM)、鐵電RAM (FeRAM)、磁性RAM (MRAM)、電阻式RAM (RRAM)、快閃記憶體等等。記憶體裝置可係揮發性或非揮發性。非揮發性記憶體(例如，快閃記憶體)可甚至在不存在一外部電源的情況下儲存資料達延長時段。揮發性記憶體裝置(例如，DRAM)可隨時間丟失其等儲存狀態，除非其等藉由一外部電源週期性刷新。一二進位記憶體裝置可(例如)包含一充電或放電電

容器。一充電電容器可隨時間變得透過洩漏電流放電，導致儲存資訊之丟失。揮發性記憶體之特定特徵可提供效能優勢，諸如更快之讀取或寫入速度，而非揮發性記憶體之特徵(諸如在無週期性刷新的情況下儲存資料之能力)可係有利的。

FeRAM可使用類似於揮發性記憶體之裝置架構，但可歸因於使用一鐵電電容器作為一儲存裝置而具有非揮發性性質。因此，相較於其他非揮發性及揮發性記憶體裝置，FeRAM裝置可具有改良效能。然而，一些FeRAM感測方案可在判定經儲存邏輯狀態時僅提取鐵電電容器之儲存電荷之一部分。此可降低感測操作之可靠性或可限制原本可實現之記憶體單元(或陣列)大小減小。

【發明內容】

描述一方法。在一些例子中，該方法可包含使與一記憶體單元電子連通之一數位線虛擬接地；至少部分地基於將該數位線虛擬接地而將一偏移電容器放電；及至少部分地基於將該偏移電容器放電而將該記憶體單元之一經儲存電荷轉移至一感測電容器。

描述一電子記憶體設備。在一些例子中，該電子記憶體設備可包含一記憶體單元，其耦接至一數位線，該記憶體單元經組態以儲存一邏輯狀態；一感測電容器，其與該記憶體單元電子連通，該感測電容器經組態以儲存指示該邏輯狀態之一電荷；一偏移電容器；及一第一切換組件，其與該數位線及該偏移電容器耦接。

描述一電子記憶體設備。在一些例子中，該電子記憶體設備可包含一記憶體單元，其耦接至一數位線；一感測組件，其經由該數位線與該記憶體單元電子連通；一第一切換組件，其耦接至該數位線及該感測組件；

一偏移電容器，其耦接至該第一切換組件；一第二切換組件，其耦接至該數位線及一接地或一虛擬接地；及一控制器，其可操作以：將該數位線虛擬接地；至少部分地基於將該數位線虛擬接地而將該偏移電容器放電；及至少部分地基於將該偏移電容器放電而將該記憶體單元之一經儲存電荷轉移至一感測電容器。

【圖式簡單說明】

參考下列圖描述本發明之實施例：

圖1繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性記憶體陣列；

圖2繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一記憶體單元之一例示性電路；

圖3繪示根據本發明之各種實施例之一鐵電記憶體單元之操作之例示性磁滯曲線；

圖4繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性電路；

圖5繪示用於操作在記憶體單元感測期間不具有偏移補償之一鐵電記憶體單元之一時序圖；

圖6繪示根據本發明之各種實施例之用於操作在記憶體單元感測期間支援偏移補償之一鐵電記憶體單元之一時序圖；

圖7繪示根據本發明之各種實施例之在記憶體單元感測期間支援偏移補償之一例示性鐵電記憶體陣列；

圖8繪示根據本發明之各種實施例之包含在記憶體單元感測期間支援偏移補償之一記憶體陣列之一裝置；及

圖9至圖11係繪示根據本發明之各種實施例之用於在記憶體單元感測期間之偏移補償之一或若干方法之流程圖。

【實施方式】

交叉參考

本專利申請案主張2016年3月11日申請之Vimercati之標題為「Offset Compensation for Ferroelectric Memory Cell Sensing」之美國專利申請案第15/067,838號之優先權，該案讓渡給其受讓人。

可使用補償一電晶體偏移電壓之一感測方案來實現記憶體單元之增大感測可靠性。例如，一電晶體或其他切換組件可用於將一記憶體陣列之一數位線連接至用於感測(即，讀取)儲存於一記憶體單元中之一邏輯值之一感測放大器。當被啟動時，電晶體可在記憶體單元感測期間使數位線虛擬地接地。如下文描述，數位線接地可促進從一記憶體單元之全電荷提取，此繼而可增大感測操作之可靠性。然而，電晶體臨限電壓之變動可影響自記憶體單元之電荷轉移，此可導致感測期間之數位線電壓增大。即，電晶體之變動可引起數位線電壓增大或可引起在一讀取操作期間跨電晶體之一電壓降。此可降低用於判定記憶體單元之經儲存邏輯狀態之信號強度，因此降低感測可靠性。

一記憶體陣列內之記憶體單元(包含FeRAM單元)通常藉由一字線及一數位線存取。一單一數位線可連接許多記憶體單元且可經連接至一感測放大器，該放大器在被啟動時可判定一記憶體單元之經儲存邏輯狀態。為促進全電荷提取且因此增大用於感測操作之信號強度，可在一感測操作期間將一數位線接地且可與用於一感測或讀取操作之一感測電容器(即，一電容器，其可係一感測放大器之一特徵)共用一鐵電電容器之全電荷。

其中數位線接地且採用一感測電容器之一感測方案與依靠或經受數位線之固有電容來感測儲存於記憶體單元中之一狀態之FeRAM感測方案相反。在依靠用於感測之一數位線之方案中，當存取記憶體單元時，記憶體單元與數位線之間共用的電荷可引起在數位線上產生一電壓。經轉移至數位線之電荷量及因此最終數位線電壓可取決於記憶體單元之經儲存邏輯狀態。數位線之電壓可有效地減小用於感測鐵電記憶體單元之經儲存邏輯之電荷量。但防止數位線在讀取操作期間產生一非零電壓之一感測方案可容許從鐵電記憶體單元提取所有或實質上所有經儲存電荷。此可增大感測窗，因為所提取電荷之增大可如下文描述般導致感測放大器之一更高信號。

數位線可藉由啟動與數位線電子連通之一切換組件而在感測期間虛擬接地。切換組件(亦被稱為一切換裝置)可係一電晶體，諸如一p型場效電晶體(FET)，其可藉由施加等於其臨限電壓之一電壓而啟動。電晶體臨限電壓可(例如)歸因於電晶體尺寸、材料性質或製造之變動而變化。因此，不同電晶體可對相同的施加電壓作出不同的反應。例如，施加至一給定電晶體之電壓可不足以啟動電晶體。若電晶體經連接至一數位線，則足夠或適時啟動電晶體之一故障可引起數位線之電壓增大，直至電晶體啟動，因此減小從記憶體單元提取之總電荷及感測窗。

隨著電子組件(諸如電晶體)之大小持續減小且製造挑戰因此增大，臨限電壓偏移可愈加限制記憶體陣列之效能。即，電晶體性質(包含電壓偏移)之變動可在相對小於前代類似組件之組件中更明顯。在一些情況中，一記憶體陣列之設計或操作可取決於臨限電壓之最大變動。例如，最大適應偏移可指示最小可能的電晶體大小，或用於控制電路操作之電壓可經選

擇以適應陣列之最大偏移。因此，臨限電壓偏移(亦被稱為臨限偏移)可降低記憶體陣列效能或可限制與記憶體陣列之較小組件相關聯之潛在成本節省，或兩者。

如本文揭示，可補償或取消經連接至數位線之電晶體之一臨限電壓之偏移。電晶體可經連接至可放電之一偏移電容器，從而導致一臨限電壓施加至電晶體。以其臨限電壓操作電晶體可在感測期間使數位線虛擬接地，且可實現從記憶體單元之完全或幾乎完全電荷提取。提取之電荷可經轉移至可用於判定記憶體單元之儲存邏輯狀態之一感測電容器。另外，偏移補償可實現組件大小之進一步縮小，從而導致記憶體單元密度增大且製造成本減小。

在一些情況中，一單一導電元件(諸如一共同信號線)可啟動一個以上電晶體，且可補償各電晶體之偏移。例如，兩個電晶體之各者可與一偏移電容器電子連通，且一共同信號線可將各電容器充電及放電以便啟動兩個電晶體。因此，施加至信號線之一單一電壓可導致施加一臨限電壓至各電晶體，即使其等臨限電壓不同。此在產生一參考信號以判定記憶體單元之經儲存邏輯狀態時可係有益的。例如，可藉由操作一參考組件而產生一參考信號。參考信號可取決於按其臨限電壓操作一第二切換組件(諸如一第二p型FET)，其中藉由一共同信號線操作兩個FET。若未校正第二偏移，則參考信號之強度可降低，且因此可降低用於感測之邊限，即，參考信號與記憶體單元信號之間的差。

下文在一記憶體陣列之內容背景中進一步描述上文引入之本發明之實施例。接著，針對在感測一記憶體單元時支援偏移補償以使一數位線虛擬接地之一電路描述特定實例。亦呈現電路之一例示性時序圖。本發明之

此等及其他實施例藉由與用於鐵電記憶體單元感測之偏移補償(包含補償)相關之設備圖、系統圖及流程圖進一步繪示且參考其等描述。

圖1繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性記憶體陣列100。記憶體陣列100亦可被稱為一電子記憶體設備。記憶體陣列100包含可程式化以儲存不同狀態(例如，表示邏輯0及邏輯1之兩個狀態)之記憶體單元105。在一些情況中，記憶體單元105經組態以儲存兩個以上邏輯狀態。一記憶體單元105可包含一電容器來儲存表示可程式化狀態之一電荷；例如，一充電及未充電電容器可表示兩個邏輯狀態。DRAM架構通常可使用此一設計，且所採用之電容器可包含具有線性電性極化性質之一介電材料。相比而言，一鐵電記憶體單元可包含具有作為介電材料之一鐵電體之一電容器。一鐵電電容器之電荷之不同位準可表示不同邏輯狀態。鐵電材料具有非線性極化性質且在下文論述一鐵電記憶體單元105之一些細節及優勢。

可藉由啟動或選擇適當字線110及數位線115對記憶體單元105執行操作(諸如讀取及寫入)。啟動或選擇一字線110或一數位線115可包含施加一電壓至各自線。在一些情況中，一數位線115可被稱為一位元線。字線110及數位線115由導電材料製成。在一些實例中，字線110及數位線115由金屬(例如，銅、鋁、金、鎢等)製成。記憶體單元105之各列可經連接至一單一字線110，且記憶體單元105之各行可經連接至一單一數位線115。藉由啟動一個字線110及一個數位線115，可在其等之交叉處存取一單一記憶體單元105。字線110及數位線115之交叉可被稱為一記憶體單元之一位址。

在一些架構中，一單元之邏輯儲存裝置(例如，一電容器)可藉由一選

擇裝置與數位線電隔離。字線110可經連接至選擇裝置且可控制該選擇裝置。例如，選擇裝置可係一電晶體且字線110可經連接至電晶體之閘極。啟動字線110導致一記憶體單元105之電容器與其對應數位線115之間的一電連接。接著，可存取數位線以讀取或寫入記憶體單元105。

可透過一列解碼器120及一行解碼器130控制存取記憶體單元105。例如，一列解碼器120可從記憶體控制器140接收一列位址且基於所接收之列位址啟動適當字線110。類似地，一行解碼器130從記憶體控制器140接收一行位址且啟動適當數位線115。因此，藉由啟動一字線110及一數位線115，可存取一記憶體單元105。

在存取之後，可藉由感測組件125讀取或感測一記憶體單元105。例如，感測組件125可比較相關數位線115之一信號(例如，一電壓)與一參考信號(未展示)以便判定記憶體單元105之經儲存狀態。若數位線115具有高於參考電壓之一電壓，則感測組件125可將記憶體單元105中之經儲存狀態判定為一邏輯1，且反之亦然。在一些情況中，數位線115可在感測期間虛擬接地(例如，藉由一切換組件，諸如一場效電晶體)，此可容許記憶體單元105之經儲存電荷經由數位線115轉移至另一裝置(例如，一感測電容器，未展示)。可操作與切換組件電子連通之電路以補償切換組件之臨限電壓之一偏移。例如，一偏移電容器可經放電以施加一臨限電壓至電晶體。使數位線虛擬接地可容許將記憶體單元105之一全充電或實質上全充電用於讀取記憶體單元105。

感測組件125可包含各種電晶體或放大器以便偵測且放大一信號差，此可被稱為鎖存。感測組件125亦可包含一感測電容器，如參考圖4描述。記憶體單元105之經偵測邏輯狀態接著可透過行解碼器130輸出為輸

出135。

可藉由類似地啟動相關字線110及數位線115設定或寫入一記憶體單元105。如上文論述，啟動一字線110將記憶體單元105之對應列電連接至其等各自數位線115。藉由在啟動字線110時控制相關數位線115，可寫入一記憶體單元105，即，可將一邏輯值儲存於記憶體單元105中。行解碼器130可接受將寫入至記憶體單元105之資料(例如，輸入135)。在一鐵電電容器的情況中，藉由跨鐵電電容器施加一電壓而寫入一記憶體單元105。在下文中更詳細論述此程序。

在一些記憶體架構中，存取記憶體單元105可使經儲存之邏輯狀態降級或損毀經儲存之邏輯狀態且可執行重寫或刷新操作以將原始邏輯狀態返回至記憶體單元105。在DRAM中，例如，電容器可在一感測操作期間部分或完全放電，損壞經儲存之邏輯狀態。故可在一感測操作之後重寫邏輯狀態。另外，啟動一單一字線110可導致列中之所有記憶體單元放電；因此，可需要重寫列中之所有記憶體單元105。

一些記憶體架構(包含DRAM)可隨時間丟失其等儲存狀態，除非其等藉由一外部電源週期性刷新。例如，一充電電容器可隨時間變得透過洩漏電流放電，導致經儲存資訊之丟失。此等所謂的揮發性記憶體裝置之刷新速率可係相對高的-例如，對於DRAM可採用每秒數十個刷新操作，此可導致明顯的電力消耗。隨著記憶體陣列愈來愈大，尤其對於依靠一有限電源(諸如一電池)之行動裝置而言，增大之電力消耗可抑制記憶體陣列之部署或操作(例如，電力供應、熱產生、材料限制等)。

如下文論述，鐵電記憶體單元可具有可導致相對於其他記憶體架構之改良效能之有益性質。例如，因為鐵電記憶體單元傾向於較不易受經儲

存電荷之降級影響，故採用鐵電記憶體單元105之一記憶體陣列100可需要更少或無需刷新操作且因此可需要更少之電力進行操作。另外，採用本文描述之感測方案(其中提取一記憶體單元中之所有或實質上所有經儲存電荷)可使記憶體單元105之大小能夠減小，此可容許電力消耗相對於採用其他感測方案之其他陣列有所減小。

記憶體控制器140可透過各種組件(例如，列解碼器120、行解碼器130及感測組件125)控制記憶體單元105之操作(例如，讀取、寫入、重寫、刷新等)。記憶體控制器140可產生列及行位址信號以便啟動所要字線110及數位線115。記憶體控制器140亦可產生且控制在記憶體陣列100之操作期間使用之各種電壓電位。例如，記憶體控制器140可操作一切換組件以在感測期間使一數位線115虛擬接地。可藉由將與切換組件電子連通之一偏移電容器充電及放電而操作切換組件。一般言之，本文所論述之一經施加電壓之振幅、形狀或持續時間可經調整或變化且可針對在操作記憶體陣列100中所論述之各種操作而不同。此外，可同時存取記憶體陣列100內之一個、多個或所有記憶體單元105；例如，可在其中將所有記憶體單元105或一群組記憶體單元105設定至一單一邏輯狀態之一重設操作期間同時存取記憶體陣列100之多個或所有單元。

如本文中描述，可選擇與一數位線115電子連通之一鐵電記憶體單元105。可使數位線115虛擬接地。在一些情況中，可藉由啟動在數位線與感測組件125 (例如，感測組件125之一感測放大器)之間電子連通之一切換組件而使數位線115虛擬接地。可藉由將與切換組件電子連通之一偏移電容器放電而啟動切換組件。在一些實例中，切換組件可係一p型場效電晶體(FET)，其中將偏移電容器放電可導致施加一臨限電壓至p型FET之一

閘極。偏移電容器之電容可基於p型FET之一臨限電壓。

藉由實例，例如可在一讀取操作期間施加一電壓至鐵電記憶體單元105之一鐵電電容器。此可導致與數位線115電子連通之一感測電容器之充電。感測電容器之充電(其可為感測組件125之一特徵)可基於在數位線虛擬接地時施加電壓至鐵電電容器。在一些情況中，從鐵電記憶體單元105之鐵電電容器提取鐵電電容器之所有電荷。可在數位線115虛擬接地時啟動一感測放大器(其可係與數位線115電子連通之感測組件125之一特徵)。感測放大器可基於被啟動而比較感測電容器之一電壓與一參考電壓。

圖2繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性電路200。電路200包含一鐵電記憶體單元105-a、字線110-a、數位線115-a及感測組件125-a，其等可分別係如參考圖1描述之一記憶體單元105、字線110、數位線115及感測組件125之實例。電路200亦包含一參考組件225及一邏輯儲存組件(諸如電容器205)，電容器205可包含兩個導電終端(包含板極210及單元底部215)。在圖2之實例中，電容器205之終端藉由一絕緣鐵電材料分離。如上文描述，可藉由將電容器205充電或放電(即，使電容器205之鐵電材料極化)而儲存各種狀態。

可藉由操作在電路200中所表示之各種元件而讀取或感測電容器205之經儲存狀態。如描繪，電容器205與數位線115-a電子連通。因此，電容器205可在撤銷啟動選擇組件220時與數位線115-a隔離，且電容器205可在啟動選擇組件220以選擇鐵電記憶體單元105-a時經連接至數位線115-a。換言之，可使用與鐵電電容器205電子連通之選擇組件220來選擇鐵電記憶體單元105-a，其中鐵電記憶體單元105-a包含選擇組件220及鐵電電

容器205。在一些情況中，選擇組件220可係一電晶體且其操作可藉由施加一電壓至電晶體閘極而控制，其中所施加之電壓具有大於電晶體之臨限量值之一量值。字線110-a可啟動選擇組件220；例如，可透過字線110-a施加一電壓至電晶體閘極。

歸因於電容器205之板極之間的鐵電材料，且如下文更詳細論述，電容器205在連接至數位線115-a之後無法放電。代替地，可藉由一外部電壓加偏壓於板極210，從而導致電容器205上所儲存之電荷之一改變。所儲存電荷之改變對應於電容器205之一邏輯狀態。施加至電容器205之一電壓改變電容器205之電荷。接著，可藉由感測組件125-a比較所儲存電荷之改變與一參考(例如，一參考電壓)以便判定記憶體單元105-a中所儲存之邏輯狀態。

用於讀取記憶體單元105-a之特定感測方案或程序可採用許多形式。在一個實例中，數位線115-a可具有一固有電容且隨著電容器205回應於施加至板極210之電壓充電或放電而產生一非零電壓。固有電容可取決於數位線115-a之實體特性(包含尺寸)。數位線115-a可連接許多記憶體單元105，使得數位線115-a可具有導致一不可忽略之電容(例如，pF之數量級)之一長度。數位線115-a之後續電壓可取決於電容器205之初始邏輯狀態，且感測組件125-a可比較此電壓與藉由參考組件225提供之一參考電壓。例如，可施加一電壓至板極210且單元底部215處之一電壓可相對於經儲存之電荷而改變。可比較單元底部215處之電壓與感測組件125-a處之一參考電壓，且與參考電壓之一比較可指示源自所施加之電壓之電容器205之電荷之一改變且因此指示儲存於記憶體單元105-a中之一邏輯狀態。參考圖3進一步詳細描述電容器205中之電荷與電壓之間的關係。

可使用其他感測程序，諸如在感測期間使用一主動切換組件(如在圖4中描繪)使數位線虛擬接地。例如，可啟動與數位線115-a電子連通之一切換組件以藉由將與切換組件電子連通之一偏移電容器充電及放電而使數位線115-a虛擬接地。此啟動程序可補償切換組件之偏移(例如，一電晶體之臨限電壓之偏移)之變動。當啟動切換組件時，可基於選擇鐵電記憶體單元105-a將一電壓施加至鐵電電容器205。此可導致對可包含於感測組件125-a中之一感測電容器充電，該感測電容器在數位線115-a虛擬接地時與鐵電記憶體單元105-a電子連通。在一些情況中，充電係基於經施加至記憶體單元105-a之鐵電電容器205之一電壓，此可導致透過切換組件將鐵電記憶體單元105-a之一經儲存電荷轉移至感測電容器。

為感測經儲存狀態，可比較感測電容器之一電壓與一參考電壓。在一些情況中，比較感測電容器之電壓與參考電壓包含啟動與感測電容器電子連通之一感測放大器。在一些實例中，感測放大器係感測組件125-a之部分。參考電壓可源自對與感測放大器電子連通之一參考電容器充電，且感測放大器可比較感測電容器之電壓與參考電容器之電壓。

為寫入記憶體單元105-a，可施加一電壓至電容器205。可使用各種方法。例如，可透過字線110-a啟動選擇組件220以便將電容器205電連接至數位線115-a。可藉由透過數位線115-a控制板極210及單元底部215之電壓而施加一電壓至電容器205。為寫入一邏輯0，板極210可為高(即，可施加一正電壓)且單元底部215可為低(即，連接至接地，虛擬接地，或可施加負電壓)。執行相反程序來寫入一邏輯1，即，板極210可為低且單元底部215可為高。

電容器205之讀取及寫入操作可係與一鐵電裝置相關聯之非線性性質

之一結果。圖3使用磁滯曲線300-a及300-b來繪示此等非線性性質之實例。磁滯曲線300-a及300-b分別繪示根據本發明之各種實施例之一鐵電記憶體單元寫入及讀取程序之一實例。磁滯曲線300描繪依據一電壓電位差V而變化之儲存於鐵電電容器(圖2、圖4、圖5及圖6之電容器205)上之電荷Q。

一鐵電材料之特徵為一自發電性極化，即，其在不存在電場的情況下維持一非零電性極化。例示性鐵電材料包含鈦酸鋇(BaTiO_3)、鈦酸鉛(PbTiO_3)、鋇鈦酸鉛(PZT)、鈹鉬酸(SBT)等等。所描述之鐵電電容器(包含參考圖2及圖4至圖6描述之電容器205)可包含此等或其他鐵電材料。一鐵電電容器內之電性極化導致鐵電材料之表面處之一淨電荷且透過電容器終端吸引相反電荷。因此，電荷可儲存於鐵電材料與電容器終端之介面處。因為可在不存在一外部施加之電場的情況下相對長時間甚至無限地維持電性極化，故相較於(例如)DRAM陣列中所採用之電容器，可顯著減少電荷洩漏。此可降低對如上文描述般執行刷新操作之需要。

可從一電容器之一單一終端之視角理解磁滯曲線300。藉由實例，若鐵電材料具有一負極化，則正電荷可累積在終端處。同樣地，若鐵電材料具有一正極化，則負電荷可累積在終端處。另外，磁滯曲線300中之電壓表示跨電容器之一電壓差且係方向性的。例如，可藉由施加一正電壓至所述終端且維持第二終端接地(或為約零伏特(0 V))而施加一正電壓。可藉由維持所述終端接地(或0 V)且施加一正電壓至第二終端而施加一負電壓，即，可施加正電壓以使所述終端負極化。類似地，可施加兩個正電壓、兩個負電壓或正電壓及負電壓之任何組合至適當電容器終端以產生在磁滯曲線300中展示之電壓差。

如在磁滯曲線300-a中描繪，鐵電材料可使用一零電壓差維持一正或負極化，從而導致兩個可能電荷狀態：電荷狀態305及電荷狀態310。根據圖3之實例，電荷狀態305表示一邏輯0且電荷狀態310表示一邏輯1。在一些實例中，在不改變理解的情況下可反轉各自電荷狀態之邏輯值。

可藉由控制鐵電材料之電性極化及因此電容器終端上之電荷(藉由施加電壓)而將一邏輯0或1寫入記憶體單元。例如，跨電容器施加一淨正電壓315導致電荷累積，直至到達電荷狀態305-a。在移除電壓315之後，電荷狀態305-a遵循路徑320直至其到達零電壓電位之電荷狀態305。類似地，藉由施加一淨負電壓325寫入電荷狀態310，此導致電荷狀態310-a。在移除負電壓325之後，電荷狀態310-a遵循路徑330直至其到達在零電壓之電荷狀態310。電荷狀態305-a及電荷狀態310-a亦可被稱為殘餘極化(Pr)值，即，在移除外部偏壓(例如，電壓)之後保留之極化(或電荷)。矯頑電壓係電荷(或極化)為零之電壓。

為讀取或感測鐵電電容器之經儲存狀態，可跨電容器施加一電壓。作為回應，經儲存電荷改變，且改變程度取決於初始電荷狀態，即，電容器之經儲存電荷改變之程度係可變的且取決於是否最初儲存電荷狀態305-b或310-b。例如，磁滯曲線300-b繪示兩個可能經儲存電荷狀態305-b或310-b。可跨電容器施加淨電壓335。雖然描繪為一正電壓，但電壓335可係負的。回應於電壓335，電荷狀態305-b可遵循路徑340。同樣地，若最初儲存電荷狀態310-b，則其遵循路徑345。電荷狀態305-c及310-c之最終位置取決於數個因數，包含特定感測操作及電路。

如上文論述，讀取一DRAM記憶體單元可使經儲存邏輯降級或損毀經儲存邏輯。然而，一鐵電記憶體單元可在一讀取操作之後維持初始邏輯

狀態。例如，若儲存電荷狀態305-b且執行讀取操作，則電荷狀態可在移除電壓335之後例如藉由在相反方向上遵循路徑340而返回至初始電荷狀態305-b。

在一些情況中，在一讀取操作期間感測之電荷可取決於一記憶體單元之數位線之固有電容。例如，若記憶體單元之一鐵電電容器經電連接至數位線且施加電壓335，則數位線之電壓可歸因於其固有電容而升高。因此，在一感測組件處量測之一電壓可不等於電壓335且代替地可取決於數位線之電壓。因此，磁滯曲線300-b上之最終電荷狀態305-c及310-c之位置可取決於數位線之電容且可透過一負載線分析判定，即，可相對於數位線電容界定電荷狀態305-c及310-c。因此，電容器之電壓、電壓350或電壓355可係不同的且可取決於電容器之初始狀態。

當將一數位線用於一讀取操作時(例如，當一數位線未虛擬接地時)，則取決於經儲存邏輯狀態，數位線之所得電壓可係電壓335與電壓350之間的差或電壓335與電壓355之間的差。藉由比較數位線電壓與一參考電壓，可判定電容器之初始狀態。例如，參考電壓可係數位線邏輯0及邏輯1電壓之一平均值(例如， $[(\text{電壓}335 - \text{電壓}350) + (\text{電壓}335 - 355)]/2$)。在比較之後，可將經感測之數位線電壓判定為高於或低於參考電壓。接著可基於比較判定鐵電單元之一值(即，一邏輯0或1)。但此方法可不容許提取電容器之一全電荷。

其他感測方案係可能的。例如，在記憶體單元感測期間，可將數位線維持在0 V。在此等情況中，電荷狀態305-c及310-c之最終位置可獨立於數位線電容。例如，可在感測期間藉由啟動一切換組件而使數位線虛擬接地。在此等情況中，電荷狀態305-c及310-c可共同定位於電荷狀態

360，且可自鐵電記憶體單元提取全電荷或實質上全電荷(例如，幾乎所有電荷)，此藉由大於電荷狀態310-c與310-b之間的差之電荷狀態360與310-b之差繪示。此電荷可經儲存於一感測電容器上，且接著可使用感測電容器之電壓來判定記憶體單元之經儲存狀態。此可導致在感測放大器處產生高於依靠一數位線之固有電容之一感測方案之一信號。

在結果具有極小差異或無差異的情況下，可配合一較小記憶體單元採用類似感測方案。例如，此可增大記憶體單元及記憶體陣列之按比例調整能力。但如上文提及，隨著記憶體陣列及其等組件之大小減小，可產生組件性質(諸如臨限偏移)之變動。因此，可操作記憶體陣列來補償與在感測期間使數位線虛擬接地之一電晶體相關聯之臨限電壓之一偏移。再者，記憶體陣列可經組態具有用來補償臨限電壓之偏移之組件。

圖4繪示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一例示性電路400。電路400包含記憶體單元105-b、字線110-b、數位線115-b及感測組件125-b，其等可分別係如參考圖1及圖2描述之一記憶體單元105、字線110、數位線115及感測組件125之實例。電路400亦包含電容器205-a、板極210-a及參考組件225-a，其等可分別係如參考圖2描述之電容器205、板極210及參考組件225之實例。另外，根據圖4之實例，數位線115-b包含固有數位線電容405且能夠經由開關440連接至虛擬接地410。電路400亦包含感測電容器420、參考電容器425、(若干)電壓源430、(若干)電壓源435、開關440、445、450及455、虛擬接地460、偏移電容器465及電壓源470。在一些情況中，電壓源470可將偏移電容器465充電及放電以啟動切換組件415，此可使數位線115-b虛擬接地，且因此實現在記憶體單元105-b之感測期間從電容器205-a至感測電容器420之

全電荷或實質上全電荷轉移。

參考組件225-a可經組態以產生一參考信號且在一些情況中可包含用來操作充當參考單元之一或多個鐵電記憶體單元105之電路。在一些實例中，參考組件225-a包含記憶體單元105-c、字線110-c及參考數位線115-c，其等可分別係參考圖1及圖2描述之一記憶體單元105、字線110及數位線115之實例。參考組件225-a亦可包含電容器205-b及板極210-b，其等可分別係如參考圖2所描述之電容器205及板極210之實例。另外，根據圖4之實例，參考數位線115-c包含固有參考數位線電容405-a。參考組件225-a亦可包含開關440-a、445-a、450-a及455-a、虛擬接地460-a及偏移電容器465-a。在一些情況中，偏移電容器465及465-a可共同連接至一電壓源(例如，電壓源470)。

數位線115-b及參考數位線115-c可具有一固有電容，其可分別藉由固有數位線電容405及405-a表示。在圖4之實例中，固有數位線電容405及405-a並非一電裝置，例如，其可不係二端電容器。代替地，固有數位線電容405及405-a可取決於數位線115-b及參考數位線115-c之實體特性，包含尺寸。

虛擬接地410可提供一虛擬接地至數位線115-b。虛擬接地410可透過一開關440與數位線115-b分離。在一些實例中，開關440、445、450及455可係電晶體。切換組件415可係與感測電容器420及數位線115-b串聯連接之一電晶體。在一些情況中，電晶體包括一p型FET。感測電容器420及參考電容器425可係經組態以在感測記憶體單元105-b時儲存電荷之電容器。在一些情況中，感測電容器420及參考電容器425可具有相同電容-例如，感測電容器420及參考電容器425可具有以法拉為單位進行量測之一

共同值或額定值。參考電容器425可與參考組件225-a電子連通。在一些情況中，可將藉由參考組件225-a產出之電荷儲存於參考電容器425上。

感測組件125-b可判定記憶體單元105-b之經儲存狀態。感測組件125-b可係或可包含一感測放大器。在一些實例中，藉由(若干)電壓源430及435操作感測組件125-b。感測組件125-b亦可包含感測電容器420，儘管在圖4之實例中未描繪。

當切換組件415未作用時(即，當數位線115-b與感測電容器420電隔離時)，可藉由(若干)電壓源430或435施加一充電電壓至感測電容器420。在一些實例中，可斷開開關445以將數位線115-b與感測電容器420電隔離。經施加至感測電容器420之充電電壓可係負的。接著，可將感測電容器420與(若干)電壓源430或435電隔離。可在感測記憶體單元105-b之前發生對感測電容器420充電。

如描繪，鐵電記憶體單元105-b與數位線115-b電子連通。可啟動亦與數位線115-b電子連通之切換組件415以使數位線115-b虛擬接地。在一些實例中，切換組件415係一p型FET且偏移電容器465與p型FET之閘極電子連通。切換組件415亦可透過開關455連接至虛擬接地460。在切換組件係一p型FET之一些實例中，FET之閘極可透過開關450與FET之汲極電子連通。啟動切換組件415以使數位線115-b虛擬接地可包含使用電壓源470將偏移電容器465充電及放電。

可使用與鐵電電容器205-a電子連通之一選擇組件220-a來選擇鐵電記憶體單元105-b，其中鐵電記憶體單元105-b包含選擇組件220-a及鐵電電容器205-a。例如，選擇組件220-a可係一電晶體(例如，一FET)且可藉由使用字線110-b施加至一電晶體之一閘極之一電壓啟動。

當啟動切換組件415時，可基於選擇鐵電記憶體單元105-b而將一電壓施加至鐵電電容器205-a。例如，可使用板極210-a來施加一電壓。此可引起與鐵電記憶體單元105-b電子連通之感測電容器420在數位線115-b虛擬接地時充電。因此，充電可基於經施加至記憶體單元105-b之鐵電電容器205-a之一電壓，且導致透過切換組件415將鐵電記憶體單元105-b之一經儲存電荷轉移至感測電容器420。

可比較感測電容器420之一電壓與一參考電壓。在一些情況中，比較感測電容器420之電壓與參考電壓包含啟動與感測電容器420電子連通之感測組件125-b。在一些情況中，感測組件125-b係或包含一感測放大器。參考電壓可源自對與感測組件125-b電子連通之參考電容器425充電，且感測組件125-b可比較感測電容器420之電壓與參考電容器425之電壓。

電路400之一例示性操作可包含閉合開關440、450及455，且斷開開關445。閉合開關440最初使數位線115-b接地。可閉合開關475且可使用電壓源430對感測電容器420充電；接著可斷開開關475。當偏移電容器之第二終端與虛擬接地460電子連通時，電壓源470可施加一正電壓至偏移電容器465。可斷開開關455且電壓源470可施加一零電壓至偏移電容器465以將電容器465放電。此可導致將電荷轉移至切換組件415，例如至可係一p型FET之一FET之閘極。因為，FET可經連接為一二極體，故所得平衡電壓可約為FET之臨限電壓。可斷開開關440、450及455且可閉合開關445。字線110-b可啟動記憶體單元105-b之選擇組件220-a，且板極210-a可施加一電壓至鐵電電容器205-a。此可導致在藉由切換組件415使數位線115-b虛擬接地時將電荷轉移至感測電容器420。

可以一類似方式操作參考組件225-a。例如，可閉合開關440-a、

450-a及455-a且可斷開開關445-a。閉合開關440-a最初使數位線115-b接地。可閉合開關475-a且可使用電壓源430對參考電容器425充電；接著可斷開開關475-a。電壓源470可共同連接至偏移電容器465及465-a且可在偏移電容器465-a之第二終端與虛擬接地460-a電子連通時施加一正電壓至偏移電容器465-a。可斷開開關455-a且電壓源470可施加一零電壓至偏移電容器465-a。此可導致將電荷轉移至切換組件415，例如，至FET 415-a之閘極。在一些情況中，FET 415-a之臨限電壓不等於FET 415之臨限電壓。因為FET可經連接為一二極體，故所得平衡電壓可約為FET 415-a之臨限電壓。因此，藉由施加一共同電壓至偏移電容器465及465-a，可將FET 415及415-a之各自臨限電壓(即使在該等臨限電壓不相等時)施加至FET 415及415-a。

接著，可斷開開關440-a、450-a及455-a且可閉合開關445-a。字線110-c可啟動參考記憶體單元105-c之選擇組件220-b，且板極210-b可施加一電壓至鐵電電容器205-b。此可導致在藉由切換組件415-a使參考數位線115-c虛擬接地時將電荷轉移至參考電容器425。

圖5繪示根據本發明之各種實施例之用於操作在記憶體單元感測期間不具有偏移補償之一鐵電記憶體單元之一時序圖500。時序圖500在軸505上描繪電壓且在軸510上描繪時間。因此，在時序圖500上表示依據時間而變化之各種組件之電壓。例如，時序圖500包含字線電壓515、板極電壓520、數位線電壓525及感測電容器電壓530。時序圖500描繪不具有偏移補償之記憶體單元感測之一例示性操作。在下文參考先前圖之組件描述圖5。

如在圖4中論述，最初可將感測電容器420充電至一負電壓，如藉由

感測電容器電壓530描繪。可施加字線電壓515至與一鐵電記憶體單元105相關聯之一字線110。可施加板極電壓520至鐵電記憶體單元105之一板極210。數位線電壓525最初可為零，但接著可在施加板極電壓520之後升高至一非零電壓。數位線電壓525之升高可係歸因於未完全啟動切換組件，諸如圖4之切換組件415。

例如，在其中切換組件415係一FET且未施加適當臨限電壓之一實例中，可不啟動FET直至數位線之電壓增大。一旦數位線電壓525充分增大以啟動切換組件，電荷便可轉移至一感測電容器420，從而導致感測電容器電壓530之改變。感測電容器電壓530之改變可取決於記憶體單元105之邏輯狀態。例如，若儲存一邏輯0，則感測電容器電壓530可改變至感測電容器電壓530-a。若儲存一邏輯1，則感測電容器電壓530可改變至感測電容器電壓530-b。感測電容器電壓530-a與感測電容器電壓530-b之間的差可稱為感測窗535。可藉由比較感測電容器電壓530-a或530-b與一參考電壓而判定經儲存邏輯狀態。例如，參考電壓係感測電容器電壓530-a與530-b之間的一值。與數位線電壓525已經維持於零伏特之情況相比，感測窗535在此處可較小，此係因為數位線電壓525之升高可暗示未從記憶體單元105提取所有電荷。

圖6繪示根據本發明之各種實施例之用於操作支援用於鐵電記憶體單元感測之偏移補償之一鐵電記憶體單元之一時序圖600。時序圖600在軸505-a上描繪電壓且在軸510-a上描繪時間。因此，在時序圖600上表示依據時間而變化之各種組件之電壓。例如，時序圖600包含字線電壓515-a、板極電壓520-a、數位線電壓525-a及感測電容器電壓530。時序圖600描繪具有偏移補償之記憶體單元感測之一例示性操作，諸如在圖4中描述之電

路。在下文參考先前圖之組件描述圖6。

如在圖4中論述，最初可將感測電容器420充電至一負電壓，如藉由感測電容器電壓530描繪。可施加字線電壓515-a至與一鐵電記憶體單元105相關聯之一字線110。可施加板極電壓520-a至鐵電記憶體單元105之一板極210。在如先前論述之感測期間，數位線電壓525-a可為約零或虛擬接地。例如，一切換組件415可在感測期間使數位線虛擬接地。因此，可如在圖4中描述般補償切換組件415之臨限電壓之一偏移。在一些情況中，數位線電壓525-a暫時偏離零。

在施加字線電壓515-a及板極電壓520-a時數位線電壓525-a為約0 V的情況下，電荷可轉移至一感測電容器420，從而導致感測電容器電壓530之改變。如上文論述，感測電容器電壓530之改變可取決於記憶體單元105之邏輯狀態。例如，若儲存一邏輯0，則感測電容器電壓530可改變至感測電容器電壓530-c。若儲存一邏輯1，則感測電容器電壓530可改變至感測電容器電壓530-d。感測電容器電壓530-c與感測電容器電壓530-d之間的差可為感測窗535-a。與在未補償切換組件415之臨限偏移的情況下操作一電路之情況(如在圖5中描繪)相比，感測窗535-a在此處可較大，此係歸因於基於使數位線虛擬接地而提取更大部分之經儲存電荷。可藉由比較感測電容器電壓530-c或530-d與一參考電壓而判定經儲存邏輯狀態。例如，參考電壓可係感測電容器電壓530-c與530-d之間的一值。

圖7展示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一記憶體陣列100-a之一方塊圖700。記憶體陣列100-a可被稱為一電子記憶體設備且可包含記憶體控制器140-a及記憶體單元105-d，其等可係參考圖1、圖2及圖4描述之記憶體控制器140及記憶體單元105之實

例。記憶體控制器140-a可包含偏壓組件710及時序組件715，且可如在圖1至圖6中描述般操作記憶體陣列100-a。記憶體控制器140-a可與字線110-d、數位線115-d、感測組件125-c、板極210-c、參考組件225-b及切換組件415-b電子連通，其等可係參考圖1、圖2、圖4至圖6描述之字線110、數位線115、感測組件125、板極210、參考組件225及切換組件415之實例。

在一些實例中，切換組件415-b與數位線115-d電子連通，如上文論述。切換組件415-b亦可與一偏移電容器(未展示)電子連通，如在圖4中描繪且參考圖4描述。可藉由記憶體控制器140-a操作偏移電容器。記憶體陣列100-a亦可包含鎖存器725。記憶體陣列100-a之組件可彼此電子連通且可執行參考圖1至圖6描述之功能。

記憶體控制器140-a可經組態以藉由施加電壓至字線110-d、感測組件125-c、板極210-c、參考組件225-b或切換組件415-b而啟動該等各種節點。例如，偏壓組件710可經組態以施加一電壓以操作記憶體單元105-d以讀取或寫入記憶體單元105-d，如上文描述。在一些情況中，記憶體控制器140-a可包含一列解碼器、行解碼器或兩者，如參考圖1描述。此可使記憶體控制器140-a能夠存取一或多個記憶體單元105。偏壓組件710亦可提供電壓電位至參考組件225-b以便產生感測組件125-c之一參考信號。另外，偏壓組件710可提供電壓電位以用於感測組件125-c之操作。在一些情況中，記憶體控制器140-a可將與切換組件415-b電子連通之一偏移電容器充電及放電以便補償切換組件415-b之臨限偏移。

在一些實例中，記憶體控制器140-a可使用時序組件715來執行其操作。例如，時序組件715可控制各種字線或板極偏壓之時序(包含用於切換

及電壓施加之時序)以執行本文論述之記憶體功能(諸如讀取及寫入)。在一些情況中，時序組件715可控制偏壓組件710之操作。

參考組件225-b可產生感測組件125-c之一參考信號。參考組件225-b可例如包含經特定組態以產生一參考信號之電路。在一些情況中，參考組件225-b係另一鐵電記憶體單元。在一些實例中，參考組件225-b經組態以輸出具有在兩個感測電壓之間的一值之一電壓，如參考圖3描述。或參考組件225-b可經設計以輸出一虛擬接地電壓，即，約0 V。

感測組件125-c可比較來自記憶體單元105-d (透過數位線115-d)之一信號與來自參考組件225-b之一參考信號。在判定邏輯狀態之後，感測組件125-c接著可將輸出儲存於鎖存器725中，其中其可根據使用記憶體陣列100-a之一電子裝置之操作而使用。

圖8展示根據本發明之各種實施例之支援用於鐵電記憶體單元感測之偏移補償之一系統800之一圖。系統800可包含一裝置805，其可係或包含一印刷電路板來連接或實體支撐各種組件。裝置805可包含一記憶體陣列100-b，其可係圖1及圖7中描述之記憶體陣列100之一實例。記憶體陣列100-b可含有記憶體控制器140-b及(若干)記憶體單元105-e，其等可係參考圖1及圖7描述之記憶體控制器140及參考圖1至圖7描述之記憶體單元105之實例。裝置805亦可包含一處理器810、BIOS組件815、(若干)周邊組件820及輸入/輸出控制組件825。裝置805之組件可透過匯流排830彼此電子連通。

處理器810可經組態以透過記憶體控制器140-b操作記憶體陣列100-b。在一些情況中，處理器810可執行參考圖1及圖7描述之記憶體控制器140之功能。例如，記憶體控制器140-b可將一偏移電容器465充電及放電

以啟動可使一數位線115虛擬接地之一切換組件以便提取記憶體單元105-e中之經儲存電荷。在其他情況中，記憶體控制器140-b可經整合至處理器810中。處理器810可係一通用處理器、一數位信號處理器(DSP)、一特定應用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其可係此等類型之組件之一組合，且處理器810可執行本文描述之各種功能(包含用於鐵電記憶體單元感測之偏移補償)。例如，處理器810可經組態以執行儲存於記憶體陣列100-b中之電腦可讀指令以引起裝置805執行各種功能或任務。

BIOS組件815可係包含經操作為韌體之一基本輸入/輸出系統(BIOS)之一軟體組件，其可初始化且運行系統800之各種硬體組件。BIOS組件815亦可管理處理器810與各種組件(例如，周邊組件820、輸入/輸出組件825等)之間的資料流。BIOS組件815可包含經儲存於唯讀記憶體(ROM)、快閃記憶體或任何其他非揮發性記憶體中之一程式或軟體。

(若干)周邊組件820可係經整合至裝置805中之任何輸入或輸出裝置，或此等裝置之一介面。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、USB控制器、一串列或並列埠或周邊卡槽(諸如周邊組件互連(PCI)或加速圖形埠(AGP)槽)。

輸入/輸出控制組件825可管理處理器810與(若干)周邊組件820、輸入835或輸出840之間的資料連通。輸入/輸出控制組件825亦可管理未經整合至裝置805中之周邊設備。在一些情況中，輸入/輸出控制組件825可表示至外部周邊設備之一實體連接或埠。

輸入835可表示裝置805外部之一裝置或信號，其提供輸入至裝置805或裝置805之組件。此可包含一使用者介面或與其他裝置或其他裝置之間

的介面。在一些情況中，輸入835可係經由(若干)周邊組件820與裝置805介接或可藉由輸入/輸出組件825管理之一周邊設備。

輸出840可表示裝置805外部之一裝置或信號，其經組態以從裝置805或裝置805之組件之任一者接收輸出。輸出840之實例可包含一顯示器、音頻揚聲器、一印刷裝置、另一處理器或印刷電路板等。在一些情況中，輸出840可係經由(若干)周邊組件820與裝置805介接或可藉由輸入/輸出組件825管理之一周邊設備。

記憶體控制器140-b、裝置805及記憶體陣列100-b之組件可由經設計以執行其等功能之電路組成。此可包含經組態以執行本文描述之功能之各種電路元件，例如，導電線、電晶體、電容器、電感器、電阻器、放大器或其他作用或非作用元件。

圖9展示一流程圖，其繪示根據本發明之各種實施例之操作具有偏移補償之一鐵電記憶體單元之一方法900。方法900之操作可藉由如參考圖1至圖8描述之一記憶體陣列100實施。例如，可藉由如參考圖1、圖7及圖8描述之一記憶體控制器140執行方法900之操作。在一些實例中，一記憶體控制器140可執行一組碼來控制記憶體陣列100之功能元件以執行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體來執行下文描述之一些或所有功能。

在方塊905，方法可包含使與如參考圖1至圖6描述之鐵電記憶體單元電子連通之一數位線虛擬接地。在特定實例中，可藉由記憶體控制器140執行方塊905之操作，如參考圖1、圖7及圖8描述。

在方塊910，方法可包含將與如參考圖1至圖6描述之一切換組件電子連通之一偏移電容器放電。在特定實例中，可藉由如參考圖1、圖4、圖7

及圖8描述之記憶體控制器140或電壓源470執行方塊910之操作。將偏移電容器放電可施加一臨限電壓至切換組件。

在方塊915，方法可包含透過切換組件將鐵電記憶體單元之一經儲存電荷轉移至一感測電容器，其中如參考圖1至圖6描述，在數位線虛擬接地時且在偏移電容器已放電之後轉移經儲存電荷。在特定實例中，可藉由記憶體控制器140及感測電容器420執行方塊915之操作，如參考圖1、圖7及圖8描述。

圖10展示一流程圖，其繪示根據本發明之各種實施例之操作具有偏移補償之一鐵電記憶體單元之一方法1000。方法1000之操作可藉由如參考圖1至圖8描述之一記憶體陣列100實施。例如，可藉由如參考圖1、圖7及圖8描述之一記憶體控制器140執行方法1000之操作。在一些實例中，一記憶體控制器140可執行一組碼來控制記憶體陣列100之功能元件以執行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體來執行下文描述之功能。

在方塊1005，方法可包含使與如參考圖1至圖6描述之鐵電記憶體單元電子連通之一數位線虛擬接地。在特定實例中，可藉由記憶體控制器140執行方塊1005之操作，如參考圖1、圖7及圖8描述。

在方塊1010，方法可包含藉由將一偏移電容器放電而啟動一p型場效電晶體(FET)，該偏移電容器與該p型FET電子連通，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140執行方塊1010之操作，如參考圖1、圖7及圖8描述。將偏移電容器放電可施加一臨限電壓至切換組件。在一些例項中，偏移電容器之電容可基於該p型FET之一臨限電壓。

在方塊1015，方塊可包含如參考圖1至圖6描述般將數位線維持於虛

擬接地。在特定實例中，可藉由記憶體控制器140執行方塊1015之操作，如參考圖1、圖7及圖8描述。在一些情況中，啟動切換組件(例如，p型FET)可將數位線維持於虛擬接地。

在方塊1020，方法可包含透過p型FET將鐵電記憶體單元之一經儲存電荷轉移至一感測電容器，其中在數位線虛擬接地時且在偏移電容器已放電之後轉移經儲存電荷，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140及感測電容器420執行方塊1020之操作，如參考圖1、圖7及圖8描述。

在方塊1025，方法可包含啟動與感測電容器電子連通之一感測放大器，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140、感測組件125及/或感測電容器420執行方塊1025之操作，如參考圖1、圖7及圖8描述。在一些例項中，感測放大器可基於被啟動而比較感測電容器之一電壓與一參考電壓。

方法亦可包含施加一電壓至一鐵電記憶體單元之一鐵電電容器，此可導致與數位線電子連通之感測電容器之充電。方法亦可包含選擇鐵電記憶體單元，其中選擇鐵電記憶體單元可包含啟動與鐵電電容器及數位線電子連通之一選擇組件，其中鐵電記憶體單元包括選擇組件及鐵電電容器。方法亦可包含施加一電壓至鐵電記憶體單元之一鐵電電容器。

圖11展示一流程圖，其繪示根據本發明之各種實施例之操作採用偏移補償之一鐵電記憶體單元之一方法1100。方法1100之操作可藉由一記憶體陣列100實施，如參考圖1至圖8描述。例如，可藉由一記憶體控制器140執行方法1100之操作，如參考圖1、圖7及圖8描述。在一些實例中，一記憶體控制器140可執行一組碼來控制記憶體陣列100之功能元件以執

行下文描述之功能。另外或替代地，記憶體控制器140可使用專用硬體來執行下文描述之功能。

在方塊1105，方法可包含使與鐵電記憶體單元電子連通之一數位線虛擬接地，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140執行方塊1105之操作，如參考圖1、圖7及圖8描述。

在方塊1110，方法可包含使與一參考電路電子連通之一參考數位線虛擬接地，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140執行方塊1110之操作，如參考圖1、圖7及圖8描述。在一些情況中，參考電路可包含一或多個鐵電記憶體單元105。

在方塊1115，方法可包含將與一第一切換組件電子連通之一第一偏移電容器放電，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140執行方塊1115之操作，如參考圖1、圖7及圖8描述。將第一偏移電容器放電可容許一臨限電壓施加至第一切換組件。

在方塊1120，方法可包含將與一第二切換組件電子連通之一第二偏移電容器放電，其中第一偏移電容器及第二偏移電容器與一共同信號線電子連通，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140執行方塊1120之操作，如參考圖1、圖7及圖8描述。在一些情況中，第一及第二切換組件可係p型FET。將第二偏移電容器放電可施加一臨限電壓至第二p型FET之閘極。在一些情況中，第一及第二p型FET之臨限電壓不相等，但兩個p型FET可藉由使用共同信號線將偏移電容器放電而達成其等臨限電壓。

在方塊1125，方法可包含透過第一切換組件將鐵電記憶體單元之一經儲存電荷轉移至一感測電容器，其中在數位線虛擬接地時且在偏移電容

器已放電之後轉移經儲存電荷，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140及感測電容器420執行方塊1125之操作，如參考圖1、圖7及圖8描述。

在方塊1130，方法可在數位線虛擬接地時且在偏移電容器已放電之後透過第二切換組件將參考電路之一經儲存電荷轉移至一參考電容器，如參考圖1至圖6描述。在特定實例中，可藉由記憶體控制器140及感測電容器420執行方塊1130之操作，如參考圖1、圖7及圖8描述。

因此，方法900、1000及1100可在鐵電記憶體單元感測期間提供偏移補償。應注意，方法900、1000及1100描述可能實施方案，且操作及步驟可經重新配置或以其他方式經修改使得其他實施方案係可能的。在一些實例中，可組合來自方法900、1000及1100之兩個或兩個以上特徵。

本文之描述提供實例且不限制發明申請專利範圍中陳述之範疇、適用性或實例。在不脫離本發明之範疇的情況下可對所論述之元件之功能及配置進行改變。各種實例可視情況省略、替換或添加各種程序或組件。又，可在其他實例中組合關於一些實例描述之特徵。

本文陳述之描述以及附圖描述例示性組態且不表示可實施或在發明申請專利範圍之範疇內之所有實例。如本文使用之術語「實例」及「例示性」意謂「充當一實例、例項或圖解」且非「較佳」或「優於其他實例」。實施方式出於提供對所描述技術之理解而包含具體細節。然而，可在不具有此等具體細節之情況下實踐此等技術。在一些例項中，以方塊圖形式展示熟知結構及裝置以避免模糊所描述實例之概念。

在附圖中，類似組件或特徵可具有相同參考標籤。此外，可藉由在參考標籤後加破折號及區分類似組件之第二標籤來區分相同類型之各種組

件。當在說明書中使用第一參考標籤時，描述可適用於具有相同第一參考標籤之類似組件之任一者，而無關於第二參考標籤。

可使用各種不同科技及技術之任一者來表示本文描述之資訊及信號。例如，可藉由電壓、電流、電磁波、磁場或磁性微粒、光場或光學微粒或其等之任何組合表示可貫穿上文描述引用之資料、指令、命令、資訊、信號、位元、符號及晶片。一些圖式可將信號繪示為一單一信號；然而，熟習此項技術者將理解，信號可表示信號之一匯流排，其中匯流排可具有各種位元寬度。

如本文使用，術語「虛擬接地」係指保持在約零伏特(0 V)之一電壓但不與接地直接連接之一電路之一節點。因此，一虛擬接地之電壓可臨時波動且在穩定狀態返回至約0 V。可使用各種電子電路元件來實施一虛擬接地，諸如由運算放大器及電阻器構成之一分壓器。其他實施方案亦係可能的。如本文中使用的術語「虛擬接地」或「虛擬地接地」意謂連接至一虛擬接地或接地。

術語「電子連通」係指組件之間的一關係，其支援組件之間的電子流。此可包含組件之間的一直接連接或可包含中間組件。電子連通中之組件可係主動交換之電子或信號(例如，在一通電電路中)或可不係主動交換之電子或信號(例如，在一斷電電路中)，但可經組態且可操作以在使一電路通電之後交換電子或信號。藉由實例，經由一開關(例如，一電晶體)實體連接之兩個組件電子連通，而不管開關之狀態(即，斷開或閉合)。

本文論述之裝置(包含記憶體陣列100)可形成在一半導體基板(諸如矽、鍺、矽鍺合金、砷化鎵、氮化鎵等)上。在一些情況中，基板係一半導體晶圓。在其他情況中，基板可係一絕緣體上覆矽(SOI)基板(諸如玻璃

上矽(SOG)或藍寶石上矽(SOP))或另一基板上之半導體材料之磊晶層。可透過使用各種化學物種(包含但不限於磷、硼或砷)之摻雜控制基板或基板之子區域之導電率。可藉由離子植入或藉由任何其他摻雜方法在基板之初始形成或生長期間執行摻雜。

本文論述之電晶體可表示一場效電晶體(FET)且包括包含一源極、汲極及閘極之一三端裝置。該等終端可透過導電材料(例如，金屬)連接至其他電子元件。源極及汲極可係導電的且可包括一重度摻雜(例如，簡併)半導體區。可藉由一輕度摻雜半導體區或通道分離源極及汲極。若通道係n型(即，多數載子係電子)，則FET可被稱為一n型FET。同樣地，若通道係p型(即，多數載子係電洞)，則FET可被稱為一p型FET。通道可藉由一絕緣閘極氧化物封端。可藉由施加一電壓至閘極而控制通道導電率。例如，分別施加一正電壓或一負電壓至一n型FET或一p型FET可導致通道變得導電。當施加大於或等於一電晶體之臨限電壓之一電壓至電晶體閘極時，可「開啟」或「啟動」電晶體。當施加小於電晶體之臨限電壓之一電壓至電晶體閘極時，可「關閉」或「撤銷啟動」該電晶體。

結合本文之揭示內容描述之各種闡釋性方塊、組件及模組可使用經設計以執行本文中描述之功能之一通用處理器、一DSP、一ASIC、一FPGA或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其等之任何組合而實施或執行。一通用處理器可係一微處理器，但在替代例中，處理器可係任何習知處理器、控制器、微控制器或狀態機。一處理器亦可實施為計算裝置之一組合(例如，DSP及微處理器之一組合、多個微處理器、結合DSP核心之一或多個微處理器或任何其他此組態)。

可在硬體、藉由一處理器執行之軟體、韌體或其等之任何組合中實

施本文描述之功能。若實施於藉由一處理器執行之軟體中，該等功能可作為一或多個指令或程式碼儲存於一電腦可讀媒體上或經由該電腦可讀媒體傳輸。其他實例及實施方案係在本發明及隨附發明申請專利範圍之範疇內。例如，歸因於軟體之性質，可使用藉由一處理器執行之軟體、硬體、韌體、硬接線或此等之任一者之組合來實施上文描述之功能。實施功能之特徵亦可實體定位於各種位置處，包含經分佈使得在不同實體位置處實施功能之部分。又，如本文使用(包含在發明申請專利範圍中)，如在一項目清單(例如，以諸如「...之至少一者」或「...之一或多者」片語開始之一項目清單)中使用之「或」指示一包含清單，使得例如A、B或C之至少一者之一清單意謂A或B或C或AB或AC或BC或ABC (即，A及B及C)。

電腦可讀媒體包含非暫時性電腦儲存媒體及通信媒體兩者，包含促進一電腦程式從一個位置傳送至另一位置之任何媒體。一非暫時性儲存媒體可係可藉由一通用或專用電腦存取之任何可用媒體。藉由實例但非限制，非暫時性電腦可讀媒體可包括RAM、ROM、電子可抹除可程式化唯讀記憶體(EEPROM)、光碟(CD) ROM或其他光碟儲存器、磁碟儲存器或其他磁性儲存裝置、或可用於攜載或儲存呈指令或資料結構形式之所需程式碼構件且可藉由一通用或專用電腦或一通用或專用處理器存取之任何其他非暫時性媒體。

又，任何連接被適當地稱為一電腦可讀媒體。例如，若使用一同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或諸如紅外線、無線電及微波之無線技術從一網站、伺服器或其他遠端源傳輸軟體，則同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或諸如紅外線、無線電及微波之無線技術包含於媒體之定義中。如在本文中使用之磁碟及光碟包含CD、雷射

光碟、光碟、數位多功能光碟(DVD)、軟磁碟及藍光光碟，其中磁碟通常磁性地重現資料，而光碟使用雷射光學地重現資料。上文之組合亦包含於電腦可讀媒體之範疇內。

提供本文之描述以使熟習此項技術者能夠製成或使用本發明。熟習此項技術者可容易地明白對本發明之各種修改，且在不背離本發明之範疇之情況下，在本文中定義之一般原理可適用於其他變體。因此，本發明不限於在本文中描述之實例及設計，而應符合與本文中揭示之原則及新穎特徵一致之最廣範疇。

【符號說明】

100	記憶體陣列
100-a	記憶體陣列
100-b	記憶體陣列
105	記憶體單元
105-a	鐵電記憶體單元
105-b	鐵電記憶體單元
105-c	鐵電記憶體單元
105-d	鐵電記憶體單元
105-e	鐵電記憶體單元
110	字線
110-a	字線
110-b	字線
110-c	字線
110-d	字線

115	數位線
115-a	數位線
115-b	數位線
115-c	數位線
115-d	數位線
120	列解碼器
125	感測組件
125-a	感測組件
125-b	感測組件
125-c	感測組件
130	行解碼器
135	輸入/輸出
140	記憶體控制器
140-a	記憶體控制器
140-b	記憶體控制器
200	電路
205	電容器
205-a	電容器
205-b	電容器
210	板極
210-a	板極
210-b	板極
210-c	板極

215	單元底部
220	選擇組件
220-a	選擇組件
220-b	選擇組件
225	參考組件
225-a	參考組件
225-b	參考組件
300-a	磁滯曲線
300-b	磁滯曲線
305	電荷狀態
305-a	電荷狀態
305-b	電荷狀態
305-c	電荷狀態
310	電荷狀態
310-a	電荷狀態
310-b	電荷狀態
310-c	電荷狀態
315	正電壓
320	路徑
325	負電壓
330	路徑
335	電壓
340	路徑

345	路徑
350	電壓
355	電壓
360	電荷狀態
400	電路
405	固有數位線電容
405-a	固有數位線電容
410	虛擬接地
415	切換組件
415-a	FET
415-b	切換組件
420	感測電容器
425	參考電容器
430	電壓源
435	電壓源
440	開關
440-a	開關
445	開關
445-a	開關
450	開關
450-a	開關
455	開關
455-a	開關

460	虛擬接地
460-a	虛擬接地
465	偏移電容器
465-a	偏移電容器
470	電壓源
475	開關
475-a	開關
500	時序圖
505	軸
505-a	軸
510	軸
510-a	軸
515	字線電壓
515-a	字線電壓
520	板極電壓
520-a	板極電壓
525	數位線電壓
525-a	數位線電壓
530	感測電容器電壓
530-a	感測電容器電壓
530-b	感測電容器電壓
530-c	感測電容器電壓
530-d	感測電容器電壓

535	感測窗
535-a	感測窗
600	時序圖
700	方塊圖
710	偏壓組件
715	時序組件
725	鎖存器
800	系統
805	裝置
810	處理器
815	BIOS組件
820	周邊組件
825	輸入/輸出控制組件
830	匯流排
835	輸入
840	輸出
900	方法
905	方塊
910	方塊
915	方塊
1000	方法
1005	方塊
1010	方塊

1015	方塊
1020	方塊
1025	方塊
1100	方法
1105	方塊
1110	方塊
1115	方塊
1120	方塊
1125	方塊
1130	方塊