公告本

436636

A4
C4

申請日期	88 年 7 月 26 日
案號	88112631
類別	G01R 31/28

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	積體電路之速度信號測試
	英文	Speed-signaling testing for integrated circuits
二、發明 創作 人	姓名	(1) 克理夫・柯樂 Cole, Clifford Barnes (2) 約瑟・可納 Coyne, Joseph David (3) 畢特・帕帖爾 Patel, Bijit Thakorbhai
	國籍	(1) 美國 (2) 美國 (3) 美國
	住、居所	(1) 美國賓夕法尼亞州伊曼斯第二北街三十二號 32 North 2nd Street, Emmaus, PA 18049, U.S.A (2) 美國賓夕法尼亞州蘭斯德華納路二二六三號 2263 Warner Road, Lansdale, PA 19446, U.S.A (3) 美國賓州普林斯維利十字灣圓環八〇〇九號 8009 Cross Creek Circle, Breinigsville, PA 18031, U.S.A.
三、申請人	姓名（名稱）	(1) 魯森工業技術股份有限公司 Lucent Technologies Inc.
	國籍	(1) 美國
	住、居所（事務所）	(1) 美國新澤西州莫瑞山丘莫頓路六〇〇號 600 Mountain Avenue, Murray Hill, NJ 07974 -0636, USA
	代表人姓名	(1) 麥克・格林 Greene, Michael R.

裝 訂 線

經濟部智慧財產局員工消費合作社印製

436636

申請日期	88 年 7 月 26 日
案號	88112631
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	
	英文	
二、發明創作人	姓名	⑷ 麥可・新卡羅夫斯基 Shinkarovsky, Michael
	國籍	⑷ 美國
	住、居所	⑷ 美國賓夕法尼亞州藍鈴協和廣場一七二〇號 1720 Concord Court, Blue Bell, PA 19422, U.S.A
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

436636

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
美國	1998 年 8 月 3 日	09/128,041	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1　)

發明領域

本發明與積體電路（ＩＣ）有關，且，尤其是與可以兩種或更多不同資料率處理資料之測試ＩＣ有關。

相關技術說明

第１圖表示積體電路１００之方塊圖，該積體電路可以每秒１００百萬位元（Ｍｂｐｓ），２００Ｍｂｐｓ，及４００Ｍｂｐｓ之三種不同處理速度處理資料。

第１圖中對數位邏輯１０２之三重輸入資料，即１，０及Ｚ（即，高阻抗狀態）以差動信號表示，其中，差動信號是以環繞一共模電壓中心，稱爲Tpbias之小振動差動電壓（如，約２００ｍＶ）加以傳輸。例如，對於差動對Ａ及Ａ*而言，可決定邏輯位準如下：

如（ＶＡ－ＶＡ*）＞１６８ｍＶ，則信號＝〝１〞

如（ＶＡ－ＶＡ*）＜１６８ｍＶ，則信號＝〝０〞

如｜（ＶＡ－ＶＡ*）｜＞１６８ｍＶ，則信號＝〝Ｚ〞

其中，ＶＡ及ＶＡ*分別代表差動信號Ａ及Ａ*之電壓位準。例如，如小振動差動約位在一共模電壓Tpbias＝１．９Ｖ之中心，則理想上：

信號＝〝１〞：ＶＡ＝２．０Ｖ且ＶＡ*＝１．８Ｖ

信號＝〝０〞：ＶＡ＝１．８Ｖ且ＶＡ*＝２．０Ｖ

信號＝〝Ｚ〞：ＶＡ＝１．９Ｖ且ＶＡ*＝１．９Ｖ

將第１圖之ＩＣ１００設計成各資料脈衝之資料率是

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明(2)

藉進行資料脈衝之資料前置碼的共模電壓加以表示。

各不同資料率之資料前置碼共碼電壓是不同的。例如，１００Ｍｂｐｓ資料率之資料前置碼共模電壓可爲１．０Ｖ，２００Ｍｂｐｓ資料率者爲１．７Ｖ，而４００Ｍｂｐｓ資料率者爲１．４Ｖ。對於具有２００ｍＶ電壓振動之差動信號通知，１００Ｍｂｐｓ資料率資料前置碼之差動信號將具１．８Ｖ，１．９Ｖ及２．０Ｖ之電壓位準。類似地，２００Ｍｂｐｓ資料前置碼差動信號將具１．６Ｖ，１．７Ｖ及１．８Ｖ之電壓位準，而４００Ｍｂｐｓ資料前置碼之差動信號將具１．３Ｖ，１．４Ｖ及１．５Ｖ之電壓位準。雖然共模電壓以資料前置碼之改變加以表示內收資料脈衝之資料率，但是對於資料脈衝本身中之差動信號而言，共模電壓會回到其正常位準Tpbias（如：１．９Ｖ）。

ＩＣ１００之比較器１０４將資料前置碼差動信號之平均電壓位準Ｖｃｍ與參考電壓Ｖｒｅｆ_２００比較並產生一表示Ｖｃｍ是否大或小於Ｖｒｅｆ_２００之二進位輸出信號（即，比較器碼位元Ｂ０）。類似地，ＩＣ１００之比較器１０６將平均電壓位準Ｖｃｍ與參考電壓Ｖｒｅｆ_４００比較並產生一表示Ｖｃｍ是否大或小於Ｖｒｅｆ_４００之二進位輸出信號（即，比較器碼位元Ｂ１）。

選取適當之Ｖｒｅｆ_２００及Ｖｒｅｆ_４００值，可使用類比較器１０４及１０６產生數位邏輯１０２所用

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（3　）

之２位元速率碼。一速率碼爲數位碼，使用其值表示資料率。數位邏輯１０２所用之２位元速率碼表示用以產生Ｖｃｍ之資料前置碼差動信號是否進行資料率爲１００Ｍｂｐｓ，２００Ｍｂｐｓ或４００Ｍｂｐｓ之資料脈衝串，使得數位邏輯１０２可因此調整其處理速度。例如，表１表示當Ｖｒｅｆ_２００＝１．８且Ｖｒｅｆ_４００＝１．５５Ｖ時，比較器１０４及１０６針對不同資料率產生之２位元速率碼值。其它包含非２位元之速率碼也有可能。

如表１所示，對於資料率爲１００Ｍｂｐｓ之資料前置碼差動信號，其共模電壓Ｖｃｍ將約爲１．９Ｖ，這大於Ｖｒｅｆ_２００（＝１．８Ｖ）及Ｖｒｅｆ_４００（＝１．５５Ｖ）。如此，比較器１０４及１０６將雙雙輸出０。另一方面，對於資料率爲２００Ｍｂｐｓ之資料前置碼差動信號，其共模電壓Ｖｃｍ將約爲１．７Ｖ，這大於Ｖｒｅｆ_４００，但小於Ｖｒｅｆ_２００。在該情況下，比較器１０４將輸出１而比較器１０６將輸出０。而對於資料率爲４００Ｍｂｐｓ之資料前置碼差動信號，其共模電壓Ｖｃｍ將約爲１．５５Ｖ，這小於較大值之Ｖｒｅｆ_２００及Ｖｒｅｆ_４００。在該情況下，比較器１０４及１０６皆輸出１。

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明(4)

表 I			
資料率	Vcm	B1	B0
100Mbps	～ 1.9V	0	0
200Mbps	～ 1.7V	0	1
400Mbps	~1.55V	1	1

在製造環境中，可使用自動測試設備（ＡＴＥ）測試器通道模擬第１圖中同級ＩＣ１００之行爲。爲全力找出測試ＩＣ１００之毛病，在ＡＴＥ測試期間必須改變資料率及處理速度。爲測試電腦處理器１００所支援之所有三種資料率，自動測試設備必須具備足夠之測試器通道加以產生與那些不同資料率相關之所有不同電壓信號。例如，對於稍早所討論之三種特定資料率，測試設備必須會支援８種不同電壓位準：１．３Ｖ，１．４Ｖ，１．５Ｖ，１．６Ｖ，１．７Ｖ，１．８Ｖ，１．９Ｖ及２．０Ｖ，其中，１．８Ｖ位準用在１００Ｍｂｐｓ及２００Ｍｂｐｓ之資料率。甚至具備最大效率，當各資料率與另一資料率共享兩電壓位準時，自動測試設備必須支援三個不同資料率之最小不同電壓位準數爲五。

建立具備額外測試器通道之自動測試設備可能困難而且昂貴。由於固定終結需求，各額外通道產生額外之問題。額外通道產生阻抗不匹配及反射，且需要產生複雜之向量在匯流排上產生適當之位準。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（5　）

發明摘要

本發明指向利用自動測試設備，可有效率地測試支援不同資料及處理速率之積體電路的一種設計。在一實施例中，本發明爲一種積體電路，其包括（ａ）數位邏輯，可調整成以兩種或更多不同之處理速度加以處理資料並建置成可以兩種或更多不同之資料率加以接收不同之輸入資料，其中，對於各資料率，不同之輸入資料具有不同共模電壓位準之資料前置碼；（ｂ）至少一比較器，建置成將資料前置碼之共模電壓位準與至少一參考電壓作比較加以決定差動輸入資料之資料率並提供一比較器碼值給數位邏輯，其中，比較器碼值識別差動輸入資料之資料率；以及（（ｃ）一旁通比較器電路，建置在比較器與數位邏輯之間，建置成可接收一旁通碼值且選取性地旁通避開比較器碼值且加以提供旁通碼值給數位邏輯。

圖式簡述

從以下詳細說明，附加申請專利項目，及隨圖，本發明之其它方面，特性及好處將變得更加全然清楚，其中：

第１圖表示可以三種不同處理速度加以處理資料之一種積體電路的方塊圖；以及

第２圖表示根據本發明一實施例之一種積體電路的方塊圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明(6　)

元件對照表

１００，２００　積體電路

１０２，２０２　數位邏輯

１０４，１０６，２０４，２０６　比較器

１００　電腦處理器

２１２　旁通控制信號

２０８，２１０　多工器。

詳細說明

第２圖表示根據本發明一實施例之積體電路２００之方塊圖。像第１圖之ＩＣ２００般，ＩＣ２００可以每秒１００百萬位元（Ｍｂｐｓ），２００Ｍｂｐｓ，及４００Ｍｂｐｓ之三種不同處理速度處理資料。ＩＣ２００具數位邏輯２０２及比較器２０４與２０６，分別與第１圖中ＩＣ１００之數位邏輯１０２及比較器１０４與１０６對照，他們是以類比方式運作。然而，而且ＩＣ２００具兩多工器－ｍｕｘ２０８及ｍｕｘ２１０。分別建置在數位邏輯２０２及比較器２０４與２０６之間。除了從其所對應之比較器接收比較器碼位元（Ｂ０或Ｂ１）作爲一輸入外，各多工器亦接收一旁通碼位元（Ｃ０或Ｃ１）作爲一第二輸入。一旁通控制信號２１２控制比較器碼位元或旁通碼位元是否爲來自各多工器之輸出（Ｄ０或Ｄ１）。藉設定旁通控制信號２１２加以選取旁通碼位元Ｃ０及Ｃ１，而非比較器碼位元Ｂ０及Ｂ１，可有效地

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明(7　)

旁通避開比較器２０４及２０６之處理。

ＩＣ２００之多工器２０８及２１０提供一有效率之機制，測試數位邏輯２０２之所有處理速度。例如，在製造環境之測試期間，可設定（如，設成１）旁通控制信號２１２加以旁通避開比較器運作，使得多工器２０８及２１０通過旁通碼位元至數位邏輯２０２。選取旁通碼位元值等於預期之資料率（如同在表Ｉ中，（００）表１００Ｍｂｐｓ，（０１）表２００Ｍｂｐｓ，而（１１）表４００Ｍｂｐｓ）。最好，在施加差動資料前即將旁通碼位元加以輸入數位邏輯２０２，給予數位邏輯時間針對適當之處理速度加以建置其本身。

在本發明下，可以所有不同資料率及處理速度測試數位邏輯而毋須建立具備額外測試器通道之自動測試設備。這允許現有三通道之自動測試設備支援像第２圖中ＩＣ２００這種ＩＣ之測試，其中，這種ＩＣ支援兩種或更多不同資料率。

依執行狀況而定，可由內部或外部產生旁通碼位元並用以模擬比較器之輸出。依此方式，數位邏輯會試爲它正在接收其正常之比較器碼位元。而且，觀察來自多工器之輸出可隔離類比比較器與數位邏輯之毛病。

就測試以外之處理而言，設定（如，設爲０）旁通控制信號使比較器之輸出可被多工器加以傳送至數位邏輯。

雖然第２圖表示各比較器之一個一位元之多工器，本發明也可使用接收兩個位元輸入（來自兩比較器及一兩位

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明(8　)

元旁通碼之兩位元比較器碼）之單兩位元多工器來加以執行並產生一兩位元輸出。而且，在另一種實施例中，可使用多工器以外之適合組件控制流向數位邏輯之碼位元。

雖然在支援三種不同處理速度及三種資料率，１００Ｍｂｐｓ，２００Ｍｂｐｓ及４００Ｍｂｐｓ之積體電路背景中已對本發明加以說明，可了解本發明可就具有不同共模電壓及１或不同電壓振動之不同資料率，以及就不同數量之資料率加以執行。

雖然當本發明就類比比較器ＩＣ加以執行是最有利的，但也可就類比或數位比較器之積體電路來加以執行。

進一步了解到，只要不偏離本發明如在以下申請專利項目中所表示之原理及範圍，那些精於本技術者都可對爲了解釋本發明本質而已經作說明及圖解部份之細節，材料，及佈置作各種改變。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：積體電路之速度信號測試）

一種積體電路具備支援兩種或更多不同處理速度以及兩種或更多不同資料率之數位邏輯，其中，資料率是以各資料率中在不同共模電壓下之資料前置碼加以區分的。就正常處理而言，積體電路具一或更多比較器，該比較器將平均信號電壓位準與一或更多參考電壓作比較加以決定資料率。根據本發明一實施例，將一或更多多工器建置在比較器與數位邏輯之間。在測試期間，可控制這些多工器旁路避開比較器之運作，將特定之數位碼傳送至數位邏輯加以模擬比較器之運作。依此方式，可測試數位邏輯之不同處理速度而毋須建立特殊之自動測試設備加以支援對應於不同支援資料率之所有不同可能電壓位準。

英文發明摘要（發明之名稱：）

SPEED-SIGNALING TESTING FOR INTEGRATED CIRCUITS

An integrated circuit has digital logic that supports two or more different processing speeds and two or more different data rates that are distinguished by each data rate having a data prefix at a different common-mode voltage. For normal processing, the integrated circuit has one or more comparators that compare the average signal voltage level with one or more reference voltages to determine the data rate. According to one embodiment of the invention, one or more muxes are configured between the comparators and the digital logic. These muxes can be controlled during testing to by-pass the operations of the comparators to pass specified digital codes to the digital logic to simulate the operations of the comparators. In this way, the different processing speeds of the digital logic can be tested without having to build special automatic test equipment to support all of the different possible voltage levels corresponding to the different supported data rates.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

修正 充補 90.1.5

六、申請專利範圍

436636

附件-A

第88112631號專利申請案

中文申請專利範圍修正本

民國90年1月修正

1．一種積體電路，包含：

（a）數位邏輯，可調整成以兩種或更多不同之處理速度加以處理資料並建置成可以兩種或更多不同之資料率加以接收差動輸入資料，其中，對於各資料率，差動輸入料具有不同共模電壓位準之資料前置碼；（b）至少一比較器，建置成將資料前置碼之共模電壓位準與至少一參考電壓作比較加以決定差動輸入資料之資料率並提供一比較器碼值給數位邏輯，其中，比較器碼值識別差動輸入資料之資料率；以及

（c）一比較器旁通電路，建置在比較器與數位邏輯之間，建置成可接收一旁通碼值且選取性地旁通避開比較器碼值且加以提供旁通碼值給數位邏輯。

2．如申請專利範圍第1項之積體電路，其中，比較器旁通硬體包含一多工器（1）建置成可接收旁通碼值及比較器碼值作爲輸入以及（2）建置成可接收一旁通控制信號，該信號決定旁通碼值或比較器碼值是否自多工器輸出至數位邏輯。

3．如申請專利範圍第2項之積體電路，其中，比較器旁通硬體之各比較器包含一多工器。

4．如申請專利範圍第2項之積體電路，其中，比較器旁通硬體之所有比較器包含一多工器。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

年 月 日 修正 補充

A8
B8
C8
D8

六、申請專利範圍

436636

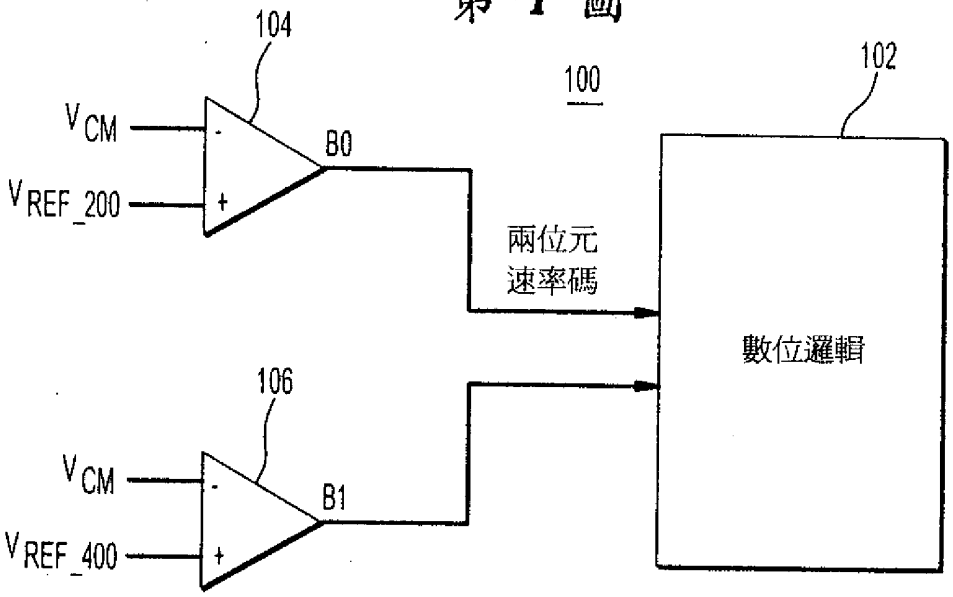
5．如申請專利範圍第1項之積體電路，其中，各處理速度等於其中一資料率。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

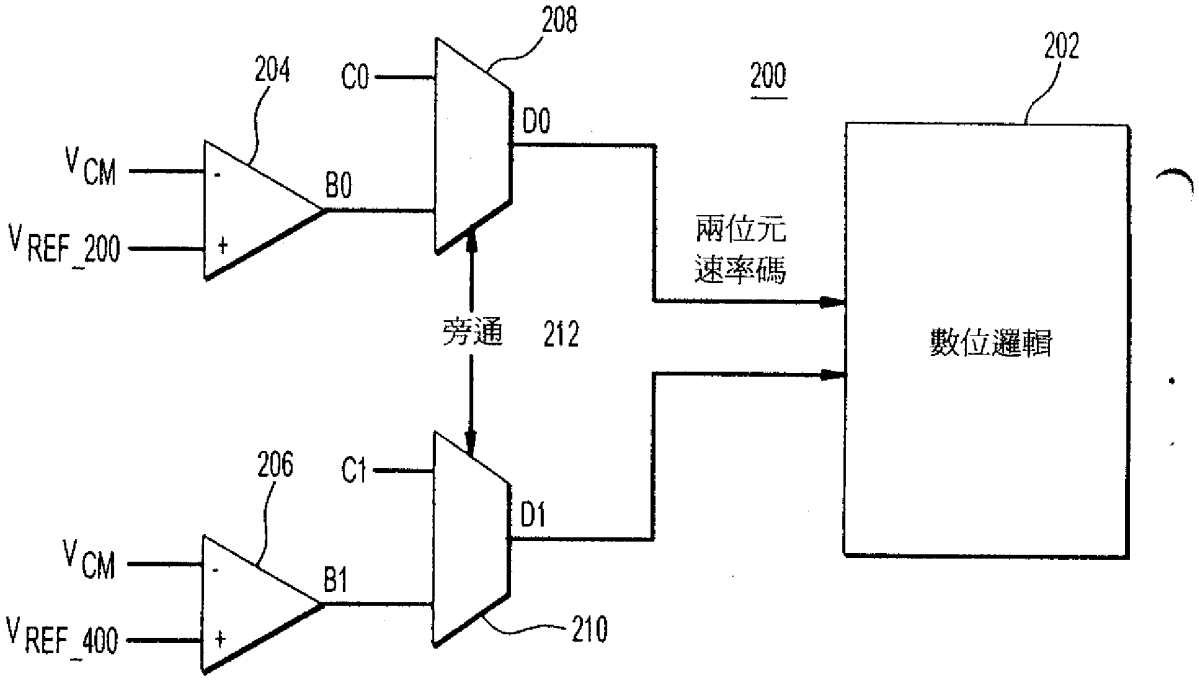
(中) 88112631

436636

第 1 圖



第 2 圖



A8
B8
C8
D8

修正 充補 90.1.5

六、申請專利範圍

436636

附件-A

第88112631號專利申請案

中文申請專利範圍修正本

民國90年1月修正

1．一種積體電路，包含：

（a）數位邏輯，可調整成以兩種或更多不同之處理速度加以處理資料並建置成可以兩種或更多不同之資料率加以接收差動輸入資料，其中，對於各資料率，差動輸入料具有不同共模電壓位準之資料前置碼；（b）至少一比較器，建置成將資料前置碼之共模電壓位準與至少一參考電壓作比較加以決定差動輸入資料之資料率並提供一比較器碼值給數位邏輯，其中，比較器碼值識別差動輸入資料之資料率；以及

（c）一比較器旁通電路，建置在比較器與數位邏輯之間，建置成可接收一旁通碼值且選取性地旁通避開比較器碼值且加以提供旁通碼值給數位邏輯。

2．如申請專利範圍第1項之積體電路，其中，比較器旁通硬體包含一多工器（1）建置成可接收旁通碼值及比較器碼值作爲輸入以及（2）建置成可接收一旁通控制信號，該信號決定旁通碼值或比較器碼值是否自多工器輸出至數位邏輯。

3．如申請專利範圍第2項之積體電路，其中，比較器旁通硬體之各比較器包含一多工器。

4．如申請專利範圍第2項之積體電路，其中，比較器旁通硬體之所有比較器包含一多工器。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

年 月 日 修正 補充

A8
B8
C8
D8

六、申請專利範圍

436636

5．如申請專利範圍第1項之積體電路，其中，各處理速度等於其中一資料率。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製