



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년11월15일
(11) 등록번호 10-1798235
(24) 등록일자 2017년11월09일

(51) 국제특허분류(Int. Cl.)

H01L 21/02 (2006.01)

(21) 출원번호 10-2010-0123145

(22) 출원일자 2010년12월06일

심사청구일자 2015년12월04일

(65) 공개번호 10-2011-0063386

(43) 공개일자 2011년06월10일

(30) 우선권주장

12/631,691 2009년12월04일 미국(US)

12/631,709 2009년12월04일 미국(US)

(56) 선행기술조사문헌

JP2002176100 A*

(뒷면에 계속)

(73) 특허권자

노벨러스 시스템즈, 인코포레이티드

미국, 94538 캘리포니아주, 프레몬트, 쿠싱 파크웨이 4650

(72) 발명자

랑가라잔, 비쉬와나탄

미국, 오레곤 97006, 비버튼, 엔더블유 라팔로마레인 17360

안토넬리, 조지 앤드류

미국, 오레곤 97202, 포틀랜드, 에스이 유마틸라스트리트 1635

(뒷면에 계속)

(74) 대리인

특허법인인벤투스

전체 청구항 수 : 총 18 항

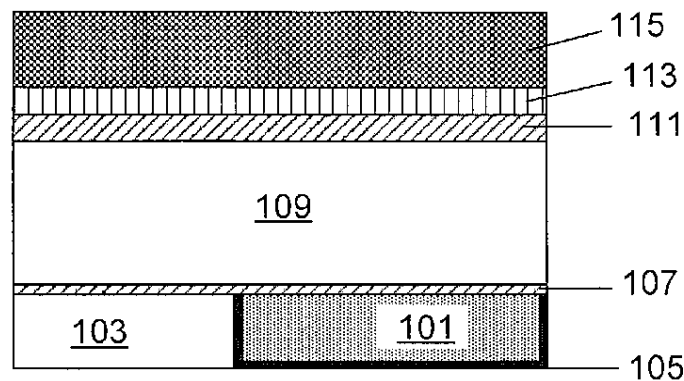
심사관 : 오준철

(54) 발명의 명칭 하드마스크 물질

(57) 요약

고경도 및 저응력을 갖는 하드마스크 막이 제공된다. 일부 실시예에서, 막은 약 -600MPa 내지 600MPa의 응력과, 약 12GPa의 경도를 갖는다. 일부 실시예에서, PECVD 공정 챔버에서 복수의 치밀화 플라스마 후-처리를 이용하여 도핑된 또는 도핑되지 않은 실리콘 카바이드의 복수의 서브-층을 증착시킴으로써, 하드마스크 막이 제조된다. 일부 실시예에서, 하드마스크 막은, $\text{Si}_x\text{B}_y\text{C}_z$, $\text{Si}_x\text{B}_y\text{N}_z$, $\text{Si}_x\text{B}_y\text{C}_z\text{N}_w$, B_xC_y 및 B_xN_y 중에서 선택된 고경도의 붕소-함유 막을 포함한다. 일부 실시예에서, 하드마스크 막은 약 60 원자%의 게르마늄을 포함하는 게르마늄-풍부 GeN_x 물질을 포함한다. 이들 하드마스크는 집적 회로 제작의 여러 후공정과 전공정에서 사용될 수 있다.

대표도 - 도1a



(72) 발명자

배너지, 아난다

미국, 오레곤 97068, 웨스트 린, 베닝턴 코트
19837

반 슈라벤디지크, 바트

미국, 캘리포니아 94087, 썬니베일, 이슬레이 코트
741

(56) 선행기술조사문헌

KR1020090121361 A*

W02007116492 A1*

JP2004247725 A*

JP2002217189 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 기판 상에 하드마스크 막을 형성하기 위한 방법에 있어서,

상기 방법은:

PECVD(plasma-enhanced chemical vapor deposition) 공정 챔버에서 반도체 기판을 수용하는 단계; 및

PECVD에 의해, 12GPa 초과와 경도(hardness)와 -600MPa 내지 600MPa의 응력(stress)을 갖는 하드마스크 막을 형성하는 단계를 포함하며,

PECVD 하드마스크 증착 공정은 복수의 치밀화 플라즈마 처리(densifying plasma treatment)를 이용하여, 도핑된, 또는 도핑되지 않은 다중-층 실리콘 카바이드 막을 증착하는 공정을 포함하고, 상기 PECVD 하드마스크 증착 공정은,

(a) 실리콘-함유 전구체 및 비활성 기체를 포함하는 공정 기체를 공정 챔버로 도입하고, 실리콘 카바이드 하드마스크 막의 제 1 서브-층(sublayer)을 증착하도록 플라즈마를 형성하는 단계;

(b) 공정 챔버로부터 실리콘-함유 전구체를 제거하는 단계;

(c) 플라즈마 처리 기체를 공정 챔버로 도입하고, 증착된 서브-층을 치밀화하도록 플라즈마를 이용하여 기판을 처리하는 단계; 및

(d) 실리콘 카바이드의 추가적인 서브-층들을 형성하고 치밀화하기 위해 단계(a) 내지 (c)를 반복하는 단계를 포함하고

서브-층 각각의 두께는 100Å 미만이고, 상기 방법은, 상기 하드마스크 막에 10개 이상의 서브-층들을 증착하는 단계를 포함하는, 하드마스크 막을 형성하기 위한 방법.

청구항 2

제 1 항에 있어서, 상기 막은 -300MPa 내지 300MPa의 응력을 갖는, 하드마스크 막을 형성하기 위한 방법.

청구항 3

제 1 항에 있어서, 상기 막은 0MPa 내지 600MPa의 응력을 갖는, 하드마스크 막을 형성하기 위한 방법.

청구항 4

제 1 항에 있어서, 상기 막은 16GPa 이상의 경도를 갖는, 하드마스크 막을 형성하기 위한 방법.

청구항 5

제 1 항에 있어서, 상기 막은 100GPa 이상의 탄성계수(modulus)를 갖는, 하드마스크 막을 형성하기 위한 방법.

청구항 6

제 1 항에 있어서, 상기 실리콘 카바이드는 도핑되지 않으며, 실리콘-함유 전구체는 포화 전구체(saturated precursor)인, 하드마스크 막을 형성하기 위한 방법.

청구항 7

제 1 항에 있어서, 상기 실리콘-함유 전구체는 테트라메틸실란(Me_4Si)을 포함하는, 하드마스크 막을 형성하기 위한 방법.

청구항 8

제 1 항에 있어서, 증착 동안 사용되는 공정 기체는 He, Ne, Ar, Kr 및 Xe 중에서 선택된 운반 기체(carrier gas)를 더 포함하는, 하드마스크 막을 형성하기 위한 방법.

청구항 9

제 1 항에 있어서, 상기 플라즈마 처리 기체는 He, Ar, CO₂, N₂, NH₃ 및 H₂ 중에서 선택되는, 하드마스크 막을 형성하기 위한 방법.

청구항 10

제 1 항에 있어서, 상기 형성된 실리콘 카바이드 막에서, IR 스펙트럼에서의 SiH 피크 면적에 대한 SiC 피크 면적의 비는 20 이상이고, 상기 IR 스펙트럼에서의 CH 피크 면적에 대한 SiC 피크 면적의 비는 50 이상인, 하드마스크 막을 형성하기 위한 방법.

청구항 11

제 1 항에 있어서, 상기 형성된 실리콘 카바이드 막은 2g/cm³의 밀도를 갖는, 하드마스크 막을 형성하기 위한 방법.

청구항 12

제 1 항에 있어서, 상기 형성된 하드마스크 층은 2.8 미만의 유전 상수를 갖는 유전체 층 위에 증착되며, 건식 플라즈마 에칭에서 유전체에 대한 상기 형성된 하드마스크 막의 에칭 선택비는 8:1 이상인, 하드마스크 막을 형성하기 위한 방법.

청구항 13

제 1 항에 있어서,

상기 형성된 하드마스크 층은 폴리실리콘 층 위에 증착되는, 하드마스크 막을 형성하기 위한 방법.

청구항 14

제 1 항에 있어서, 상기 하드마스크는 400℃ 미만의 온도에서 형성되는, 하드마스크 막을 형성하기 위한 방법.

청구항 15

하드마스크 막을 증착하는 장치에 있어서,

상기 장치는:

(a) 플라즈마의 형성을 위해 구성된 공정 챔버;

(b) 하드마스크 증착 동안 웨이퍼 기판을 제위치로 고정하도록 구성된 웨이퍼 기판 지지부;

(c) 복수의 치밀화 플라즈마 처리들을 이용하여 도핑된, 또는 도핑되지 않은 다중-층 실리콘 카바이드 막을 증착하는 공정을 위한 프로그램 인스트럭션들을 포함하는 제어기를 포함하고, 상기 다중-층 실리콘 카바이드 막을 증착하는 공정은,

(i) 실리콘-함유 전구체 및 비활성 기체를 포함하는 공정 기체를 공정 챔버로 도입하고, 실리콘 카바이드 하드마스크 막의 제 1 서브-층(sublayer)을 증착하도록 플라즈마를 형성하는 단계;

(ii) 공정 챔버로부터 실리콘-함유 전구체를 제거하는 단계;

(iii) 플라즈마 처리 기체를 공정 챔버로 도입하고, 증착된 서브-층을 치밀화하도록 플라즈마를 이용하여 기판을 처리하는 단계; 및

(iv) 실리콘 카바이드의 추가적인 서브-층들을 형성하고 치밀화하기 위해 단계(i) 내지 (iii)를 반복하는 단계를 포함하고

서브-층 각각의 두께는 100Å 미만이고, 상기 다중-층 실리콘 카바이드 막을 증착하는 공정은, 상기 다중-층 실리콘 카바이드 막에 10개 이상의 서브-층들을 증착하는 단계를 포함하는, 하드마스크 막을 증착하는 장치.

청구항 16

반도체 기판 상에 하드마스크 막을 형성하기 위한 방법에 있어서,

상기 방법은:

PECVD(plasma-enhanced chemical vapor deposition) 공정 챔버에서 반도체 기판을 수용하는 단계; 및

PECVD에 의해, 12GPa 초과와 경도(hardness)와 -600MPa 내지 600MPa의 응력(stress)을 갖는 하드마스크 막을 형성하는 단계를 포함하며,

PECVD 하드마스크 증착 공정은 복수의 치밀화 플라즈마 처리(densifying plasma treatment)를 이용하여, 도핑된, 또는 도핑되지 않은 다중-층 실리콘 카바이드 막을 증착하는 공정을 포함하고, 상기 PECVD 하드마스크 증착 공정은,

(a) 실리콘-함유 전구체 및 비활성 기체를 포함하는 공정 기체를 공정 챔버로 도입하고, 실리콘 카바이드 하드마스크 막의 제 1 서브-층(sublayer)을 증착하도록 플라즈마를 형성하는 단계;

(b) 공정 챔버로부터 실리콘-함유 전구체를 제거하는 단계;

(c) 플라즈마 처리 기체를 공정 챔버로 도입하고, 증착된 서브-층을 치밀화하도록 플라즈마를 이용하여 기판을 처리하는 단계; 및

(d) 실리콘 카바이드의 추가적인 서브-층들을 형성하고 치밀화하기 위해 단계(a) 내지 (c)를 반복하는 단계를 포함하고,

상기 실리콘 카바이드 서브-층을 증착하는 단계는, Me_4Si 와 비활성 기체를 포함하는 공정 기체를 흐르게 하는 단계와, 고주파수 플라즈마에 대한 전력 레벨은 0.04 내지 $0.2\text{W}/\text{cm}^2$ 이고, 저주파수 플라즈마에 대한 전력 레벨은 0.17 내지 $0.6\text{W}/\text{cm}^2$ 인 2중 주파수 플라즈마를 형성하는 단계를 포함하며;

상기 실리콘-함유 전구체를 제거하는 단계는, Ar, He 및 H_2 중 하나 이상으로 이루어진 기체로 공정 챔버를 퍼징하는 단계를 포함하고;

상기 서브-층들을 치밀화하는 단계는 Ar, He, H_2 및 이들의 혼합물 중 하나 이상으로 이루어진 공정 기체를 흐르게 하는 단계와, LF/HF 전력 비가 1.5 이상인 2중 주파수 플라즈마를 형성하는 단계를 포함하는, 하드마스크 막을 형성하기 위한 방법.

청구항 17

제 1 항에 기재된 방법으로 형성된 막으로서, 상기 막은 도핑된, 또는 도핑되지 않은 실리콘 카바이드를 포함하고, 상기 막은 12GPa 이상의 경도와 -600MPa 내지 600MPa의 응력을 가지고, 상기 막은 10개 이상의 서브-층들을 포함하고, 상기 서브-층 각각의 두께는 $100\text{\AA}$ 미만인, 막.

청구항 18

제 16 항에 기재된 방법으로 형성된 막으로서, 상기 막은 도핑된, 또는 도핑되지 않은 실리콘 카바이드를 포함하고, 상기 막은 12GPa 이상의 경도와 -600MPa 내지 600MPa의 응력을 가지고, 상기 막은 10개 이상의 서브-층들을 포함하고, 상기 서브-층 각각의 두께는 $100\text{\AA}$ 미만인, 막.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 공정에서 사용되기 위한 하드마스크 막에 관한 것이다. 또한 본 발명은 이러한 막을 형성하기 위한 방법 및 장치에 관한 것이다.

배경 기술

[0002] 하드마스크 막은 다마신(Damascene) 공정 중 리소그래피 패턴 처리(가령, 트렌치 및/또는 비아 형성) 동안 희생층으로서 사용되는 것이 일반적이다. 다마신 공정에서, 하드마스크 막은 패터닝이 필요한 유전체 층 위에 증착되는 것이 일반적이다. 포토레지스트의 층이 상기 하드마스크 막 위에 증착되고(이때, 선택적으로, 하드마스크와 포토레지스트 사이에 반사방지 층이 증착되며), 포토레지스트가 원하는 대로 패터닝된다. 아래 위치하는 구조물과의 패턴의 정렬을 위해 레이저가 사용되는 것이 일반적이며, 따라서, 하드마스크는 정렬을 위해 사용되는 파장에 실질적으로 투과성이어야 한다. 포토레지스트가 현상된 후, 패턴 아래에서 노출된 하드마스크 막이 제거되고, 노출된 유전체는, 요구되는 크기의 오목한 특징부가 형성되도록, 에칭된다. 잔여 하드마스크가, 에칭 공정 동안 보존될 필요가 있는 유전체 부분을 보호하는 기능을 수행한다. 따라서 하드마스크 물질은 유전체에 비해 바람직한 에칭 선택비(etch selectivity)를 가져야 한다. 통상, 할로겐계 플라스마 화학물을 이용하는 반응성 이온 에칭(RIE: Reactive Ion Etching)이 유전체 에칭을 위해 채용된다.

[0003] 그 후, 에칭된 오목형 특징부에, 집적 회로의 전도 경로를 형성하는 전도성 물질(가령, 구리)이 충전된다. 통상적으로, 오목형 특징부가 충전된 후, 부분적으로 제조된 반도체 기판으로부터 하드마스크 물질이 완전히 제거된다.

[0004] 현재, 물리 기상 증착(PVD: Physical Vapor Deposition)에 의해 증착되는 티타늄 니트라이드가, 이러한 적용예의 하드마스크 물질로서 일반적으로 이용된다. 실리콘 카바이드를 하드마스크 물질로서 사용하는 것이 또한, US 특허 제6,455,409호 및 US 특허 제6,506,692호에서 보고되었다.

발명의 내용

과제의 해결 수단

[0005] 개선된 속성을 갖는 하드마스크 막과 상기 하드마스크 제조 방법이 제공된다. 리소그래피 적용예에서, 높은 압축응력 또는 인장 응력을 갖는 물질은 기판 상의 하드마스크 막의 휘어짐(buckling), 또는 박리를 초래하여, 결과적으로 리소그래피에서 형편없는 패턴 정렬을 초래하기 때문에, 저응력의 하드마스크 물질이 요구된다. 저응력에 추가로, 아래 위치하는 물질을 적절하게 보호하기 위해 하드마스크 물질은 고경도 및/또는 고영률을 가져야 하는데, 이는 일반적으로, 경도와 탄성은 높은 에칭 선택비와 상관있기 때문이다.

[0006] 물질이 고경도일수록, 고압축응력을 갖는 것이 일반적이기 때문에, 이러한 저응력과 고경도(또는 고탄성계수)의 조합은 얻기 어렵다. 예를 들어, 기존에 사용되는 티타늄 니트라이드는 비교적 단단한 물질이지만, 약 1,000MPa 초과의 압축응력을 갖는다. 이러한 고압축응력의 하드마스크의 사용은, 특히, 연성의 초저-k 유전체(k=2.8 이하)를 가질 때, 그리고 특히 높은 종횡비의 특징부(가령, 2:1 이상의 종횡비를 갖는 특징부)를 형성할 때, 형

편없는 정렬과, 형성된 구조물의 바람직하지 않은 위글링(wiggling)을 초래한다. 일반적으로, 실리콘 카바이드는 광범위한 물리적 속성을 가질 수 있으며, 본 발명의 특수 증착 공정을 이용해 제작되지 않는다면, 저응력과 고경도 속성을 동시에 갖지 않을 것이다.

[0007] 본 발명의 일부 양태에서, 저응력과 고경도를 갖는 하드마스크 물질이 제공된다. 일부 실시예에서, 막은 약 12GPa 이상의, 바람직하게는 약 16GPa의, 가령, 약 20GPa의 경도와, 약 -600MPa 내지 600MPa의, 가령 약 -300MPa 내지 300MPa의, 가장 바람직하게는 약 0MPa 내지 300MPa의 응력을 갖는다. 상기 막은 금속을 포함하지 않으며, 고경도 저응력 도핑된, 또는 도핑되지 않은 실리콘 카바이드, SixByCz, SixByNz, SixByCzNw, BxNy 및 BxCy 중에서 선택된 물질을 포함하는 것이 일반적이다. 이들 물질은 PECVD(plasma enhanced chemical vapor deposition) 및 그 밖의 다른 CVD-기반 공정에 의해 형성될 수 있다. 제공된 하드마스크는, 반도체 공정의 전공정(front-end processing)과 후공정(back-end processing)에서 다양한 리소그래피 방식에서 사용될 수 있다. 저응력 고경도 속성을 제공하는 증착 조건이 기재된다. 이들 속성과 연계되는 구조적 막 특성이 또한 제공된다.

[0008] 하나의 형태에서, 반도체 기판 상에 고경도 저응력 하드마스크 막을 형성하는 방법은, PECVD 공정 챔버에 반도체 기판을 수용하는 단계와, 복수의 치밀화 플라스마 처리를 이용하여 도핑된 또는 도핑되지 않은 다중-층 실리콘 카바이드 막을 증착하는 단계를 포함한다. 상기 처리는 실리콘 카바이드의 각각의 서브-층이 증착된 후 수행되는 것이 바람직하다. 일부 실시예에서, 상기 공정은 실리콘-함유 전구체(가령, 테트라메틸실란)를 포함하는 공정 기체를 공정 챔버로 도입하는 단계와, 플라스마를 형성하여 실리콘 카바이드 하드마스크 막의 제 1 서브-층을 증착하는 단계를 포함한다. 그 후, 퍼징 기체를 이용해 챔버를 퍼징함으로써, 상기 실리콘-함유 전구체가 공정 챔버로부터 제거된다. 그 후, 플라스마 처리 기체가 챔버로 도입되며, 플라스마가 형성되며, 실리콘 카바이드 서브-층이 플라스마-처리되어, 물질을 치밀화할 수 있다. 플라스마 처리 기체는 퍼징 기체와 동일하거나, 이들 기체는 서로 다를 수 있다. 퍼징 및/또는 플라스마 처리를 위한 적합한 기체는 비활성 기체(가령, He, Ar), CO₂, N₂, NH₃ 및 H₂를 포함한다. 일부 실시예에서, He, Ar, H₂, 또는 이들의 다양한 혼합물이 퍼징과 플라스마 처리 모두를 위해 선호된다. 실리콘 카바이드의 제 1 서브-층이 플라스마-처리된 후, 증착, 퍼징 및 플라스마 처리 동작이 반복되어, 실리콘 카바이드의 추가적인 서브-층을 형성하고 치밀화할 수 있다. 통상적으로, 각각의 서브-층은 바람직한 치밀화를 위해 약 100옹스트롬 미만의, 가령, 약 50옹스트롬 미만의 두께를 갖는다. 일부 실시예에서, 상기 방법은 일부 실시예에서, 약 1,000옹스트롬 내지 약 6,000옹스트롬의 두께를 갖는 하드마스크 막을 형성하기 위해 10개 이상의 서브-층, 가령, 20개 이상의 서브-층을 증착하고 치밀화하는 단계를 포함하며,

[0009] 복수 번의 플라스마 처리가, 단일 층 실리콘 카바이드 막과 비교해서, 막의 경도를 개선한다. 일부 실시예에서, 형성된 고경도 저응력 막은, Si-C 결합의 고 함유량을 갖는 도핑되지 않은 실리콘 카바이드 막을 포함한다. 일부 실시예에서, IR 스펙트럼에서의 Si-H에 대한 Si-C 피크 면적 비가 약 20 이상이다. 일부 실시예에서, IR 스펙트럼에서의 C-H에 대한 Si-C 피크의 면적 비는 약 50 이상이다. 또한, 본 발명에 의해 제공되는 실리콘 카바이드 막은 약 2g/cm³ 이상의 밀도를 갖는 것이 통상적이다. 일부 실시예에서, 고주파 무선 주파수(HF RF) 및 저주파 무선 주파수(LF RF) 플라스마 발생을 이용하는 플라스마 후-처리를 수행하는 것이 바람직하며, 여기서 LF/HF 전력 비는 약 1.5 이상, 가령 약 2 이상이다.

[0010] 본 발명의 또 하나의 양태에서, 고경도 저응력 막을 형성하는 방법은, Si_xB_yC_z, Si_xB_yN_z, Si_xB_yC_zN_w, B_xN_y 및 B_xC_y 중에서 선택된 붕소-함유 막을 증착하는 단계를 포함한다. 이들 막은 적정 실리콘, 탄소 및 붕소-함유 전구체를 이용하는 PECVD에 의해 증착될 수 있다. 예를 들어, 하나의 실시예에서, Si_xB_yC_z의 증착을 위해, 붕소-함유 전구체(가령, B₂H₆)와 탄소 및 실리콘을 포함하는 전구체(가령, 테트라메틸실란)이 PECVD 공정 챔버로 제공되어, 플라스마에서 Si_xB_yC_z 막이 형성될 수 있다. 고경도 및 저응력의 막을 제작하기 위해, 약 1.5 이상의, 가령 약 2 이상의 LF/HF 전력 비를 갖는 2중 주파수 플라스마가 선호된다. 일부 실시예에서, 상기 막은 붕소-풍부(boron-rich) 막이며, IR 스펙트럼에서의 대응하는 피크의 면적에 의해 판단된 바에 의하면, BC/[BC+SiC]는 약 0.35 이상이다. 일부 실시예에서, B₂H₆을 테트라메틸실란의 유량보다 약 2배 이상의 유량으로 흐르게 함으로써, 고경도 붕소-풍부 Si_xB_yC_z 막이 제조된다. 바람직하게도, 화학 기계적 연마(CMP: chemical mechanical polishing)에 의해 패터닝이 완료된 후, 붕소-함유 막이 쉽게 제거될 수 있는데, 이는 붕소-함유 막은 친수성을 갖고, CMP 화학 반응에 의해 용해되기 쉽기 때문이다.

[0011] 본 발명의 또 하나의 양태에서, GeNx 하드마스크 막을 형성하는 방법이 제공된다. 상기 방법은, 일부 실시예에서, PECVD 공정 챔버에 반도체 기판을 수용하는 단계와, GeNx 하드마스크 막을 형성하는 단계를 포함한다. 상기

막은 게르마늄-함유 전구체와 질소-함유 전구체를 PECVD 공정 챔버로 흐르게 하고, 플라스마를 형성함으로써 형성될 수 있다. 일부 실시예에서, 형성된 GeN_x 막은 약 100GPa 이상의 탄성계수를 가지며, 게르마늄-풍부(germanium-rich) 막이다. 일부 실시예에서, 상기 게르마늄-풍부 막은 (수소를 제외하고) 약 60 원자%, 바람직하게는 70 원자%의 게르마늄을 포함한다. 상기 막의 밀도는 $4\text{g}/\text{cm}^3$ 를 초과할 수 있다. 바람직하게도, GeN_x 는 리소그래피 패터닝에서 사용되는 정렬 파장(가령, 스펙트럼의 가시 부분 및 근적외선 부분)에 의해 실질적으로 투과된다. 일부 실시예에서, 게르만, 암모니아 및 질소를 포함하는 공정 기체에서 플라스마를 형성함으로써, GeN_x 막이 증착되며, 여기서, 게르만/암모니아의 유량 비는 약 0.05 이상이다. 일부 실시예에서, 2중 주파수 플라스마 공급원이 GeN_x 막을 증착하기 위해 사용되는 것이 바람직하다. 일부 실시예에서, 증착 동안 사용되는 LF/HF 전력 비는 약 1 이상이다. 앞서 언급된 그 밖의 다른 막들과 마찬가지로, 상기 GeN_x 막도, 반도체 공정의 전공정과 후공정에서 여러 공정 방식에서 사용될 수 있다.

[0012] 일부 실시예에서, 하드마스크 막(가령, 앞서 언급된 막들 중 임의의 막)이 유전체(가령, 약 3 미만의, 가령, 약 2.8 미만의 유전 상수를 갖는 유전체) 층 상에 증착된다. 포토레지스트 층이 하드마스크 위에 증착되는 것이 일반적이다(그러나 포토레지스트 층이 하드마스크와 직접 접촉할 필요는 없으며, 반사방지 층이 그 사이에 증착될 수 있다). 그 후, 리소그래피 패터닝이 수행되며, 이때 유전체 층에 오목한 특징부(비아 및/또는 트렌치)가 형성된다. 패터닝이 완료되고, 특징부가 금속으로 충전된 후, (가령, CMP에 의해) 하드마스크는 제거된다. 일부 실시예에서, 유전체에 대한 하드마스크 막의 에칭 선택비는 약 8:1 이상이며, 에칭은 비아 및/또는 트렌치를 에칭하기 위해 사용되는 화학반응을 지칭하며, 일반적으로 RIE 공정이다.

[0013] 또 다른 실시예에서, 전공정에서 하드마스크 막(가령, 앞서 언급된 막들 중 임의의 막)이 폴리실리콘 층 상에 증착되고, 다양한 공정 단계 동안 폴리실리콘을 보호하는 기능을 수행한다. 일부 실시예에서, 하드마스크 물질은 제거되지 않으며, 제조된 디바이스에 남아 있을 것이다.

도면의 간단한 설명

[0014] 도 1A-1K는 본 발명에서 제공되는 하드마스크를 이용하여, 반도체 소자 제작 공정의 후공정 리소그래피 공정 동안 생성된 디바이스 구조물의 단면도이다.

도 2A-2E는 본 발명에서 제공되는 하드마스크를 이용하여, 반도체 소자 제작 공정의 전공정 리소그래피 공정 동안 생성된 디바이스 구조물의 단면도이다.

도 3은 본 발명에서 제공되는 하드마스크를 이용하는 용도에 적합한 후공정 리소그래피 공정의 공정 순서도이다.

도 4는 본 발명에서 제공되는 하드마스크를 이용하는 용도에 적합한 전공정 리소그래피 공정의 공정 순서도이다.

도 5A는 본 발명에서 제시되는 하나의 실시예에 따르는 실리콘 카바이드 하드마스크를 증착하는 방법의 공정 순서도이다.

도 5B는 단일-층 실리콘 카바이드 막과 비교되는, 복수의 치밀화 플라스마 후-처리를 이용하여 얻어진 다중-층 실리콘 카바이드 막의 IR 스펙트럼을 제공한다. 더 우세한 Si-C 피크가 도시된다.

도 5C는 단일-층 막과 비교되는, 다중-층 실리콘 카바이드 막의 응력과 경도 특성에 대한 실험 도표이다.

도 5D는 단일-층 막과 비교되는, 다중-층 실리콘 카바이드 막의 응력 및 영률 특성에 대한 실험 도표이다.

도 6A는 본 발명에서 제공되는 하나의 실시예에 따라, 붕소-함유 하드마스크를 이용하는 예시적 공정 방법의 공정 순서도이다.

도 6B는 하드마스크 용도에 적합한 붕소-함유 막의 응력 및 경도 특성에 대한 실험 도표이다.

도 6C는 하드마스크 용도에 적합한 붕소-함유 막의 응력 및 영률 특성에 대한 실험 도표이다.

도 6D는 PECVD 동안 사용되는 B_2H_6 /테트라메틸실란 유량 비에 대한, $\text{Si}_x\text{B}_y\text{C}_z$ 막의 경도의 종속성을 도시하는 실험 도표이다.

도 6E는 BC/[BC+SiC] IR 피크 면적 비에 대한, $\text{Si}_x\text{B}_y\text{C}_z$ 의 영률 및 응력 매개변수의 종속성을 도시하는 실험 도표이다.

도 6F는 BN/[BN+SiN] IR 피크 면적 비에 대한, $\text{Si}_x\text{B}_y\text{N}_z$ 막의 영률 및 응력 매개변수의 종속성을 도시하는 실험 도표이다.

도 6G는 접촉각 소수성 테스트에서, 도핑되지 않은 실리콘 카바이드 막에 비교되는, $\text{Si}_x\text{B}_y\text{C}_z$ 막의 성능을 도시하는 실험 도표이다. $\text{Si}_x\text{B}_y\text{C}_z$ 막의 비교적 높은 친수 속성이 도시된다.

도 7은 본원에서 제시되는 하나의 실시예에 따르는, GeN_x 하드마스크를 이용하는 예시적 공정 방법의 공정 순서도이다.

도 8은 본 발명의 일부 실시예에 따라, 하드마스크 막을 증착하기 위해 사용될 수 있는 저주파(LF) 및 고주파(HF) 무선 주파수 플라즈마 공급원을 이용할 수 있는 PECVD 장치의 개략적 도시이다.

도 9는 본 발명의 일부 실시예에 따라, 하드마스크 막을 형성하기에 적합한 다중-스테이션 PECVD 장치의 개략적 도시이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 도입 및 개요
- [0016] 반도체 공정의 후공정(back-end) 및 전공정(front-end) 적용예에서의 하드마스크 막이 제공된다. 상기 막은 SiC_x (도핑되거나, 도핑되지 않거나), $\text{Si}_x\text{B}_y\text{C}_z$, $\text{Si}_x\text{B}_y\text{C}_z\text{N}_w$, B_xN_y , B_xC_y 및 GeN_x 중에서 선택된 물질을 포함한다.
- [0017] 상기 물질은 실질적으로 해당하는 화학식에서 언급되는 원소로 이뤄지며, 선택적으로, 명시적으로 언급되어 있지 않은 수소를 포함한다. 아래 첨자 x, y, z 및 w는 물질이 반드시 화학양론적인 것은 아님을 나타낸다. 상기 물질은, 도펀트의 존재가 명시적으로 언급된 경우에만, 도펀트를 포함한다. 예를 들어, 본원에서 기재된, 도핑되지 않은 SiC_x (실리콘 카바이드)는, 실질적으로 실리콘과 탄소로 이루어지고(반드시 화학양론적 비에 따라 이뤄진 것은 아님), 선택적으로 수소를 포함하는 물질이다. 도핑된 SiC는 도펀트 원소(가령, 붕소, 산소, 인 또는 질소)를 더 포함한다.
- [0018] 일부 실시예에서, 본원에서 제공되는 물질은, 고경도, 고영률 및 저응력이라는 바람직한 속성 중 한 가지 이상을 갖는다. 바람직한 실시예에서, 물질은 동시에 고경도와 저응력의 조합을 가지며, 이로 인해서, 물질은, 진보된 기술노드(technology node)(예를 들어, 45nm 및 그 이하(가령, 22nm)의 기술노드)의 하드마스크 적용예에 적합하고, 특히, 기계적으로 취약한 초저-k(ULK: ultra low-k) 유전체의 패터닝에 적합하며, 2:1 이상(가령, 4:1 이상)의 종횡비(aspect ratio)를 갖는 오목부를 형성하기에 적합해 진다.
- [0019] 일부 실시예에서, 하드마스크 물질은 약 12GPa 이상(가령, 약 16GPa 이상, 또는 약 18GPa 이상, 또는 약 20GPa 이상)의 경도를 갖는다. 경도는 재료 공학 분야에서 잘 정의된 속성이며, 예를 들어, 임의의 적합한 장치(가령, 나노-압입 장치(nano-indentation device))를 이용하여 신뢰할만하게 측정될 수 있다. 일부 실시예에서, 고경도에 추가로, 하드마스크 물질은 약 -600 내지 600MPa의, 바람직하게는 0 내지 600MPa의, 특히 바람직하게는, 0 내지 300MPa의 낮은 응력을 갖는다.
- [0020] 압축응력과 인장응력은, 인장응력에 대응하는 양의 값과 압축응력에 대응하는 음의 값을 갖는 하나의 척도로 측정된다. 이 척도에 따르면, 압축응력이 높을수록, 낮은 음의 값을 가지며, 인장응력이 높을수록 높은 양의 값을 갖는다. 이 척도에 따르면, 어떠한 잔류 응력도 갖지 않는 막은 0에 대응한다. 응력은, 가령, KLA-Tencor Corporation의 "Flexus" 틀을 이용하여 측정될 수 있는 잘 정의된 매개변수이다.
- [0021] 고압축응력을 갖는 물질은 기관의 휘어짐(buckling)을 초래하는 경향이 있으며, 고인장응력을 갖는 물질은 (특히, 물질들 간의 접착이 형편없을 때) 박리(delamination)를 초래하는 경향이 있다. 두 유형의 응력은 모두, 하드마스크 물질에서 바람직하지 않다. 그러나 가령, 본원에서 기재된 붕소 함유 물질의 일부에 존재하는 낮고 적절한 인장응력(가령, 200 내지 600MPa)은, 동일한 크기의 압축응력보다는 더 허용될 수 있다.
- [0022] 일부 실시예에서, 본원에서 기재된 하드마스크 막은, 약 100MPa 이상의, 예를 들어 약 125MPa 이상의, 가령,

150MPa 이상의 영률(Young's modulus)을 갖는다. 영률은 나노 압입 장치를 이용하는 표준 기법에 의해 측정될 수 있다.

[0023] 본원에서 기재된 하드마스크 물질은, 유전체 확산 장벽 층 및 에칭 저지 층으로서 사용되는 물질과 크게 구별된다. 유전체 확산 장벽 및 에칭-저지 물질은 약 10GPa 미만의 경도를 갖고 약 5 미만의 유전 상수를 갖는 연성 물질인 것이 일반적이다. 확산 장벽 층은 최종 집적 회로 구조물에서 보존되며, 이 경우 낮은 유전 상수가 필수이다. 이와 달리, 본원에서 제공되는 하드마스크 물질은 낮은 유전 상수를 가질 필요는 없으며, 일반적으로, 약 4 초과의, 가령, 약 5 초과의, 또는 약 6 초과의 유전 상수를 갖는다. 이는 많은 실시예에서, 하드마스크가, 패터닝 공정 후, 구조물로부터 완전히 제거되는 희생 층이기 때문이며, 따라서 형성된 집적 회로의 전기적 속성에 기여하지 않기 때문이다. 이 실시예에서, 하드마스크가 최종 구조물에서 제거되지 않는 경우, 하드마스크는, 낮은 유전 상수가 필수가 아닌 위치, 또는 디바이스가 비교적 높은 유전 상수를 갖는 물질을 허용할 수 있는 곳에서 존재한다. 덧붙여, PECVD에 의해 증착되는 하드마스크 물질은, 더 연성의 저-k 확산 장벽 물질보다, 플라즈마 발생 시 상당히 더 높은 전력을 이용해 증착되는 것이 일반적이다. 구조적으로, 하드마스크 물질은 더 긴밀하게 패킹되며, 더 연성의 저-k 확산 방지 물질보다 더 치밀질(dense)이다.

[0024] 많은 실시예에서, 본원에서 제공되는 하드마스크 물질은 패터닝 정렬을 위해 사용되는 레이저 파장(가령, 스펙트럼의 가시 부분 및 근적외선 부분의 파장, 가령, 633nm의 파장)에 의해 실질적으로 투과된다.

[0025] 증착되는 하드마스크 막의 두께는 많은 매개변수(가령, 특정 하드마스크 물질 vs. 하드마스크 아래 위치하는 에칭될 필요가 있는 물질의 에칭 선택비, 사용되는 에칭 화학물질)에 따라 달라진다. 일반적으로, 더 높은 경도를 갖고 더 높은 에칭 선택비를 갖는 하드마스크 물질일수록, 증착될 때, 더 낮은 경도를 갖고 더 낮은 에칭 선택비를 갖는 물질보다, 더 얇은 막을 형성할 수 있다. 덧붙이자면, 높은 선택비를 갖는 단단한 물질은, 더 얇은 막의 비교적 더 높은 투과성으로 인해 더 바람직한 광학적 정렬을 가능하게 하기 때문에, 바람직하다. 일부 실시예에서, 막은 약 100 내지 10,000Å, 가령, 약 500 내지 6000Å의 두께까지 증착된다.

[0026] 본 발명의 막은, 비아 및/또는 트렌치 에칭을 위해 사용되는 화학반응에서, 유전체(가령, 3.0 이하의, 가령, 2.8 이하, 또는 2.4 이하의 유전 상수를 갖는 유전체)에 비교할 때 높은 에칭 선택비를 갖는다. 예시적 에칭 화학반응으로는, C_xF_y (가령, CF_4), 비활성 기체(가령, Ar) 및 산화제(가령, O_2)를 포함하는 공정 기체에서 형성되는 플라즈마를 이용하는 RIE가 있다. 그 밖의 다른 건식 에칭, 가령, Cl_2 및 N_2 를 포함하는 공정 기체를 이용하는 플라즈마 에칭이 이용될 수 있다. 일부 실시예에서, 가령, 앞서 언급된 C_xF_y 를 포함하는 플라즈마 에칭 화학반응에서, 약 5:1 이상의 에칭 선택비, 가령, 약 8:1 이상의 에칭 선택비(즉, 하드마스크 물질이 유전체보다 8배 이상 느리게 에칭됨)가 얻어질 수 있다. 일부 실시예에서, 가령, 습식 플루오라이드 에칭 화학반응을 이용하는 실리콘 옥사이드계 물질의 선택적 습식 에칭에서, 본 발명의 막은 습식 에칭 동작 동안 하드마스크로서 기능할 수 있다.

[0027] 본원에서 제공되는 노출된 하드마스크 물질이 있는 데서, 에칭될 수 있는 유전체로는, 실리콘 다이옥사이드, 탄소-도핑된 실리콘 옥사이드($SiCOH$), TEOS(tetraethyl orthosilicate)-증착된 옥사이드, 다양한 실리케이트 유리, HSQ(hydrogen silsesquioxane), MSQ(methylsilsesquioxane)뿐 아니라 다공질 및/또는 유기 유전체가 있으며, 이들은 폴리이미드, 폴리노르보르넨, 벤조사이클로부텐 등을 포함한다. 본원에서 제공되는 하드마스크는, 2.8 이하의, 가령 2.4 이하의 유전 상수를 갖는 기계적으로 취약한 유기 및/또는 다공질 유전체의 패터닝을 위해 가장 바람직하게 사용된다.

[0028] 본원에서 기재된 하드마스크 물질은 다양한 방법(가령, CVD 기반 방법 및 PVD 기반 방법)을 이용하여 증착될 수 있다. PECVD는 특히 선호되는 증착 방법이며, 이중 주파수 플라즈마 발생을 가능하게 하는 PECVD가 더 선호된다. 고주파수 및 저주파수 전원을 갖는 장치로는, Novellus Systems 사(소재지: 캘리포니아, 산 호세)의 SEQUEL[®] 및 VECTOR[®] 툴이 있다. 저주파수 무선 주파수(RF) 전력은, 100kHz 내지 2MHz의 주파수를 갖는 RF 전력을 일컫는다. LF 플라즈마 공급원을 위한 통상의 주파수 범위는 약 100kHz 내지 500kHz이며, 예컨대, 400kHz 주파수가 사용될 수 있다. 하드마스크 층의 증착 동안, LF 전력 밀도는 통상적으로 약 0.001 내지 1.3W/cm²이며, 특정 실시예에서, 약 0.1 내지 0.7W/cm²이다. 일반적으로 HF 전력은 약 0.001 내지 1.3W/cm²이며, 특정 실시예에서, 약 0.02 내지 0.28W/cm²이다. 고주파수 전력은 2MHz 초과의 주파수를 갖는 RF 전력을 지칭한다. 통상의 HF RF 주파수는 약 2MHz 내지 30MHz 범위 내에 속한다. 일반적으로 사용되는 HF RF 값은 13.56MHz 및 27MHz 포함한다. 특정 실시예에서, 하드마스크의 증착은 약 1 이상의, 예를 들어, 약 1.5 이상의, 가령, 약 2 이상의 LF/HF 전력 비를 설정하는 단계를 포함한다.

- [0029] PECVD 증착 동안, 반응성 기체 또는 증기는, 통상 0.001sccm 내지 약 10000sccm의 유량으로, 바람직하게는 약 1sccm 내지 약 1000sccm의 유량으로, 공정 챔버로 제공되며, 약 20℃ 내지 약 500℃의, 바람직하게는 약 200℃ 내지 약 450℃의 기판 지지대 온도를 이용한다. 일부 실시예에서, 하드마스크 증착을 위해, 약 400℃ 미만의 온도(가령, 약 200℃ 내지 약 400℃)가 바람직하다. 압력은 약 10mTorr 내지 약 100Torr일 수 있으며, 바람직하게는 약 0.5Torr 내지 5Torr일 수 있다. 전구체의 유량은 기판 크기 및 챔버 크기에 따라 달라질 수 있다.
- [0030] 후공정(back-end processing)에서의 사용
- [0031] 본발명의 막은 다양한 하드마스크 적용예에서 사용될 수 있다. 후공정에서 하드마스크 막의 예시적 용도가 도 1A-1K에서 나타난 구조물에 의해 도시되며, 도 3에서 도시된 공정 순서도에 의해 도시된다. 도 3에서 도시된 공정 순서도를 살펴보면, 단계(301)에서, 노출된 유전 층을 갖는 기판을 제공함으로써 공정이 시작한다. 기판은, 자신 위에 놓이는 하나 이상의 물질(가령, 전도체 또는 유전체)의 층을 갖는 반도체(가령, 실리콘) 웨이퍼인 것이 일반적이다. 기판의 노출된 부분은, 비아와 트렌치로 패터닝될 필요가 있는 유전체 층을 포함한다. 본원에서 제공되는 하드마스크는, 앞부분에서 나열한 다양한 유전체 물질을 패터닝할 때 사용되는 것이 일반적이다. 2.8 이하의, 가령 2.4 이하의 유전 상수를 갖는 ULK 유전체, 예를 들어, 기계적으로 덜 강한 다공질 및 유기 유전체를 패터닝하기 위해 본 발명의 하드마스크 물질을 이용하는 것이 특히 이롭다. 앞서 설명된 바와 같이, 본원발명의 하드마스크는, 많은 실시예에서, 매우 낮은 응력을 가지며, 따라서, 기계적으로 취약한 ULK 유전체의 패터닝을 위해 고응력의 하드마스크 물질이 사용될 때 일반적으로 발생하는 휘어짐 현상(buckling) 및 형편없는 패턴 정렬을 상당히 감소시킬 수 있다. 일부 실시예에서, 기계적으로 더 강한 물질의 버퍼 층이 연약한 ULK 유전체와 하드마스크 사이에서 사용된다. 따라서 일부 실시예에서, 본원의 기판은, ULK 물질의 층 상에 위치하는 노출된 버퍼 층(가령, 기계적으로 더 강한 유전체)을 갖는다. 예를 들어, 2.8 초과와 k를 갖는 유전체를 포함하는 버퍼 층은 더 낮은 유전 상수를 갖는 기계적으로 덜 강한 유전체 사에 위치한다. 예를 들어, 탄소-도핑된 실리콘 옥사이드(SiCOH), TEOS(tetraethyl orthosilicate)-증착된 옥사이드, 다양한 실리케이트 유리, HSQ(hydrogen silsesquioxane), MSQ(methylsilsesquioxane) 중에서 선택된 물질을 포함하는 버퍼 층은 다공질 및/또는 유기 유전체 상에 위치할 수 있으며, 이는 폴리이미드, 폴리노르보르넨, 벤조사이클로부텐 등을 포함할 수 있다. ULK 유전체 및 버퍼 층 유전체는, 예를 들어, 스핀-온(spin-on) 방법 또는 PECVD에 의해 증착될 수 있다. 일부 실시예에서, 유전체 및/또는 버퍼 층은, 그 위에 증착되는 하드마스크 층과 동일한 PECVD 모듈에 증착된다. 이는 증착을 위해 PVD 모듈을 필요로 하는 티타늄 니트라이드 하드마스크에 비해 추가적인 이점을 제공한다. 단계(303)에서, PECVD 공정 챔버에서, 하드마스크 물질은 유전체 층 위에(또는 역시 통상적으로 유전체인 버퍼 층 위에) 증착된다. 그 후, 하나 이상의 반사방지 층, 예를 들어, 하부 반사방지 코팅(BARC)이 선택적으로 증착되고, 그 후, 단계(305)에서 상기 하드마스크 위에 포토레지스트가 증착된다. 하나 이상의 반사방지 층이 상기 하드마스크와 포토레지스트 사이에 위치하는 것이 통상적이기 때문에, 상기 포토레지스트는 하드마스크 물질과 반드시 직접 접촉해야 하는 것은 아니다. 그 후, 단계(307)에서, 증착된 하드마스크, 리소그래피 패터닝을 이용하여 유전체 층에 비아 및/또는 트렌치가 에칭된다. 에칭에 대해 높은 에칭 선택비를 갖는 노출된 하드마스크가 있는 데서 유전체 물질이 에칭되는 경우, 적합한 에칭으로는 예를 들어 앞서 기재된 RIE가 있다.
- [0032] 복수의 포토레지스트 층의 증착과 제거, 충전재 층(filler layer)의 증착 과정 등을 포함할 수 있는 다양한 리소그래피 방식이 사용되어, 오목한 특징부의 회랑 패턴을 형성할 수 있다. 이들 리소그래피 방식은 공지되어 있으며, 본원에서는 상세히 설명하지 않겠다. 도 1A-1K에서 도시된 바와 같이, 트렌치를 우선 형성하고, 그 후, 부분 비아(partial via)를 형성하는 방식이 사용된다. 그러나 후공정이 그 밖의 다른 다양한 방식을 이용할 수 있다. 비아 및/또는 트렌치가 형성된 후, 단계(309)에서 상기 비아 및/또는 트렌치에 금속(가령, 전착(electrodeposit)되는 구리 또는 구리 합금)이 충전되고, 단계(311)에서, 가령, CMP 또는 적정 습식(또는 건식) 에칭에 의해, 하드마스크 막이 제거된다. 일부 실시예에서, 하드마스크 제거를 위해, 페록사이드(가령, 하이드로젠 페록사이드를 함유하는 산성 슬러리)를 함유하는 습식 에칭 또는 CMP 조성물이 선호된다.
- [0033] 도 1A-1K는, 한 가지 예시적 공정 방식에 따라, 후공정 동안 부분적으로 제조된 반도체 기판의 개략적 단면도를 도시한다. 도 1A는 제 1 유전체 층(103)(가령, ULK 유전체)에 심어진 구리 층(101)을 갖는 반도체 기판(밑에 놓이는 실리콘 층 및 능동 소자는 도시되지 않음)의 일부분을 도시하며, 이때, (가령, Ta, Ti, W, TaN_x, TiN_x, WN_x 또는 이들의 조합을 포함하는) 확산 장벽 층(105)이 유전체와 구리 사이의 경계부에 위치한다. (에칭-저지 층이라고도 알려진) 유전체 확산 장벽 층(107)은, 예를 들어, 실리콘 니트라이드 또는 질소-도핑된 실리콘 카바이드 층이 구리(101)와 유전체(103) 위에 놓인다. 제 2 유전체 층(109)(가령, 스핀-온 또는 PECVD에 의해 증착된 ULK 유전체)이 유전체 확산 장벽 층(107)의 상부 상에 놓인다. 유전체 층(109)은 기계적으로 약할 수 있기

때문에, 하드마스크 증착 동안 손상될 수 있고, 기계적으로 더 강한 유전체 버퍼 층(111)(가령, TEOS 유전체 또는 탄소-도핑된 실리콘 옥사이드(SiCOH))가 층(109) 위로 증착된다. PECVD에 의해, 본원 발명에 따르는 고정도 물질을 포함하는 하드마스크 층(113)이 버퍼 층(111) 위로 증착된다. 유전체 확산 장벽 층(107)과 달리, 하드마스크 층(113)은, 노출된 금속을 포함하지 않는 표면 상에 증착된다. 스핀-온(spin-on)법에 의해, 포토레지스트 층(115)이 하드마스크 층(113) 위에 증착된다. 일반적으로, 하나 이상의 반사방지 층이 하드마스크와 포토레지스트 사이에 바로 증착된다. 명료성을 위해, 이들 층은 도시되지 않았다.

[0034] 포토레지스트(115)가 증착된 후, 표준 리소그래피 기법을 이용하여 포토레지스트(115)는 패터닝되어, 폭 t 를 갖는 개구부를 형성할 수 있다. 상기 개구부는 미래의 트렌치를 형성하기 위해 사용될 것이다. 패터닝된 포토레지스트 층(115)을 갖는 최종 구조물이 도 1B에서 도시된다. 그 후, 제거된 포토레지스트 아래 위치하는 하드마스크 층(113)이 개방(open)(에칭)되어, 도 1C에서 도시된 바와 같은 노출된 유전체(111)의 패턴을 형성한다. 잔여 하드마스크는, 포토레지스트 제거 및 뒤 따르는 유전체 에칭 공정 동안, 유전체를 보호하는 기능을 수행할 것이다. 그 후, 애싱(ashing)을 이용함으로써, 포토레지스트 층(115)이 구조물로부터 제거되어, 노출되도록 패터닝된 하드마스크(113)를 갖는 구조물이 형성된다. 이 단계에서, 비아를 형성하기 위한 패터닝이 개시된다. 비아를 패터닝하기 위해, 쉽게 제거 가능한 유전체, 가령, HSQ 또는 MSQ를 포함할 수 있는 충전재 층(117)이 구조물의 표면 위에 증착되어, 도 1E에서 도시된 바와 같이 하드마스크의 개구부를 충전한다. 그 후, 제 2 포토레지스트 층(119)이 충전재 층(117) 위에 증착되어(그 사이에 선택사항인 반사방지 층을 포함함), 도 1F에서 도시된 구조물을 형성할 수 있다. 그 후, 포토레지스트(119)는 패터닝되어, 폭 V 를 갖는 개구부를 형성할 수 있으며, 도 1G에서 도시되는 바와 같이, 상기 개구부는, 비아 형성 시, 사용될 것이다. 그 후, 포토레지스트 패턴 아래 위치하는 하드마스크가 제거되고, RIE를 이용하여 유전체(109)에서 비아가 부분적으로 에칭된다. 포토레지스트(119) 및 충전재 층(117)이 제거되어, 도 1H에서 도시되는 바와 같이, 부분적으로 에칭된 비아와 형성된 트렌치를 갖는 구조물이 형성된다. 그 후, 유전체 층(111 및 109)의 에칭이, 비아가 에칭 저지 층(107)에 도달할 때까지, 계속되며, 그 후, 도 1I에서 도시되는 바와 같이, 비아의 바닥에서 상기 에칭 저지 층(107)이, 금속 층(101)을 노출시키도록, 완전 에칭된다. 그 후, 확산 장벽 물질(105)이 PVD에 의해 컨포멀하게 증착되어, 오목한 특징 부 내부와 필드 영역(field region)의 기판 부분에서 기판을 라이닝(lining)할 수 있다. 그 후, 오목한 특징부에 금속(121)(가령, 전착된 구리 또는 구리 합금)이 충전된다. 그 후, 금속 오버버든(metal overburden), 확산 장벽 물질(105), 하드마스크 층(113) 및 유전체 버퍼 층(111)이 구조물의 필드 영역에서 제거되어, 도 1K에서 도시되는 바와 같이, 저- k 유전체 층(109)에 위치하는 금속 인터커넥트를 갖는 부분-제조된 디바이스가 형성된다. 그 밖의 다른 공정 방식에서는, 버퍼 층(111)이 제거되지 않고 기판 상에 남겨질 것이다.

[0035] 도 1A-1K에서 도시된 부분 비아 형성을 포함하는 공정 방식이 저- k 유전체에 대한 한 가지 가능한 패터닝 방식을 도시한다. 본원에서 제공되는 하드마스크 물질은 그 밖의 다른 다양한 공정 방식에서도 사용될 수 있으며, 예를 들면, 비아-우선(via-first) 방식, 트렌치-우선(trench-first) 방식에서 사용될 수 있다.

[0036] 전공정(front-end processing)에서의 사용

[0037] 본원에서 제공되는 하드마스크의 또 다른 예시적 용도는 전공정 동안 폴리실리콘을 보호하는 것이다. 반도체 웨이퍼 상에서 능동 소자(가령, 트랜지스터)를 형성하는 동안, 폴리실리콘이 폭넓게 사용된다. 일부 실시예에서, 본 발명의 하드마스크 물질은 폴리실리콘 상으로 증착되어, 능동 소자 제조에서 사용되는 다양한 공정 작업 동안 상기 폴리실리콘을 보호하기 위해 사용된다. 특히, 많은 실시예의 전공정에서, 본 발명의 하드마스크 층은 희생 층이 아니며, 폴리실리콘과 접촉하는 상태로 최종 장치에 남겨진다.

[0038] 도 4의 공정 순서도에서 예시적 전공정 방식이 도시되고, 도 2A-2E에서 도시된 부분 제조된 구조물의 개략적 단면도로 추가로 도시된다. 도 4를 살펴보면, 공정이 단계(401)에서 시작되며, 상기 단계(401)에서, 옥사이드(가령, 실리콘 옥사이드, 하프늄 옥사이드 등)의 층 위에 위치하는 폴리실리콘의 노출된 층을 갖는 기판을 제공한다. 또 다른 실시예에서, 폴리실리콘은 여러 다른 능동 층 위에 위치할 수 있다. 옥사이드는 단결정질 실리콘의 층 상에 위치하는 것이 일반적이다. 옥사이드와 폴리실리콘 층을 패터닝하기 위해, 2개의 하드마스크 층이 폴리실리콘 층 위에 증착된다. 단계(403)에서 나타나는 바와 같이, 제 1 하드마스크는 폴리실리콘의 층 위에 직접 증착되고, 본원에서 기재되는 물질을 포함하며, 상기 물질의 예로는, (도핑된, 또는 도핑되지 않은) SiC_x , $\text{Si}_x\text{B}_y\text{C}_z$, $\text{Si}_x\text{B}_y\text{N}_z$, $\text{Si}_x\text{B}_y\text{C}_z\text{N}_w$, B_xN_y , B_xC_y 및 GeN_x 가 있다. 상기 하드마스크는 CVD 기법에 의해, 바람직하게는 PECVD 기법에 의해, 증착된다. 그 후, 단계(405)에서, 애셔블 하드마스크(ashable hardmask)(가령, 실질적으로 탄소로 이루어진 (선택사항으로서 수소가 포함된) 하드마스크))가 제 1 하드마스크 위에 증착된다. 상기 애셔블 하드마

스크도 또한, CVD 기법, 가령, 탄화수소 전구체를 이용하는 PECVD 증착법에 의해 증착될 수 있다. 그 후, 단계 (407)에서, 포토레지스트 층이 상기 애서블 하드마스크 위에 증착되고, 상기 포토레지스트는 원하는 대로 패터닝된다. 선택사항으로서, 하나 이상의 반사방지 층이 상기 애서블 하드마스크와 포토레지스트 사이에 증착될 수 있으며, 이는 명료성을 위해 도시되지 않았다. 패터닝되지 않은 포토레지스트를 갖는 예시적 구조물이 도 2A에 도시되어 있다. 여기서 층(201)은 단결정질 실리콘의 층이다. 실리콘 층(201) 위에 위치하는 층(203)은 옥사이드 층이다. 상기 옥사이드 층(203)의 상부 상의 층(205)은 폴리실리콘의 층이다. 본원에서 제공되는 하드마스크 물질은 폴리실리콘(205)의 상면에 바로 위치하며, 애서블 하드마스크(가령, 탄소 하드마스크)(209)는 제 1 하드마스크 층(207) 위에 위치한다. 포토레지스트 층(211)은 애서블 하드마스크(209) 위에 위치한다(이들 사이에 위치하는 선택사항인 반사방지 층은 도면 상 도시되지 않는다). 포토레지스트 패터닝 후에 얻어지는 구조물이 도 2B에서 도시되며, 여기서 포토레지스트가 2개의 위치에서 제거되고, 이들 위치 사이의 부분만 남겨짐이 도시된다.

[0039] 도 4를 다시 참조하면, 공정은 단계(409)에서, 패터닝을 위해 애서블 하드마스크를 이용하여, 폴리실리콘 및 옥사이드 층에서 희망 패턴을 에칭함으로써, 계속된다. 이는 도 2C-2E의 구조물에 의해 도시된다. 도 2C의 구조물에서, 포토레지스트 패터닝 후, 노출된 부분에서 애서블 하드마스크(209)가 개방(에칭)된다. 그 후, 포토레지스트(211)가 완전히 제거되고, 제 1 하드마스크 층(207), 폴리실리콘 층(205) 및 옥사이드 층(203)이, 상기 애서블 하드마스크 층(209)에 의해 보호되지 않은 부분에서 에칭되어, 도 2D에서 도시된 구조물이 제공된다.

[0040] 다시 도 4를 참조하면, 단계(411)에서, SiC_x , $\text{Si}_x\text{B}_y\text{C}_z$, $\text{Si}_x\text{B}_y\text{N}_z$, $\text{Si}_x\text{B}_y\text{C}_z\text{N}_w$, B_xN_y , B_xC_y 및 GeN_x 중에서 선택된 물질을 포함하는 제 1 하드마스크 층을 폴리실리콘 층 상에 남기면서, 가령, 산소 플라스마 처리에 의해 상기 애서블 하드마스크가 제거된다. 최종 구조물은 도 2E에서 도시된다. 뒤 따르는 전공정 동안 하드마스크 층(207)이 유지될 수 있고, 다양한 뒤 이은 작업들 동안, 가령 결정질 실리콘에 도펀트를 주입하는 동안, 폴리실리콘을 보호하기 위한 기능을 수행할 수 있다. 앞서 기재된 공정 절차에서 하드마스크 물질은 실제 마스크(애서블 하드마스크(209)에 의해 수행됨)를 수행하지 않고, 주로 폴리실리콘을 보호하기 위해 사용된다. 통합 방식(integration scheme)에 따라서, 하드마스크(207)가 뒤 따르는 전공정에서, 가령, 건식(또는 습식) 에칭 세정 동안, 또는 게이트(gate)를 형성하기 위해 수행된 옥사이드의 에칭 동안 마스크를 위해 사용될 수 있다. 사용되는 통합 방식에 따라서, 하드마스크 물질은 최종적으로, 최종 디바이스에서 제거될 수 있거나, 디바이스에 남겨질 수 있다.

[0041] 앞서 설명된 후공정 및 전공정 적용에는 예시적 절차로서 제공되었고, 본원에서 제공된 물질은, 아래 위치하는 층의 보호를 위해 고경도 물질이 요구되는 다양한 그 밖의 다른 공정에서도 사용될 수 있음을 이해해야 한다.

[0042] 적합한 하드마스크 물질의 준비 과정을 지금부터 상세히 설명하겠다.

[0043] 다중 층 실리콘 카바이드 막

[0044] 하나의 실시예에서, 고경도 및 저응력의 다중 층 실리콘 카바이드 막이 제공된다. 특히, 일부 실시예에서 상기 막은 약 12GPa 초과와, 가령 약 18GPa 초과와 경도를 갖고, 약 -600MPa 내지 600MPa의, 가령, 약 -300MPa 내지 300MPa의 응력을 갖는다. 상기 막은, 도핑되거나 도핑되지 않은 실리콘 카바이드 물질의 서브-층(sub-layer)을 증착하고, 각각의 서브-층의 증착 후, 치밀화 플라스마 후-처리를 수행함으로써, 형성된다.

[0045] 실리콘 카바이드가 다양한 방법을 통해 증착될 수 있지만, 일부 실시예에서, 하나의 PECVD 장치에서, 서브-층의 증착과 플라스마 후-처리가 수행되는 것이 바람직할 수 있다. 각각의 서브-층의 두께는, 물질의 보다 완전한 치밀화(densification)를 가능하게 하기 위해, 통상 약 100Å 미만, 가령, 약 50Å 미만이다. 증착은, 적합한 하드마스크 두께를 얻기 위해, 임의의 개수의 서브-층의 형성 및 플라스마 처리를 포함할 수 있다. 일부 실시예에서, 2개 이상의 서브-층, 가령, 10개 이상의 서브-층, 또는 약 20개 이상의 서브-층이 증착된다.

[0046] 다중-층 실리콘 카바이드 막의 형성을 위한 예시적 공정 순서도가 도 5A에서 도시되어 있다. 단계(501)에서, 반도체 기판(가령, 노출된 유전체 층, 또는 노출된 폴리실리콘 층을 갖는 기판)이 PECVD 공정 챔버로 제공된다. 상기 PECVD 공정 챔버는 전구체의 도입을 위한 주입구와 플라스마 발생기를 포함한다. 일부 실시예에서, HF 및 LF 발생기 구성요소를 갖는 2중 주파수 RF 플라스마 발생기가 선호된다.

[0047] 단계(503)에서, 도핑되거나 도핑되지 않은 실리콘 카바이드의 제 1 서브-층이 형성되며, 이때, 증착 과정은, 실

리콘-함유 전구체를 공정 챔버로 흐르게 하고, 플라스마를 형성하는 과정을 포함한다. 하나의 예에서, 2중 주파수 플라스마(HF RF 주파수는 약 13.56MHz이고, LF RF 주파수는 400kHz)가 사용된다. 이 예에서 HF 전력 밀도는 약 0.04 내지 0.2W/cm²이고, LF 전력 밀도는 약 0.17 내지 0.6W/cm²이다.

- [0048] 다양한 실리콘-함유 전구체가 사용될 수 있으며, 예를 들자면, 알킬실란, 알케닐실란 및 알킬닐실란 등의 유기 실리콘 전구체가 사용될 수 있다. 일부 실시예에서, 포화 전구체(가령, 테트라메틸실란, 트리-이소프로필실란 및 1,1,3,3-테트라메틸 1,3-디실라사이클로부탄)가 선호된다.
- [0049] 일부 실시예에서, 앞서 언급된 예에서처럼, 실리콘-함유 전구체는 탄소를 포함한다. 또 다른 실시예에서, 공정 기체에서, 무(無)탄소 실리콘-함유 전구체(가령, 실란)와 별도의 탄소-함유 전구체(가령, 탄화수소)가 사용될 수 있다. 덧붙이자면, 일부 실시예에서, 공정 기체는 탄화수소와 유기실리콘 전구체를 포함할 수 있다.
- [0050] 실리콘-함유 전구체는 운반 기체(carrier gas)(가령, He, Ne, Ar, Kr 또는 Xe 등의 비활성 기체)를 이용해 공정 챔버로 도입되는 것이 일반적이다. 일부 실시예에서, H₂는 증착 공정 기체에 포함될 수 있다. 하나의 예에서, 증착 공정 기체는 실질적으로 (약 500 내지 2,000sccm의 유량으로 흐르는) 테트라메틸실란과 (약 3 내지 5slm의 유량으로 흐르는) 헬륨으로 이루어져 있다.
- [0051] 도핑된 실리콘 카바이드의 층이 형성될 필요가 있을 때, 적합한 도펀트가 공정 기체로 추가된다. 예를 들면, N₂, NH₃, N₂H₄, 아민, 또는 상이한 질소 함유 전구체가 공정 기체에 첨가되어, 질소-도핑된 실리콘 카바이드가 형성될 수 있다. 붕소-함유 전구체(가령, 디보란(diborane))가 첨가되어 붕소-함유 실리콘 카바이드가 형성될 수 있다. 인-함유 전구체(가령, PH₃)가 첨가되어 인-도핑된 실리콘 카바이드가 형성될 수 있다.
- [0052] 플라스마가 점화되고 실리콘 카바이드 서브-층이 희망 두께까지로 형성된 후, 단계(505)에서, 실리콘-함유 전구체가 공정 챔버로부터 제거된다. 일부 실시예에서, 이는 퍼징 기체(purging gas)를 이용하여 공정 챔버를 퍼징함으로써, 이뤄진다. 상기 퍼징 기체는, 비활성 기체(가령, He, Ar), CO₂, N₂, NH₃, H₂ 및 이들의 혼합물 중에서 선택된 기체를 함유할 수 있다. 일부 실시예에서, He, Ar, H₂, 또는 이들의 다양한 혼합물이 퍼징 기체로서 선택된다. 단계(507)에서, 실리콘-함유 전구체가 완전히 제거된 후, (상기 퍼징 기체와 동일하거나 상이할 수 있는) 플라스마-처리 공정 기체가 공정 챔버로 도입되고, 바람직하게는, LF/HF 전력 비가 약 1.5 이상인, 가령, 약 2 이상인 조건 하에서 제 1 서브-층이 플라스마로 처리된다. 단계(509)에서, 증착 및 플라스마 후-처리가 반복되어, 2개 이상의 서브-층을 포함하는, 가령 10개 이상의 서브-층을 포함하는 다중-층 막이 형성될 수 있다. 각각의 서브-층의 플라스마 후처리가, 막 치밀화를 위해 요구되는 시간동안 수행되며, 상기 시간은 서브-층 두께에 따라 달라진다. 일부 실시예에서, 각각의 서브-층에 대해, 약 5 내지 25초 동안, 가령, 약 8 내지 15초 동안 플라스마 후-처리가 수행된다.
- [0053] 최종 막은, 종래의 실리콘 카바이드 막의 구조와 속성과는 구별되는 구조와 속성을 갖는 것으로 발견되었다. 뜻밖에도, 복수의 치밀화 플라스마 후-처리를 이용해 제작된 다중-층 막이 고경도와 저응력을 동시에 가질 수 있음이 발견되었으며, 이는 종래의 증착법에 의해서는 얻어질 수 없다.
- [0054] 이들 막의 구조적 특성은, 이러한 막의 적외선(IR) 스펙트럼이 특유의 높은 Si-C/Si-H 및 Si-C/C-H 피크 비를 가짐을 보여주며, 상기 비는, 약 760 내지 800cm⁻¹(Si-C), 2070 내지 2130cm⁻¹(Si-H) 및 2950 내지 3000cm⁻¹(C-H)에서 중심값을 갖는 대응하는 IR 피크 면적의 비를 지칭한다.
- [0055] 일부 실시예에서, IP 스펙트럼에서 C-H 피크의 면적에 대한 Si-C 피크의 면적의 비는 약 50 이상이고, Si-C/Si-H 비는 약 20 이상이다. 본원에서 제공되는 막은 또한 약 2g/cm³의 밀도를 갖는 것이 통상적이다.
- [0056] 도 5B는 플라스마 후-처리를 하지 않고 얻어진 단일-층의 도핑되지 않은 실리콘 카바이드 막의 IR 스펙트럼(곡선 a)과, 복수의 치밀화 플라스마 처리를 하고 얻어진 다중-층의 도핑되지 않은 실리콘 카바이드 막의 IR 스펙트럼(곡선 b)을 도시한다. (1,000sccm의 유량의) 테트라메틸실란과 (3000sccm의 유량의) 헬륨을 함유하는 공정 기체를, 2.1Torr의 압력에서 흐르게 함으로써, 단일-층 막이 300mm 웨이퍼 상에 증착되었다. 증착 동안 약 0.25W/cm²의 LF 전력 밀도와 0.13W/cm²의 HF 전력 밀도에서의 2중 주파수 플라스마가 사용되었다. 다중-층 막은, 서브-층 증착에 대해 동일한 조건 하에서 증착되었다. 그러나 각각의 서브-층의 증착 후, 플라스마 후-처리가 추가로 포함되었다. 후-처리 과정은, 2.1Torr의 챔버 압력에서, 아르곤을 후-처리 기체로서 공정 챔버로 3slm의 유량으로 흐르게 하는 과정과, 약 0.25W/cm²의 LF 전력 밀도와 약 0.13W/cm²의 HF 전력 밀도에서 2중 주파수 플라스마를 형성하는 과정을 포함했다. 최종 단일 층 막은, 약 15의 SiC/SiH 면적 비를 특징으로 하였다. 치밀화 플

라스마 처리를 이용하여 형성된 최종 다중-층 막은 약 24의 SiC/SiH 피크 면적 비를 특징으로 하였다. 다중-층 막은 약 170GPa의 영률과 약 20.4GPa의 경도를 가진 반면에, 단일-층 막은 약 95GPa의 영률과 겨우 약 12GPa의 경도를 가졌다. 상기 단일-층 막과 다중-층 막은 각각, -20MPa와 179MPa의 응력값을 가졌다.

[0057] 도 5C는 치밀화 플라즈마 후-처리를 이용하여 제조된 2개의 다중-층의 도핑되지 않은 실리콘 카바이드 막과, 후-처리를 하지 않고 제조된 2개의 단일-층의 도핑되지 않은 실리콘 카바이드 막의 응력 및 경도 값을 도시한다. 도 5D는 도 5C의 막과 동일한 막들에 대한 응력 및 영률 값을 도시한다. 표 1은 막에 대한 증착 및 후-처리 조건을 요약한 것이다.

표 1

막	증착	후-처리	응력(MPa)	경도(GPa)	탄성계수(GPa)
막 A	LF=0.35W/cm ² HF=0.13W/cm ²	없음	-830	22.4	180
막 B	LF=0.53W/cm ² HF=0.13W/cm ²	LF=0.53W/cm ² HF=0.13W/cm ²	-412	20.86	166
막 C	LF=0.23W/cm ² HF=0.13W/cm ²	LF=0.23W/cm ² HF=0.13W/cm ²	179	20.4	170
막 D	LF=0.35W/cm ² HF=0.13W/cm ²	없음	-20	12	96

[0059] 모든 막들이, 약 2Torr의 압력에서 테트라메틸실란과 헬륨의 혼합물을 증착 공정 기체로서 이용하여 제작되었다. 모든 경우에서 증착을 위해 2중 주파수 플라즈마 발생법이 사용되었다. HF와 LF 플라즈마에 대한 전력 밀도는 상기 표에 나열되어 있으며, 여기서, 전력 밀도는 전력을 기판 면적으로 나눔으로써, 계산된다. 막 A와 D는 플라즈마 후-처리 없이 제작된 단일-층 막이었다. 이들 막은 고경도와 저응력을 동시에 갖지 않는 것으로 나타날 수 있다. 예를 들어, 비교적 고경도(22.4GPa)의 막 A는 -830MPa의 매우 높은 압축응력을 갖는다. 작은 응력(-20MPa)을 갖는 막 D는 겨우 12GPa의 보통의 경도를 갖는다.

[0060] 막 B와 C는 다중-층 막이며, 각각의 실리콘 카바이드 서브-층의 증착 후 플라즈마 후-처리가 수행되었다. 약 2Torr의 압력에서 아르곤이 플라즈마 처리 기체로서 사용되었다. 플라즈마 후-처리를 위해 2중 주파수 플라즈마 발생법이 사용되었다. HF 및 LF 플라즈마에 대한 전력 밀도는 표에 나열되어 있다. 기대치 않게도, 다중-층 막이 고경도(및/또는 모듈러스) 및 저응력 모두를 갖는다는 것이 발견되었다. 예를 들어, 막 B는 20.86GPa의 경도와 -412MPa의 응력을 갖는다(이는 막 A의 응력보다 2배 초과 더 낮은 값이다). 덧붙이자면, 다중-층 막 C는 20.4GPa의 고경도와 179MPa의 인장응력을 갖는다. 막 C의 경도는 막 D의 경도보다 1.5 배보다 더 크다. 플라즈마 후-처리를 제외하고, 막 C와 D는 동일한 조건 하에서 증착된다. 허용될 수 없는 수준까지 막의 압축응력을 증가시키지 않고도, 플라즈마 후-처리에 의해 막의 경도가 더 높아지는 것을 알 수 있다.

[0061] 일부 실시예에서, LF 전력이 HF 전력보다 더 높은(가령, LF/HF 전력 비가 약 1.5 이상, 또는 약 2 이상인) 2중 주파수 플라즈마를 이용하여 실리콘 카바이드 서브-층의 후-처리를 수행하는 것이 바람직할 수 있다. 기대치 않게도, 후-처리 동안 사용되는 LF/HF 전력의 비가 증가함으로써, 획득되는 막의 속성이 개선된다. LF/HF 전력 비가 증가하면, 획득되는 막의 굴절률, 막의 경도와 양의 상관관계를 갖는 매개변수가 증가한다. 일부 실시예에서, 약 2.25 이상의, 가령, 약 2.30 이상의 굴절률을 갖는 다중-층 실리콘 카바이드 막이 제공된다. LF/HF 전력 비의 증가와 동반되는 막의 굴절률의 증가가 표 2에서 도시된다.

표 2

막 ID	스테이션 당 후-처리 HF 전력(W)	스테이션 당 후-처리 LF 전력(W)	굴절률
1	114	211	2.3021
2	325	0	2.2308
3	114	111	2.2527

[0063] 붕소-함유 하드마스크 막

[0064] 또 다른 양태에서, 붕소-함유 하드마스크 막이 제공된다. 붕소-함유 막은, Si_xB_yC_z, Si_xB_yN_z, Si_xB_yC_zN_w, B_xN_y 및

B_xC_y 중에서 선택된 물질을 포함한다. 일부 실시예에서, 이들 물질은 고경도(가령, 약 12GPa의 정도, 바람직하게는 약 16GPa의 정도)와 저응력(가령, 약 -600 내지 600MPa의 응력, 바람직하게는 약 -300 내지 300MPa의 응력)을 갖도록 가공된다. 일부 실시예에서, 어떠한 압축응력도 갖지 않는 붕소-함유 막, 가령, 매우 낮은(가령, 약 0 내지 300MPa) 인장응력을 갖는 막이 제공된다. 덧붙여, 붕소-함유 막은 도핑되지 않은 실리콘 카바이드 막보다 더 친수성인 것이 일반적이며, (가령, 하이드로젠 페록사이드를 함유하는 산성 슬러리를 이용하는) CMP에 의해 더 쉽게 제거될 수 있다. 일반적으로, 다양한 방법(가령, CVD-기반 기법 및 PVD-기반 기법)에 의해 붕소-함유 하드마스크가 제조될 수 있다. 일부 실시예에서, 붕소-함유 하드마스크의 제작을 위해 PECVD가 선호된다.

[0065] 도 6을 살펴보면, 후공정에서 붕소-함유 하드마스크를 이용하기 위한 예시적 공정 순서도가 도시된다. 상기 공정은 단계(601)에서, 노출된 유전체 층을 포함하는 반도체 기판을 PECVD 공정 챔버에 제공함으로써 시작한다. 예를 들어, 유전체 층은 초저-K 유전체 층(가령, 약 2.8 미만의 가령 약 2.4 미만의 k를 갖는 유전체 층) 또는 더 높은 유전 상수를 갖는 버퍼 유전체 층일 수 있다.

[0066] 단계(601)에서, $Si_xB_yC_z$, $Si_xB_yN_z$, $Si_xB_yC_zN_w$, B_xN_y 및 B_xC_y 중에서 선택된 고경도 저응력 붕소-함유 하드마스크 막이 증착된다. 상기 증착은 적절한 전구체를 포함하는 공정 기체를 공정 챔버로 흐르게 하여, 플라스마를 형성함으로써 수행된다. 일부 실시예에서, 2중 주파수 플라스마가 선호된다. 일부 실시예에서, LF 플라스마에 대한 전력 밀도가 HF 플라스마에 대한 전력 밀도보다 높을 때, 가령, LF/HF 전력 비가 약 1.5 이상일 때(가령, 약 2 이상일 때), 특히 바람직한 막 매개변수가 얻어진다.

[0067] 막이 증착된 후, 단계(605)에서 유전체가 패터닝되어, 가령, 도 1A-1K와 관련하여 기재된 바있는 트렌치 및/또는 비아가 형성될 수 있다. RIE를 이용한 유전체의 건식 에칭 동안 붕소-함유 막이 하드마스크로서 기능할 수 있다. 그 후, 비아 및/또는 트렌치가 유전체에 형성된 다음, 단계(607)에서, 상기 비아 및/또는 트렌치는 금속으로 충전된다. 그 후, 단계(609)에서 통상적으로 금속 오버버든(metal overburden)의 제거 후 CMP에 의해 붕소-함유 하드마스크가 제거된다.

[0068] 실리콘-함유 전구체, 붕소-함유 전구체 및 탄소-함유 전구체를 함유하는 공정 기체를 이용함으로써, $Si_xB_yC_z$ 의 PECVD 증착이 이뤄질 수 있다. 이들 전구체 중 하나 이상은 서로 동일한 분자일 수 있다. 예를 들어, 테트라알킬실란은 탄소-함유 전구체와 실리콘-함유 전구체 모두로서 기능할 수 있다. 디보란은 붕소-함유 전구체로서 사용되고, 알킬실란(가령, 테트라메틸실란), 알케닐실란 및 알키닐실란이 실리콘 및 탄소-함유 전구체로서 사용될 수 있다. 덧붙이자면, 포화 및 불포화 하이드로카본(C_xH_y)이 탄소-함유 전구체로서 사용될 수 있고, SiH_4 가 실리콘-함유 전구체로서 사용될 수 있다.

[0069] 실리콘-함유 전구체, 붕소-함유 전구체, 탄소-함유 전구체(앞서 설명된 바와 같이) 및 질소-함유 전구체를 포함하는 공정 기체에 플라스마를 형성함으로써, $Si_xB_yC_zN_w$ 의 증착이 이뤄질 수 있다. 질소-함유 전구체는 암모니아, 하이드라진, N_2 및 이들의 혼합물을 포함할 수 있다. 덧붙이자면, 질소-함유 전구체는 탄소-함유 전구체와 동일하고, 아민(가령, 모노알킬아민, 디알킬아민 및 트리알킬아민)을 포함할 수 있다. 질소-함유 전구체는 붕소-함유 전구체와 동일할 수 있으며, 트리메틸보라진(trimethylborazine)을 포함할 수 있다. 질소-함유 전구체는, 가령 실라잔에서, 실리콘-함유 전구체와 동일할 수 있다.

[0070] 실리콘-함유 전구체(가령, SiH_4), 붕소-함유 전구체(가령, 디보란) 및 질소-함유 전구체(가령, 암모니아, 하이드라진, N_2 및 이들의 다양한 혼합물)를 포함하는 공정 기체에 플라스마를 형성함으로써, $Si_xB_yN_w$ 의 증착이 이뤄질 수 있다.

[0071] 붕소-함유 전구체(가령, 디보란)와 질소-함유 전구체(가령, 암모니아, 하이드라진, N_2 및 이들의 혼합물)를 포함하는 공정 기체를 이용하여 B_xN_y 가 증착될 수 있다.

[0072] 붕소-함유 전구체(가령, 디보란)와 탄소-함유 전구체(가령, 포화 또는 불포화 하이드로카본)를 포함하는 공정 기체를 이용하여 B_xC_y 가 증착될 수 있다. 비활성 운반 기체(가령, 헬륨이나 아르곤)는, 이들 붕소-함유 막의 증착 동안 사용되는 공정 기체의 일부분인 것이 일반적이다. 일부 실시예에서, H_2 도 역시 공정 기체에 포함된다.

[0073] 도 6B는 다양한 PECVD에 의해 증착되는 $Si_xB_yC_z$, $Si_xB_yN_z$, $Si_xB_yC_zN_w$ 막에 대한 경도와 응력 매개변수를 도시한다. 도 6C는 상기 도 6B의 막들에 대한 영률 및 응력 매개변수를 도시한다. 획득된 막의 증착 조건 및 속성이 표 3

에서 나열된다.

표 3

[0074]

막	공정 기체	B ₂ H ₆ /4MS 유량 비	응력(MPa)	경도(GPa)	탄성계수(GPa)
1. Si _x B _y C _z N _w	B ₂ H ₆ , 4MS, NH ₃ , N ₂		-555	14.5	125
2. Si _x B _y N _z	B ₂ H ₆ , SiH ₄ , NH ₃ , N ₂		-256	13.12	126
3. Si _x B _y N _z	B ₂ H ₆ , SiH ₄ , NH ₃ , N ₂		-65	13.72	138
4. Si _x B _y C _z	B ₂ H ₆ , 4MS, He, H ₂	3.5	416	17.3	163
5. Si _x B _y C _z	B ₂ H ₆ , 4MS, He	3.5	-284	23.54	227
6. Si _x B _y C _z	B ₂ H ₆ , 4MS, He	3.5	246	17.9	174
7. Si _x B _y C _z	B ₂ H ₆ , 4MS, He	0.5	211	12.29	103
8. Si _x B _y C _z	B ₂ H ₆ , 4MS, He	1.5	430	15.15	138

[0075]

모든 막은, HF RF 전력 밀도가 약 0.08 내지 약 0.30W/cm²이고, LF RF 전력 밀도가 약 0.10 내지 약 0.24W/cm²인 2중 주파수 플라즈마를 이용하여 약 2 내지 약 4torr의 압력에서 300mm 웨이퍼 상에 증착되었다.

[0076]

일부 실시예에서, Si_xB_yC_z 막은, 실질적으로 B₂H₆, 테트라메틸실란(4MS) 및 He으로 이루어진 공정 기체를 이용하여 증착된다. B₂H₆의 유량은 약 2,000 내지 4,000sccm일 수 있고, 바람직하게는 약 3,500 내지 4,000sccm일 수 있으며, 테트라메틸실란의 유량은 약 1,000 내지 1,500sccm일 수 있다. 약 3 내지 8slm의 유량의 운반 기체(가령, He)가 사용되는 것이 바람직하다. 일부 실시예에서 약 0.04 내지 0.26W/cm²의 HF RF 전력 밀도와 약 0.14 내지 0.53W/cm²의 LF RF 전력 밀도의 2중 주파수 플라즈마가 사용된다.

[0077]

획득된 막의 경도가 B₂H₆와 테트라메틸실란(4MS)의 비에 따라 크게 달라짐이 예기치 않게 발견되었다. 고경도의 붕소-풍부 막을 획득하기 위해, 약 2 이상의, 가령, 약 3 이상의 B₂H₆/4MS의 유량비가 사용되는 것이 바람직하다.

[0078]

도 6D는 Si_xB_yC_z 막의 경도를 B₂H₆/4MS의 유량 비의 함수로서 도시한다. 유량 비를 약 0.5에서 약 3.5로 증가시킴으로써, 경도는 2배 증가될 수 있음을 알 수 있다. 서로 다른 유량 비에 대한 대응하는 경도 및 응력 값이 표 3에서 나타나 있다.

[0079]

구조적으로, 고경도 및 고영률을 갖는 막은, 높은 B-C 결합 함유량을 특징으로 한다. 일부 실시예에서 약 0.35 이상의 BC/[BC+SiC] IR 피크 면적 비를 갖는 고경도 막이 선호된다. 상기 비는 대응하는 약 1120 내지 1160cm⁻¹(B-C)와 760 내지 800cm⁻¹(Si-C)를 중앙값으로 갖는 IR 피크 면적의 비를 의미한다.

[0080]

도 6E는 다양한 Si_xB_yC_z 막의 영률 및 응력 매개변수의 종속성을 BC/[BC+SiC] 면적 비의 함수로서 도시한다. 약 0.3 미만의 BC/[BC+SiC]를 갖는 막은 그 이상의 B-C 결합 함유를 갖는 막보다 상당히 더 연성이다. 표 4는 3개의 Si_xB_yC_z 막에 대해 얻은 데이터를 요약한다. 모든 막들이, (유량 500 내지 3500sccm의) B₂H₆, (1,000sccm 유량의) 4MS 및 (3,000sccm 유량의) He로 이루어진 공정 기체를 이용하고, 2.1Torr의 압력에서, HF RF 전력 밀도가 약 0.12W/cm²이고, LF RF 전력 밀도가 약 0.22W/cm²인 2중 주파수 플라즈마를 이용하여 증착되었다. 경도, 응력 및 영률 매개변수가 B-C 함유의 함수로서 표 4에서 나타난다.

표 4

[0081]

막	BC/[BC+SiC]	응력(MPa)	경도(GPa)	탄성계수(GPa)
1. $\text{Si}_x\text{B}_y\text{C}_z$	0.386	439	17.3	163
2. $\text{Si}_x\text{B}_y\text{C}_z$	0.22	211	12.29	103
3. $\text{Si}_x\text{B}_y\text{C}_z$	0.364	418	15.15	138

[0082]

일부 실시예에서, LF 전력이 HF 전력보다 높은(가령, LF/HF 전력 비가 약 1.5 이상인, 가령, 약 2 이상인, 가령 약 3 이상인) 2중 주파수 플라즈마를 이용하여 $\text{Si}_x\text{B}_y\text{C}_z$ 를 증착하는 것이 바람직하다. 증착 동안 사용되는 LF/HF 전력의 비가 증가하면, 획득된 막의 속성이 개선됨이 발견되었다. LF/HF 전력 비가 증가되면, 최종 막의 굴절률이 증가되고, 막의 굴절률은 막의 경도와 양의 상관관계를 갖는다. 일부 실시예에서, 약 2.3 이상의, 가령 약 2.5 이상의, 가령 약 2.6 이상의 굴절률을 갖는 $\text{Si}_x\text{B}_y\text{C}_z$ 막이 제공된다. 표 5에서 나타난 바와 같이, 막의 굴절률이 증가하면, LF/HF 전력 비가 증가한다.

표 5

[0083]

막 ID	LF/HF 전력 비	굴절률
I. $\text{Si}_x\text{B}_y\text{C}_z$	1.86	2.518
II. $\text{Si}_x\text{B}_y\text{C}_z$	4.33	2.5714
III. $\text{Si}_x\text{B}_y\text{C}_z$	3.05	2.6131
IV. $\text{Si}_x\text{B}_y\text{C}_z$	0.81	2.3382

[0084]

$\text{Si}_x\text{B}_y\text{N}_z$ 막에서, 막의 중요한 구조적 특성은 B-N 결합의 함유량이며, 이는 IR 스펙트럼에서의 피크의 면적 비인 BN/[BN+SiN] 비를 이용하여 정량화되며, 여기서 상기 비는 약 1400cm^{-1} (B-N) 및 820 내지 850cm^{-1} (Si-N)을 중앙값을 갖는 대응하는 IP 피크 면적 비를 지칭한다.

[0085]

도 6F는 응력과 영률 모두 이 매개변수에 크게 종속적임을 보여준다. 특히, B-N 결합 함유도가 증가할수록, 압축응력은 빠르게 증가한다. 일부 실시예에서, 약 07 미만의, 가령, 약 0.6 미만의 BN/[BN+SiN]을 갖는 $\text{Si}_x\text{B}_y\text{N}_z$ 막이 선호된다. 실리콘-함유 전구체와 붕소-함유 전구체의 유량을 적절하게 수정함으로써, 필요에 따라 B-N 결합 함유량이 조절될 수 있다. 표 1은 서로 다른 BN/[BN+SiN] 비를 갖는 막에 대한 막 속성을 도시한다.

표 6

[0086]

막	공정 기체	BN/[BN+SiN]	응력(MPa)	경도(GPa)	탄성계수(GPa)
1. $\text{Si}_x\text{B}_y\text{N}_z$	B_2H_6 (4125sccm), SiH_4 (300sccm), NH_3 (825sccm), N_2 (16,500sccm)	0.77	-431	12.89	120
2. $\text{Si}_x\text{B}_y\text{N}_z$	B_2H_6 (4125sccm), SiH_4 (75sccm), NH_3 (825sccm), N_2 (16,500sccm)	0.66	-256	13.12	126
3. $\text{Si}_x\text{B}_y\text{N}_z$	B_2H_6 (4125sccm), SiH_4 (150sccm), NH_3 (825sccm), N_2 (16,500sccm)	0.59	-65	13.72	138

- [0087] 앞서 언급된 바와 같이, 붕소-함유 막은 하드마스크 적용에 적합하다. 붕소-함유 막의 특별한 이점들 중 하나는 친수성이기 때문에, CMP에 의해 쉽게 제거된다는 것이다. 도 6G는 물방울이 막 위에 위치하는 접촉각 테스트를 이용한, 도핑되지 않은 실리콘 카바이드와 비교되는 다양한 $\text{Si}_x\text{B}_y\text{C}_z$ 막의 친수 정도(hydrophilicity)를 나타낸다. 막에 대한 물방울의 접촉각이 측정되며, 접촉각이 낮을수록, 더 친수성의 막이다. 표 3에 나열된 $\text{Si}_x\text{B}_y\text{C}_z$ 막(4-6)이 테스트되었고, 38 내지 42도의 접촉각이 얻어졌다. 이와 달리, 도핑되지 않은 실리콘 카바이드 막은 66도라는 상당히 더 큰 각도로 볼 때, 훨씬 더 소수성이다.
- [0088] 게르마늄 니트라이드 하드마스크 막
- [0089] 본 발명의 또 다른 형태에서, GeN_x 하드마스크 막이 제공된다. 일부 실시예에서 이들 막은 약 100GPa 이상의, 가령, 약 130GPa 이상의 고영률과 고밀도(가령, 약 $4\text{g}/\text{cm}^3$ 초과 밀도)를 특징으로 한다. GeN_x 막은 다양한 후공정과 전공정 방식에서 하드마스크로서 사용될 수 있으며, 레이저를 이용한 패턴 정렬을 위해 사용되는 파장에 의해 충분히 투과되고, CMP 또는 습식 에칭 기법에 의해 사용된 후, 기판으로부터 쉽게 제거될 수 있다.
- [0090] 일부 실시예에서, 게르마늄-풍부 GeN_x 하드마스크 막이 사용되는 것이 바람직하다. 이러한 게르마늄-풍부 막은 수소를 제외하고, 약 60 원자% 이상의, 가령, 약 70 원자% 이상의, 가령, 약 75 원자% 이상의 게르마늄 농도를 갖는다. 고 게르마늄 함유량에 의해, 게르마늄 니트라이드 막은, 상기 막이 패터닝에서 사용된 후, CMP와 습식 에칭 제거에 더 잘 반응하게 된다. 일부 실시예에서, 이러한 제거는, CMP 또는 습식 에칭 작업 중에 하드마스크와 하이드로젠 펌프사이드를 포함하는 조성물을 접촉시킴으로써, 이뤄진다. 예를 들어, 하이드로젠 펌프사이드를 함유하는 산성 CMP 슬러리가 사용될 수 있다.
- [0091] 하나의 예시에서, 약 79 원자%의 게르마늄 농도, 약 144GPa의 영률 및 약 $4.4\text{g}/\text{cm}^3$ 의 밀도를 갖는 GeN_x 하드마스크 막이 제조되었다.
- [0092] 게르마늄 니트라이드 하드마스크는 다양한 CVD 및 PCD 기법을 이용하여 제조될 수 있으며, 상기 다양한 기법들 중 PECVD를 예로 들어 설명할 것이다. 도 7에서 도시된 후공정 순서도를 참조하면, 공정은, 단계(701)에서, 노출된 유전체 층을 포함하는 반도체 기판을 PECVD 공정 챔버에 제공함으로써 시작된다. 단계(703)에서, 약 60 원자%의 게르마늄 함유량을 갖는 GeN_x 하드마스크 막이 증착된다. 게르마늄 함유 전구체(가령, 게르만(germane))와 질소-함유 전구체(가령, NH_3 , N_2 , N_2H_4 및 다양한 이들의 혼합물)를 포함하는 공정 기체를 공정 챔버로 도입하고, 플라즈마를 형성하여, 게르마늄 니트라이드 층을 증착함으로써 증착이 수행된다. 상기 증착 공정 기체는 선택사항으로서, 비활성 기체(가령, 헬륨 또는 아르곤)를 포함할 수 있다. 질소-함유 전구체의 유량과 게르마늄-함유 전구체의 유량의 비는, 예를 들어, 게르마늄-풍부 게르마늄 니트라이드 막을 형성하도록 선택된다. 하나의 예에서, 전구체가 게르만과 암모니아인 경우, 암모니아에 대한 게르만의 유량 비는 약 0.05 이상이다.
- [0093] 하나의 예시적 실시예에서, 실질적으로 (약 50 내지 100sccm의 유량의) 게르만, (약 600 내지 1200sccm의 유량의) NH_3 및 (약 12slm의 유량의) N_2 로 이루어진 공정 기체를 공정 챔버로 흘려보내고, 2중 주파수 플라즈마를 형성하여, 약 350 내지 450℃의 온도에서 게르마늄 니트라이드 막을 기판 상에 증착시킴으로써(이때, 상기 온도는 지지대의 온도를 지칭함), GeN_x 하드마스크가 300mm 웨이퍼 상에서 제조된다. 이 예시에서 증착 동안 압력은 약 2.5 내지 4 Torr이다. 이 예시적 증착 공정에서, (약 $0.18\text{W}/\text{cm}^2$ 의 전력 밀도의) 약 13.56MHz의 주파수의 HF RF 성분과, (약 $0.23\text{W}/\text{cm}^2$ 의 전력 밀도의) 약 400kHz의 주파수에서의 LF RF 성분이 사용된다. 일부 실시예에서, HF 성분의 전력 밀도보다 더 높은 전력 밀도에서 LF 성분을 사용하는 것이 바람직하다.
- [0094] 도 7의 공정 순서도를 다시 살펴보면, 게르마늄 니트라이드 막이 증착된 후, 단계(707)에서, 예를 들면 도 1A-1K에서 도시된 바와 같이, 유전체가 패터닝되어, 트렌치 및/또는 비아를 형성할 수 있다. 건식 에칭 패터닝 동안(가령, 유전체의 반응성 이온 에칭(RIE) 동안) 게르마늄 니트라이드 하드마스크가 사용될 수 있다. 예를 들어, 노출된 하드마스크를 갖는 기판과 유전체 층을, CxFy (가령, CF_4), 비활성 기체(가령, Ar) 및 산화제(가령, O_2)를 포함하는 공정 기체를 이용한 플라즈마와 접촉시킴으로써, 노출된 GeN_x 가 존재하는 곳의 유전체에서 비아 및/또는 트렌치가 에칭될 수 있다. 그 밖의 다른 건식 에칭, 가령, Cl_2 및 N_2 를 포함하는 공정 기체를 이용하는 플라즈마 에칭이 사용될 수 있다.
- [0095] 유전체가 패터닝된 후, 단계(707)에서 비아 및/또는 트렌치에 금속이 충전된다. 예를 들어, 전기도금법에 의해

구리가 오목한 특징부 내부로 증착될 수 있다. 그 후, 단계(709)에서, CMP에 의해 하드마스크가 제거된다. 예를 들어, 이는 구리 오버버드과 확산 장벽 물질을 CMP에 의해 제거하는 동안 이뤄질 수 있다. 일부 실시예에서, 페록사이드(가령, 하이드로젠 페록사이드)를 포함하는 산성 pH를 갖는 CMP 슬러리가 GeN_x 하드마스크를 제거하기 위해 사용된다. 그 밖의 다른 실시예에서, (가령, 3:1 비로 존재할 수 있는 H_2SO_4 과 H_2O_2 를 포함하는 용액을 이용한) 습식 에칭에 의해 GeN_x 하드마스크 막이 제거될 수 있다.

[0096] 도 7의 공정 순서도가 후공정 방식을 도시한다. 또한 GeN_x 막이 전공정에서의 하드마스크로서 사용될 수 있다. 덧붙여, 게르마늄 니트라이드 막이 습식 에칭 동안(가령, 플루오라이드-함유 습식 에칭 화학반응을 이용하는 실리콘 옥사이드계 물질의 패터닝 동안), 하드마스크로서 기능할 수 있다.

[0097] 장치

[0098] 본원에서 기재되는 하드마스크 물질은 여러 다른 유형의 장치(가령, CVD 및 PVD 장치)에서 증착될 수 있는 것이 일반적이다. 바람직한 실시예에서, 장치는 HF RF 및 LF RF 전원을 포함하는 PECVD 장치이다. 적합한 장치의 예로는, Novellus Systems, Inc(소재지: 캘리포니아, 산 호세)사에서 상업적으로 제공하는 SEQUEL[®]과 VECTOR[®]틀이 있다.

[0099] 일반적으로, 장치는, 하나 이상의 웨이퍼를 하우징하고 웨이퍼 공정에 적합한 하나 이상의 챔버, 또는 “반응기(reactor)” (때때로 복수의 스테이션을 포함함)를 포함할 것이다. 에칭 챔버는 공정을 위해 하나 이상의 웨이퍼를 하우징할 수 있다. 상기 하나 이상의 챔버는 지정된 하나 이상의 위치에 웨이퍼를 유지한다. 상기 웨이퍼는 상기 위치 내에서 운동(가령, 회전, 진동 또는 그 밖의 다른 교반 운동)하거나, 운동하지 않는다. 일부 실시예에서, 공정 동안 반응기 내에서 하드마스크 층 증착 중인 웨이퍼가 하나의 스테이션에서 또 다른 스테이션으로 이동된다. 공정 중에, 각각의 웨이퍼가 지지대(pedestal), 웨이퍼 척 및/또는 그 밖의 다른 웨이퍼 고정 장치에 의해 제 위치로 유지된다. 웨이퍼 가열이 이뤄질 작업을 위해, 상기 장치는 가열기(가령, 히팅 플레이트)를 포함할 수 있다.

[0100] 도 8은 본 발명을 구현하기 위해 배열된 적합한 PECVD 반응기의 다양한 반응기 구성요소를 나타내는 단순한 블록도를 도시한다. 도시된 바와 같이, 반응기(800)는 공정 챔버(824)를 포함하며, 상기 공정 챔버(824)에는 반응기의 그 밖의 다른 구성요소들이 내장되어 있으며, 상기 공정 챔버(824)는, 접지된 가열기 블록(820)과 연계되어 동작하는 샤워헤드(814)를 포함하는 커패시터형 시스템에 의해 발생된 플라즈마를 유지하는 기능을 수행한다. 고주파수 RF 발생기(804) 및 저주파수 RF 발생기(802)가 정합 네트워크(matching network, 806)로 연결되며, 상기 정합 네트워크는 샤워헤드(814)로 연결된다.

[0101] 반응기 내에서, 웨이퍼 지지대(818)는 기관(816)을 지지한다. 상기 지지대는, 증착 반응 동안, 또는 증착 반응들 사이에, 기관을 유지하거나 이동하기 위해 척(chuck), 또는 포크(fork), 또는 리프트 핀(lift pin)을 포함하는 것이 일반적이다. 상기 척은, 산업 및/또는 연구에서 이용 가능한 정전 척, 기계 척, 또는 그 밖의 다른 다양한 타입의 척일 수 있다.

[0102] 공정 기체가 주입구(812)를 통해 도입된다. 복수의 공급원 기체 라인(810)이 다기관(808)으로 연결된다. 상기 기체는 미리 혼합되어 있거나 그렇지 않을 수 있다. 공정의 증착 및 플라즈마 처리 과정 동안 올바른 기체가 전달됨을 보장하기 위해, 적정 밸브 수단 및 질량 유량 제어 수단이 사용된다. 화학적 전구체가 액체 형태로 전달되는 경우, 액체 흐름 제어 수단이 사용된다. 그 후, 증착 챔버에 도달하기 전에, 기체의 기화점 초과로 가열된 다기관에서의 기체의 수송 동안, 상기 액체는 기화되어 그 밖의 다른 공정 기체와 혼합된다.

[0103] 공정 기체는 배출구(822)를 통해 챔버(824)를 빠져 나간다. 진공 펌프(826)(가령, 1 또는 2 스테이지 기계 건식 펌프 및/또는 터보분자 펌프(turbomolecular))가, 폐쇄 루프에 의해 제어되는 흐름 제한 장치(flow restriction device)(가령, 스로틀 밸브 또는 펜듈럼 밸브)에 의해, 공정 기체를 배출시키고, 반응기 내에서 적합한 저압력을 유지한다.

[0104] 실시예들 중 하나에서, 하드마스크 층을 증착하기 위해 다-스테이션 장치가 사용될 수 있다. 상기 다-스테이션 반응기에 의해, 하나의 챔버 환경에서 서로 다른 공정들, 또는 동일한 다수의 공정을 동시에 수행할 수 있으며, 이로 인해서, 웨이퍼 처리의 효율이 증가된다. 이러한 장치의 예로는, 도 9에서 도시된 장치가 있다. 개략적 평면도가 도시된다. 장치 챔버(901)는 4개의 스테이션(903 내지 909)을 포함한다. 일반적으로, 다-스테이션 장치

의 하나의 챔버 내에서 임의의 개수의 스테이션이 가능하다. 스테이션(903)은 기판 웨이퍼의 적재(loading)와 하적(unloading)을 위해 사용된다. 스테이션(903 내지 909)은 서로 동일하거나 서로 다른 기능을 가질 수 있으며, 일부 실시예에서는, 개별적인 공정 조건(가령, 서로 다른 온도 상황) 하에서 동작할 수 있다.

[0105] 일부 실시예에서, 장치의 하나의 스테이션에서 전체 하드마스크 층이 증착된다. 또 다른 실시예에서, 제 1 스테이션에서 하드마스크 층의 제 1 부분이 증착되고, 그 후, 웨이퍼가 제 2 스테이션으로 이동되고, 상기 제 2 스테이션에서, 상기 하드마스크 층의 제 2 부분이 증착된다. 이는 웨이퍼가 제 1 스테이션으로 돌아오고, 장치를 빠져나갈 때까지 계속된다.

[0106] 하나의 실시예에서, 장치의 스테이션들 중 하나에서, 실리콘 카바이드의 허브-층의 증착 및 플라스마 후-처리가 수행된다. 그 밖의 다른 실시예에서, 서브-층들의 증착이 하나 이상의 전용 스테이션에서 수행되며, 플라스마 후-처리는 하당 1상의 서로 다른 스테이션에서 수행된다.

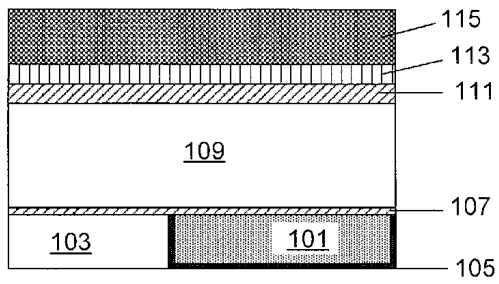
[0107] 하나의 실시예에서, 스테이션(903, 905, 907 및 909)은 모두 하드마스크 층의 증착을 위해 기능한다. 기판을 지지대로부터, 다음 공정 스테이션에서 기판이 위치할 정확한 위치까지로 들어 올리기 위해 인덱스 플레이트(911)가 사용된다. 상기 웨이퍼 기판이 스테이션(903)에 적재된 후, 연속적으로 스테이션(905, 907 및 909)으로 인덱싱되며, 이때, 하드마스크 층의 일부분들이 각각의 스테이션에서 증착된다. 처리된 웨이퍼가 스테이션(903)에서 하적되고, 모듈에 새로운 웨이퍼로 채워진다. 보통의 작업 동안, 개별 기판은 각각의 스테이션을 차지하고, 공정이 반복될 때마다, 기판이 새로운 스테이션으로 이동된다. 따라서 4개의 스테이션(903, 905, 907 및 909)을 갖는 장치는 4개의 웨이퍼의 동시 처리를 가능하게 한다.

[0108] 특정 공정 변수(가령, HF 및 LF 전력, 전구체 유량, 온도, 압력 등)의 모니터링, 유지관리 및/또는 조정을 위한 프로그램 인스트럭션을 포함하는 제어기 유닛(913)에 의해, 공정 조건이 제어될 수 있고, 공정 흐름 자체도 제어될 수 있다. 상기 제어기는 본원에서 기재된 하드마스크 증착 공정 중 임의의 공정을 수행하기 위한 프로그램 인스트럭션을 포함한다. 예를 들어, 일부 실시예에서, 제어기는 실리콘 카바이드 서브-층을 증착하는 프로그램 인스트럭션, 피징 기체를 이용해 챔버를 피징하는 프로그램 인스트럭션, 플라스마-처리 기체를 이용하여 서브-층을 플라스마 처리하는 프로그램 인스트럭션, 증착과 플라스마-처리 공정을 원하는 만큼(가령, 10개 이상의 서브-층이 증착되고 처리됨) 반복하기 위한 프로그램 인스트럭션을 포함한다. 일부 실시예에서, 제어기는 붕소-함유 하드마스크를 증착하기 위한 프로그램 인스트럭션을 포함하며, 상기 붕소-함유 하드마스크를 증착하기 위한 프로그램 인스트럭션은, 앞서 기재된 바 있는 적절한 조성의 공정 기체를 흐르게 하는 인스트럭션과, 적정 전력 레벨(가령, 약 1.5 이상의 LF/HF 전력 비)을 이용하여 플라스마를 생성하는 인스트럭션을 포함한다. 그 밖의 다른 실시예에서, 제어기는 GeN_x 하드마스크를 증착하기 위한 프로그램 인스트럭션을 포함하며, 상기 GeN_x 하드마스크를 증착하기 위한 프로그램 인스트럭션은, 게르마늄-함유 전구체와 질소-함유 전구체를 포함하는 공정 기체를, 약 60 원자% 이상의 게르마늄을 함유하는 막을 형성시킬 유량으로, 흐르게 하는 프로그램 인스트럭션을 포함한다. 제어기는 서로 다른 장치 스테이션을 위해, 서로 다른, 또는 동일한 인스트럭션을 포함할 수 있으며, 이로써, 장치 스테이션들은 독립적으로, 또는 동시에 동작할 수 있다.

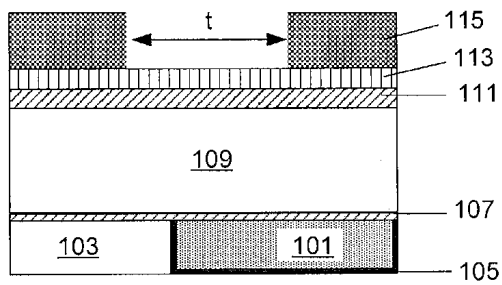
[0109] 본원에서 예제 및 실시예들은 설명을 위한 목적으로 기재된 것이며, 이러한 관점에서, 다양한 변형이나 변경예가 해당 업계 종사자에게 자명할 것이다. 다양한 세부사항이 명료성을 위해 생략되었지만, 다양한 설계적 치환예가 구현될 수 있다. 따라서 본 발명의 예제들은 제한이 아니라 설명적 예시로서 여겨질 것이다. 특정 실시예에서, 하드마스크 막은 반드시 리소그래피에서의 마스킹을 위해 사용될 수 있는 것은 아니며, 단순히, 아래 위치하는 물질을 위한 단단한 보호 층으로서 기능할 수 있다.

도면

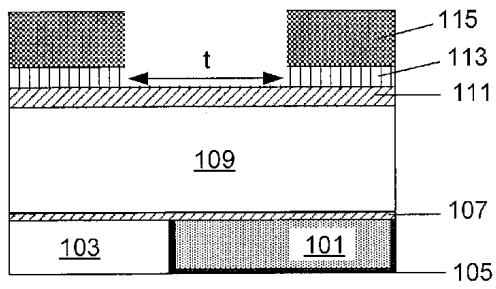
도면1a



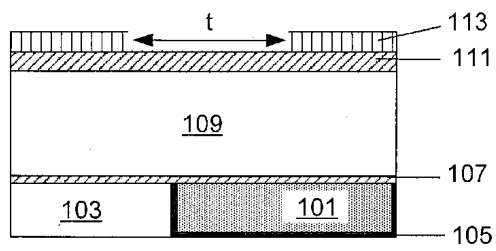
도면1b



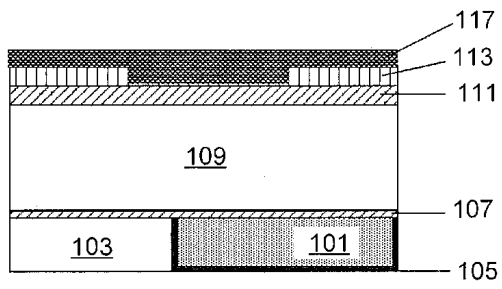
도면1c



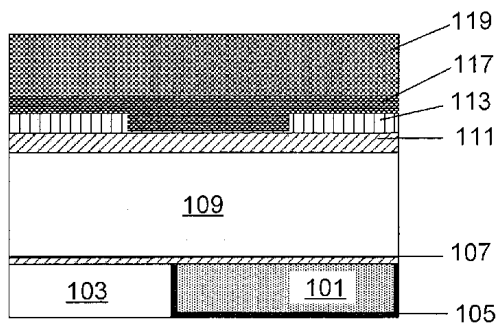
도면1d



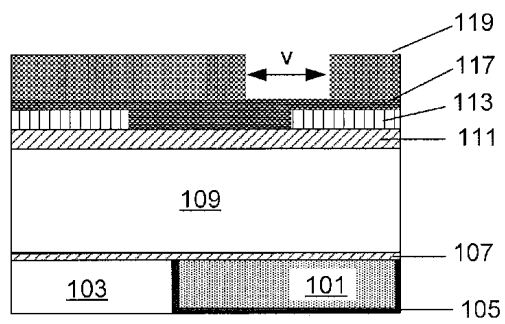
도면1e



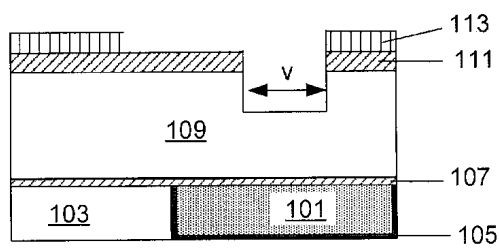
도면1f



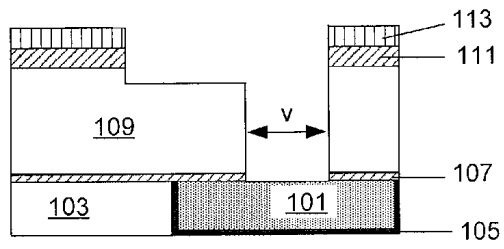
도면1g



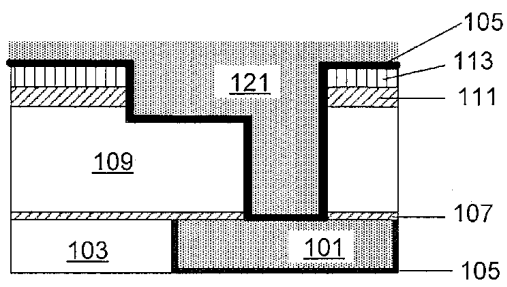
도면1h



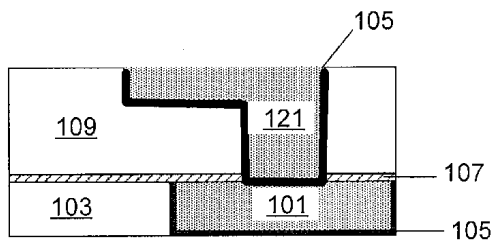
도면1i



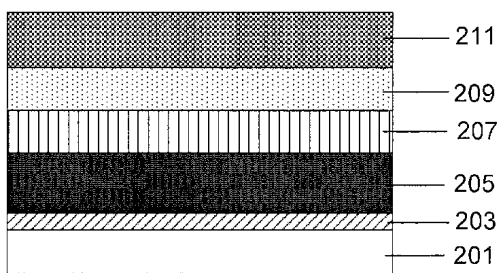
도면1j



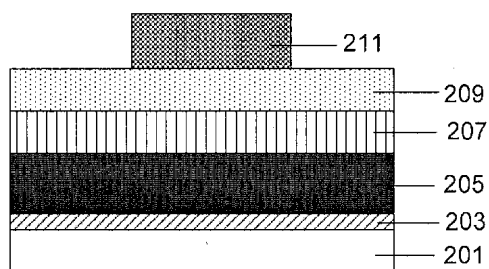
도면1k



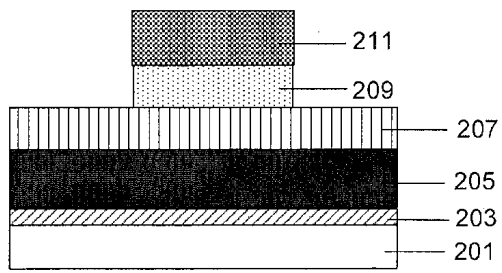
도면2a



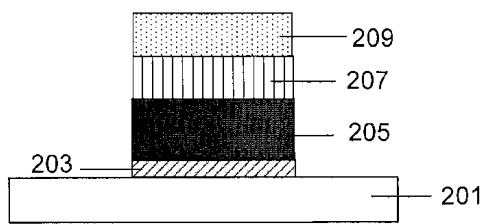
도면2b



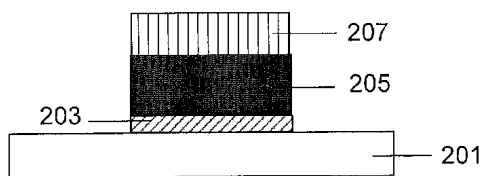
도면2c



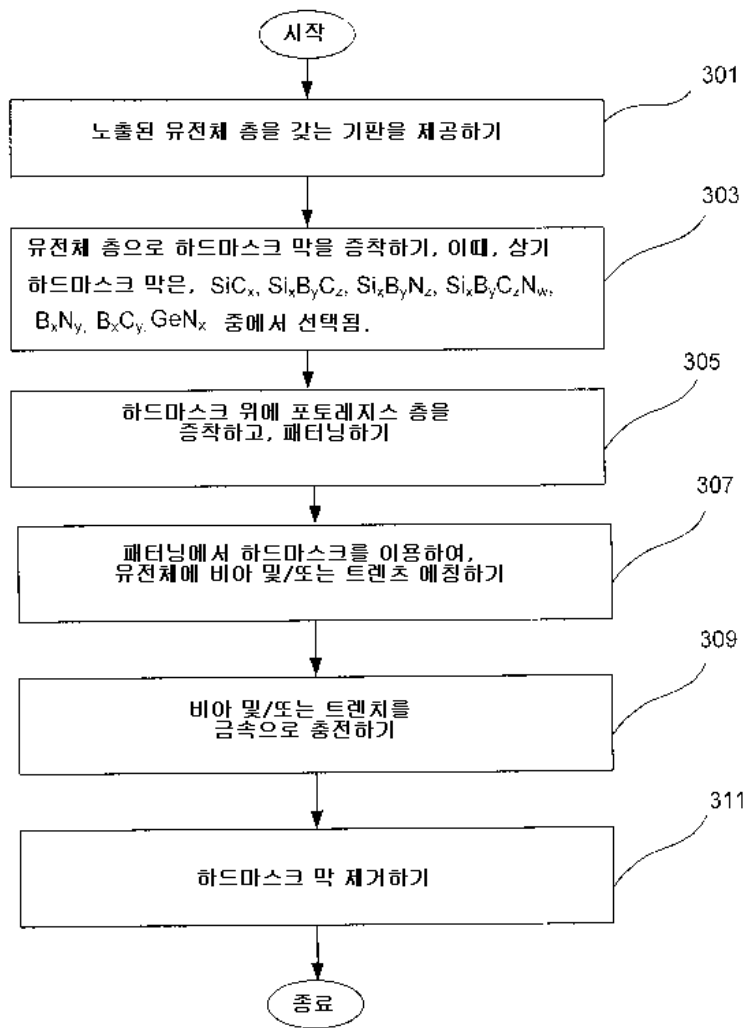
도면2d



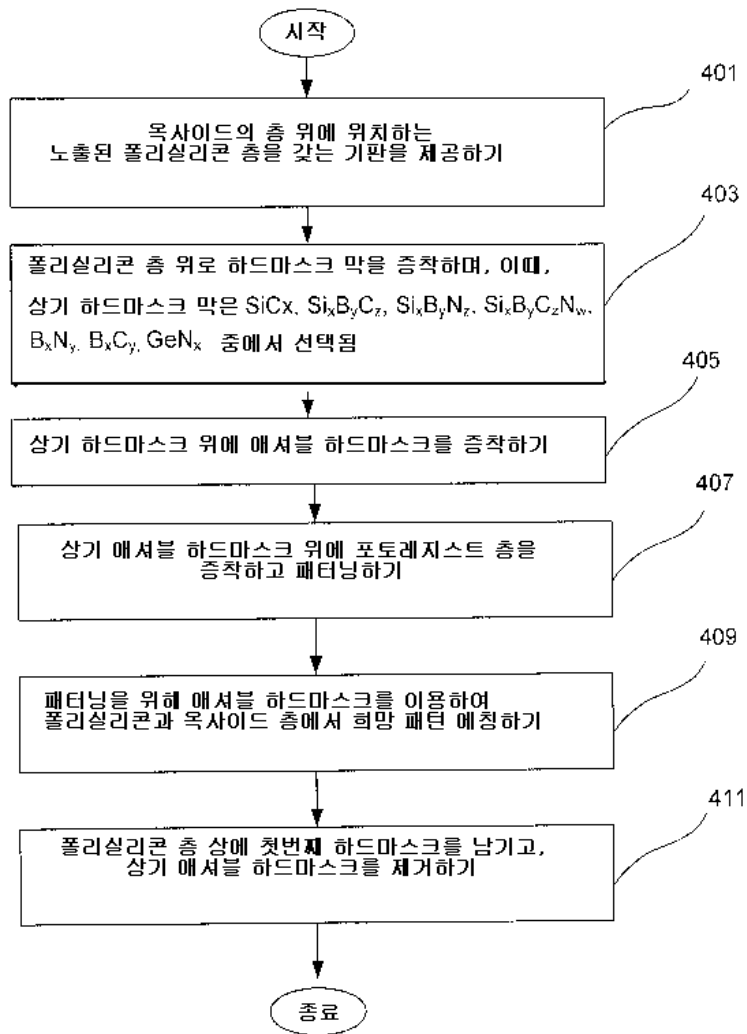
도면2e



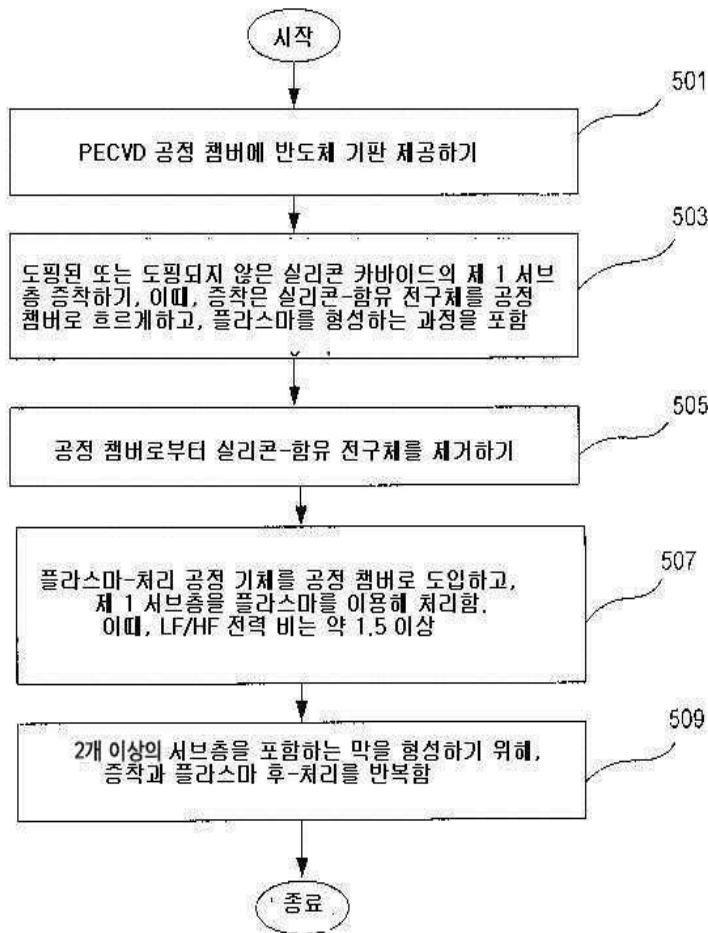
도면3



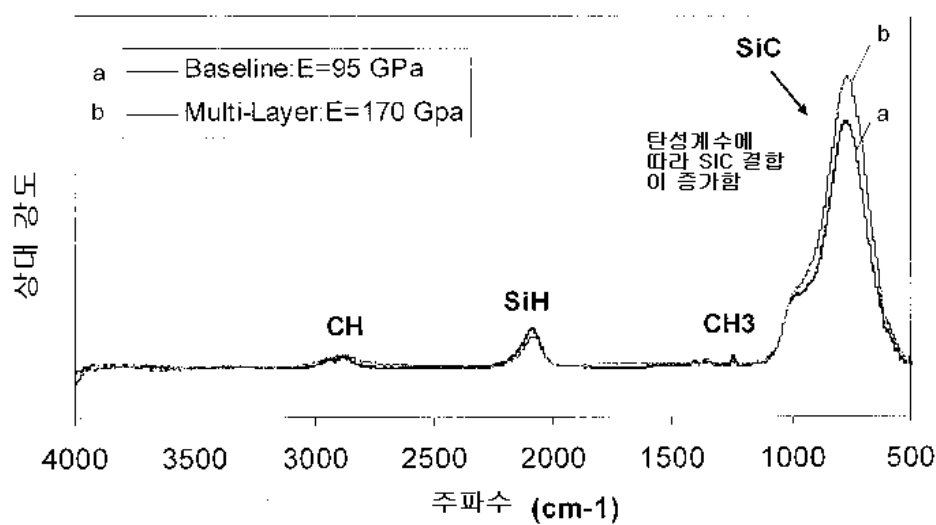
도면4



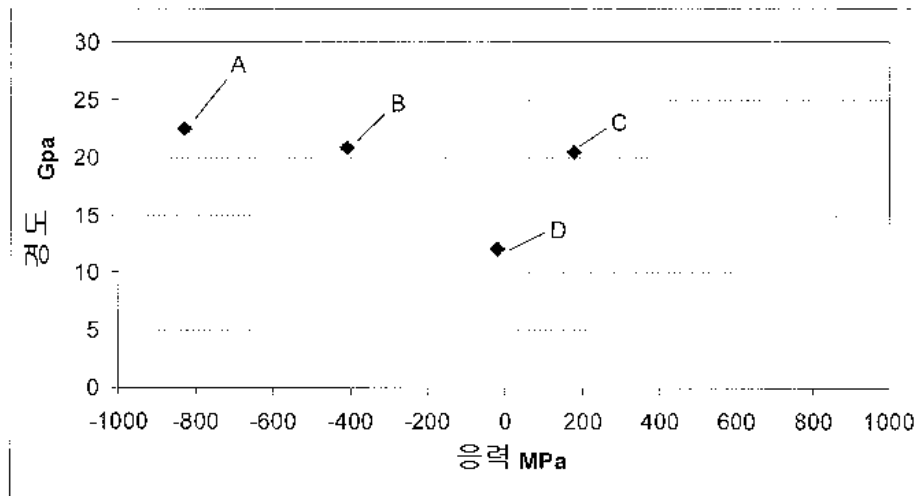
도면5a



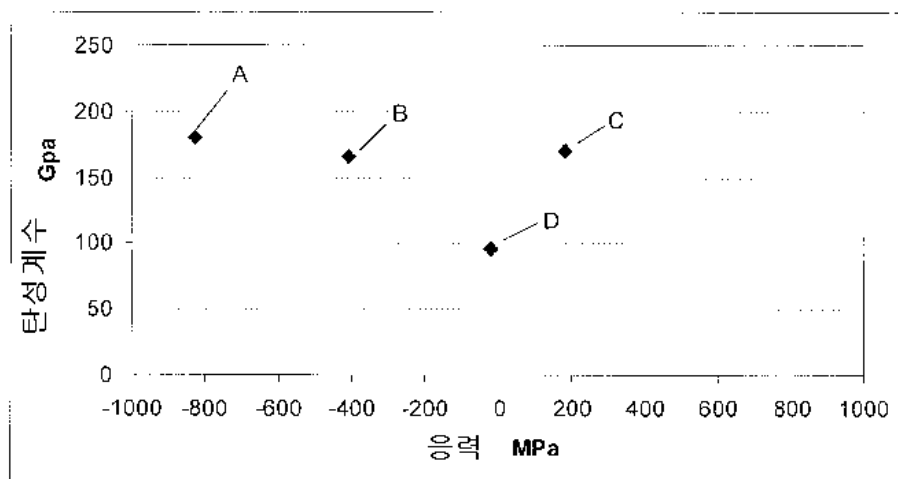
도면5b



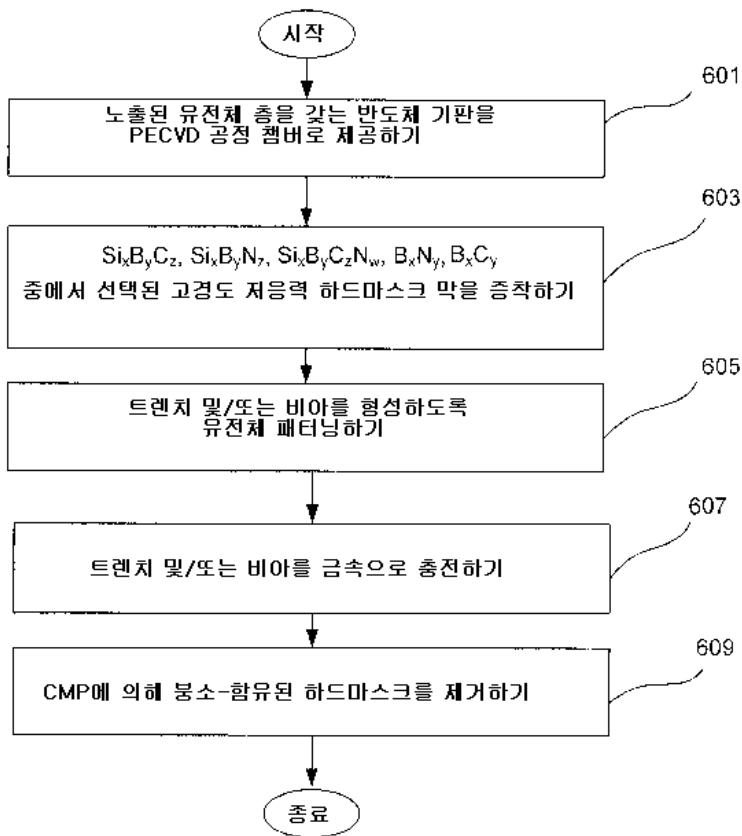
도면5c



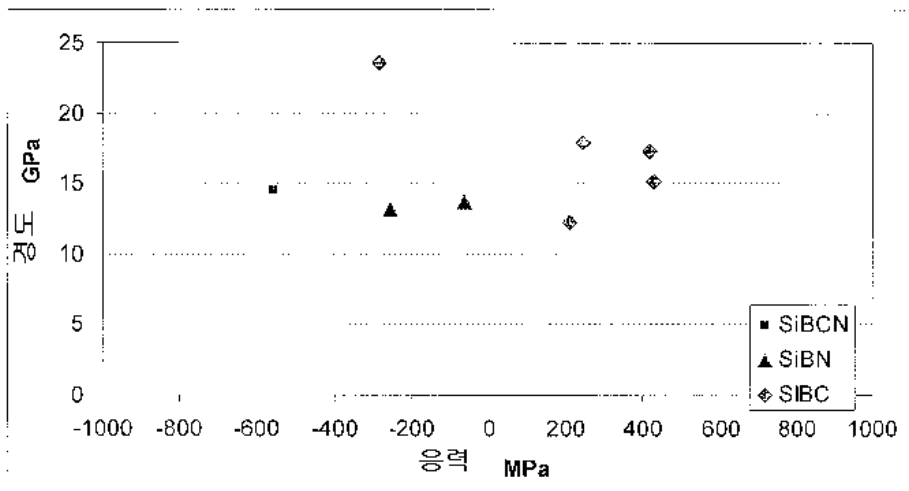
도면5d



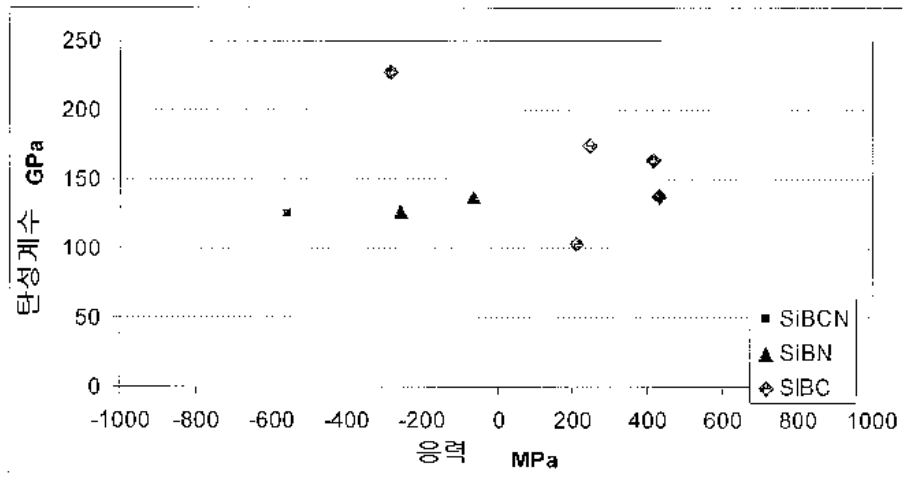
도면6a



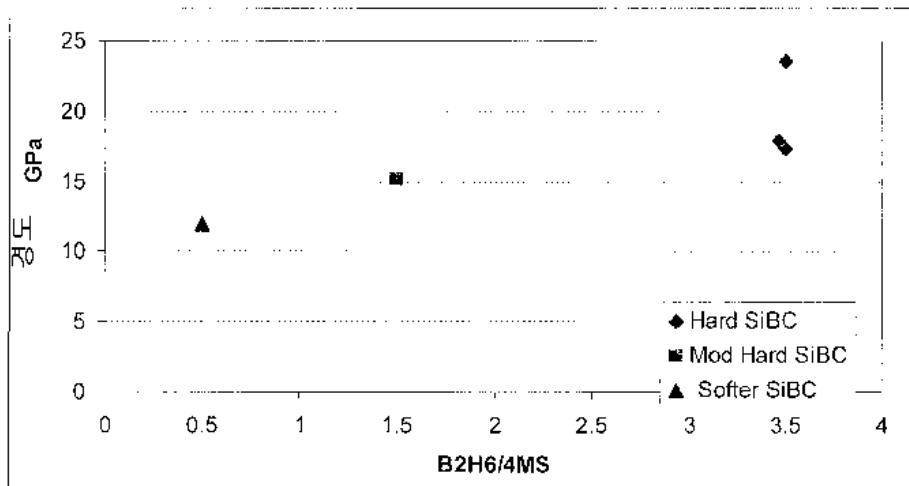
도면6b



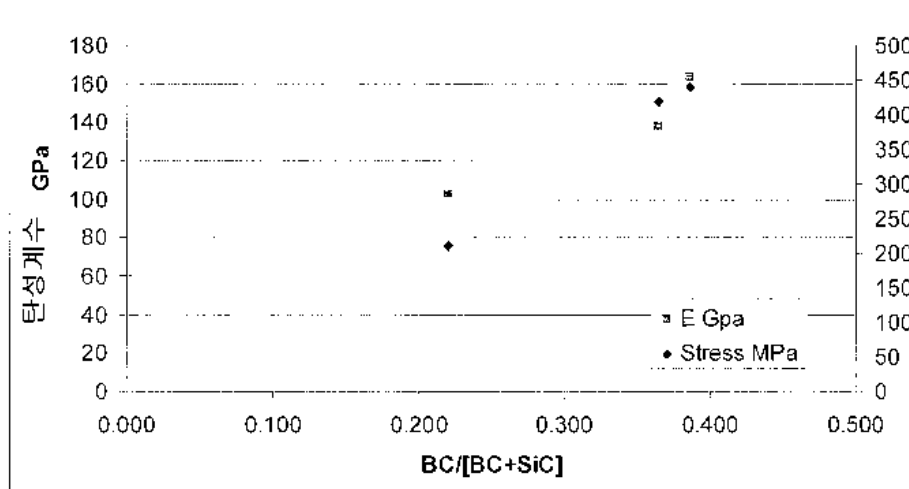
도면6c



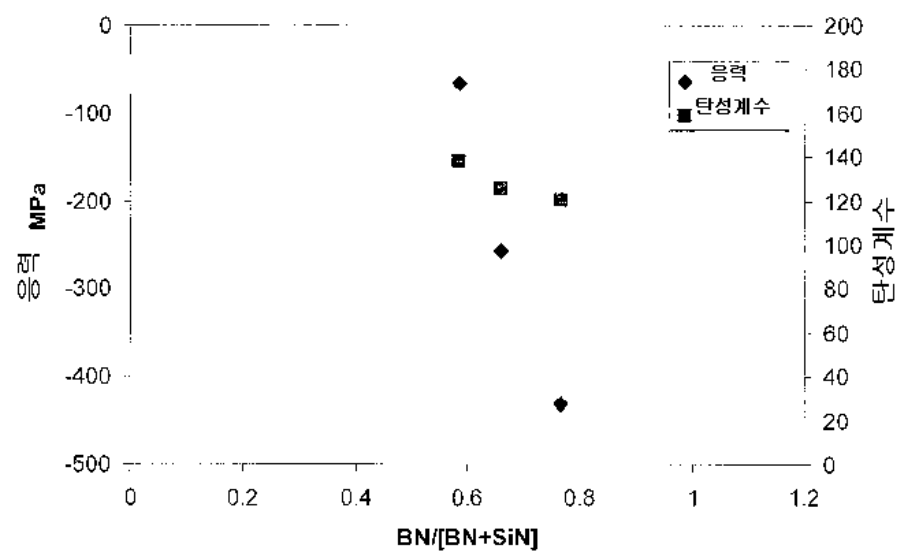
도면6d



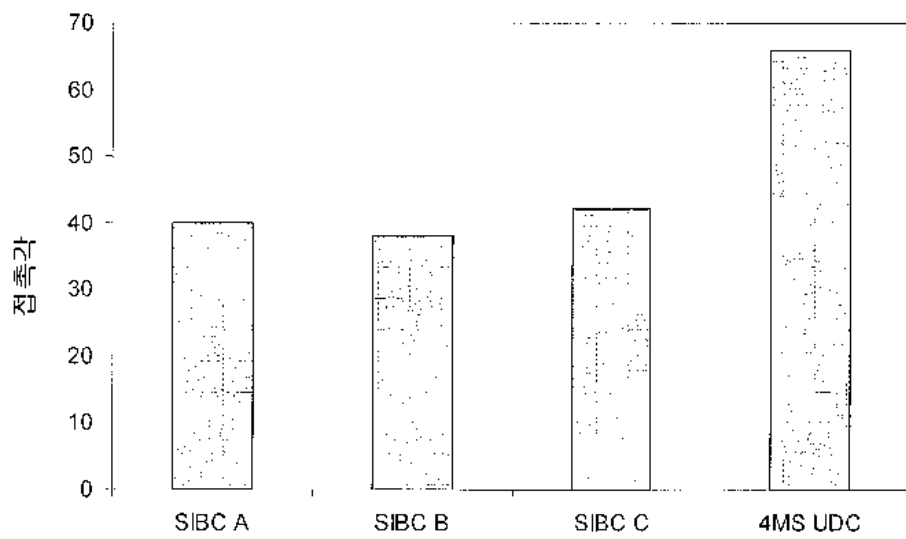
도면6e



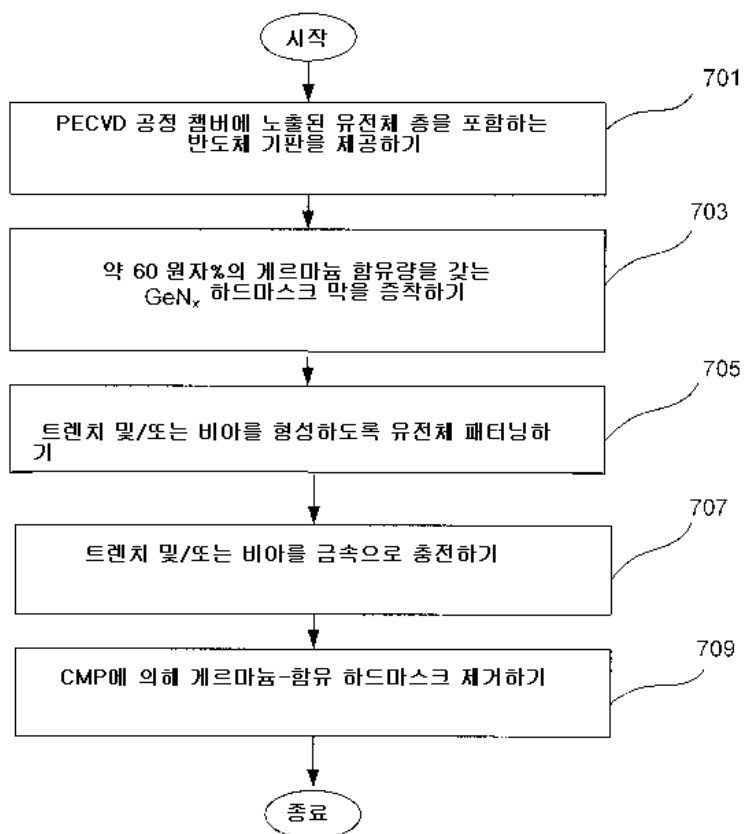
도면6f



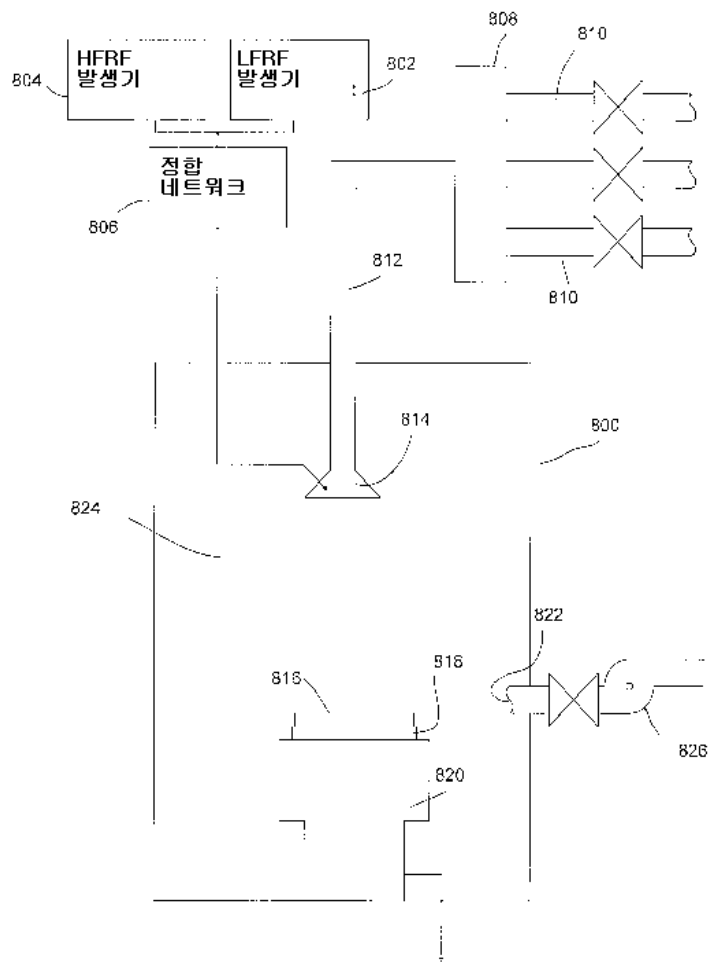
도면6g



도면7



도면8



도면9

