

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2009-517972

(P2009-517972A)

(43) 公表日 平成21年4月30日 (2009.4.30)

(51) Int. Cl.		F I		テーマコード (参考)		
<b>H O 4 N</b>	<b>7/167</b>	<b>(2006.01)</b>	<b>H O 4 N</b>	<b>7/167</b>	<b>Z</b>	<b>5 C 1 6 4</b>
<b>H O 4 N</b>	<b>7/173</b>	<b>(2006.01)</b>	<b>H O 4 N</b>	<b>7/173</b>	<b>6 3 0</b>	<b>5 J 1 0 4</b>
<b>H O 4 L</b>	<b>9/32</b>	<b>(2006.01)</b>	<b>H O 4 L</b>	<b>9/00</b>	<b>6 7 5 B</b>	

審査請求 未請求 予備審査請求 未請求 (全 13 頁)

(21) 出願番号 特願2008-543264 (P2008-543264)  
 (86) (22) 出願日 平成18年6月22日 (2006.6.22)  
 (85) 翻訳文提出日 平成20年5月29日 (2008.5.29)  
 (86) 国際出願番号 PCT/US2006/024039  
 (87) 国際公開番号 W02007/064359  
 (87) 国際公開日 平成19年6月7日 (2007.6.7)  
 (31) 優先権主張番号 60/740,463  
 (32) 優先日 平成17年11月29日 (2005.11.29)  
 (33) 優先権主張国 米国 (US)

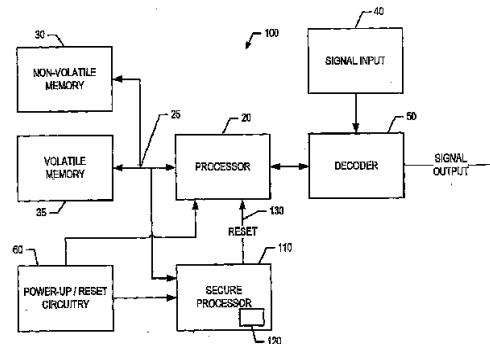
(71) 出願人 501263810  
 トムソン ライセンシング  
 Thomson Licensing  
 フランス国, エフ-92100 ブロー  
 ニュ ビヤンクール, ケ アルフォンス  
 ル ガロ, 46番地  
 46 Quai A. Le Gallo  
 , F-92100 Boulogne-  
 Billancourt, France  
 (74) 代理人 100077481  
 弁理士 谷 義一  
 (74) 代理人 100088915  
 弁理士 阿部 和夫

最終頁に続く

(54) 【発明の名称】 デジタルコンテンツを保護する方法及び装置

## (57) 【要約】

電源入力回路と、コード化されたビデオ信号を受信する入力部と、コード化されたビデオ信号を処理し出力信号を生成するための処理指示が格納されたメモリと、入力部に連結され受信したコード化されたビデオ信号を処理指示に従って処理するデコーダと、メモリ及びデコーダに連結され、処理指示に従って前記コード化されたビデオ信号を処理するデコーダの動作を制御するための第1制御部と、第1制御部とメモリと電源入力回路とに連結された第2制御部とを備え、第2制御部は、スタートアップ状態の表れに従って第1制御部の動作を抑制して処理指示を認証し、処理指示が認証されると第1制御部の動作の抑制を解除し、これにより制御部がメモリから処理指示を読みこむのを許可することを特徴とするビデオ処理装置。



**【特許請求の範囲】****【請求項 1】**

電源入力回路と、  
コード化されたビデオ信号を受信する入力部と、  
前記コード化されたビデオ信号を処理し出力信号を生成するための処理指示が格納されたメモリと、

前記入力部に連結され、前記受信したコード化されたビデオ信号を処理するデコーダと

、  
前記メモリ及びデコーダに連結され、前記処理指示に従って前記コード化されたビデオ信号を処理する、前記デコーダの動作を制御するための第 1 制御部と、

前記第 1 制御部とメモリと電源入力回路とに連結された第 2 制御部であって、スタートアップ状態の表れに従って前記第 1 制御部の動作を抑制して前記処理指示を認証し、前記処理指示が認証されると前記第 1 制御部のスタートアップ動作を許可し、これにより前記第 1 制御部が前記メモリから前記処理指示を読みこむのを許可する、第 2 制御部と  
を備えたことを特徴とするビデオ処理装置。

**【請求項 2】**

前記第 1 及び第 2 制御部は、共通の集積回路に組み込まれていることを特徴とする請求項 1 に記載の装置。

**【請求項 3】**

前記第 2 制御部とメモリと第 1 制御部とに連結されたデータバスをさらに備えたことを特徴とする請求項 1 に記載の装置。

**【請求項 4】**

前記第 1 制御部はリセット入力端子を有し、前記第 2 制御部は前記第 1 制御部の前記リセット入力端子に連結された出力端子を有することを特徴とする請求項 1 に記載の装置。

**【請求項 5】**

前記第 2 制御部は公開鍵暗号作成法を用いて認証を行うことを特徴とする請求項 1 に記載の装置。

**【請求項 6】**

前記第 2 制御部は前記処理指示に透かしがあるかどうかをチェックすることによって認証を行うことを特徴とする請求項 1 に記載の装置。

**【請求項 7】**

前記第 2 制御部は前記入力部が受信したビデオ信号を復号化し、前記復号化された信号を前記デコーダに渡すことを特徴とする請求項 1 に記載の装置。

**【請求項 8】**

前記第 2 制御部は前記受信したビデオ信号を、格納された鍵を用いて復号化することを特徴とする請求項 7 に記載の装置。

**【請求項 9】**

コード化されたビデオ信号を受信するステップと、

前記コード化されたビデオ信号を処理して、処理指示の実行に応じて出力信号を生成するステップと、

スタートアップ状態の表れを検知するステップと、

前記検知に応じて前記処理指示を認証するステップと、

前記処理指示が認証されるまで、処理指示の実行を抑制するステップと

を有することを特徴とするビデオ処理方法。

**【請求項 10】**

前記認証するステップは、チェックサムを計算するステップを含むことを特徴とする請求項 9 に記載の方法。

**【請求項 11】**

前記認証するステップは、前記計算したチェックサムを所定の値と比較するステップをさらに有することを特徴とする請求項 10 に記載の方法。

10

20

30

40

50

## 【請求項 12】

前記認証するステップは、前記メモリのブートセクタにアクセスするステップを有することを特徴とする請求項 9 に記載の方法。

## 【請求項 13】

前記認証するステップは、前記アクセスしたブートセクタを所定のブートセクタと比較するステップをさらに有することを特徴とする請求項 12 に記載の方法。

## 【請求項 14】

前記維持するステップは、プロセッサのリセット入力端子を作動するステップを有することを特徴とする請求項 9 に記載の方法。

## 【請求項 15】

前記認証するステップは、公開鍵暗号作成法を用いることを特徴とする請求項 9 に記載の方法。

## 【請求項 16】

前記認証するステップは、前記処理指示に透かしがあるかどうかをチェックするステップを有することを特徴とする請求項 9 に記載の方法。

## 【請求項 17】

前記処理をするステップは、前記受信したビデオ信号を復号化し、前記復号化された信号をデコードするステップを有することを特徴とする請求項 9 に記載の方法。

## 【請求項 18】

前記復号化するステップは、少なくとも一つの格納された鍵を用いることを特徴とする請求項 9 に記載の方法。

## 【請求項 19】

前記処理をするステップは、一つの集積回路で行われることを特徴とする請求項 9 に記載の方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は一般に、デジタルコンテンツの配信システムに関し、特にビデオ信号を受信及びデコードする装置及び方法に関する。

## 【背景技術】

## 【0002】

図 1 は、例えばデジタルセットトップボックス (STB) またはテレビなどに実装される、デジタルビデオ処理アーキテクチャ 10 を示している。アーキテクチャ 10 は、不揮発性メモリ (ブートROM、またはフラッシュメモリなど) を有するプロセッサ 20 と、ソフトウェア用のダイナミックメモリ 35 とを備えている。ここでいう「プロセッサ」とは、マイクロプロセッサなどの、中央処理ユニット (CPU) を有する電子計算機一般を指す。CPU は一般に、計算及び論理演算を行う計算論理ユニット (ALU: Arithmetic Logic Unit) と、命令 (例えばコードを有するコンピュータプログラムなど) をメモリから抽出し、必要な時には ALU を呼出しつつ命令を復号して実行する制御ユニットとを備えている。ここでいう「メモリ」とは一般に、チップ、テープ、ディスク、ドライブなど、データを格納可能な一つまたは複数のデバイスを指す。例としてのみ挙げると、メモリは、ランダムアクセスメモリ (RAM)、リードオンリーメモリ (ROM)、プログラム可能リードオンリーメモリ (PROM)、消去可能 PROM (EPROM)、または電氣的消去可能 PROM (EEPROM) チップの一つまたは複数の形を取ってよい。メモリは内蔵でもよく、プロセッサを含む、例えば集積回路 (IC) などの集積ユニットに対して外付けでもよい。

## 【0003】

通常の運用では、デジタルコンテンツは入力部 40 を用いて受信される。入力部 40 は例えば、衛星受信機、インターネットプロトコル (IP) 受信機、またはデジタルケーブルテレビ受信機の形をとってよい。受信したコンテンツは、プロセッサ 20 がメモリバス 25 を介してアクセスするソフトウェア命令を実行するのに応じて、デコーダ 50 を使っ

10

20

30

40

50

て復号される。電源入れ／リセット回路 60 は、アーキテクチャ 10 を従来の方法で運用、ブート、またはリブートするのに用いられる。このようなアーキテクチャは、該当分野において通常の技量を有する者にはよく理解されている。

【発明の開示】

【発明が解決しようとする課題】

【0004】

図 1 のアーキテクチャ 10 の問題点は、プロセッサの運用を制御するソフトウェアの改ざんやハッキングに対して弱いことである。例えばハッカーは、メモリ 30 及び／または 35 に格納されたプロセッサ実行コードなどの、部品製造会社 (OEM: Original Equipment Manufacturer) のソフトウェアまたは他の認定されたソフトウェアを、デジタルコンテンツの窃盗やコピー、または他の不法または不正な目的のために、不正なまたは変更されたソフトウェアに置換することができてしまう。

10

【0005】

従って、ハッカーや侵略者がセットトップボックスのコアソフトウェアを自身のまたは変更されたソフトウェアに置換したかを検知し、ハッキングが検知されたときはデジタルコンテンツの不正な取得や閲覧を防ぐために装置の運用を阻止するまたは妨げることのできる、方法及び装置を提供することが望ましい。

【課題を解決するための手段】

【0006】

電源入力回路と、コード化されたビデオ信号を受信する入力部と、コード化されたビデオ信号を処理し出力信号を生成するための処理指示が格納されたメモリと、入力部に連結され受信したコード化されたビデオ信号を処理指示に従って処理するデコーダと、メモリ及びデコーダに連結され、処理指示に従って前記コード化されたビデオ信号を処理する、デコーダの動作を制御するための第 1 制御部と、第 1 制御部とメモリと電源入力回路とに連結された第 2 制御部とを備え、第 2 制御部は、スタートアップ状態の表れに従って第 1 制御部の動作を抑制して処理指示を認証し、処理指示が認証されると第 1 制御部の動作の抑制を解除し、これにより制御部がメモリから処理指示を読みこむのを許可することを特徴とするビデオ処理装置。

20

【発明を実施するための最良の形態】

【0007】

本発明の理解は、以下の発明の好ましい実施例の詳細な記載と添付の図面とを考慮することにより容易となる。図面においては、同様の部分には同様の参照符号が付けられている。

30

【0008】

本発明の図面及び記載は、本発明の明確な理解に関連する要素を説明するために簡略化されており、明瞭化のために、典型的なデコード方法及びデコードシステムには見られる他の要素を除外していることを理解されたい。しかし、これらの要素は当業者には良く知られているため、ここではこれらの要素について詳述はしていない。ここにおける記載は、当業者に知られている変化例、修正例に向けられている。

【0009】

本発明の一つの実施例では、デジタルセットトップボックスがブートまたはリブートされると、セキュアプロセッサが、セットトップボックスのメインプロセッサの動作を制限するため、スタートアップ認証プロシーダを実行する。ある設定では、セキュアプロセッサは、メインプロセッサのリセット入力端子を稼動することにより、この機能を実行する。セキュアプロセッサは、ソフトウェアが変更されていないことを検証するため、メモリ内に収容されたソフトウェアの認証を実行する。該ソフトウェアは、メインプロセッサ及び／またはデコーダの動作を制御してもよい。認証すると、セキュアプロセッサはメインプロセッサのリセット入力を解除し、メインプロセッサが自由に通常のブートまたはスタートアップ動作を開始または再開できるようにする。このようにして、本発明に係る装置は、ソフトウェアがメインプロセッサにロードされる前に、該ソフトウェアの整合性を

40

50

(integrity)を検証する。

【 0 0 1 0 】

図 2 は、本発明の一実施形態に係るデジタルコンテンツ受信機アーキテクチャ 1 0 0 を示している。アーキテクチャ 1 0 0 は、図 1 と類似したセットトップボックスとして実現してもよい。アーキテクチャ 1 0 とアーキテクチャ 1 0 0 との同等の要素には、同等の参照番号が付けられている。アーキテクチャ 1 0 0 はさらに、内蔵されたメモリ及びソフトウェア 1 2 0 を有するセキュアプロセッサ 1 1 0 を備えている。セキュアプロセッサ 1 1 0 は、セキュアマイクロプロセッサ、または例えば集積回路 (IC) を内包するマイクロプロセッサの形を取ってよい。プロセッサ 2 0、1 1 0 は、例えば共通の集積回路の中に内蔵されていてよい。

10

【 0 0 1 1 】

動作中、セキュアプロセッサ 1 1 0 は、リセット入力端子 1 3 0 を介してプロセッサ 2 0 のブートアッププロセスを制御及び抑制する。プロセッサ 2 0 がブートアップを許可される前に、セキュアプロセッサ 1 1 0 は、メモリ 3 0 及び / または 3 5 に格納されたソフトウェアなどの搭載 (on board) ソフトウェアを認証し、改ざんや差し替えがされていないことを確認する。セキュアプロセッサ 1 1 0 は、例えば搭載ソフトウェア及び / または受信したデジタルコンテンツの復号 (decrypt) や、コンテンツ関連鍵の管理、格納など、他のセキュア機能も提供する。さらにもしハッカーがセキュアプロセッサ 1 1 0 を除去または他の方法で不能化した場合、セキュアプロセッサ 1 1 0 のメモリ 1 2 0 に格納された鍵は、入力部 4 0 を介して受信したデジタルコンテンツの復号、スクランブル解除、または他の方法によるアクセスのためには使用できなくなる。

20

【 0 0 1 2 】

一実施形態では、セキュアプロセッサ 1 1 0 はカリフォルニア州サンノゼのアトメルコーポレーション (Atmel Corporation) から市販されている集積回路 (IC) の型番 AT97SC3201 の形をとってよい。

【 0 0 1 3 】

更に図 2 を参照すると、セキュアプロセッサ 1 1 0 は出力端子がプロセッサ 2 0 のリセット入力端子 1 3 0 に連結されている。従ってプロセッサ 1 1 0 は、リセット入力端子 1 3 0 を駆動することにより、プロセッサ 2 0 のブートまたはリブートをリセット及び / または抑制することができる。例えば、セキュアプロセッサ 1 1 0 は、プロセッサ 2 0 のリセット入力端子を、認証が行われるまで、デフォルト設定によりセット (set) することができる。従って、例えば電源が入れられるまたはシステムがリセットされることにより電源が加えられると、スタートまたはリスタート条件が検知され、セキュアプロセッサ 1 1 0 は、セキュアプロセッサ 1 1 0 が関心対象のソフトウェア及び / またはデータをブート及び認証するまで、プロセッサ 2 0 によるブートを抑制する。

30

【 0 0 1 4 】

次に図 3 を参照すると、本発明の一実施例に係るブロックダイアグラム 2 0 0 が示されている。ブロックダイアグラム 2 0 0 のアーキテクチャ 1 0 0 に関連する部分について、限定的な目的ではない説明のために、図 4、5、6 に示す処理オペレーションについて記載する。図 4 を参照すると、図 3 のステップ 1 において、アーキテクチャ 1 0 0 は電源入力回路 6 0 (図 2) から電力を受領する。例示の実施形態では、このステップは、電源を入れるまたは他の方法でセットトップボックスが駆動されたときに起きる。この駆動信号に応答して、セキュアプロセッサ 1 1 0 は、例えばプロセッサ 2 0 のリセット入力端子 1 3 0 を駆動するなどして、メインプロセッサ 2 0 をリセット状態に保持または維持する (ステップ 3 2 0)。

40

【 0 0 1 5 】

一実施形態においては、セキュアプロセッサ 1 1 0 はブート ROM などの不揮発性メモリ内のチェックサムを、メモリ 1 2 0 などの内部で格納されたチェックサムと、ステップ 3 3 0 で比較する。非限定的な例示として、チェックサムは、典型的にはアサートされたビットである基本要素の和を求め、その結果得られる値を格納する。真正のチェックサムは

50

、メモリ 120 に格納される。セキュアプロセッサ 120 は、独自にチェックサムを計算し、その結果を真正のチェックサムと比較して、コードが変更または差し替えされていないことを結論付ける。

#### 【0016】

ステップ 340 において、セキュアプロセッサ 110 は、ブートROMなどの不揮発性メモリ 30 のブートセクタを、メモリ 120 などに内部に格納されたブートセクタと比較する。更なる非限定的例示として、ブートセクタとは、ブートストラッピング(bootstrapping)またはブートプログラムのためのコードを含むメモリのセクタである。

#### 【0017】

処理ブロック 330、340 のそれぞれにおける比較結果が正しいマッチ（例えば、比較結果に不一致が存在しない）を生じる場合は、アーキテクチャ 100 はステップ 350 において認証される。もし認証されると、処理はステップ 2 に進む。もし認証されなければ、アーキテクチャはリブートされ、ステップ 1 を再び始める。ステップ 320、330、340、350 を達成するための、ソフトウェアなどのプロセッサ実行コードは、メモリ 120 に格納されていてよい。

#### 【0018】

非限定的例示として言う、認証は公開鍵または非対称鍵暗号作成法に基づいていてよい。公開鍵暗号作成法とは一般に、ユーザが事前に共有の秘密鍵にアクセスしなくても安全に通信ができるようにする暗号作成法である。これは、数学的に関連付けられ一つが公開鍵であっても一方が秘密鍵である、一対の暗号鍵を用いることによって達成される。公開鍵暗号作成法では、秘密鍵は秘密のままであり、公開鍵が広く配布される。一般的に、公開鍵を元に対の秘密鍵を推定することは実現可能ではない。例えば、秘密鍵はセキュアプロセッサ 110 のメモリ 120 の中に組み込まれている。認証すべきソフトウェアの少なくとも一部を、対応する公開鍵で暗号化しメモリ 30 / 35 に格納することによって、セキュアプロセッサ 110 が復号化及び認証をすることができる。または、対称鍵を用いてもよい。

#### 【0019】

若しくはまたはこれに加えて、プロセッサ 110 は、アーキテクチャ 100 を認証するために、メモリ 30 及び / または 35 に格納されたコードの上または中に透かしがあるかどうかを調べてもよい。デジタル透かしは、基のデータに隠れた検証データを挿入できるようにする技術である。このような隠れた検証データは、所定のビットグループの形をとってよい。このような実施形態においては、デジタル透かしは、認証すべきソフトウェアに従来の方法で組み込まれていてよく、これによりセキュアプロセッサ 110 が後に透かしの存在を確認し、ソフトウェアを認証することができる。

#### 【0020】

図 2、3 と共に図 5 を参照すると、ステップ 2（図 3）において、セキュアプロセッサ 110 はプロセッサ 20 のリセット入力端子 130（図 5 のステップ 410）を解除する。これに応答して、プロセッサ 20 はステップ 420 において、不揮発性メモリ 30（例えばブートROM）からブートする。ソフトウェアなどの、ステップ 410 を達成するためのセキュアプロセッサ実行コードは、メモリ 120 に格納されている。

#### 【0021】

図 2、3 と共に図 6 を参照すると、ステップ 3（図 3）において、プロセッサ 20 はステップ 510 でセキュアプロセッサ 110 から暗号鍵を要求する。セキュアプロセッサ 110 は、ステップ 520 において、要求された鍵をもって応答する。例えばセキュアプロセッサ 110 は、セキュアプロセッサ 110 と関連付けられた一つまたは複数の秘密鍵によって暗号化された復号鍵を渡す。ステップ 530 においてプロセッサ 20 は、セキュアプロセッサ 110 の秘密鍵に対応するローカルに格納された公開鍵を用いて、暗号化された鍵を復号化する。ソフトウェアなどの、ステップ 510、530 を達成するためのプロセッサ実行コードは、メモリ 30 及び / または 35 に格納されている。ステップ 520 を達成するための、ソフトウェアなどのセキュアプロセッサ実行コードは、メモリ 120 に

格納されている。

【 0 0 2 2 】

これらのステップの完了により、アーキテクチャ 1 0 0 は、無事にセキュアブートを実施し、さらに、入力部 4 0 経由で受信したデジタルコンテンツにアクセスするなどのセキュリティ用法のための一つまたは複数の鍵を（安全に）復号化した。このアプローチにより、ハッキングや悪意のなりすまし (spoofing) を最小限に抑えることができる。

【 0 0 2 3 】

ブートプロセスや鍵処理の安全性を高めるために、更なるステップを実施することも可能である。しかし、これらの 3 つのステップは、全体的なアプローチの基礎となる。このような更なるステップには、メモリ 3 0 / 3 5 に格納されたソフトウェアの選択された一部をサンプルし該サンプルを示すデータをメモリ 1 2 0 に格納することが含まれ、これにより、セキュアプロセッサ 1 1 0 が後から、格納されたソフトウェアを再度サンプルし認証することができる。同様に、例えば、関数ポインタ (function pointer) を認証してもよく、及び / またはソフトウェアイメージの一部または全部のチェックサムを比較してもよい。

【 0 0 2 4 】

本発明の範囲または精神から逸脱することなく、本発明の装置及びプロセスに対して修正及び変更を加えることができることは、当業者には明らかである。本発明は、添付の特許請求の範囲及びその均等の範囲によってカバーされる限りにおいて、本発明の修正及び変更も含むことが意図されている。

【 図面の簡単な説明 】

【 0 0 2 5 】

【 図 1 】 従来のデジタルセットトップボックス (STB) のアーキテクチャを示すブロック図である。

【 図 2 】 本発明の一実施例に係るデジタルセットトップボックス (STB) のアーキテクチャを示すブロック図である。

【 図 3 】 本発明の原理に従い、セキュアプロセッサとメインプロセッサとメモリとに関連する一般的なプロセスフローを示す、単純化したフロー図である。

【 図 4 】 図 3 のステップ 1 のフロー図である。

【 図 5 】 図 3 のステップ 2 のフロー図である。

【 図 6 】 図 3 のステップ 3 のフロー図である。

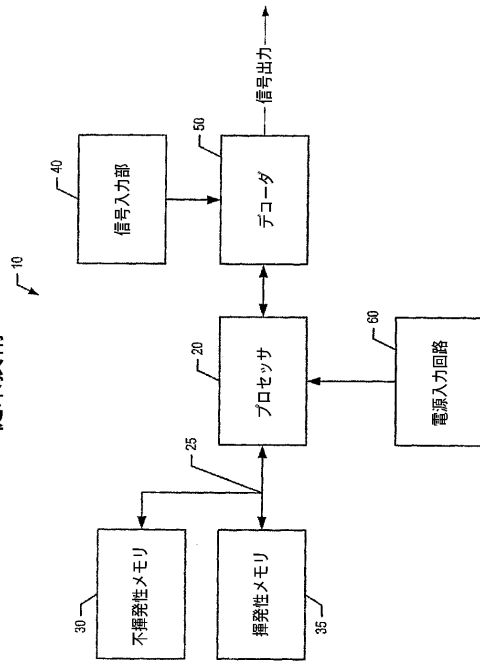
10

20

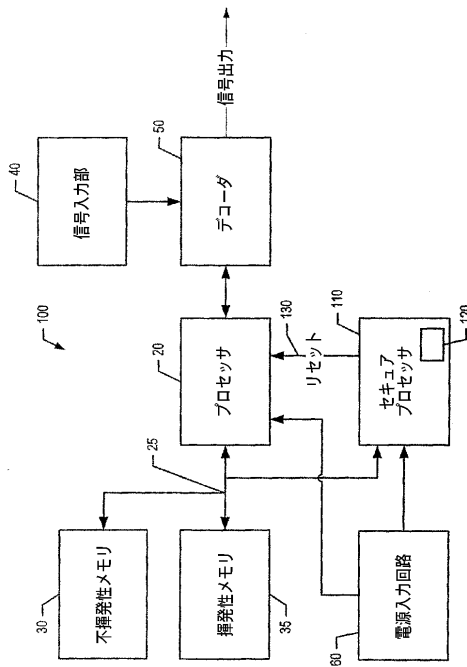
30

【図 1】

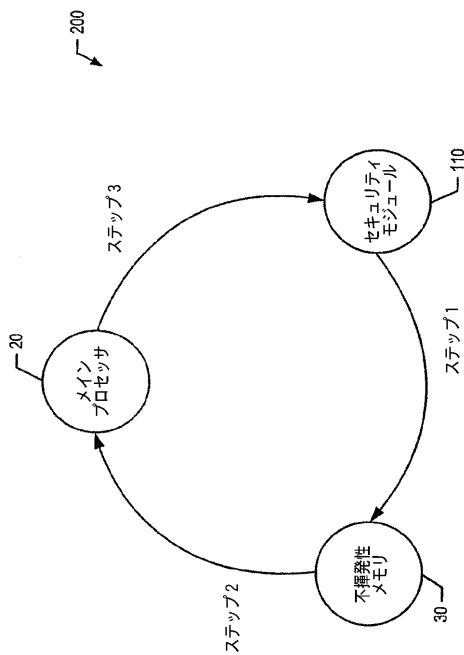
従来技術



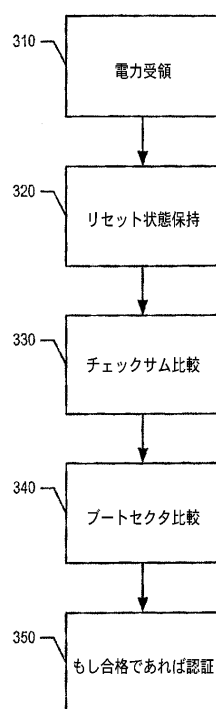
【図 2】



【図 3】

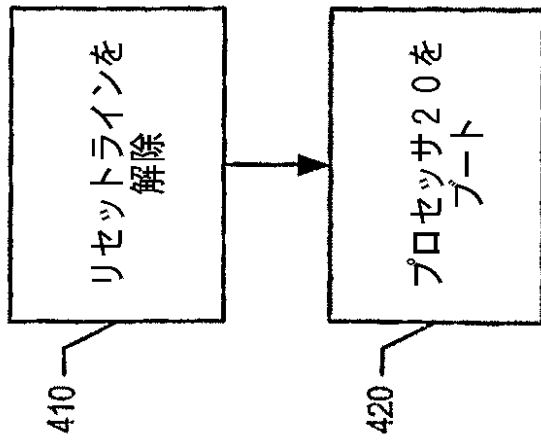


【図 4】

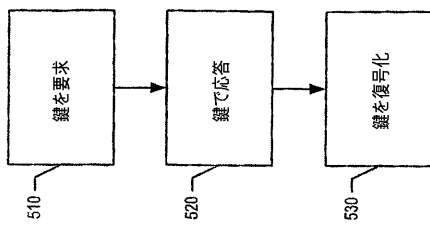




【図 5】



【図 6】



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2006/024039
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. H04N7/16 H04N5/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/099949 A1 (FRIES ROBERT M [US] ET AL) 25 July 2002 (2002-07-25) abstract figure 3 paragraphs [0012], [0015] - [0017], [0023], [0024], [0036] - [0049] claims 1-17	1-19
A	US 2003/233558 A1 (LIEBERMAN BRUCE L [US] ET AL) 18 December 2003 (2003-12-18) abstract figures 6-10 paragraphs [0013] - [0015], [0052] - [0060] claims 1-5  ----- -/-	1-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the International filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the International filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the International search		Date of mailing of the International search report
7 November 2006		28/11/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3018		Authorized officer  Dobbelaere, Dirk

INTERNATIONAL SEARCH REPORT		International application No PCT/US2006/024039
C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2004/032328 A2 (CANAL PLUS TECHNOLOGIES [FR]; CHAU HERVE [FR]; SARFATI JEAN-CLAUDE [FR] 15 April 2004 (2004-04-15) page 1, line 22 - page 2, line 11 page 3, line 13 - page 4, line 19 claims 1-4	1-19
A	EP 1 435 557 A2 (IBM [US]) 7 July 2004 (2004-07-07) abstract paragraphs [0006] - [0008], [0013], [0019] - [0021] claims 1,2,4-8,11-14 figures 1,3	1-19

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2006/024039

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002099949	A1	25-07-2002	NONE
US 2003233558	A1	18-12-2003	NONE
WO 2004032328	A2	15-04-2004	AU 2003288370 A1 23-04-2004 CN 1703668 A 30-11-2005 EP 1546866 A2 29-06-2005 FR 2845493 A1 09-04-2004 JP 2006501735 T 12-01-2006 MX PA05003618 A 17-06-2005 US 2006156000 A1 13-07-2006
EP 1435557	A2	07-07-2004	US 2004128507 A1 01-07-2004

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 トーマス パトリック ニューベリー

アメリカ合衆国 4 6 2 6 0 インディアナ州 ウェストフィールド トムリンソン ロード 1  
9 1 4 5

(72)発明者 ディヴィッド ジョン ウィーバー

アメリカ合衆国 4 6 0 3 8 インディアナ州 フィッシャーズ プロビデンス ドライブ 8 9  
8 5

(72)発明者 ロナルド ダグラス ジョンソン

アメリカ合衆国 4 6 0 7 4 インディアナ州 ウェストフィールド オールデンバーグ サーク  
ル 1 6 3 2 4

Fターム(参考) 5C164 MB35S PA04 PA24 PA27 UA12P UB03P UB51S UC22P YA16 YA23

5J104 AA07 KA02 KA05 NA43 PA14