

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-147573

(P2017-147573A)

(43) 公開日 平成29年8月24日(2017.8.24)

(51) Int.Cl.
H03K 3/03 (2006.01)

F I
H03K 3/03

テーマコード(参考)
5J043

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願2016-27346 (P2016-27346)
(22) 出願日 平成28年2月16日(2016.2.16)

(71) 出願人 390009667
セイコーN P C株式会社
東京都中央区八丁堀一丁目9番9号
(74) 代理人 100097629
弁理士 竹村 壽
(72) 発明者 佐藤 正敏
栃木県那須塩原市下田野531-1 セイ
コーN P C株式会社内
Fターム(参考) 5J043 AA25 AA26 LL01 LL07

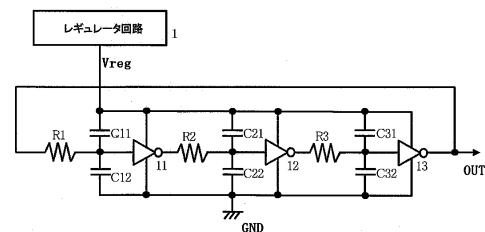
(54) 【発明の名称】 リング発振回路

(57) 【要約】

【課題】 周波数が安定化され精度の高い発振出力が得られるリングオシレータを提供する。

【解決手段】 レギュレータ1の内部電源電圧を電源として動作する奇数段のインバータ11、12、13をリング状に縦続接続してなるリング発振部と、前記インバータ間に接続された抵抗素子R1、R2、R3、第1のキャパシタC11、C21、C31及び第2のキャパシタC12、C22、C32から構成された遅延回路とを有する。前記インバータの各々の出力は、それぞれ前記抵抗素子を介して次段の前記インバータの入力となり、前記インバータの各々の入力節点は、前記第1のキャパシタを介して前記内部電源電圧に接続され、前記第1のキャパシタと同じ容量値を持つ前記第2のキャパシタを介して接地され、前記インバータの全ての反転電圧は、前記内部電源電圧の2分の1である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

内部電源電圧を生成するレギュレータと、前記内部電源電圧を電源として動作する奇数段のインバータをリング状に縦続接続して構成されたリング発振部と、前記インバータ間に接続された抵抗素子、第 1 のキャパシタ及び第 2 のキャパシタから構成された遅延回路とを具備し、前記インバータの各々の出力は、それぞれ前記抵抗素子を介して次段の前記インバータの入力となり、前記インバータの各々の入力節点は、前記第 1 のキャパシタを介して前記内部電源電圧に接続されると共に、前記第 1 のキャパシタと同じ容量値を持つ前記第 2 のキャパシタを介して接地され、前記インバータの全ての反転電圧は前記内部電源電圧の 2 分の 1 であることを特徴とするリングオシレータ。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、周波数が安定化され精度の高い発振出力が得られるリング発振回路に関するものである。

20

【背景技術】**【0002】**

リング発振回路は、奇数個のインバータを直列接続し、最終段のインバータの出力端を最前段のインバータの入力端に接続して構成される（特許文献 1（特に、第 4 図参照））。各インバータは、入出力電圧の安定な組み合わせ状態を作ることができないと発振する。このときの発振周波数は、各インバータ 1 段当たりの遅延時間の総和によって決まる。したがって、リング発振回路の発振周波数の調整は、リング発振回路を構成する遅延回路の遅延時間を調整することによって行われる。

【0003】

図 2 は、従来 of リング発振回路の一例を示している。図において、インバータ 101、102、103 は、第 1 の電源電圧 V_{dd} と第 2 の電源電圧 V_{ss} (GND) の間に直列に接続され、インバータ 101 の入力とインバータ 103 の出力とがリング状に接続されている。そして、インバータ 103 の出力とインバータ 101 の入力との間に抵抗素子 111 が接続され、抵抗素子 111 とインバータ 101 の入力との間には一端が第 2 の電源電圧 V_{ss} に接続されたキャパシタ 121 の他端が接続されている。同様に、インバータ 101 の出力とインバータ 102 の入力との間に抵抗素子 112 が接続され、抵抗素子 112 とインバータ 102 の入力との間には一端が第 2 の電源電圧 V_{ss} に接続されたキャパシタ 122 の他端が接続されている。また、インバータ 102 の出力とインバータ 103 の入力との間に抵抗素子 113 が接続され、抵抗素子 113 とインバータ 103 の入力との間には一端が第 2 の電源電圧 V_{ss} に接続されたキャパシタ 123 の他端が接続されている。即ち、図 2 では、これらインバータが各抵抗素子及びキャパシタからなる遅延回路を間に挟んでリング発振回路を構成している。

30

40

【0004】

インバータ 101 の出力電圧が低レベルから高レベルに変化すると、キャパシタ 122 は、第 1 の電源電圧 V_{dd} からインバータ 101 及び抵抗素子 112 を通して充電される。インバータ 101 の等価抵抗は通常無視できるほど小さいからキャパシタ 122 の充電電流は抵抗素子 112 の抵抗値によって決まり、キャパシタ 122 の電圧上昇の時間的变化は、キャパシタ 122 の容量と抵抗素子 112 を流れる充電電流によって決定される。このようにして、キャパシタ 122 の電圧は時間の経過と共に上昇し、次のインバータ 102 の出力電圧が反転するのに必要な電圧（スレッシュホールド電圧 V_t ）に達するとインバー

50

タ 1 0 2 の出力電圧は、高レベルから低レベルに変化する。したがって、インバータ 1 0 2 の出力電圧はインバータ 1 0 1 の出力電圧が変化するときより遅れて変化する。この遅れはキャパシタ 1 2 2 の電圧の時間的变化で決まる。そして、遅れ時間は、キャパシタ 1 2 2 の容量値と抵抗素子 1 1 2 の抵抗値の積、即ち、キャパシタ 1 2 2 と抵抗素子 1 1 2 とからなる遅延回路の時定数に略等しくなる。

【 0 0 0 5 】

また、インバータ 1 0 2 の出力電圧が高レベルから低レベルに変化する場合はキャパシタ 1 2 2 の充電がインバータ 1 0 2 を通しての放電に変わる。このようにして、次のインバータ 1 0 3 の出力電圧も遅れて変化する。そして、最初のインバータ 1 0 1 の出力が次に変化するのは、インバータ 1 0 3 の出力電圧が変化した後、キャパシタ 1 2 1 が充電されてインバータ 1 0 1 の入力電圧がスレッシュホールド電圧になってからである。

10

このように、インバータの出力電圧は、各インバータの出力に接続されている抵抗素子とキャパシタによって構成される遅延回路にほぼ等しい時間を周期として変化する。

【 0 0 0 6 】

特許文献 1 には、複数の CMOS インバータが奇数段縦続接続したリングオシレータと、前段の前記 CMOS インバータの出力と次段の前記 CMOS インバータの入力との間に接続された抵抗素子と、抵抗素子と前記 CMOS インバータの入力との接続点に一端が接続され他端に接地電圧が与えられるキャパシタとを有するリング発振回路を利用した温度検出回路が開示されている。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開平 2 - 1 4 7 8 2 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

リング発振器を時計等のクロックに利用することを想定すると、1sec以上に分周した遅い周波数での高安定化が望ましい。リング発振器をワンチップに集積させる場合には、レギュレータや発振部の能動素子の発生する $1/f$ ノイズに依存して周波数が変動してしまうため遅い周波数での高安定化が水晶振動子を用いた発振器等に比べると大幅に悪化する。例えば、3段のリング発振器で考えた場合、入力の反転電圧 V_t が $1/f$ ノイズの揺らぎで周波数が大きく変動してしまうという問題があった。

30

本発明は、このような事情によりなされたもので、周波数が安定化され精度の高い発振出力が得られるリングオシレータを提供する。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明のリングオシレータに一態様は、内部電源電圧を生成するレギュレータと、前記内部電源電圧を電源として動作する奇数段のインバータをリング状に縦続接続して構成されたリング発振部と、前記インバータ間に接続された抵抗素子、第 1 のキャパシタ及び第 2 のキャパシタから構成された遅延回路とを具備し、前記インバータの各々の出力は、それぞれ前記抵抗素子を介して次段の前記インバータの入力となり、前記インバータの各々の入力節点は、前記第 1 のキャパシタを介して前記内部電源電圧に接続されると共に、前記第 1 のキャパシタと同じ容量値を持つ前記第 2 のキャパシタを介して接地され、前記インバータの全ての反転電圧は、前記内部電源電圧の 2 分の 1 であることを特徴としている。

40

【 発明の効果 】

【 0 0 1 0 】

本発明のリングオシレータは、リングオシレータの反転電圧 (V_t) がレギュレータ及び発振部能動素子の $1/f$ ノイズで大きく揺らいでも高 (H) パルス区間と低 (L) パルス区間の総和 (1 周期) は一定となり $1/f$ ノイズの影響を受けなくなる。このため $1/f$ ノイズ

50

で不安定だった周波数は安定化され精度の高い発振出力が得られる。

【図面の簡単な説明】

【0011】

【図1】実施例1に係るリングオシレータを説明する回路図。

【図2】従来のリングオシレータを説明する回路図。

【発明を実施するための形態】

【0012】

本発明のリングオシレータは、内部電源電圧により動作する複数のインバータから構成された発振回路を有し、それぞれのインバータ間に接続された抵抗素子とキャパシタとで構成される遅延回路で発振周波数が決まる構成とし、インバータの反転レベル（スレッシュ

10

ホルド電圧 V_t)を内部電源の $1/2$ に正確に合わせ、キャパシタ容量も $1/2$ づつに分割して接続することに特徴がある。

以下、実施例を参照して発明の実施の形態を説明する。

【実施例1】

【0013】

この実施例におけるリングオシレータは、内部電源電圧 V_{reg} を生成するレギュレータ回路1と、内部電源電圧 V_{reg} を電源として動作する奇数段（この実施例では3個）のインバータ11～13をリング状に縦続接続して構成されたリング発振部と、これらインバータ間に接続された抵抗素子 R_1 、 R_2 、 R_3 、第1のキャパシタ C_{11} 、 C_{21} 、 C_{31} 、及び第2のキャパシタ C_{12} 、 C_{22} 、 C_{32} から構成された遅延回路とを具備している。これらインバータの各々の出力は、それぞれ各抵抗素子を介して次段のインバータの入力となる。これらインバータの各々の入力節点は、第1のキャパシタを介して内部電源電圧 V_{reg} に接続され、第1のキャパシタと同じ容量値を持つ第2のキャパシタを介して接地される。そして、インバータの全ての反転電圧は、内部電源電圧 V_{reg} の $2分の1$ であるように構成されている。

20

【0014】

図1は、この実施例のリング発振回路を示している。図において、インバータ11、12、13は、レギュレータ回路1から生成された内部電源電圧 V_{reg} と接地電圧 V_{ss} （ GND ）の間に直列に接続され、インバータ11の入力とインバータ13の出力とがリング状に接続されてリング発振部を構成している。

30

そして、インバータ13の出力とインバータ11の入力との間には、抵抗素子 R_1 が接続されている。抵抗素子 R_1 とインバータ11の入力との間の入力節点は、第1のキャパシタ C_{11} を介して内部電源電圧 V_{reg} に接続され、それと共に第1のキャパシタ C_{11} と同じ容量値の第2のキャパシタ C_{12} を介して接地電圧 V_{ss} に接続されている。

【0015】

また、インバータ11の出力とインバータ12の入力との間には、抵抗素子 R_2 が接続されている。抵抗素子 R_2 とインバータ12の入力との間の入力節点は、第1のキャパシタ C_{21} を介して内部電源電圧 V_{reg} に接続されると共に第1のキャパシタ C_{21} と同じ容量値の第2のキャパシタ C_{22} を介して接地電圧 V_{ss} に接続されている。

図1に示すように、このリング発振回路は、奇数段のインバータがリング状に縦続接続されて構成された発振部と、これらインバータ間に配された抵抗素子及びキャパシタからなる遅延回路とから構成されている。

40

【0016】

また、インバータ12の出力とインバータ13の入力との間には、抵抗素子 R_3 が接続されている。抵抗素子 R_3 とインバータ13の入力との間の入力節点は、第1のキャパシタ C_{31} を介して内部電源電圧 V_{reg} に接続されると共に第1のキャパシタ C_{31} と同じ容量値の第2のキャパシタ C_{32} を介して接地電圧 V_{ss} に接続されている。

さらに、ここで使用するインバータの全ての反転電圧は、レギュレータ回路1から生成された内部電源電圧 V_{reg} の $2分の1$ である。

【0017】

50

インバータ 1 1 の出力電圧が、例えば、低レベルから高レベルに変化すると、キャパシタ C 21、C 22 は、内部電源電圧 V_{reg} からインバータ 1 1 及び抵抗素子 R 2 を通して充電される。これらキャパシタの充電電流は抵抗素子 R 2 の抵抗値によって略決まり、キャパシタ C 21、C 22 の電圧上昇の時間的变化は、キャパシタ C 21、C 22 の容量と抵抗素子 R 2 を流れる充電電流によって決定される。このようにして、キャパシタ C 21、C 22 の電圧は時間の経過と共に上昇し、次のインバータ 1 2 の出力電圧が反転するのに必要な電圧（スレッシュホールド電圧 V_t ）に達すると、インバータ 1 2 の出力電圧は、高レベルから低レベルに変化する。したがって、インバータ 1 2 の出力電圧はインバータ 1 1 の出力電圧が変化したときより遅れて変化する。この遅れはキャパシタ C 21、C 22 の電圧の時間的变化で決まる。そして、遅れ時間は、キャパシタ C 21、C 22 の容量値と抵抗素子 R 2 の抵抗値の積、即ち、キャパシタ C 21、C 22 と抵抗素子 R 2 とからなる遅延回路の時定数に略等しくなる。

10

【 0 0 1 8 】

インバータ 1 2 の出力電圧が高レベルから低レベルに変化すると、キャパシタ C 31、C 32 の充電がインバータ 1 2 を通しての放電に変わる。このようにして、次のインバータ 1 3 の出力電圧も遅れて変化する。そして、最初のインバータ 1 1 の出力が次に変化するのは、インバータ 1 3 の出力電圧が変化した後、キャパシタ C 11、C 12 が充電されてインバータ 1 1 の入力電圧がスレッシュホールド電圧になってからである。

このように、インバータの出力電圧は、各インバータの出力に接続されている抵抗素子とキャパシタによって構成される遅延回路にほぼ等しい時間を周期として変化する。

20

【 0 0 1 9 】

リングオシレータは、前述のように、インバータを奇数段、リング状に直列に結んだものであり、基本的に信号を反転遅延回路を通した後に帰還をかけた構成をしている。そして、一定時間ごとに状態が反転して安定な状態を持たず発振回路として機能するものである。発振回路は、段数を n とし、1 段当りの遅延時間を T_d で表すとリングオシレータの発振周波数 f が $1 / (2n \cdot T_d)$ で表わされる。

この実施例では、 $n = 3$ であり、当初の条件をインバータ 1 1 の出力電圧を V_{reg} から始まるとする。この条件では、インバータ 1 2 の出力電圧は V_{ss} 、インバータ 1 3 の出力電圧は V_{reg} である。動作が始まると、最初のインバータ 1 1 には高い電圧 V_{reg} が入力されるので、この出力電圧は降下し、インバータ 1 2 の出力電圧は遅延時間 T_d 遅れて V_{reg} へ向けて変化し、さらに、インバータ 1 3 の出力電圧は遅延時間 T_d 後に V_{ss} レベルに変化する。このように、連続するノードの電圧の遅延時間が T_d になるように発振する。

30

【 0 0 2 0 】

この実施例では、リングオシレータをワンチップに集積させるが、この場合、レギュレータや発振部の能動素子の発生する $1/f$ ノイズに依存して発振周波数が変動してしまうため遅い周波数での高安定化が悪化する。例えば、反転レベル V_t が $1/f$ ノイズの揺らぎで大きく変動してしまう。そこで、この実施例では、インバータの反転電圧 V_t をレギュレータ回路からの定電圧である内部電源電圧 V_{reg} の $1/2$ に正確に合わせる。そして、全ての遅延回路に用いられる容量を第 1 及び第 2 の 2 つのキャパシタを分割して用いる。

このような、構成により、リングオシレータの反転電圧 V_t がレギュレータ及び発振部能動素子の $1/f$ ノイズで大きく揺らいでも 1 周期（ハイ（H）パルス区間とロウ（L）パルス区間の総和である）では一定となり $1/f$ ノイズの影響を受け難くなる。その結果 $1/f$ ノイズで不安定だった周波数は安定化され精度の高い発振出力が得られる。

40

【 符号の説明 】

【 0 0 2 1 】

1・・・レギュレータ回路

1 1、1 2、1 3・・・インバータ

