

公告本

申請日期: 89. 9. 1	案號: 89117991
類別: G1C 14/00, 11/22 : H01L 27/10, 21/8247	

(以上各欄由本局填註)

487912

發明專利說明書

一、 發明名稱	中文	鐵電記憶裝置
	英文	FERROELECTRIC MEMORY DEVICE
二、 發明人	姓名 (中文)	1. 山田 淳一
	姓名 (英文)	1. Junichi YAMADA
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 西垣 浩司
	代表人 姓名 (英文)	1. Koji NISHIGAKI



本案已向

國(地區)申請專利

日本 JP

申請日期

1999/09/03 特願平11-249916

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明之背景】

發明之領域

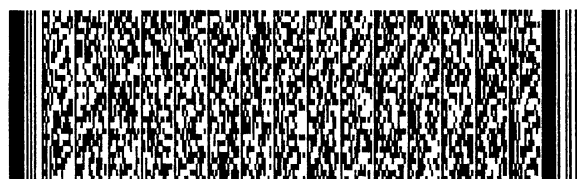
本發明一般而言係關於非揮發性的半導體記憶裝置，尤有關一種使用鐵電材料之鐵電記憶裝置。

習知技術之描述

由一種鐵電材料所組成之一種電容器之電容(以下以"鐵電電容"表示)顯現出在施加電壓與其極化程度間的關係之遲滯現象。一種在其記憶體單元中利用鐵電電容器之鐵電記憶裝置，即使在所施加之電壓變成零之後，亦可保存已被寫入至鐵電電容器之資料，這些資料係藉由將電壓施加至此鐵電記憶裝置，並憑藉著它們的剩餘極化而得到保存。因此，一種非揮發性的鐵電記憶裝置可利用此種特徵而建構。

在鐵電記憶裝置之讀取動作期間，儲存的資料係藉由將電壓施加至鐵電電容器以使位元線電壓顯現，然後藉由一感測放大器讀取依據極化方向而顯現的位元線差動電壓而再生，其中，此位元線電壓係對應至之零或一筆儲存於資料單元之資料。為了以這樣的構造執行正確的讀取動作，必須將在讀取"0"時所顯現之位元線差動電壓與在讀取"1"時所顯現之位元線差動電壓之間的差異配置得夠大。

對於穩定讀取動作而言，必須設計此種裝置以使在寫入動作期間所施加之電壓被設定到能使鐵電材料之極化反



五、發明說明 (2)

轉的數值。

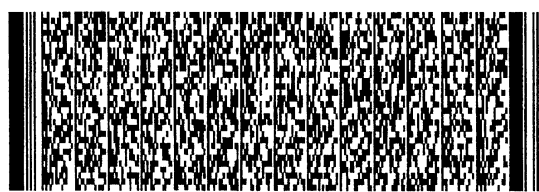
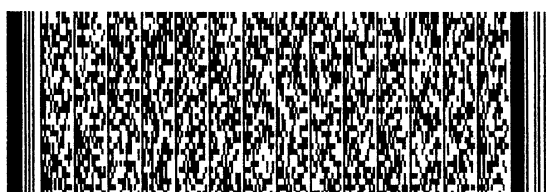
例如在日本公開專利公報第9-7376號中，已提出一種鐵電記憶裝置，特別是在低電壓操作時，為確保充分之0/1之讀出位元線電壓差，此記憶裝置係在讀取期間將足夠大的電壓施加至鐵電體的方式而受到控制。現在將參考圖8至10說明此種習知之控制方法與此裝置之構造。

於此習知之控制方法中，位元線之預充電電壓係為了裝置之穩定讀取動作，而被設定成高於感測放大器與裝置之周邊電路之電源電壓值。

在位元線之預充電電壓並不會上升的記憶裝置的情況下，在讀取動作期間被施加至鐵電電容器之電壓，係由在鐵電電容與位元線之寄生電容之間的電荷分配所決定，並因而低於在寫入動作期間被施加至鐵電電容器之電壓。因此，讀取動作將不穩定。

在揭露於日本公開專利公報第9-7376號之鐵電記憶裝置中，為了實現一種穩定讀取動作，在讀取期間將選擇被施加之預充電電壓為較高值，俾能在讀取期間使被施加至鐵電電容之電壓等於在寫入期間被施加至鐵電電容之電壓。

圖8顯示上述習知之鐵電記憶體之構造。如圖8所示，此種記憶體包含一降壓電源電路804，用以降低在周邊電路802中之電力消耗。換言之，到達周邊電路之電源電壓係為一個如藉由將從外部饋入之外部電源電壓 V_{hp} 予以降低所獲得之降壓電源電壓 V_{cc} 。



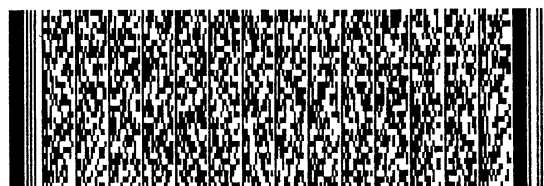
五、發明說明 (3)

另一方面，位元線BL0與BL1係以高於降壓電源電壓Vcc之電壓(例如從外部饋入之外部電源電壓Vhp)執行預充電。具體言之，外部電源電壓Vhp係被提供至一預充電電路803。

圖9顯示習知之鐵電記憶體之位元線系統之電路構造。一個記憶體單元MC1係包含兩個鐵電電容器(電容)FC11與FC12與兩個單元電晶體TC11與TC12。鐵電電容器FC11與FC12之一個端子係共同連接至一條電極線PL1，而鐵電電容器FC11與FC12之另一個端子係分別地連接至單元電晶體TC11與TC12之源極。單元電晶體TC11與TC12之閘極係共同連接至一條字元線WL1，而單元電晶體TC11與TC12之汲極係分別地連接至位元線BL0與BL1。除了記憶體單元MC1以外之其餘記憶體單元(MC2)，係具有類似於記憶體單元MC1之電路構造，且它們的構造與元件尺寸係與MC1之構造與元件尺寸相當。

以上述之電路構造，電極線PL1之電壓係固定為等於一半的降壓電源電壓Vcc，亦即， $V_{cc}/2$ 之電壓。

一感測放大器(SA)801係屬於閘鎖型式，且係由第一與第二反相器所組成，而第一與第二反相器之輸入與輸出端子係交互連接，其中，第一反相器係包含連接於感測放大器啟動信號SAP與SAN之端子間的P通道MOS電晶體PM1與N通道MOS電晶體NM1，而第二反相器係包含連接於這些端子之間的P通道MOS電晶體PM2與N通道MOS電晶體NM2。第一反相器之輸出端子與第二反相器之輸入端子係連接至位元線



五、發明說明 (4)

BL0，而第一反相器之輸入端子與第二反相器之輸出端子係連接至位元線BL1。

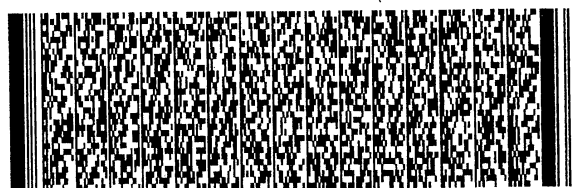
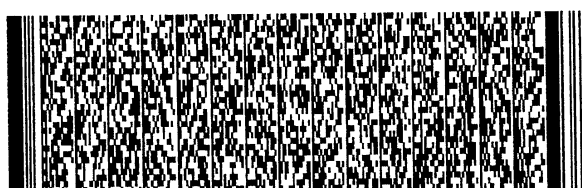
P通道MOS電晶體PM3與PM4，構成了用以在位元線被導通時對位元線進行預充電之預充電電路803，其中，P通道MOS電晶體PM3與PM4係分別地連接於位元線BL0和BL1與電源電壓Vhp之一端子之間，並具有被提供以一預充電信號PBL之各個閘極。

感測放大器(SA)801之輸出端子，係經由行開關Y0與Y1而分別連接至I/O線I00與I01，而行開關Y0與Y1之ON/OFF狀態係由一個行選擇信號YSW所控制。

圖10係為說明圖9之電路操作之時序圖，其係顯示在字元線WL1與電極線PL1上之每一個信號波形，預充電信號PBL之信號波形，並顯示在位元線BL0與BL1與感測放大器啟動信號SAN與SAP上之信號波形。當字元線WL1係在讀取動作期間成為一高位準時，由位元線寄生電容CB0與CB1與鐵電電容器之電容的比率所決定之電壓係被施加至這些鐵電電容器，藉以讀出資料。

在再寫入動作期間，因為電極線PL1之電壓係處於 $V_{cc}/2$ ，所以等於 $V_{cc}/2$ 之電壓係被施加橫跨過每個鐵電電容器之端子。

依據此種習知之構造，在讀取期間被施加至鐵電電容器之電壓，可藉由將位元線之預充電電壓設定成高於用以操作周邊電路802之電壓Vcc的Vhp，而等於在寫入期間被施加鐵電電容器之電壓。因此可實現記憶體之穩定讀取動



五、發明說明 (5)

作。

在以處於 V_{cc} 或接地電壓之電極線之電壓實現一種讀取動作的狀況下，因為被施加至鐵電體之電壓已經足夠，所以不需要增加位元線之預充電電壓，而可處於接地電壓或 V_{cc} 。

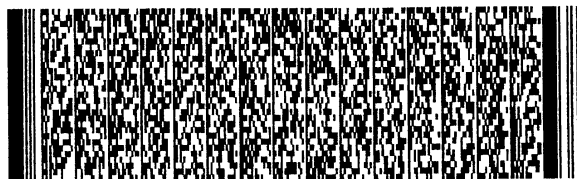
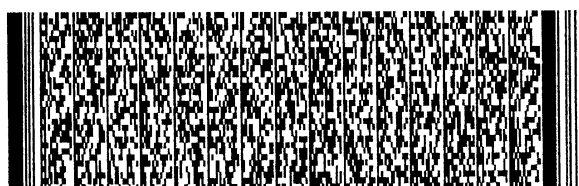
圖5顯示鐵電體之遲滯現象。於圖5中，橫座標表示施加電壓，而縱座標表示極化程度(或電荷 Q)。遲滯現象係隨著取決於對記憶體單元之存取次數的鐵電膜之疲勞與印跡，與保存資料之總時間的增加而退化。具體而言，遲滯迴路已經被反覆地反相之記憶體單元之鐵電膜，將由於疲勞而具有一種縮小的遲滯迴路。

圖6顯示由於鐵電膜之疲勞，關於從鐵電電容器所讀取之位元線電壓之到達鐵電電容器之存取次數之效應。具體而言，在讀取伴隨極化之反轉之"1"的情況下，讀出位元線電壓係隨著讀取動作循環之次數的增加而減少。相較之下，在讀取不具有極化之反轉之操作之"0"的情況下，讀出位元線電壓並不太過於依據讀取動作循環之次數，而實質上是固定值。

參考圖8至10，可知揭露於日本公開專利公報第9-7376號之鐵電記憶體具有下述的問題。

第一個問題係為具有鐵電電容器之記憶體單元的操作週期之可容許的次數將減少。

其理由為吾人已經不考量例如鐵電膜之疲勞與印跡之特徵之特別的惡化係取決於施加電壓之事實。



五、發明說明 (6)

一般而言，當完成寫入動作時，經由一讀取/寫入循環而施加至鐵電體之電壓將成為最大值。因此，在寫入動作期間被施加之電壓，將決定鐵電電容器之操作週期之可容許次數。如將於後來所說明的，因為施加電壓降低，所以可容許操作週期的次數將增加，但是，當施加電壓小於矯頑電壓時，將不會正確地實現寫入動作。

因此，在預充電電壓係在讀取期間增加之上述習知之鐵電記憶體中，位元線之預充電電壓 V_{hp} 總是高於最小寫入電壓，而無法低於它。

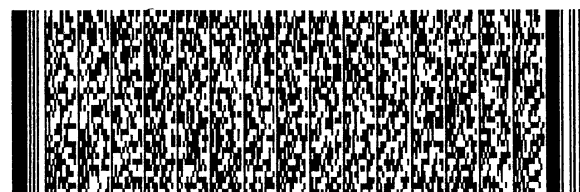
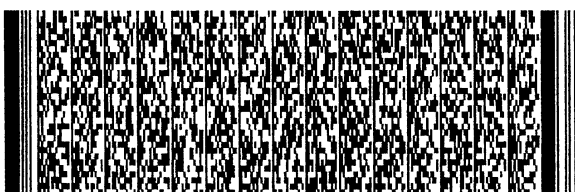
此外，因為一個相當於在寫入期間所施加之電壓之電壓係在讀取期間被施加至鐵電體，故可容許操作週期之次數係由於疲勞與印跡而減少。

再者，因為增加位元線預充電電壓之必要性，所以藉由降壓電源電路以降低內部功率消耗之效果不大。

第二個問題係為位元線電容尚未對於鐵電電容器之特徵作最佳化。

其理由為吾人已經不考量在位元線上之信號電壓係由在鐵電電容器之電容與位元線之電容之間的關係所決定的事實。具體而言，藉由依據連接至位元線之記憶體單元之次數，以選擇最佳的位元線電容，即可獲得足夠的信號電壓，而無須提高位元線預充電電壓。

當考慮到一種可藉由考量鐵電體所特有之例如疲勞與印跡之特徵之惡化而獲得之穩定操作時，無法期望從上述習知方法中獲得一種穩定讀取動作。由於增加的預充電電



五、發明說明 (7)

壓，習知之方法稍微會導致鐵電體之特徵之惡化與較低的可靠度。

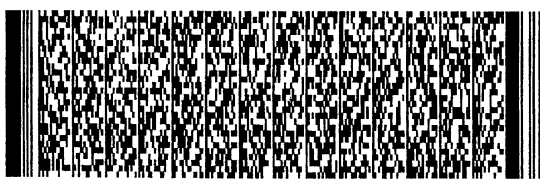
【發明概要】

因此，本發明之一個目的係提供一種使用一種鐵電材料所建構之半導體記憶裝置，於上述鐵電材料中，被容許操作週期之次數係藉由解決上述第一問題而得以增加。

本發明之另一目的係提供一種使用一種鐵電材料所建構之鐵電記憶裝置，於上述鐵電材料中，被容許操作週期之次數係藉由解決上述第二問題而得以增加。

本發明之又另一目的係藉由解決上述第一與第二問題，以提供一種具有一種高可靠度之讀取電路之鐵電記憶裝置。

為達成上述目的，依據本發明之一種鐵電記憶裝置包含一記憶體單元陣列，其包含：複數之記憶體單元，配置於複數之行與複數之列中，每個記憶體單元包含一電容元件與一電晶體，該電容元件係以一鐵電膜介設於第一與第二電容電極間的方式地由第一與第二電容電極所形成，用以依據該鐵電膜之極化狀態而儲存資訊，該電晶體具有一源極與一汲極，源極與汲極之其中一個係連接至該電容元件之第一與第二電容電極之其中一個；複數之字元線，為記憶體單元陣列之每一列設置，並連接至包含於該列中之記憶體單元的每個電晶體之閘極；複數之電極線，於該複數之記憶體單元中，連接至各該電容元件之第一與第二電



五、發明說明 (8)

容電極之另一個；以及複數之位元線，為記憶體單元陣列之每一行設置，並連接至包含於行中之記憶體單元的每個電晶體之其餘的源極與汲極。上述鐵電記憶裝置更包含：複數之感測放大器，連接至該等位元線；產生部，用以從外部饋入之一第一電源電壓中，產生低於該第一電源電壓之一第二電源電壓；以及供應部，用以將該第二電源電壓與接地電壓提供給每個電容元件之該第一與第二電極。

於本發明中，在第二電源電壓與接地電壓之間的電壓差係等於或大於鐵電膜之鐵電體的矯頑電壓。

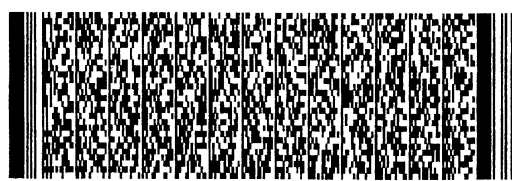
於本發明中，在第二電源電壓與接地電壓之間的電壓差，係相當於對應至一最小電壓差，其中，以此最小電壓差，可達成將資訊寫入至電容元件與從電容元件讀取資訊。

於本發明中，產生部可包含一降壓電源電路。

本發明之供應部可包含：一電極線電源電路，用以將從接地電壓到第二電源電壓之範圍內的電壓提供給等電極線；一字元線電源電路，用以將從接地電壓到第二電源電壓之範圍內的電壓提供給每個字元線；以及一感測放大器驅動電路，用以將從接地電壓到第二電源電壓之範圍內的電壓提供給等感測放大器。

依據本發明，電極線電源電路之電源電壓可相當於在第二電源電壓與接地電壓之間的電壓差。

依據本發明，字元線電源電路之電源電壓可相當於在第一電源電壓與接地電壓之間的電壓差。



五、發明說明 (9)

依據本發明，字元線電源電路之電源電壓可相當於在第二電源電壓與接地電壓之間的電壓差。

依據本發明，感測放大器驅動電路之電源電壓係相當於在第二電源電壓與接地電壓之間的電壓差。

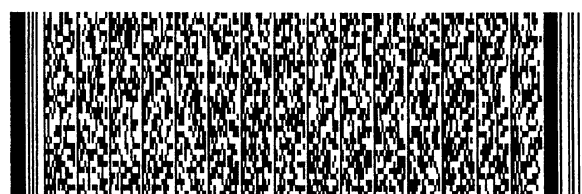
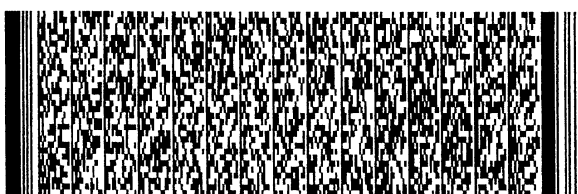
如上所述，依據本發明，可使信號電壓減少之反向效果最小化，並可增加被容許操作週期之次數。因此，與習知之鐵電記憶裝置相較，依本發明之鐵電記憶裝置所具有之特別有利效果為：對於讀取/寫入動作之可靠度可大幅地得到改善。

可獲得上述有利之效果之理由為：考量鐵電體之特徵在被施加至鐵電電容器之電壓增加時退化更多之事實，依據本發明之鐵電記憶裝置係被建構成使一個小於由連接至外界之需求所界定之數值之外部電源電壓之內部電源電壓得以產生並提供至複數記憶體單元以作為它們的電壓。

【較佳實施例之說明】

現在將說明本發明之較佳實施例。在已進入本發明成熟階段之研究期間，吾人應可發現到由於疲勞所導致之讀出位元線電壓的改變，係以施加電壓越小，則於其中可讀取或寫入資料之操作週期次數越大之方式，取決於被施加至鐵電電容器之電壓，舉例而言，如圖6所示。

舉例而言，以下將參考根據實驗所製造之鐵電記憶裝置的晶片，其乃說明於VLSI電路協會之1998 論文集的會報之第238至241頁上。依據此文獻，實驗用的晶片係在以



五、發明說明 (10)

0.8 μm 、CMOS 製程、與5V 電源電壓之條件下設計，而晶片可能的操作週期之次數係為 10^6 的等級。

然而，吾等應已發現到在上述研究中，與疲勞有關之裝置的特徵，可更進一步的藉由降低電源電壓而得到改善。

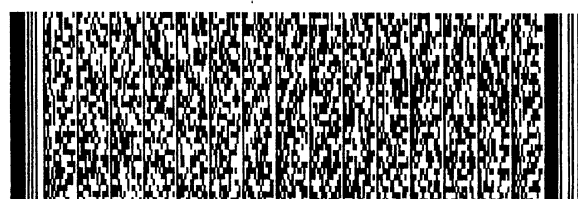
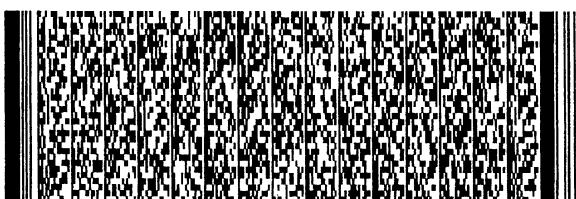
圖7係藉由將在連接至感測放大器之兩個位元線上的讀出電壓之間的差異(亦即，一信號電壓)，置換成每個讀出位元線電壓，而顯示圖6所示之特徵。

如圖7所示，當施加電壓變成較小時，可完成讀取之操作週期之次數會增加。於此情況下，雖然信號電壓變小，但是如果信號電壓並非小於放大器之最小容許的輸入信號電壓，則亦可達成一種正確讀取動作。

上述討論亦可應用至印跡現象。類似於疲勞之情況，在此研究中吾人應可發現到：當施加電壓變得較小時，可能的操作週期之次數將會增加。

本發明係基於上述認知而完成，並被配置成使得外部電源電壓VDD係藉由一降壓電路而產生降壓，以使被施加至鐵電體之電壓VINT低於周邊電路之操作電壓，但等於或高於鐵電體之矯頑電壓，藉以增加鐵電記憶體之讀取/寫入動作週期之可容許的次數，並提高其可靠度。

在本發明之一個較佳實施例中，關於一種用以將藉由降低外部電源電壓VDD與接地電壓所獲得之第二電源電壓VINT予以施加至鐵電電容器之第一與第二電極的裝置(參見圖2之106)，設置了一電極線電源電路(PLD)、一字元線



五、發明說明 (11)

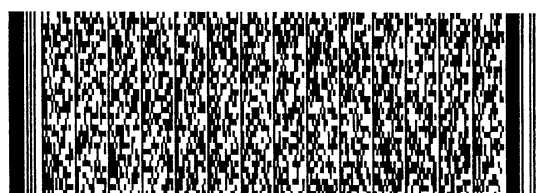
電源電路(WLD)、與一感測放大器驅動電路(SAD)。吾人建構了電極線電源電路(PLD)，俾能將從接地電壓到第二電源電壓VINT範圍內之電壓提供給電極線。吾人建構了字元線電源電路(WLD)，俾能將從接地電壓到電壓Vboot範圍內之電壓提供給字元線，而此電壓Vboot係等於或大於接地電壓與記憶體單元電晶體之臨限電壓之總和。吾人建構了感測放大器驅動電路(SAD)，俾能將從接地電壓到第二電源電壓VINT範圍內之電壓提供給感測放大器。

現在將參考附圖詳細說明本發明之實施例。圖1顯示依據本發明第一實施例所提供之一種非揮發性的半導體記憶裝置之基本電路構造。

參見圖1，一降壓電源電路103從一外部電源電壓VDD產生待施加至鐵電體之一降壓電源電壓VINT。外部電源電壓VDD係為一種用以將此裝置連接至外界之電源電壓，並擁有5伏特或3.3伏特之數值。降壓電源電壓VINT係為一種足夠使鐵電電容器之極化反轉之電壓，並可增加其操作週期之被容許的次數。舉例而言，電壓VINT係為2.5伏特。

鐵電電容器之矯頑電壓VC並未大於降壓電源電壓VINT。

降壓電源電壓VINT係被使用作為待被施加至鐵電電容器之電壓，待被施加至電源線與位元線之電壓，與感測放大器之電源電壓。降壓電源電壓VINT亦被使用作為一控制電路之電源電壓，此乃因為其數值係獨立於外部電源電壓VDD之變化與周圍的溫度之改變而維持固定。外部電源電



五、發明說明 (12)

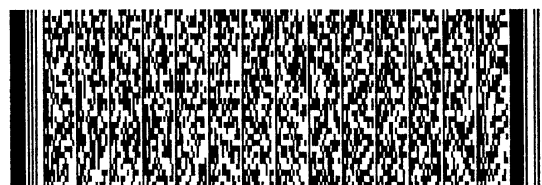
壓VDD係直接地被使用作為在此記憶裝置中之其餘周邊電路之一電源電壓。

圖2係詳細顯示依據本發明第一實施例之一記憶體單元陣列、一感測放大器、與一電源電路106，其中，電源電路106係用以將電壓提供給一起構成記憶裝置之記憶體單元陣列。

如圖2所示，兩個鄰近的位元線BL0與BL1分別具有寄生電容CB0與CB1，並將它們的其中一個末端連接至由四個電晶體PM1、PM2、NM1、與NM2所構成之一感測放大器(SA)104。具體而言，感測放大器(SA)104係屬於包含第一與第二反相器之閃鎖型式。第一與第二反相器之輸入與輸出端子係彼此交互連接，並分別連接至位元線BL0與BL1。第一反相器包含P通道MOS電晶體PM1與N通道MOS電晶體NM1，此等電晶體係串聯連接於一感測放大器啟動信號SAP之端子與接地(GND)端子之間。第二反相器包含P通道MOS電晶體PM2與N通道MOS電晶體NM2，此等電晶體係串聯連接於信號SAP之端子與接地(GND)端子之間。

一個記憶體單元MC1係由兩個鐵電電容器FC11與FC12與兩個單元電晶體TC11與TC12所組成。

鐵電電容器FC11與FC12之一個端子係共同連接至一條電極線PL1，而鐵電電容器FC11與FC12另一個端子係分別地連接至單元電晶體TC11與TC12之源極。單元電晶體TC11與TC12之閘極係共同連接至一條字元線WL1，而單元電晶體TC11與TC12之汲極係分別地連接至位元線BL0與BL1。



五、發明說明 (13)

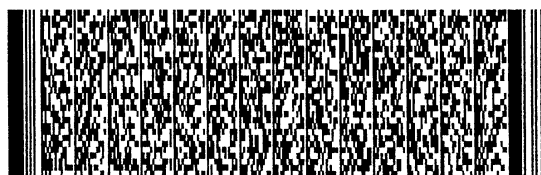
除記憶體單元MC1之外，一記憶體單元MC2具有類似於記憶體單元MC1之電路構造，而其構造與元件尺寸係與MC1相同。

電極線PL1係連接至電源線驅動電路(PLD)108之一個輸出端子，而感測放大器啟動信號SAP之端子係連接至感測放大器驅動電路(SAD)109之一個輸出端子。電源線驅動電路(PLD)108與感測放大器驅動電路(SAD)109之每一個的輸出段係由一CMOS反相器所組成，而CMOS反相器包含一P通道MOS電晶體與一N通道MOS電晶體，此等電晶體係串聯連接於這些電路之電源與接地端GND之間。

電源線驅動電路(PLD)108與感測放大器驅動電路(SAD)109之電源電壓係為降壓電源電壓VINT，俾能使被施加至電極線PL1之電壓與被施加至一條信號線之電壓兩者最多皆等於降壓電源電壓VINT，其中，電極線PL1係連接至電源線驅動電路(PLD)108之輸出端子，而上述信號線係連接至感測放大器驅動電路(SAD)109之輸出端子。

字元線WL1係連接至字元線驅動電路(WLD)107之一輸出端子。對於字元線而言，必須被提供以一電壓Vboot，而不是降壓電源電壓VINT，俾能使字元線驅動電路(WLD)107之電源電壓被設定成升壓電壓Vboot，其中，電壓Vboot係為藉由單元電晶體之一臨限電壓Vt而被升壓之電壓。

待被施加至字元線驅動電路(WLD)107之電源電壓Vboot，可能藉由利用一種未顯示的升壓電路以提高降壓



五、發明說明 (14)

電壓VINT而獲得，但是如果外部電源電壓VDD係高於電壓VINT至少臨限電壓 V_t ，則此種外部電源電壓VDD可直接被使用作為電壓Vboot。

電源電壓Vboot係用以界定記憶體單元陣列之其餘控制信號的高位準，例如待被施加至構成一預充電電路105之MOS電晶體PM3與PM4之閘極的預充電信號PBL，與待被施加至行開關Y0與Y1之閘極的行選擇信號YSW。

圖3係為在圖2中之電路的信號之時序圖，其中，顯示了在字元線WL1與電極線PL1上之信號波形，預充電信號PBL之信號波形，感測放大器啟動信號SAP之信號波形，在位元線BL0與BL1與行選擇信號YSW上之信號之信號波形。

在預充電信號PBL係處於升壓電壓Vboot時之期間，位元線BL0與BL1係被預充電至接地(GND)位準。

接著，字元線WL1係成為升壓電壓Vboot，藉以選擇連接至字元線WL1之那些記憶體單元。

然後，電極線PL1之電壓係從接地位準改變至降壓電源電壓VINT，俾能使一電壓被施加至每一個鐵電電容器FC1與FC2，然後，對應於資料"0"或"1"之讀出位元線電壓，係在位元線BL0與BL1上顯現。

於本實施例中，在以極化反轉讀取鐵電電容器側之位元線電壓係高於沒有以極化反轉讀取鐵電電容器側之位元線電壓。

於此情況下，因為電荷共用將在位元線之寄生電容CB0與CB1與鐵電電容器FC11與FC12之間產生，所以施加在



五、發明說明 (15)

每個鐵電電容器之電極間的電壓(亦即，橫跨過每個鐵電電容器之電壓)並未大於降壓電源電壓VINT。

在下一個步驟中，因為在讀出位元線電壓(亦即，一信號電壓)之間的差異係被放大且被偵測作為資料，所以感測放大器啟動信號SAP係成為降壓電源電壓VINT，以啟動感測放大器(SA) 104。

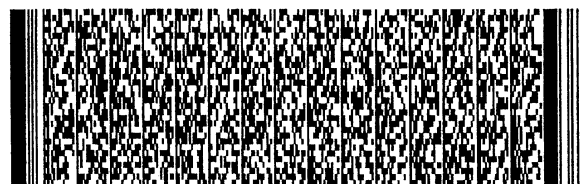
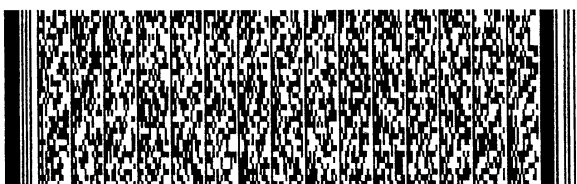
然後，行選擇信號YSW係成為等於升壓電壓Vboot，以使行開關Y0與Y1執行，俾能使讀出資料經由I/O匯流排I00、I01而被提供至外界，然後，電極線PL1係變成接地(GND)位準以將資料重寫至那記憶體單元之鐵電電容器(資料係從讀取)。

最後，位元線BL0與BL1係被放電至GND位準，然後，字元線WL1係回復至GND位準，於是完成了讀取循環。

在一寫入循環中，除了來自I/O匯流排之資料係經由行開關Y0與Y1而寫入至位元線BL0與BL1之上以外，在圖2之各個信號線上之信號具有與在讀取循環中之信號相同的波形，其中，行開關Y0與Y1係藉由行選擇信號YSW而成為ON。

因此，依據本實施例，施加在每個鐵電電容器之電極間的電壓(亦即，橫跨過每個電容器之電壓)，最多等於降壓電源電壓VINT，俾能增加鐵電體之操作週期之被容許的次數，並提高鐵電記憶裝置之可靠度。

雖然在鐵電記憶裝置使用每一個都由兩個電晶體與兩個電容器所構成之記憶體單元之上述實施例中已經詳細說



五、發明說明 (16)

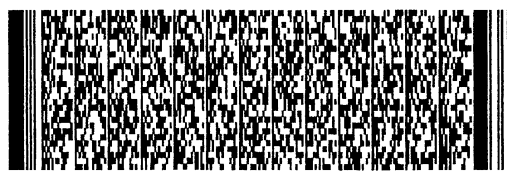
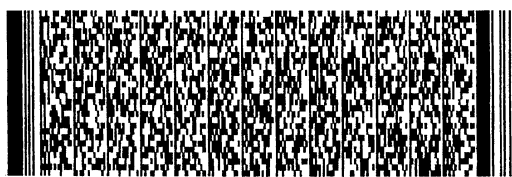
明本發明，但是本發明亦可應用至一種使用每一個都由單一電晶體與單一電容器所組成之記憶體單元的鐵電記憶裝置。

圖4顯示本發明之第二實施例的構造。如圖4所示，除了包含其周邊電路202之鐵電記憶裝置200之所有部分係被提供以降壓電源電壓VINT作為它們的電源電壓以外，本發明之第二實施例具有與上述第一實施例相同的構造。

依據此第二實施例，除了增加鐵電體之操作週期之被容許的次數之效果以外，可獲得以下之另一種效果：即使當內部電源電壓由於縮小附屬的電晶體之尺寸而應降低時，亦無須修改外部電源電壓。

本發明之第二實施例具有更進一步的有利效果，整體看來，電路之功率消耗可憑藉降地的電源電壓而減少。

吾人應可明白到，第二實施例之構造不但可應用至具有兩個電晶體與兩個電容器型式記憶體單元之鐵電記憶裝置，亦可應用至具有一個電晶體與一個電容器型式記憶體單元之鐵電記憶裝置。



圖式簡單說明

圖1係為本發明之第一實施例之方塊圖；

圖2係為本發明之第一實施例之電路圖；

圖3係為在本發明之第一實施例中之各種不同的信號之時序圖；

圖4係為本發明之第二實施例之方塊圖；

圖5係為顯示鐵電體之遲滯現象的圖例；

圖6顯示依據各種不同的狀況下之操作週期之次數的讀出位元線電壓之變化；

圖7顯示依據各種不同的狀況之次數操作週期之信號電壓之變化；

圖8係為習知之鐵電記憶裝置之方塊圖；

圖9係為習知之鐵電記憶裝置之電路圖；以及

圖10係為在習知之鐵電記憶裝置中之各種不同的信號之時序圖。

【符號之說明】

102~ 周邊電路

103~ 降壓電源電路

104~ 感測放大器(SA)

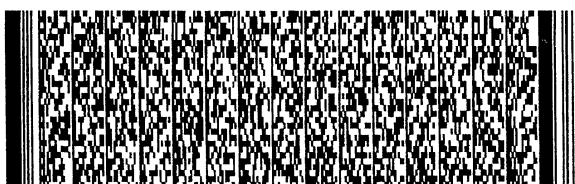
105~ 預充電電路

106~ 電源電路

107~ 字元線驅動電路(WLD)

108~ 電源線驅動電路(PLD)

109~ 感測放大器驅動電路(SAD)



圖式簡單說明

200~ 鐵電記憶裝置

202~ 周邊電路

801~ 感測放大器(SA)

802~ 周邊電路

803~ 預充電電路

804~ 降壓電源電路

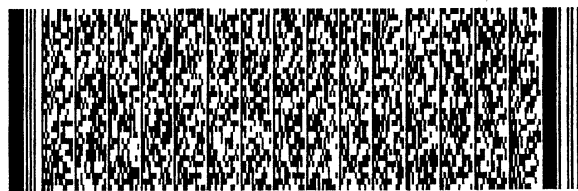
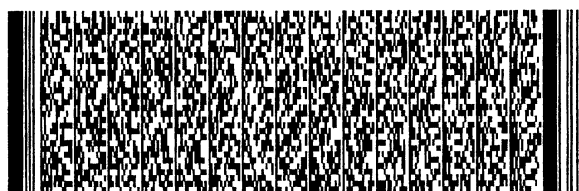


四、中文發明摘要 (發明之名稱：鐵電記憶裝置)

一種高可靠度之非揮發性的鐵電記憶裝置，其容許讀取/寫入動作循環的次數獲得改善。此裝置包含一降壓電源電路，其產生一個小於從外界饋入之電源電壓VDD而非小於鐵電體之矯頑電壓之電源電壓VINT，用以改善對抗鐵電體之疲勞與印跡之抵抗力。因為當施加至鐵電體之電壓增加時，由於疲勞與印跡，使得鐵電體之特徵退化更多，所以可選擇感測放大器與電源電路之電源電壓成為VINT，俾能使VINT被施加至鐵電電容器，另一方面，其他周邊電路之電源電壓係被選擇為VDD。與習知之鐵電記憶裝置相較，這種結構的讀取/寫入動作之裝置之可靠度，可藉由使信號電壓減少之效果最小化，及增加容許操作週期次數而得到大幅改善。

英文發明摘要 (發明之名稱：FERROELECTRIC MEMORY DEVICE)

There is provided a highly reliable non-volatile ferroelectric memory device in which the permitted number of read/write operation cycles is increased. The device comprises a step-down power supply circuit which generates a supply voltage VINT which is lower than a supply voltage VDD fed from the outside but not less than a coercive voltage of the ferroelectrics for the purpose of improving the resistance to fatigue of and imprinting to the ferroelectrics. Since the



四、中文發明摘要 (發明之名稱：鐵電記憶裝置)

英文發明摘要 (發明之名稱：FERROELECTRIC MEMORY DEVICE)

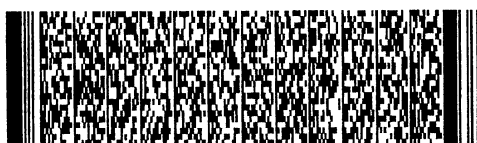
characteristics of the ferroelectrics deteriorate more due to fatigue and imprinting as the voltage applied to the ferroelectrics increases, a supply voltage for sense amplifiers and voltage supply circuits are selected to be VINT so that VINT is applied to the ferroelectric capacitors, while a supply voltage for other peripheral circuits is selected to be VDD. With this structure, the reliability of the device with respect to its read/write operations can significantly be



四、中文發明摘要 (發明之名稱：鐵電記憶裝置)

英文發明摘要 (發明之名稱：FERROELECTRIC MEMORY DEVICE)

improved as compared to the conventional ferroelectric memory devices by minimizing the effect that the signal voltage is reduced and by increasing the permitted number of operation cycles.



六、申請專利範圍

1. 一種鐵電記憶裝置，包含：

一記憶體單元陣列，其包括：

複數之記憶體單元，配置於複數之行與複數之列中，每個記憶體單元包含一電容元件與一電晶體，該電容元件係以一鐵電膜介設於第一與第二電容電極間的方式地由第一與第二電容電極所形成，用以依據該鐵電膜之極化狀態而儲存資訊，該電晶體具有一源極與一汲極，源極與汲極之其中一個係連接至該電容元件之第一與第二電容電極之其中一個；

複數之字元線，為記憶體單元陣列之每一列設置，並連接至包含於該列中之記憶體單元的每個電晶體之閘極；

複數之電極線，於該複數之記憶體單元中，連接至各該電容元件之第一與第二電容電極之另一個；以及

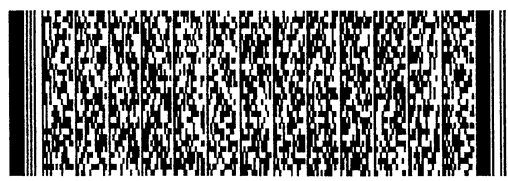
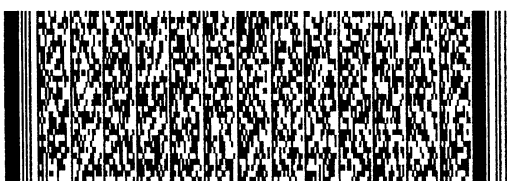
複數之位元線，為記憶體單元陣列之每一行設置，並連接至包含於行中之記憶體單元的每個電晶體之其餘的源極與汲極；

複數之感測放大器，連接至該等位元線；

產生部，用以從外部饋入之一第一電源電壓中，產生低於該第一電源電壓之一第二電源電壓；以及

供應部，用以將該第二電源電壓與接地電壓提供給每個電容元件之該第一與第二電極。

2. 如申請專利範圍第1項之鐵電記憶裝置，其中，在該第二電源電壓與該接地電壓之間的電壓差係等於或大於



六、申請專利範圍

該鐵電膜之鐵電體的矯頑電壓。

3. 如申請專利範圍第1項之鐵電記憶裝置，其中，在該第二電源電壓與該接地電壓之間的電壓差，係相當於對應至一最小電壓差，其中，以此最小電壓差，可達成將資訊寫入至該電容元件與從該電容元件讀取資訊。

4. 如申請專利範圍第1項之鐵電記憶裝置，其中，該產生部包含一降壓電源電路。

5. 如申請專利範圍第1項之鐵電記憶裝置，其中，該供應部包含：

一電極線電源電路，用以將從該接地電壓到該第二電源電壓之範圍內的電壓提供給該等電極線；

一字元線電源電路，用以將從該接地電壓到該第二電源電壓之範圍內的電壓提供給每個字元線；及

一感測放大器驅動電路，用以將從該接地電壓到該第二電源電壓之範圍內的電壓提供給該等感測放大器。

6. 如申請專利範圍第5項之鐵電記憶裝置，其中，該電極線電源電路之電源電壓係相當於在該第二電源電壓與該接地電壓之間的電壓差。

7. 如申請專利範圍第5項之鐵電記憶裝置，其中，該字元線電源電路之電源電壓係相當於在該第一電源電壓與該接地電壓之間的電壓差。

8. 如申請專利範圍第5項之鐵電記憶裝置，其中，該字元線電源電路之電源電壓係相當於在藉由將該記憶體單元之電晶體的臨限電壓添加至該第二電源電壓而獲得之電



六、申請專利範圍

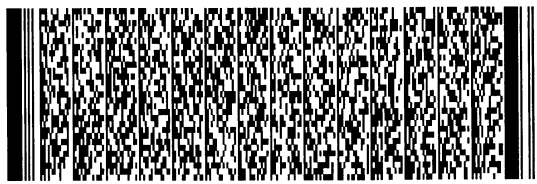
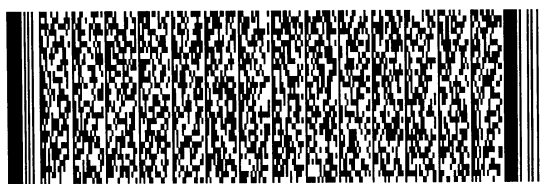
壓與該接地電壓之間的電壓差。

9. 如申請專利範圍第5項之鐵電記憶裝置，其中，該感測放大器驅動電路之電源電壓係相當於在該第二電源電壓與該接地電壓之間的電壓差。

10. 如申請專利範圍第1項之鐵電記憶裝置，其中，該裝置係設成使得依據較由外部饋入之該第一電源電壓為低之該第二電源電壓，而施加於讀取與寫入動作中的每一個記憶體單元的鐵電電容器之電壓，其最大值等於該第二電源電壓。

11. 一種鐵電記憶裝置，包含一降壓電源電路，用以降低一外部電源電壓，一個藉由該降壓電源電路所獲得之降壓電源電壓，被提供至電源線與位元線以作為待施加至在記憶體單元陣列之每個記憶體單元中之鐵電電容器的電壓，其並被施加至感測放大器作為它們的電源電壓，該裝置被配置使得橫跨過介設於每個記憶體單元之電晶體之一汲極或一源極與一對應的電極線之間的該鐵電電容器之電壓，其最大值係等於該降壓電源電壓。

12. 如申請專利範圍第11項之鐵電記憶裝置，其中，用以驅動該等字元線以選擇在該記憶體單元陣列中之一列記憶體單元之電路，係被提供以一個比該降壓電源電壓高了該電晶體之臨限電壓以上之升壓電壓，或被提供以該外部電源電壓以作為其電源電壓；且於其中，該升壓電壓或該外部電源電壓係使用作為一個電壓，此電壓係在該記憶體單元陣列中界定待提供至一個用以對位元線執行預充電



六、申請專利範圍

之電路以作為一控制信號之預充電信號之高位準，並界定用以選擇記憶體單元的一行之行切換信號之高位準。

13. 如申請專利範圍第11項之鐵電記憶裝置，其中，該裝置之一周邊電路係直接地被提供該外部電源電壓或該降壓電源電壓以作為其電源電壓。



91.3.20 修正
年 月 日 補充

圖式

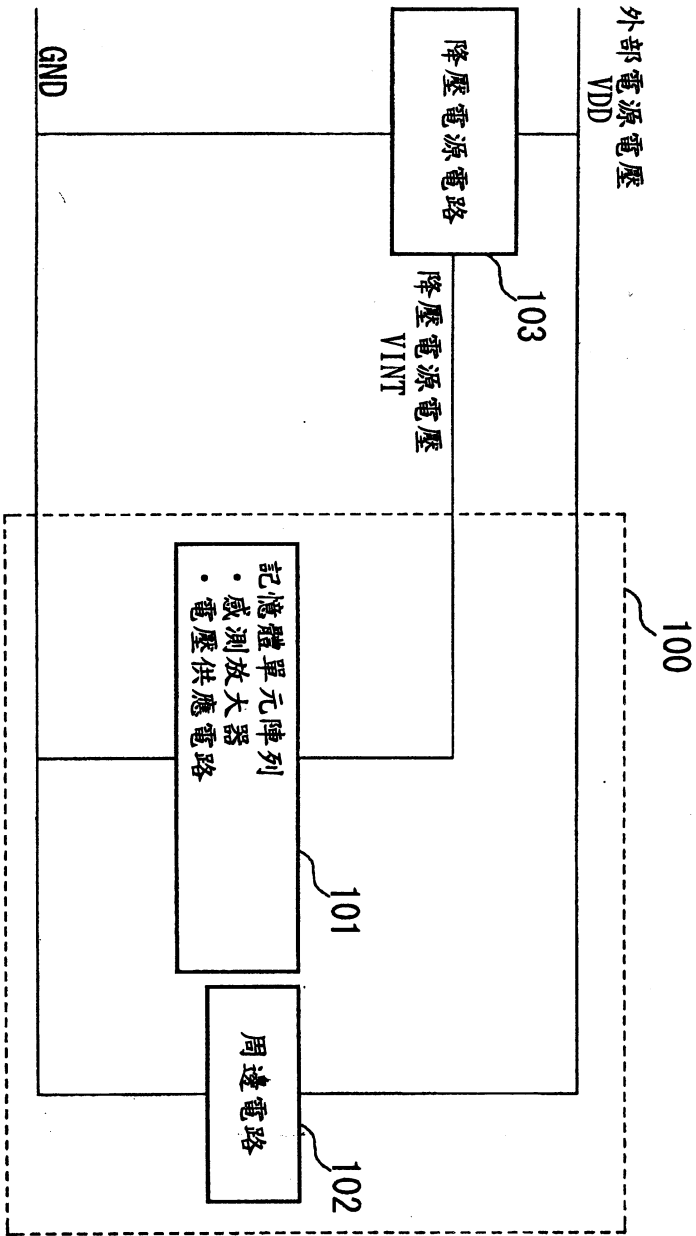


圖 1

圖式

106

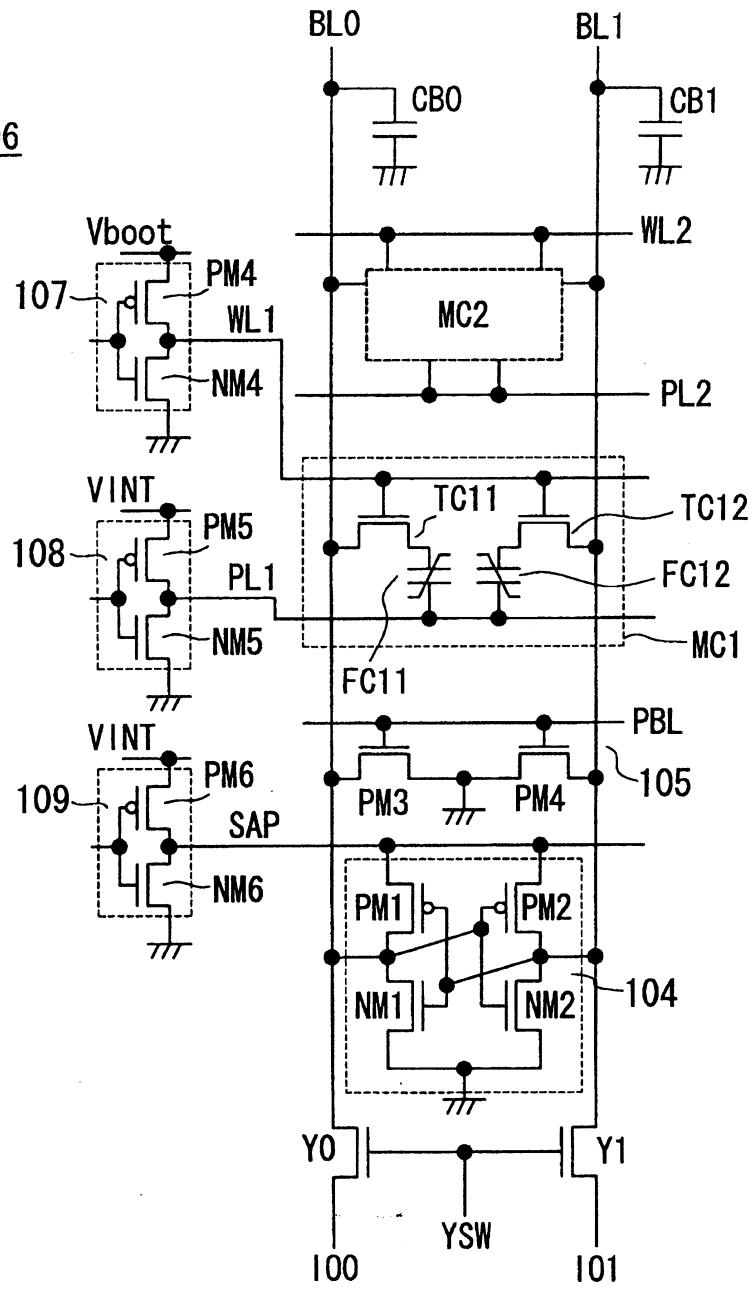


圖 2

91.3.20

圖式

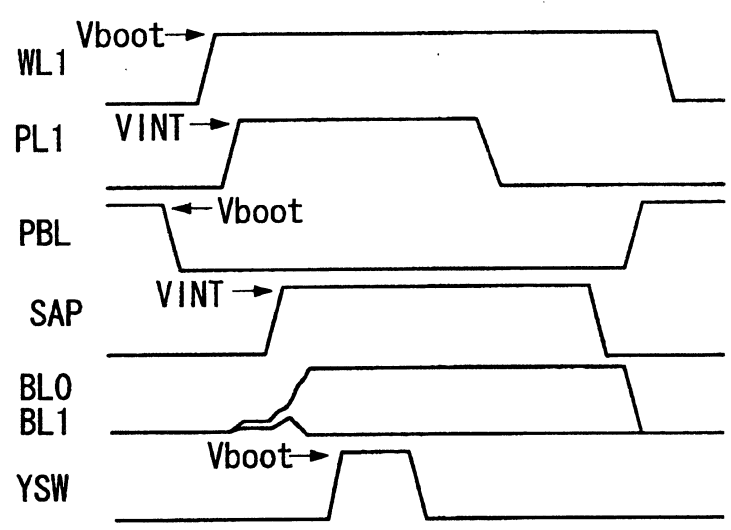


圖 3

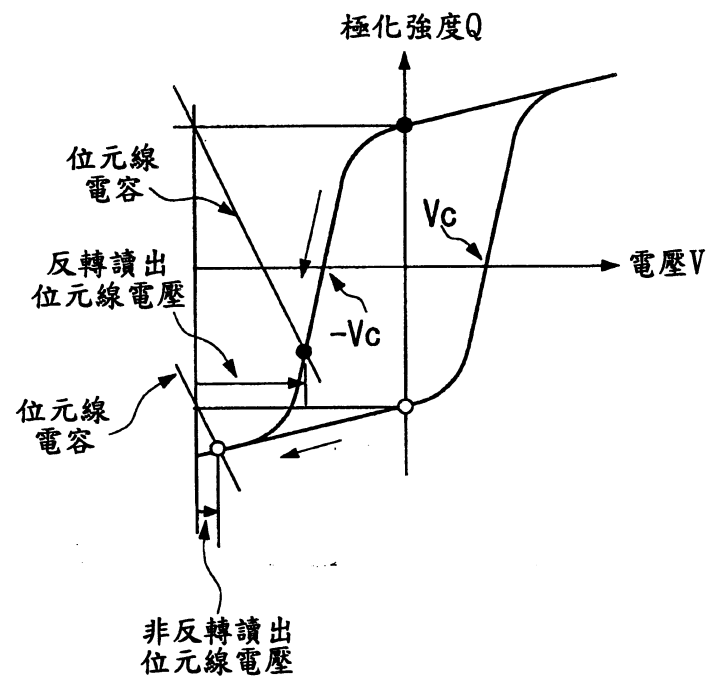


圖 5

修正補充

年 月 日

圖式

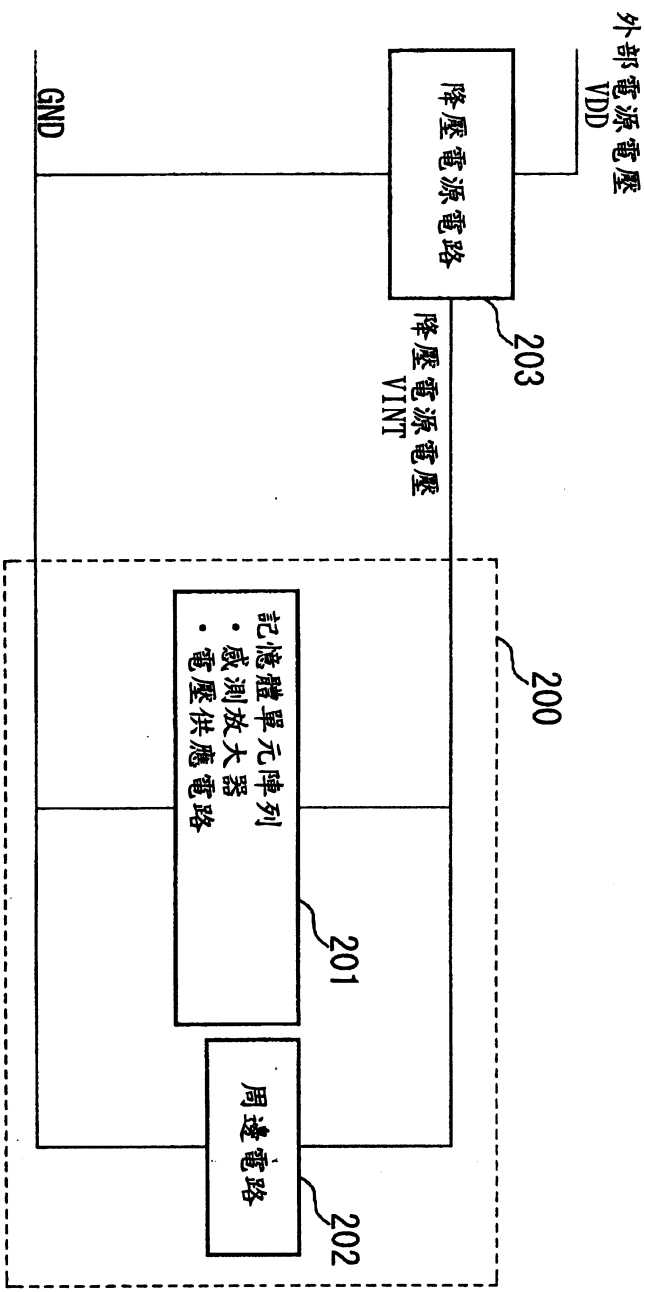


圖 4

修正
補充
年 月 日

圖式

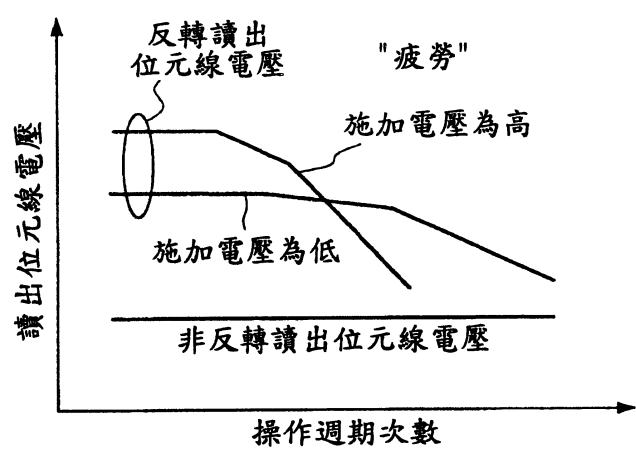


圖 6

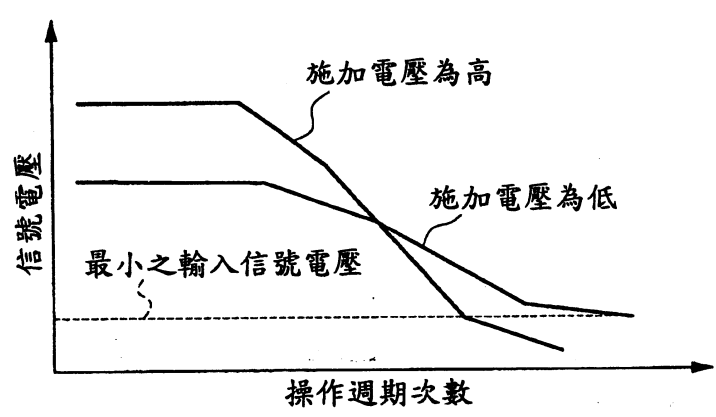


圖 7

第 1 頁
共 6 頁

圖式

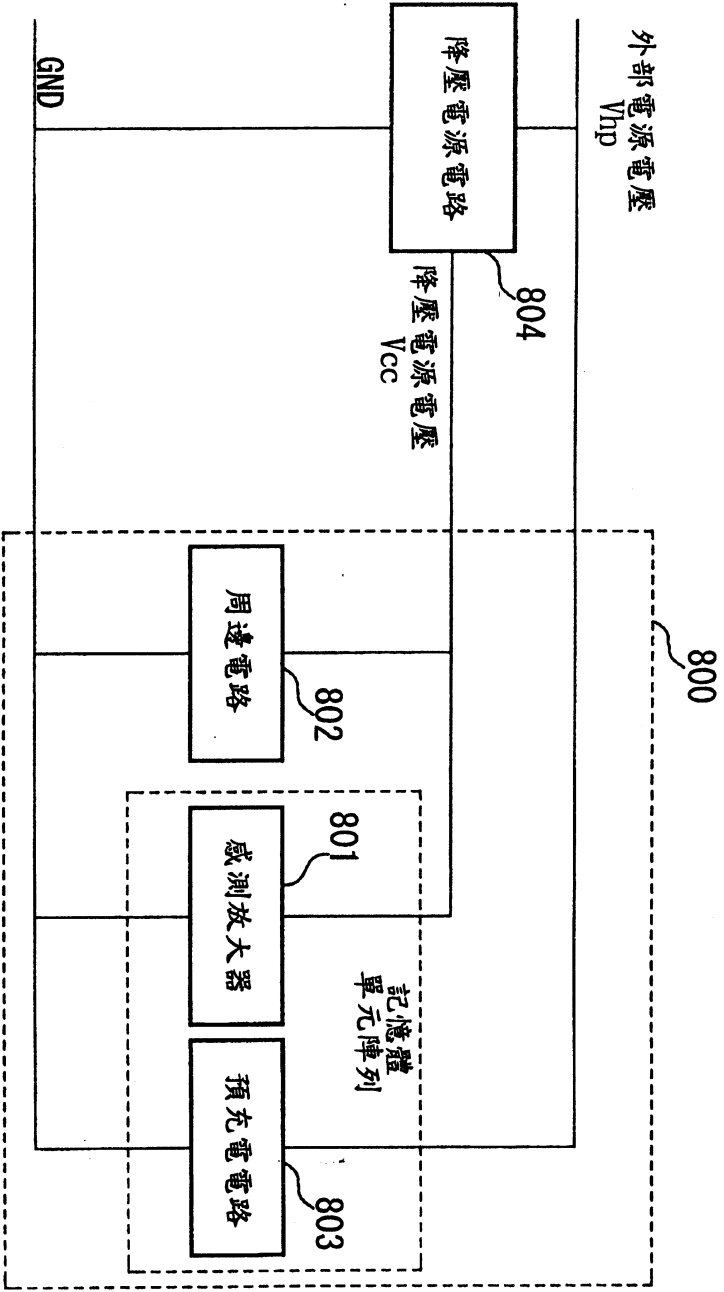


圖 8

圖式

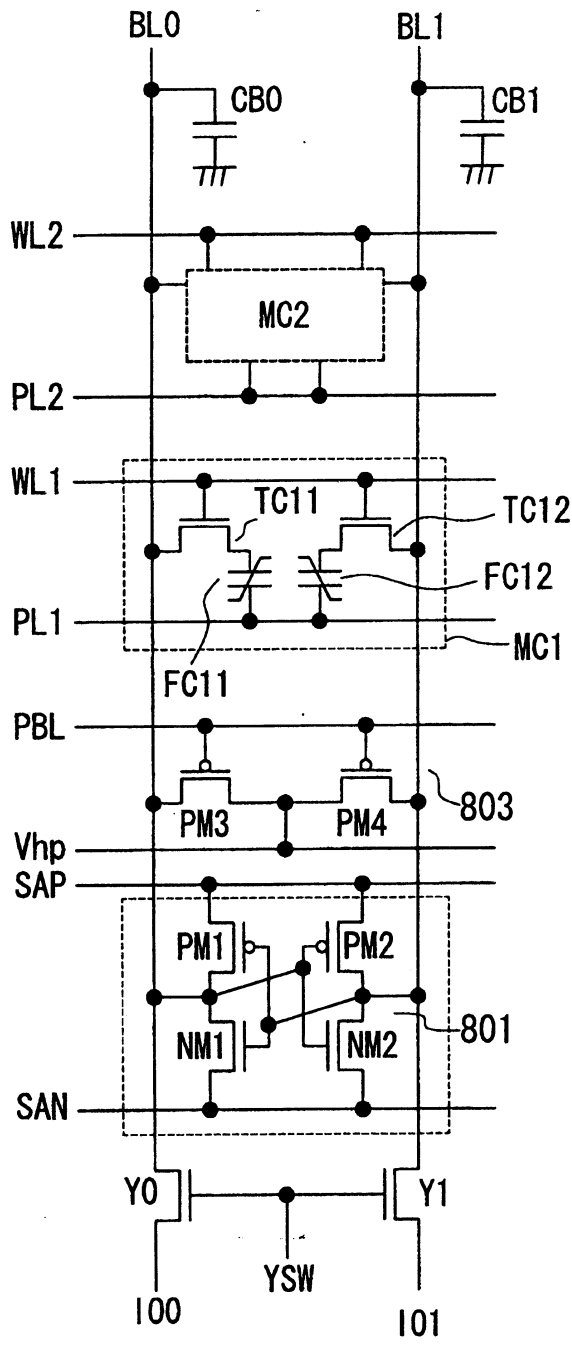


圖 9

圖式

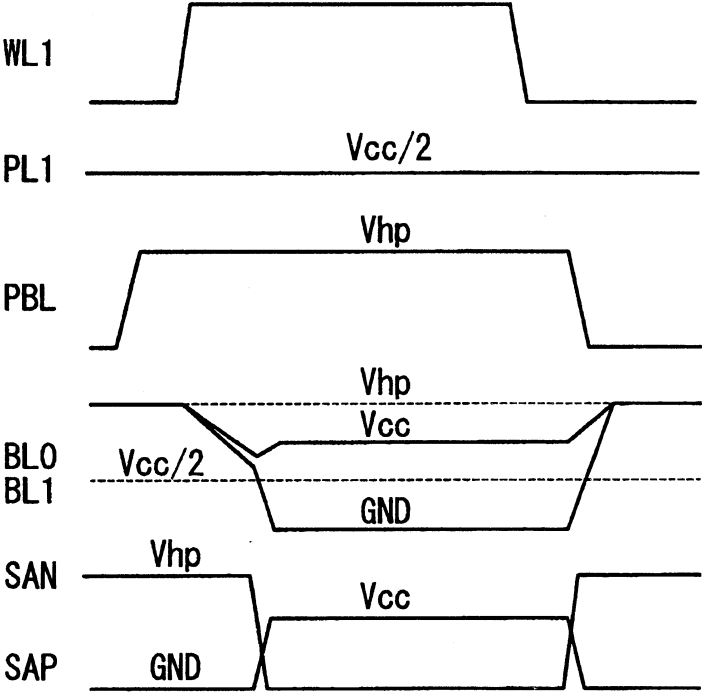


圖 10