

1:半導体基板  
2:活性領域  
4:ゲート絶縁膜  
12:多結晶シリコン層  
18:金属層

GM:ゲート電極  
LS:共通ソース線  
DC:ドレインコンタクト

## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、

この半導体基板の表面にゲート絶縁膜を介して形成されたゲート電極およびそのゲート電極の両側の前記半導体基板の表層部に形成されたソース／ドレイン領域を備えた複数のトランジスタと、

前記複数のトランジスタの隣接するソース領域の間を電氣的に共通に接続する共通ソース線と、

前記複数のトランジスタのドレイン領域に電氣的に接続するためのドレインコンタクトとを備え、

前記共通ソース線は、前記ソース領域と接触する部分に形成される多結晶シリコン層と、その上層に形成される金属層とから構成されていることを特徴とする半導体装置。

## 【請求項 2】

請求項 1 に記載の半導体装置において、

前記複数のトランジスタの隣接するゲート電極間の距離は、前記ソース領域が形成される部分よりも前記ドレイン領域が形成される部分の方が広く設定されていることを特徴とする半導体装置。

## 【請求項 3】

半導体基板の表層部に形成されたソース／ドレイン領域およびゲート絶縁膜を介して浮遊ゲート電極、ゲート間絶縁膜、制御ゲート電極を積層形成したメモリセルトランジスタがマトリクス状に配列され、各メモリセルトランジスタはソース領域、ドレイン領域のそれぞれを隣接するメモリトランジスタとの間で共有するように列状に配列されたセル列が素子分離領域を介して並べられた状態に配置形成された構成の NOR 型セルアレイと、

前記セル列の各メモリセルトランジスタのソース領域を前記素子分離領域を介して隣接するメモリセルトランジスタと共通に接続する共通ソース線と、

各メモリセルトランジスタのドレイン領域に電氣的に接続するためのドレインコンタクトとを備え、

前記共通ソース線は、前記ゲート電極を覆う絶縁膜に形成した溝内に前記半導体基板のソース領域と接触するように形成された多結晶シリコン膜層と、前記溝内を埋めるように前記多結晶シリコン層の上部に形成された導体層とから構成されていることを特徴とする半導体装置。

## 【請求項 4】

半導体基板に素子分離領域で帯状に区画した複数の活性領域を形成し、各活性領域にゲート絶縁膜を形成すると共にゲート電極を形成する工程と、

前記活性領域の表層で隣接する前記ゲート電極で挟まれた領域のソース領域に対応させる部分の前記ゲート絶縁膜を除去する工程と、

前記ゲート電極で挟まれた部分のソース領域に多結晶シリコン層を形成する工程と、

前記ゲート電極を覆うように絶縁膜を形成する工程と、

前記素子分離領域を介して隣接する前記ソース領域間を連結するように前記絶縁膜を溝状に開口すると共に、複数の前記ドレイン領域のそれぞれにコンタクトをとるためのコンタクトホールを前記絶縁膜に形成する工程と、

前記絶縁膜に形成した溝内および前記コンタクトホール内に導体層を埋め込み形成して共通ソース線およびドレインコンタクトを形成する工程とを備えたことを特徴とする半導体装置の製造方法。

## 【請求項 5】

請求項 4 に記載の半導体装置の製造方法において、

前記活性領域における隣接するゲート電極間の距離は、前記ソース領域が形成される部分よりも前記ドレイン領域が形成される部分の方を大きくなるように形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、複数のトランジスタのソース間を共通ソース線で電氣的に接続する構成の半導体装置に関する。

## 【背景技術】

## 【0002】

半導体装置として、例えばフラッシュメモリ装置においては、NAND型のものとNOR型のものが普及しているが、これらのうちNOR型のものは、多数のメモリセルトランジスタがマトリクス状に配置され、素子分離領域を挟んで隣接するもののソース間が電氣的に接続されるように共通ソース線が形成されている。また、それぞれのメモリセルトランジスタには、ドレインに対応して個別にドレインコンタクトが形成される。

10

## 【0003】

特許文献1は、そのような構成のNOR型フラッシュメモリ装置を示すものであるが、共通ソース線が溝状のコンタクトとして形成されるのに対して、ドレインコンタクトは円筒状のコンタクトとして形成される。一般的にはこれらと同じリソグラフィ処理工程で形成するので、その開口面積の違いからエッチング速度が異なる。

## 【0004】

これにより、共通ソース線のコンタクト形成が速く進むため、ドレインコンタクトを確実に形成するためにエッチング時間を増やすとソース領域が形成されているシリコン基板の表面がエッチングされてしまうことがある。この結果、コンタクトホール内に導体を埋め込んでシリサイドを形成する場合には、ソース領域を形成するジャンクション（pn接合）までシリサイドが進行するなどしてジャンクションリーク電流が増大してしまうことがある。

20

## 【0005】

これを防止するために共通ソース線およびドレインコンタクトのコンタクトホールの形成を別工程でリソグラフィを行うことも考えられるが、これでは工程数が増加してコストが上昇するので、採用することは難しい。

【特許文献1】特開2006-303009号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

30

## 【0006】

本発明は、複数のトランジスタのソース領域を共通に接続する共通ソース線を設けるためのコンタクトと、各トランジスタのドレイン領域に形成するドレインコンタクトとを同じリソグラフィ工程で実施し、しかもオーバーエッチングなどに起因したジャンクションリークの発生を極力防止することができるようにした半導体装置およびその製造方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0007】

本発明の一態様における半導体装置は、半導体基板と、この半導体基板の表面にゲート絶縁膜を介して形成されたゲート電極およびそのゲート電極の両側の前記半導体基板の表層部に形成されたソース／ドレイン領域を備えた複数のトランジスタと、前記複数のトランジスタの隣接するソース領域の間を電氣的に共通に接続する共通ソース線と、前記複数のトランジスタのドレイン領域に電氣的に接続するためのドレインコンタクトとを備え、前記共通ソース線は、前記ソース領域と接触する部分に形成される多結晶シリコン層と、その上層に形成される金属層とから構成されているところに特徴を有する。

40

## 【0008】

また、本発明の一態様における半導体装置の製造方法は、半導体基板に素子分離領域で带状に区画した複数の活性領域を形成し、各活性領域にゲート絶縁膜を形成すると共にゲート電極を形成する工程と、前記活性領域の表層で隣接する前記ゲート電極で挟まれた領域のソース領域に対応させる部分の前記ゲート絶縁膜を除去する工程と、前記ゲート電極

50

で挟まれた部分のソース領域に多結晶シリコン層を形成する工程と、前記ゲート電極を覆うように絶縁膜を形成する工程と、前記素子分離領域を介して隣接する前記ソース領域間を連結するように前記絶縁膜を溝状に開口すると共に、複数の前記ドレイン領域のそれぞれにコンタクトをとるためのコンタクトホールを前記絶縁膜に形成する工程と、前記絶縁膜に形成した溝内および前記コンタクトホール内に導体層を埋め込み形成して共通ソース線およびドレインコンタクトを形成する工程とを備えたところに特徴を有する。

【発明の効果】

【0009】

本発明によれば、共通ソース線がジャンクションリークを引き起こすことを防止することができるようになる。

【発明を実施するための最良の形態】

【0010】

以下、本発明をNOR型フラッシュメモリ装置に適用した場合の一実施形態について図1～図10を参照しながら説明する。なお、以下の図面の記載において、同一または類似の部分には同一または類似の符号で表している。ただし図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なる。

【0011】

先ず、本実施形態のNOR型フラッシュメモリ装置の構成を説明する。

図1は、フローティングゲート型のNOR型のフラッシュメモリ装置のメモリセル領域に形成されるメモリセルアレイの一部を示す等価回路図である。図2は、図1のNOR型フラッシュメモリセルアレイの一部を取り出してレイアウトの一例を示している。

【0012】

図1および図2に示すNOR型フラッシュメモリ装置のセルアレイは、半導体基板としてのシリコン基板1の表層部に形成されたウェル領域上にメモリセルトランジスタ $T_{rm}$ が行列状（行方向：X方向、列方向：Y方向）に配列されて構成されている。各メモリセルトランジスタ $T_{rm}$ は、ウェル領域に形成された活性領域（ソース・ドレイン用の拡散層およびチャネル領域）2を有し、ウェル領域上にゲート絶縁膜を介して二層ゲート構造（フローティングゲートの上にゲート間絶縁膜を介してコントロールゲートが形成された構造）を有するゲート電極GMを備えている。

【0013】

上記NOR型のセルアレイでは、隣り合う2個で1組をなすメモリセルトランジスタ $T_{rm}$ がそれぞれのドレイン領域Dを共有し、隣り合う2組のメモリセルトランジスタ $T_{rm}$ がそれぞれのソース領域Sを共有し、メモリセルトランジスタ $T_{rm}$ のY方向に並んだ各列の間がトレンチ型の素子分離領域であるSTI（shallow trench isolation）領域3で分離されている。

【0014】

そして、セルアレイ上で同一行のメモリセルトランジスタ $T_{rm}$ のコントロール電極に共通に連なるように複数のワード線WLがX方向（行方向）に配設され、同一行のメモリセルの各ソース領域Sに共通に接続された金属配線からなる共通ソース線としての複数のローカルソース線LSがX方向（行方向）に配設されている。

【0015】

また、セルアレイ上で同一列のメモリセルトランジスタ $T_{rm}$ のドレイン領域Dに共通にコンタクトするように金属配線からなる複数のビット線BLがY方向（列方向）に配設され、複数のローカルソース線LSに共通にコンタクトする金属配線からなる複数のソース線（メインソース線）MSがビット線BL配列内で間欠的にY方向（列方向）に配設されている。

【0016】

上記したように隣り合う2個のメモリセルトランジスタ $T_{rm}$ で共有するドレインDは、ドレインコンタクトDCを介して低抵抗のビット線BLに繋がっている。また、隣り合う2個のメモリセルトランジスタ $T_{rm}$ で共有するソースSは、ワード線WL間でワード

10

20

30

40

50

線WLと平行して存在するローカルソース線LSに繋がっており、このローカルソース線LSはソース線コンタクトを介して低抵抗のメインソース線MSに繋がり、セルアレイ外部から電位が与えられる。

#### 【0017】

上記構成のNOR型フラッシュメモリは、メモリセルトランジスタにデータを書き込むためにチャネルホットエレクトロン注入を用いて浮遊ゲート電極へ電子注入を行う時、メモリセルトランジスタTrmのソースSとウェル領域には接地電位を与える。そして、制御ゲートとドレインDに対してはホットエレクトロンの発生効率が最大となるような所望の電位を、それぞれ対応してワード線WLとビット線BLを介して外部回路から与える。

#### 【0018】

図3は図2中A-A線で示す部分の縦断面を示すもので、活性領域2の長手方向に沿った部分のゲート電極GM、ドレインコンタクトDCおよびローカルソース線LSの断面を示している。シリコン基板1の表面にはゲート絶縁膜としてのシリコン酸化膜4を介してゲート電極GMが所定間隔で形成されている。ゲート電極GMは、下層から浮遊ゲート電極用の多結晶シリコン膜5、ゲート間絶縁膜としてのONO (Oxide-Nitride-Oxide) 膜6、制御ゲート電極用の多結晶シリコン膜7、8、WSi (タングステンシリサイド) 膜9、シリコン酸化膜10が順次積層された構成である。

#### 【0019】

シリコン基板1の表層には、ドレイン領域Dに対応して不純物拡散領域1aが形成され、ソース領域Sに対応して不純物拡散領域1bが形成されている。ドレイン領域DはLD (lightly doped drain) 構造を採用しており、高濃度不純物拡散領域1cが形成されている。

#### 【0020】

ゲート電極GMの上面、側面およびゲート電極GM間の一部にはTEOS酸化膜などからなるシリコン酸化膜11が形成されている。シリコン酸化膜11は、ドレイン領域Dの高濃度不純物拡散領域1cの部分が開口され、ソース領域Sの部分は除去されている。

#### 【0021】

シリコン基板1のソース領域Sの表面から所定高さまで多結晶シリコン層12が埋め込み形成されている。ゲート電極GMの上面、側面、ゲート電極GM間のシリコン酸化膜11の表面および多結晶シリコン層12の上面で中央部を除いた部分にシリコン窒化膜13が形成されている。シリコン窒化膜13は、コンタクト形成用のストップ膜として機能する。ゲート電極GMの上面およびゲート電極GM間には層間絶縁膜としてシリコン酸化膜14が埋め込み形成されている。

#### 【0022】

シリコン酸化膜14は、シリコン基板1のソース領域Sの部分に対応してローカルソース線LSを形成するための溝15が形成されると共に、ドレインコンタクトDCを形成するためのコンタクトホール16が形成されている。溝15は、前述のようにSTI領域3を介して隣接するソース領域S間を電氣的に接続するために形成されているもので、その深さは多結晶シリコン層12の表面まで達する。コンタクトホール16は、シリコン基板1のドレイン領域Dの表面に達する位置まで形成されており、この部分ではシリコン窒化膜13、第3のシリコン酸化膜11および第1のシリコン酸化膜4も除去されている。

#### 【0023】

ローカルソース線LSは、溝15内の底面および側壁に接するように形成されたバリアメタル層としてのチタン (Ti) 膜17およびその内側を埋めるように形成された金属層であるタングステン (W) 膜18から構成される。ドレインコンタクトDCは、同様に、コンタクトホール16内の底面および側壁に接するように形成されたバリアメタル層としてのチタン (Ti) 膜19およびその内側を埋めるように形成されたタングステン (W) 膜20から構成される。

#### 【0024】

上記構成において、ローカルソース線LSは、その下端部が多結晶シリコン層12を介

10

20

30

40

50

してソース領域Sと接するように構成されている。この構成により、シリサイド形成時には、チタン膜17は、多結晶シリコン層12とシリサイド反応を起こすようになり、チタン膜17とシリコン基板1との直接のシリサイド反応を防止し、この結果、シリサイドがソース領域Sの接合を突き抜けるといった不具合が発生しないようにすることができ、ジャンクションリーク電流の発生を抑制することができる。

#### 【0025】

次に、上記構成の製造工程について説明する。図4ないし図10は、NOR型フラッシュメモリ装置の製造工程を概略的に示すもので、図2中、活性領域2の方向(Y方向)に沿った断面を示している。また、以下の説明においては、ローカルソース線LSおよびドレインコンタクトDCの形成工程を中心として説明し、その他の工程については簡単に説明する。

10

#### 【0026】

まず、図3において、シリコン基板1に、必要なウェルを形成した後、ゲート絶縁膜である第1のシリコン酸化膜4を形成し、その上に浮遊ゲート電極用の多結晶シリコン膜5およびハードマスクなどを形成した状態で、トレンチを形成し、そのトレンチ内に絶縁膜を埋め込んで素子分離領域であるSTI領域3を形成する。続いて、ゲート電極GMの残りの層構造として、ゲート間絶縁膜としてのONO膜6、制御ゲート電極としての多結晶シリコン膜7、8、タングステンシリサイド(WSi)膜9および第2のシリコン酸化膜10を形成し、エッチング処理により分離形成している。この状態で、ソース領域Sおよびドレイン領域Dに対応する部分にイオン注入により不純物を導入して不純物拡散領域1a、1bを形成する。そして、分離形成されたゲート電極GMの上面、側面およびソース領域S、ドレイン領域Dのそれぞれを覆うように全面に第3のシリコン酸化膜11を形成して図4の状態となる。

20

#### 【0027】

次に、図5に示すように、フォトリソグラフィ処理によりフォトレジスト21を塗布してローカルソース線LSが形成されるソース領域Sの部分が露出するように開口部21aをパターンニングする。フォトレジスト21をマスクとしてRIE(reactive ion etching)処理により開口された部分のシリコン酸化膜11および4を除去し、シリコン基板1の表面を露出させた状態とする。ここで、シリコン基板1の活性領域2とこの後形成する多結晶シリコン層12との間のコンタクト抵抗を低減させるために必要があれば不純物注入を行っておく。

30

#### 【0028】

次に、図6に示すように、フォトレジスト21を除去した後に、ドレイン領域Dに対応してゲート電極GMの側壁にスペーサ12aの形成を行う。スペーサ12aの形成には、多結晶シリコン膜を使用する。まず、ゲート電極GMの上面を覆うように全面に渡って多結晶シリコン膜を堆積させ、この後、RIE処理を行うことによりエッチバックして通常のスペーサ形状を形成する。

#### 【0029】

このとき、ゲート電極GMの配置間隔が、ドレイン領域Dに対応する部分がソース領域Sに対応する部分よりも広く設定されており、形成する多結晶シリコン膜の膜厚は、ドレイン領域D側はスペーサ12aを形成するのに適すると共に、ソース領域S側では多結晶シリコン膜が完全に埋まった状態となるように設定されている。

40

#### 【0030】

この結果、図6に示すように、エッチングの進行と共にドレイン領域D側ではゲート電極GMの側壁部にスペーサ12aが形成され、ソース領域S側ではゲート電極GM間に多結晶シリコン膜12bが埋め込まれた状態となる。なお、図示の状態では、ソース領域S側においては、埋め込まれた多結晶シリコン膜12bの中央部が窪んだ状態に形成されている。そして、スペーサ12aを利用してイオン注入を行うことで、ドレイン領域D側にLDD構造を構成する高濃度不純物拡散領域1cを形成する。

#### 【0031】

50

次に、図 7 に示すように、C D E (chemical dry etching) 処理により、スペーサ 1 2 a を構成している多結晶シリコン膜を除去する。このときの C D E 処理の条件は、ドレイン領域 D 側では多結晶シリコン膜が完全に除去された状態となり、ソース領域 S 側では多結晶シリコン膜は完全に除去されずに、図示のように多結晶シリコン層 1 2 が残る状態とする。

#### 【0032】

続いて、図 8 に示すように、ゲート電極 G M およびドレイン領域 D、ソース領域 S の表面に全面にバリア膜としてのシリコン窒化膜 1 3 を形成する。このシリコン窒化膜 1 3 は、溝 1 5 およびコンタクトホール 1 6 を形成する際のエッチングストップとしても機能するものである。

10

#### 【0033】

次に、図 9 に示すように、ゲート電極 G M を覆うように P M D (pre metal dielectric) として第 4 のシリコン酸化膜 1 4 を形成する。ここでは、一度に厚いシリコン酸化膜 1 4 を形成する場合で示しているが、一旦ゲート電極 G M を覆うようにシリコン酸化膜を形成して C M P (chemical mechanical polishing) 処理により研磨を行い、シリコン窒化膜 1 3 をストップとして平坦化し、この後、さらにシリコン酸化膜を堆積して図示のように形成することもできる。

#### 【0034】

続いて、フォトリソグラフィ処理によりソース領域 S およびドレイン領域 D のそれぞれに対して溝 1 5 およびコンタクトホール 1 6 のパターンを形成し、レジストをマスクとしてエッチング処理を行う。このエッチング処理では、溝 1 5 の開口面積が大きく、コンタクトホール 1 6 の開口面積が小さいので、溝 1 5 のエッチングが早く進行し、先にシリコン窒化膜 1 3 が露出するようになる。シリコン酸化膜のエッチングの選択比を高くした条件でエッチングを行うことで、シリコン窒化膜 1 3 をストップとしてエッチングをすることができ、これによって、コンタクトホール 1 6 が確実にエッチング形成される。そして、レジストを除去した後、シリコン窒化膜 1 3、シリコン酸化膜 1 1、4 をエッチングすることで図示のように、ドレイン領域 D においてはシリコン基板 1 の表面を露出させ、ソース領域 S においては多結晶シリコン層 1 2 の表面を露出させた状態となる。

20

#### 【0035】

この後、前述の図 3 に示すように、バリア金属膜としてチタン膜を成膜し、続いてタングステン膜を成膜することで、溝 1 5 の内面にチタン膜 1 7、その内側にタングステン膜 1 8 を形成し、コンタクトホール 1 6 の内面にチタン膜 1 9、その内側にタングステンプラグ 2 0 を形成する。この後、C M P 処理により平坦化を行って図示のように、ローカルソース線 L S およびドレインコンタクト D C を形成する。

30

#### 【0036】

なお、コンタクトの形成の際に行う熱処理でチタン膜 1 7、1 9 とシリコン基板 1 あるいは多結晶シリコン層 1 2 とがシリサイド反応をおこしてシリサイド層が形成されるが、ローカルソース線 L S は多結晶シリコン層 1 2 との間でシリサイドを形成するので、ソース領域 S のジャンクションリークを増大させることを防止できる。

#### 【0037】

このような本実施形態によれば、ソース領域 S の表面に多結晶シリコン層 1 2 を設ける構成としたので、溝 1 5 内にローカルソース線 L S を形成した場合に、シリサイドがジャンクションを越えて進行することをなくし、これによってジャンクションリークが増大するなどの不具合を回避することができる。そして、これによって、ローカルソース線 L S の溝 1 5 とドレインコンタクト D C のコンタクトホール 1 6 とを同じリソグラフィ工程により実施することができる。

40

#### 【0038】

(他の実施形態)

本発明は、上記実施例にのみ限定されるものではなく、次のように変形または拡張できる。

50

## 【0039】

多結晶シリコン層12は、チタン膜17とシリサイドを形成したときにシリコン基板1に達しない程度の膜厚（深さ）よりも厚い膜厚であれば適宜の膜厚に設定することができる。

## 【0040】

ゲート電極GM間の距離は、ドレイン領域Dとソース領域Sとで、スペーサ12aの形成と埋め込みの多結晶シリコン膜12bとを形成することができる適宜の間隔寸法に設定することができる。同様に、多結晶シリコン層12を形成するときに用いる多結晶シリコン膜の膜厚についても同様の理由で、上記の条件を満たすことができれば適宜の膜厚に設定することができる。

10

## 【0041】

多結晶シリコン層12への不純物導入は、必要に応じて適宜の濃度で設定することができる。

制御ゲート電極となる多結晶シリコン膜7および8は2層に分けて形成しているが、1層で形成することもできる。

## 【図面の簡単な説明】

## 【0042】

【図1】本発明の一実施形態を示すNOR型フラッシュメモリ装置のメモリセルアレイの一部を示す等価回路図

【図2】メモリセル領域の一部のレイアウトパターンを示す模式的な平面図

20

【図3】図2における切断線A-Aで示す部分の断面図

【図4】製造工程の一段階における模式的な断面図（その1）

【図5】製造工程の一段階における模式的な断面図（その2）

【図6】製造工程の一段階における模式的な断面図（その3）

【図7】製造工程の一段階における模式的な断面図（その4）

【図8】製造工程の一段階における模式的な断面図（その5）

【図9】製造工程の一段階における模式的な断面図（その6）

【図10】製造工程の一段階における模式的な断面図（その7）

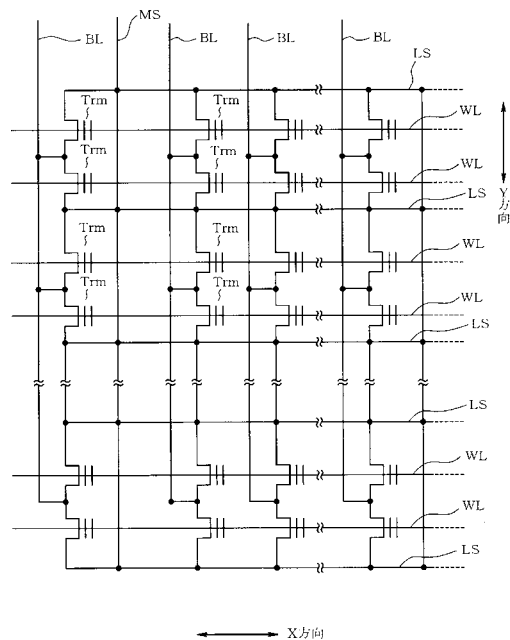
## 【符号の説明】

## 【0043】

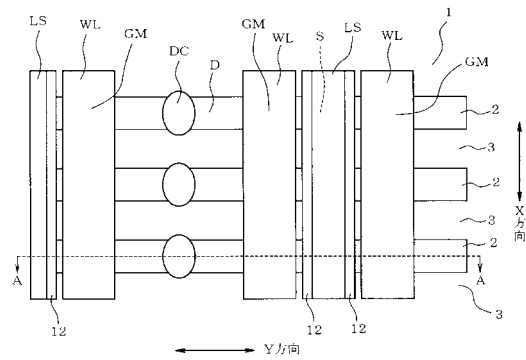
30

図面中、1はシリコン基板（半導体基板）、2は活性領域、3はSTI領域（素子分離領域）、4は第1のシリコン酸化膜（ゲート絶縁膜）、12は多結晶シリコン層、15は溝、16はコンタクトホール、GMはゲート電極、LSはローカルソース線（共通ソース線）、DCはドレインコンタクトである。

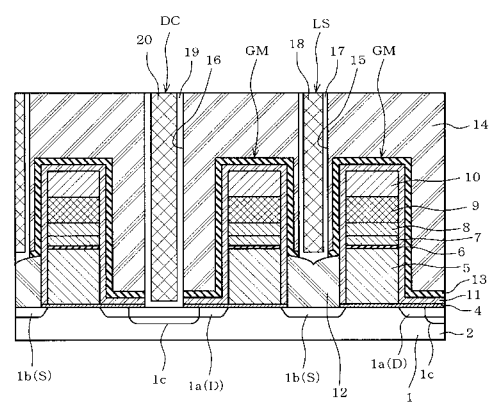
【図 1】



【図 2】

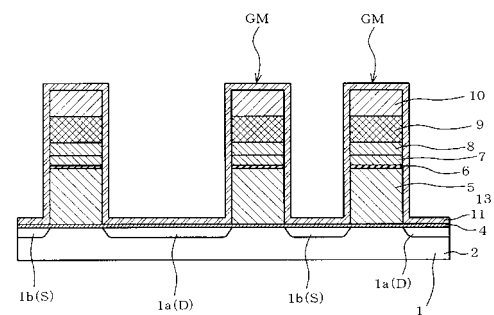


【図 3】

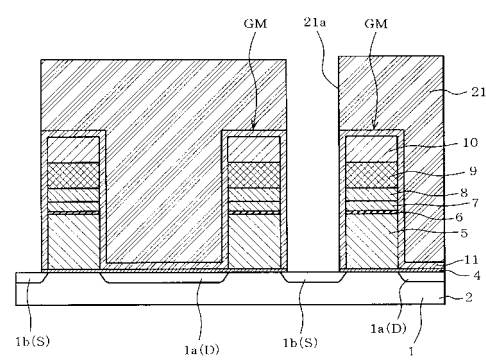


1: 半導体基板  
2: 活性領域  
4: ゲート絶縁膜  
12: 多結晶シリコン層  
18: 金属層  
GM: ゲート電極  
LS: 共通ソース線  
DC: ドレインコンタクト

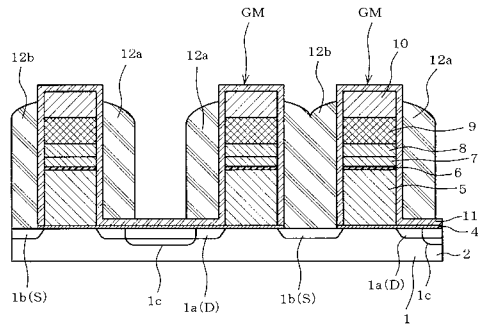
【図 4】



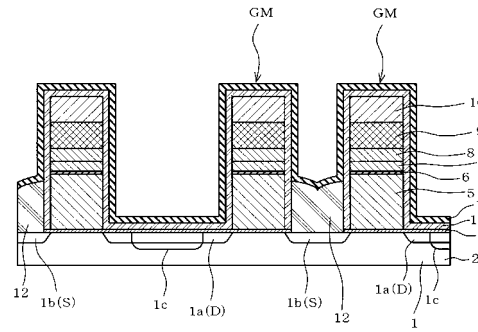
【図 5】



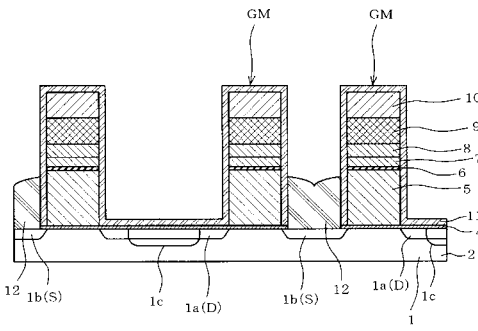
【図 6】



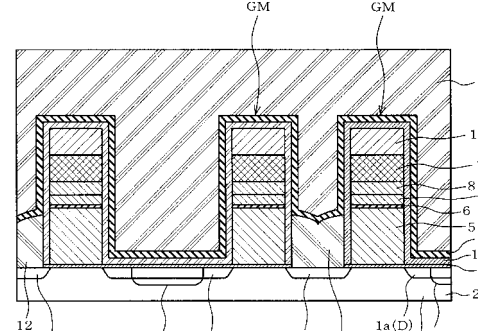
【図 8】



【図 7】



【図 9】



【図 10】

