(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/22

(45) 공고일자 2001년04월02일
(11) 등록번호 10-0279106
(24) 등록일자 2000년10월27일

(21) 출원번호	10-1996-0032442	(65) 공개번호	특1997-0013013
(22) 출원일자	1996년08월03일	(43) 공개일자	1997년03월29일
(30) 우선권주장	95-219559 1995년08월04일 일본(JP) 95-233305 1995년08월18일 일본(JP)		

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼 야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자 야마자끼 순페이
일본국 157 도쿄 세타가야쿠 세이조 4-10-20
(74) 대리인 황의만

심사관 : 김종진

(54) 반도체 장치의 제작방법

요약

규소의 결정화를 촉진시키는 금속 원소인 니켈을 사용하여 비정질 규소막을 결정성 규소막으로 결정화시킨 후, 이 결정성 규소막을 사용하여 박막트랜지스터를 제작한다. 즉, 규소의 결정화를 촉진시키는 니켈을 함유하는 용액(일례로 니켈 아세테이트 용액)을 스핀 코팅법에 따라 비정질 규소의 표면과 접촉되게 도포하고, 그 뒤에 비정질 규소막을 결정성 규소막으로 결정화시키도록 가열처리를 행한다. 이러한 상태에서, 니켈 실리사이드 성분이 플루오르화수소산, 과산화수소 그리고 물을 함유하는 용액을 사용하여 제거된다.

대표도

도1a

명세서

도면의 간단한 설명

제1(a)도 내지 제1(e)도는 결정성 규소막의 제작공정을 도시하는 도면.

제2(a)도 내지 제2(f)도는 결정성 규소막을 사용하여 박막트랜지스터를 제작하는 공정을 도시하는 도면.

제3(a)도 내지 제3(c)도는 결정성 규소막의 표면 상태를 도시하는 도면.

제4(a)도 내지 제4(f)도는 결정성 규소막의 제작 공정을 도시하는 도면.

제5(a)도 내지 제5(f)도는 결정성 규소막의 제작 공정을 도시하는 도면.

제6(a)도 내지 제6(f)도는 결정성 규소막의 제작 공정을 도시하는 도면.

제7도는 박막트랜지스터의 특성예를 도시하는 도면.

제8(a)도 내지 제8(d)도는 결정성 규소막을 사용하여 박막트랜지스터를 제작하는 공정을 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

101 : 기판	102 : 산화 규소막
103 : 비정질규소막	104 : 니켈함유막
105 : 결정성 규소막	115 : 미세 양극산화막
116 : 게이트전극	117 : 다공성 양극산화막
118 : 양극산화막	119 : 게이트절연막
120 : 소스영역	121,123 : 저농도불순물영역
124 : 드레인영역	125 : 층간절연막
126 : ITO전극	127 : 소스전극배선

128 : 드레인전극배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 박막 반도체 및 박막 반도체를 사용하는 반도체 장치 제작 방법에 관한 것이다. 박막 트랜지스터 또는 박막 다이오드가 본 명세서에 개재된 본 발명이 적용되는 박막 반도체를 사용하는 장치로서 주어질 수 있다.

지금까지, 최대로 약 700℃의 유리 변형점을 갖는 유리 기판 또는 수정 기판의 표면상에 기상법 등을 사용하여 박막 반도체를 형성하고 상기 박막 반도체를 사용하는 박막 트랜지스터 제작 기술이 공지되어 있다. 또한, 박막 반도체로서 비정질 규소막 또는 결정성 규소막을 사용하는 기술도 공지되어 있다.

특히, 결정성 규소막을 사용하는 방법에 따르면 고특성을 얻을 수 있다. 결정성 규소막을 제작하는 방법으로 플라즈마 CVD법 또는 저압열 CVD법을 통해 유리기판 또는 수정 기판상에 형성된 비정질 규소막을 가열시킴으로써 결정화시키는 방법이 공지되어 있다.

또한, 가열 온도를 낮추는 방법으로는, 일본 특허 공개 공보 제 평6-244104호에 기재된 기술을 들 수 있는데, 이 기술은 규소의 결정화를 촉진시키는 금속 원소인 니켈, 백금 등을 사용하여 비정질 규소막의 결정화에 요구되는 가열 온도 및 가열 시간을 낮추는 것이다.

상기 방법을 사용하여 형성된 박막트랜지스터는 고특성을 가질 수 있으나, 다음과 같은 문제점을 내포하고 있다.

즉, 형성된 박막트랜지스터의 특성의 분산이 크다.

형성된 박막트랜지스터의 특성이 열화되기 쉽다.

오프-전류값이 크다.

상술한 문제점들은 대부분 소스와 채널간의 접합부, 드레인과 채널간의 접합부 또는 이들 접합부의 부근에 존재하는 금속 실리사이드에 기인하는 것으로 생각된다.

발명이 이루고자 하는 기술적 과제

본 발명은 얻어진 박막트랜지스터의 특성의 분산이 크며, 쉽게 열화되고 또한 오프-상태 진류값이 커지는 문제점을 해결하기 위해 이루어진 것이다.

제3(a)도 내지 제3(c)도는 규소의 결정화를 촉진시키는 금속 원소인 니켈을 사용하여 가열처리함으로써 결정화된 두께 500Å의 결정성 규소막의 표면을 FPM으로 에칭한 상태를 나타낸 것이다. 제3(a)도 내지 제3(c)도에 도시된 것은 전자현미경으로 550℃, 600℃, 640℃에서 가열한 결정성 규소막의 표면 사진들이다. 3개의 사진들은 대표적인 상태들을 도시하는 것이다. 여기서, 주지할 점은 가열 처리 기간은 4시간으로 설정되었으며, 주입되는 니켈의 양은 각 사진들 사이에서 서로 동일하게 되어 있었다는 것이다. 또한, 니켈의 주입 방법으로서, 스핀 코팅법을 통해 비정질 규소막의 표면상에 니켈 아세테이트 용액을 코팅하는 방법이 사용되었다.

또한, FPM은 플루오르화수소산과 과산화수소의 혼합 용액으로서, 본 실시예의 경우에는 플루오르화수소산, 과산화수소 그리고 물을 0.5 : 0.5 : 99의 비로 혼합한 용액을 사용하였다. 에칭 시간은 10분으로 설정하였다.

제3도에 구멍으로 표시된 지역은 FPM에 의해 니켈 실리사이드가 제거된 영역을 나타낸다. 이것은 니켈을 사용하지 않은 상태에서 단순히 가열에 의해 얻어진 결정성 규소막의 표면을 비교 관찰하여 얻은 결론이다.

제3도에 도시된 사실에 따라 니켈을 사용하여 가열 처리함으로써 형성된 결정성 규소막의 특정 영역에 니켈 실리사이드가 집중된다는 것이 추정된다.

니켈 실리사이드는 금속성을 나타내기 때문에, 상술한 요인들이 유발시킨다.

형성된 박막 트랜지스터의 특성의 분산이 크다.

오프-전류값이 크다.

특히, 니켈 실리사이드는 상기한 니켈 실리사이드 영역의 직경(그 영역이 입자로서 간주될 정도의 직경)이 대략 100Å 이상일 때 영향을 미친다.

그러나, 니켈 실리사이드가 사용되는 본 실시예에서, 다른 금속 원소을 사용할 때와 유사한 상태가 얻어지는 것으로 추정된다.

본 발명은 상술한 바와 같은 여건과 관련하여 이루어진 것으로, 본 발명의 목적은 니켈 실리사이드원소(금속 실리사이드원소)의 영향을 제거하도록 그 니켈실리사이드원소을 선택적으로 제거하여, 형성되는 반도체 장치의 특성 및 안정성을 개선시키는 것이다.

상술한 문제점들을 해결하기 위해, 본 발명의 일면에 따라, 비정질 규소막과 규소의 결정화를 촉진시키는

금속 원소을 접촉되게 배치하는 단계; 열처리를 통해 비정질 규소막을 결정화시키는 단계; 규소막으로부터 실리사이드 원소를 선택적으로 제거하는 단계를 포함하는 반도체 장치의 제작 방법이 제공된다.

본 발명의 다른 양상에 따르면, 규소의 결정화를 촉진시키는 금속 원소을 비정질 규소막과 접촉되게 배치하는 단계; 결정성 규소막에 실리사이드 영역을 형성하면서 결정성 규소막을 얻도록 가열치리로써 비정질 규소막을 결정화시키는 단계; 실리사이드 영역을 선택적으로 제거하는 단계를 포함하는 반도체 장치의 제작 방법이 제공된다.

본 명세서에 기재된 본 발명에 있어서, 결정화될 출발막의 형성 방법에 주목해야 한다. 상기 출발막은 수소의 함량 밀도가 가능한 낮은 비정질 규소막으로 구성하는 것이 바람직한데, 그 이유는 수소 함량 밀도가 높으면 규소 영역이 이동하여 이탈하게 되며, 그 결과 결정성 규소막의 표면이 거칠어지게 되기 때문이다.

본 발명자의 경험에 의하면, 출발막으로서 플라즈마 CVD법을 통해 형성된 비정질 규소막을 사용하는 경우에, 비정질 규소막은 상술한 바와 같이 거칠어지게 되는데, 그 이유는 플라즈마 CVD법으로 형성한 비정질 규소막에 다량의 수소가 함유되기 때문이다.

이러한 문제점을 해소하기 위해, 플라즈마 CVD법을 통해 형성된 비정질 규소막에 대해 450 내지 600℃에서 약 1 내지 4시간 동안의 가열처리를 행하며, 이에따라 막 내의 수소가 외부로 충분히 방출되게 된다. 수소를 방출시키도록 행해지는 상기 가열치리는 비정질 규소막이 결정화되지 않게 하는 조건하에서 행해질 필요가 있다.

또한, 디실란(Si_2H_6)을 원료 가스로 LPCVD(저압열 CVD)법으로 형성된 비정질 규소막을 사용하는 것이 가능하다. LPCVD법을 통해 형성된 비정질 규소막은 근본적으로 막내의 수소 함량이 적기 때문에, 상술한 결정화에 의해 야기되는 문제점들을 해소시킬 수 있다.

본 명세서에 기재된 본 발명의 경우에는, 형성된 결정성 규소막의 두께가 1,000Å 이하인 것이 바람직한데, 그 이유는 막이 두꺼운 경우에는 막 내부에 존재하는 실리사이드 성분을 노출되지 않게 제거하는 것이 어렵기 때문이다. 이 막두께의 하한은 출발막이 얼마나 밟게 형성될 수 있느냐에 따라 결정된다는 것을 주지하기 바란다. 일반적으로 비정질 규소막을 100Å 이하로 균일하게 형성시키는 것이 어렵기 때문에 상기 막두께의 하한은 100Å로 한다.

비정질 규소막의 두께는 결정화된 비정질 규소막이 크게 변화되지 않기 때문에, 결정성 규소막의 두께를 상기 비정질 규소막의 두께로 간주할 수 있을 것이다. 그 결과, 출발막을 형성하는 비정질 규소막의 두께는 100 내지 1,000Å로 설정하는 것이 바람직하다.

또한, 레이저 빔의 조사에 의해 어닐링 효과를 얻을 수 있게 하는 경우와 유사하게, 비정질 규소막의 두께를 100 내지 1,000Å로 설정하는 것이 바람직하다.

상기 규소막의 표면은 레이저 빔의 조사로 인해 거칠어지기 때문에, 균일한 거침도(roughness)를 얻는 경우의 막두께를 평균 두께로 대강 예측하게 된다는 것을 주지하기 바란다.

또한, 가열치리 온도는 450 내지 1,100℃로 선택할 수 있다. 특히, 높은 결정도를 얻는다는 관점에서 높은 온도, 즉 800℃이상으로 온도를 설정하는 것이 유용하다. 그러나, 가열 온도는 사용되는 기판의 열저항을 고려하여 결정해야 한다.

또한 본 명세서에 기재된 본 발명은, 실리사이드 영역의 대략 직경이 100Å이상인 경우 큰 효과가 얻어질 수 있는데, 그 이유는 실리사이드 영역의 크기가 약100Å 이상의 직경에 해당하는 경우 현저한 영향력이 있기 때문이다. 실리사이드영역을 선택적으로 제거시키는 에칭제로서 플루오르화 수소산을 주원소으로 하는 용액이 주로 사용될 수 있다. 금속 실리사이드의 에칭 비율이 규소의 에칭 비율보다 큰 용액을 사용하는 것도 가능하다.

본 명세서에 기재된 본 발명에 있어서, 규소의 결정화를 촉진시키는 금속 원소는 Fe, Co, Ni, Ru, Rh, Pd, Os, Ir, Pt, Cu 및 Au로 부터 선택된 일종 또는 다종의 원소일 수 있다. 또한 금속 원소들은 최종 잔류 농도가 1×10^{15} 내지 5×10^{19} 원자 cm^{-3}으로 될 필요가 있다.

또한, 상기 금속 원소를 주입하는 방법으로서, 금속 원소를 함유하는 용액을 사용하는 방법이 바람직하다. 상기 용액을 사용하는 방법은 금속 원소를 막 형태로 제공할 수 있기 때문에 금속 원소를 비정질 규소막의 표면과 균일하게 접촉 유지시킬 수 있는 유용성이 있다.

또한, 상기 방법은 금속 원소의 밀도를 쉽게 조정할 수 있다는 현저한 특징을 가지고 있다. 규소막 내에서의 규소의 결정화를 촉진시키는 금속 원소의 밀도는 가능한 작게해야 한다. 따라서, 주입되어야 할 금속 원소들의 양을 조정하는 것은 매우 중요한 기술이다.

또한, 상기 용액을 사용하는 방법은 금속 원소가 막 형태로 비정질 규소막의 표면과 균일하게 접촉 유지할 수 있기 때문에, 결정 성장을 균일하게 진행시킬 수 있다.

이하, 이러한 용액을 사용하는 방법에 관해 설명하겠다.

규소의 결정화를 촉진시키는 금속 원소로서 니켈을 사용하는 경우, 니켈 브로마이드, 니켈 아세테이트, 니켈 옥살레이트, 니켈 카보네이트, 니켈 클로라이드, 니켈 아이오다이드, 니켈 나이트레이트, 니켈 설페이트, 니켈 포메이트, 니켈 아세틸아세테이트, 니켈 4-시클로헥실 부틸레이트, 니켈 옥사이드, 니켈 하이드로옥사이드, 및 니켈 2-에틸 헥사노익 산으로부터 선택된 일종 이상의 니켈 화합물을 함유하는 용액을 사용할 수 있다.

또한, 니켈은 모두 비극성 용매인 벤젠, 톨루엔, 크실렌, 카본 테트라클로라이드, 클로로포름, 에테르, 트리클로로에틸렌, 플레온으로부터 선택된 일종 이상과 혼합할 수도 있다.

규소의 결정화를 촉진시키는 금속 원소로서 Fe(철)을 사용하는 경우에, 이온염으로서 알려진 화합물, 일

례로, 제 1 철 브로마이드($FeBr_2$ $6H_2O$), 제 2 철브로마이드($FeBr_3$ $6H_2O$), 제 2 철 아세테이트($Fe(C_2H_3O_2)_3$ xH_2O), 제 1 철 클로라이드($FeC1_2$ $4H_2O$), 제 2 철 클로라이드($FeCl_3$ $6H_2O$), 제 2 철 플루오라이드(FeF_3 $3H_2O$), 제 2 철 나이트레이트($Fe(NO_3)_3$ $9H_2O$), 제 1 철 포스포레이트($Fe_3(PO_4)_2$ $8H_2O$), 제 2 철 포스포레이트($FePO_4$ $2H_2O$)에서 선택된 일종 이상의 물질을 사용할 수 있다.

규소의 결정화를 촉진시키는 금속 원소로서 Co(코발트)를 사용하는 경우에, 코발트염으로 알려진 화합물, 일례로, 코발트 브로마이드(CoBr $6H_2O$), 코발트 아세테이트($Co(C_2H_3O_2)_2$ $4H_2O$), 코발트 클로라이드($CoC1_2$ $6H_2O$), 코발트 플루오라이드(CoF_2 Xh_2O), 코발트 나이트레이트($Co(No_3)_2$ $6H_2O$)에서 선택된 물질을 사용할 수 있다.

규소의 결정화를 촉진시키는 금속 원소로서 Ru(루데늄)을 사용하는 경우에, 루데늄 염으로 알려진 화합물, 일례로 루데늄 클로라이드($RuCl_3H_2O$)를 사용할 수 있다.

규소의 결정화를 촉진시키는 금속 원소로서 Rh(로듐)을 사용하는 경우에, 로듐염으로 알려진 화합물, 일례로, 로듐 클로라이드($RhC1_3$ $3H_2O$)를 사용할 수 있다.

규소의 결정화를 chr진시키는 금속 원소로서 Pd(팔라듐)을 사용하는 경우에, 팔라듐염으로서 알려진 화합물, 일례로, 팔라듐 클로라이드($pdCl_2$ $2H_2O$)를 사용할수 있다.

규소의 결정화를 촉진시키는 금속 원소로서 Os(오스뮴)을 사용하는 경우, 오스뮴염으로 알려진 화합물, 일례로, 오스뮴 클로라이드($OsCl_3$)를 사용할 수 있다.

규소의 결정화를 촉진시키는 금속 원소로서 Ir(이리듐)을 사용하는 경우, 이리듐염으로 알려진 화합물, 일례로, 이리듐 트리클로라이드($IrCl_3$ $3H_2O$)와 이리듐 테트라클로라이드($IrCl_4$)에서 선택된 물질을 사용할 수 있다.

규소의 결정화를 촉진시키는 금속 원소로서 Pt(백금)을 사용하는 경우에, 백금염으로 알려진 화합물, 일례로, 제 2 백금 클로라이드($PtCl_4$ $5H_2O$)를 사용할수 있다.

규소의 결정화를 촉진시키는 금속 원소로서 Cu(구리)를 사용하는 경우에, 그의 화합물로서 제 2 구리 아세테이트($Cu(CH_3COO)_2$), 제 2 구리 클로라이드($CuC1_2$ $2H_2O$), 제 2 구리 나이트레이트($Cu(NO_3)_2$ $3H_2O$)를 사용할 수 있다.

규소의 결정화를 촉진시키는 금속 원소로서 Au(금)을 사용하는 경우에, 그의 화합물로서 금 트리클로라이드($AuCl_3$ xH_2O)와 금 나이트라이드($AuHCl_4$ $4H_2O$)로 부터 선택된 물질을 사용할 수 있다.

발명의 구성 및 작용

[제 1 실시예]

제1(a)도 내지 제1(e)도 및 제2(a)도 내지 제2(f)도는 본 발명의 제 1 실시예에 따른 박막 트랜지스터의 제작 공정을 나타낸다.

먼저, 유리 기판(101)에 플라즈마 CVD법으로 하부코팅 막으로서 3,000Å 두께의 산화 규소막(102)을 형성한다.

일례로, 상기 유리 기판으로서는 Coning 7059 유리 기판 또는 Coning 1737 유리 기판이 적절히 사용된다.

coning 7059 유리 기판은 저가이기 때문에 유용성이 있다. 또한, 이것은 액정 전기 광학 장치용으로 광학적으로 만족스럽게 사용될 수 있다. 그러나, 이 기판은 변형점이 593℃이기 때문에, 유리 기판을 593℃ 이상의 온도로 가열할 수 없다는 문제점이 있다.

유리 기판(101)상에 형성된 산화 규소막(102)은 유리 기판(101)과 추후에 형성될 규소막 사이에 응력이 가해지는 것을 방지함과 동시에, 불순물들이 유리 기판(101)측으로 부터 확산되는 것을 방지하는 역할을 한다.

다음, 산화 규소막(102)상에 플라즈마 CVD법 또는 저압열 CVD법으로 500Å두께의 비정질 규소막(103)을 형성한다. 본 실시예에서는, 산화 규소막(102)상에 3ppm의 디보란(B_2H_6)을 함유하는 디실란(Si_2H_6)을 사용하는 LPCVD 법에 따라 비정질 규소막(103)을 형성한다. 이때, 막 형성 온도는 450℃이다. 상기 막 형성 온도는 약 450 내지 500℃의 범위에서 선택할 수 있다. 또한, 비정질 규소막(103)의 두께는 100 내지 1,000Å의 범위인 것이 바람직하다.

디보란을 후술할 박막 트랜지스터의 임계값을 제어하도록 디실란에 첨가한다. 또한, 그의 밀도는 1 내지 5 ppm의 범위에서 선택할 수 있다.

또한 도시하지는 않았지만, 비정질 규소막(103)의 표면상에는 UV 산화를 통해 매우 얇은 산화막이 형성된다. 이 산화막은 후에 피복될 용액의 습윤성(wettability)을 향상시키는 작용을 한다. 이는 산화막을 형성하도록 산화 분위기에서 비정질 규소막(103)의 표면상에 자외선을 조사하는 방법이다.

이어서, 비정질 규소막(103)의 표면에 스핀 코팅을 통해 소정의 농도로 조정된 니켈 아세테이트 용액을 피복하여, 니켈 함유 막(104)을 형성한다. 니켈 원소는 형성된 결정성 규소막(제1(b)도)에 최종적으로 잔존하는 니켈 원소들의 농도를 이차이온 질량 분광법(SIMS) 측정에 근거한 최대값으로서 1×10^{15} 내지 5×10^{19} 원자 cm^{-3}내로 되게 조정해야 한다 (제1(a)도).

다음, 비정질 규소막(103)을 질소 분위기에서 550℃로 4시간 동안 가열처리를 행하여, 상기 비정질 규소

막(103)을 결정성 규소막(105)으로 결정화시킨다. 이때의 가열 온도는 약 450 내지 700℃로 설정해야 한다. 상기 온도는 사용되는 유리 기판의 열저항이 허용되는 범위내에서 가능한 높은 온도로 설정한다 (제1(b)도).

제1(c)도에 나타낸 것은 결정성 규소막(105)에 참조 부호 106 내지 108로 표시된 니켈 실리사이드가 형성된 상태이다.

본 실시예에서, 상기 FPM을 사용하여 5분간 에칭을 행한다. 그 결과, 니켈실리사이드 원소가 제거되며, 이에 따라 결정성 규소막(105)내에 참조 부호 109 내지 111로 표시된 구멍 또는 홀이 형성된다 (제1(d)도).

또한, 경우에 따라서, 참조 부호 109 내지 111로 표시된 홀을 폐쇄시키도록 결정성 규소막(105)에 레이저 빔을 조사한다. 비록 모든 홀이 폐쇄되지는 않지만 조건을 적절히 설정하면 레이저 빔의 조사에 의해 작은 홀을 폐쇄시킬 수 있다. 또한 홀의 존재로 야기되는 영향력을 감소시킬 수 있다. 이러한 방식으로, 결정성 규소막(112)을 유리 기판(101)에 형성시킬 수 있다.

이어서, 제2(a)도에 도시된 바와 같이 박막 트랜지스터의 활성층(113)을 패터닝에 의해 형성시킬 수 있다. 또한, 플라즈마 CVD법을 통해 게이트 절연막으로서 작용하는 산화 규소막(114)을 1,000Å 두께로 형성한다. 또한, 스퍼터링법으로 산화규소막(114)에 0.2중량%의 스캔듐을 함유하는 알루미늄막(도시안됨)을 형성한다.

알루미늄막 형성 후, 알루미늄막 상에 약 200Å의 두께를 갖는 미세 양극산화막(115)을 형성한다. 양극산화는 알루미늄막을 양극으로 사용하고 전해액으로서 주석산을 함유하는 에틸렌 글리콜 용액을 사용하여 실행한다. 상기 미세 양극산화막(115)은 게이트 전극을 패터닝하기 위해 사용되는 레지스트 마스크와의 부착성을 개선시키는데 중요한 역할을 한다.

이어서, 도시되지 않은 레지스트 마스크를 사용하여, 게이트 전극(116)을 형성한다. 다음, 구연산을 함유하는 전해액내에서 게이트 전극(116)에 대해 이차 양극산화를 실행한다. 다공성 양극 산화막(117)이 형성된다. 이 양극산화막(117)의 두께는 5,000Å이다 (제2(b)도).

다음, 도시되지 않은 상기 레지스트 마스크와 미세 양극 산화막(115)을 제거하고, 미세 양극 산화막(118)을 형성한다. 상기 공정에서, 전해액이 다공성 양극산화막(117)의 내부로 침입하기 때문에, 양극산화막(118)이 형성된다. 미세 양극산화막(118)의 두께는 500Å로 설정한다. 양극 산화막(118)은 알루미늄의 비정상적인 성장으로 야기되는 크랙 또는 힐록(날카로운 또는 침형상의 돌기) 형성 억제에 중요한 역할을 한다 (제2(c)도).

이어서, 노출된 산화 규소막(114)을 수직방향으로 비등방성을 이루는 에칭법으로 제거한다. 상기 방법에서, 제2(d)도에 도시된 바와 같은 구조가 얻어진다. 상기 공정에서, 활성층(113)의 일부가 노출된다.

다음, 다공성 양극 산화막(117)을 제거한다. 상기 방법에서, 제2(e)도에 도시된 바와 같은 구조가 얻어지는데, 그 뒤에는 제 1 도전형을 제공하도록 불순물 이온의 주입이 이루어진다. 상기 실시예의 경우에, n-채널형의 박막트랜지스터를 제작하도록 P(인) 이온이 주입된다.

상기 공정에서, 소스 영역(120)과 드레인 영역(124)이 자기정합방식으로 형성된다. 또한 잔존하는 게이트 절연막(119)의 존재로, 주입될 P 이온의 농도가 감소되는 저밀도 불순물영역(121, 123)이 형성된다. 또한, 이와 동시에 채널 형성영역(122)이 형성된다. 본 실시예에서, 드레인영역(124) 측에 참조 부호 123으로 표시된 영역은 ″LDD(저농도 드레인)″ 영역으로 불린다 (제2(e)도).

불순물 이온 주입 완료후, 불순물 이온이 주입되는 영역을 활성화시키기 위해 상기 영역에 레이저 빔을 조사한다.

다음, 플라즈마 CVD법을 통해 6,000Å 두께의 층간 절연막(125)을 형성하고, 그 뒤에 화소 전극을 형성하는 ITO 전극(126)을 형성한다. 또한 콘택홀의 형성후, 티타늄막, 알루미늄막 그리고 티타늄으로 구성되는 적층막으로서 소스 전극배선(127)과 드레인 전극배선(128)을 형성한다. 상기 방법으로, 제2(f)도에 도시된 액티브 메트릭스형 액정 표시 장치의 화소영역에 배치되는 박막 트랜지스터의 형성이 완료된다.

제7도에 있어서 부호 ″A″는 본 실시예의 제작 공정에 따라 형성된 박막 트랜지스터의 특성예를 나타낸다. 또한 제7도의 부호 ″B″는 참조 부호 106 내지 108로 표시된 니켈 실리사이드 성분이 본 실시예의 제작공정시 제거되지 않은 상태로 있는 경우의 박막 트랜지스터의 특성예를 나타낸다.

제7도에 도시되어 있는 바와 같이, 오프 상태의 전류값을 감소시킬 수 있는 이유는 니켈 실리사이드 성분들에 의해 야기되는 오프 동작시의 케리어의 이동을 억제시킬 수 있기 때문이다.

또한, 본 실시예의 구조를 적용하는 경우에, 특성 분산 또는 열화를 크게 억제시킬 수 있다. 또한, 결정성 규소막이 550℃의 낮은 온도에서 4시간의 짧은 시간내에 형성될 수 있기 때문에 저렴한 가격의 대형 기판을 사용할 수 있다. 이것은 600℃ 이상의 온도에서 20시간 이상 동안 가열을 해야 하는 종래의 방법과 비교할 때 크게 효과적이다.

상술한 바와 같이, 본 실시예에 나타낸 구조를 적용함에 따라 다음과 같은 이점들을 동시에 얻을 수 있다.

저온에서 짧은 시간 행해지는 가열치리에 의해 결정성이 우수한 규소막을 형성할 수 있다. 형성된 반도체 장치의 특성 및 신뢰성이 증대될 수 있다.

[제 2 실시예]

제4(a)도 내지 제4(e)도는 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 제작공정을 나타낸다.

먼저, 유리 기판(101)에 하부 코팅막으로서 3,000Å의 두께를 갖는 산화 규소막(102)을 플라즈마 CVD법으로 형성한다. 일례로, 상기 유리 기판으로는 상기 제 1 실시예와 유사하게 Coning 7059 유리 기판 또는

Coning 1737 유리 기판을 사용할 수 있다.

다음, 산화 규소막(102)에 플라즈마 CVD법 또는 LPCVD법으로 500Å 두께의 비정질 규소막(103)을 형성한다. 또한, 소정의 농도로 조절된 니켈 아세테이트 용액을 스핀 코팅법으로 피복하여, 니켈을 함유하는 니켈막 또는 막(104)을 형성한다(제4(a)도).

다음, 비정질 규소막(103)에 대해 질소 분위기에서 550℃로 4시간 동안 가열처리를 행하여, 상기 비정질 규소막(103) 속으로 결정성 규소막(105)을 결정화시킨다 (제4(b)도).

또한, 제4(c)도에 도시된 바와 같이 결정성 규소막(105)에 레이저 빔을 조사하여 결정성 규소막(105)의 결정도를 개선시킨다. 본 실시예에서는, 결정성 규소막(105)에 KrF 엑시머 레이저를 350 mJ/cm^2의 에너지 밀도로 조사한다.

이러한 상태에서 제4(d)도에 도시된 바와 같이, 니켈 실리사이드(106 내지 108)가 결정성 규소막(105)에 형성된다.

본 실시예에서, 상기 FPM을 사용하여 5분간 에칭이 행해진다. 그 결과, 니켈 실리사이드 성분이 제거되어, 결정성 규소막(105)내에 참조부호 109 내지 111로 표시된 구멍 또는 홀이 형성된다 (제4(e)도).

이러한 방식으로, 결정성 규소막(112)을 유리 기판(101)상에 형성시킬 수 있다 (제4(f)도).

[제 3 실시예]

제5(a)도 내지 제5(f)도는 본 발명의 제 3 실시예에 따른 결정성 규소막의 제작 공정을 나타낸다.

먼저, 유리 기판(101)에 플라즈마 CVD법으로 하부코팅막으로서 3,000Å 두께의 산화 규소막(102)을 형성한다.

다음, 산화 규소막(102)에 플라즈마 CVD법 또는 LPCVD법으로 500Å 두께의 비정질 규소막(103)을 형성한다. 또한, 스핀 코팅을 통해 소정의 농도로 조정된 니켈 아세테이트 용액을 피복하여, 니켈을 함유하는 막(104)을 형성한다(제5(a)도).

다음, 비정질 규소막(103)을 질소 분위기에서 550℃로 4시간 동안 가열처리하여, 비정질 규소막(103)을 결정성 규소막(105)으로 결정화시킨다 (제5(b)도).

이러한 상태에서, 제5(c)도에 도시된 바와 같이 결정성 규소막(105)에 니켈 실리사이드(106 내지 108)를 형성한다.

본 실시예에서, 상기 FPM을 사용하여 5분간 에칭을 행한다. 그 결과, 니켈실리사이드 성분이 제거되며, 이에 따라 결정성 규소막(105)내에 참조 부호 109 내지 111로 표시된 구멍 또는 홀이 형성된다 (제5(d)도).

니켈 실리사이드 성분(106 내지 108)을 제거시킨 후, 550℃에서 2시간 동안 가열처리를 행한다 (제5(e)도).

가열 처리의 수행에 따라, 니켈 실리사이드 성분의 게거로 야기된 결함이 어닐링 될 수 있다. 또한, 이 공정중에 수소 분위기 또는 50체적% 이상의 수소를 함유하는 분위기에서 댕글링 본드(dang1ing bond)를 적극적으로 중화시킬 수 있을 것이다.

이와 같이 하여, 결정성 규소막(112)을 유리 기판(101)에 형성시길 수 있다(제5(f)도).

후속 공정에서, 상기 결정성 규소막(112)을 사용하여 박막 트랜지스터 또는 다른 박막 반도체 장치를 제작할 수 있을 것이다.

[제 4 실시예]

제6(a)도 내지 제6(f)도에는 본 발명의 제 4 실시예에 따른 결정성 반도체막의 제작 공정을 나타낸다.

먼저, 유리 기판(101)에 플라즈마 CVD법으로 하부 코팅막으로서 3,000Å 두께의 산화 규소막(102)을 형성한다.

다음, 산화 규소막(102)에 플라즈마 CVD법 또는 LPCVD법으로 500Å 두께의 비정질 규소막(103)을 형성한다. (제6(a)도).

그 뒤에, 비청질 규소막(103)을 질소 분위기에서 550℃로 4시간 동안 가열처리하여, 비정질 규소막(103)을 결정성 규소막(105)으로 결정화시킨다 (제6(b)도).

이러한 상태에서, 제6(c)도에 도시된 바와 같이 결정성 규소막(105)에 참조 부호(106 내지 108)로 표시된 니켈 실리사이드를 형성한다.

본 실시예에서, 상기한 FPM을 사용하여 5분간 에칭을 행한다. 그 결과, 니켈 실리사이드 성분이 제거되며, 이에 따라 결정성 규소막(105)내에 구멍 또는 홀(109 내지 111)이 형성된다 (제6(d)도).

참조 부호 106 내지 108로 표시된 니켈 실리사이드 성분을 제거시킨 후, 550℃에서 2시간 동안 가열 처리를 행한다 (제6(e)도).

본 실시예에서, KrF 엑시머 레이지를 400 mJ/cm^2의 에너지 밀도로 조사한다. 레이저 빔은 작은 홀을 폐쇄시킬 수 있게 조사된다. 또한 홀의 존재에 의해 야기되는 영향력을 거의 완전히 억제시킬 수 있다. 레이저 빔의 조사에 의해 막전체의 결정도를 더욱 증대시킬 수 있다. 또한, 레이저 빔의 조사 에너지의 증대에 따라 규소막 표면이 용융되고 레이저 빔의 조사에 의해 재결정화될 수 있게 된다.

레이지 빔의 조사에 따라 막의 결정도가 증대되고, 막에 형성된 홀을 폐쇄시킬 수 있는 중요한 효과를 얻을 수 있다. 반면에, 다음과 같은 문제점이 발생하게 된다.

첫 번째 문제점은 막 표면이 순간적으로 용융될 때 분위기로부터 불순물이 막내에(특히, 막의 최상면에) 도입되게 된다는 것이다. 두 번째 문제점은 막 표면상에 불순물이 증착된다는 것이다. 이것은 레이지 빔의 조사에 의해 막을 용융상태로 만드는 메커니즘에 의해 야기되는 것으로, 그후 막이 표면으로부터 냉각된다는 것으로 추정할 수 있다. 다시 말하자면, 불순물들은 냉각되어 결정화되는 막표면상 선택적으로 증착되게 된다.

증착된 불순물의 대부분은 본 실시예에서 결정화를 위해 사용된 니켈인 중금속이다(상당한 정도까지 실리사이드로 전환되지 않은 다량의 니켈 원소가 또한 존재함).

상기의 문제점들을 해결하기 위해서, 본 발명에 따라 결정성 규소막의 표면을 약간 에칭한다. 본 실시예에서, HF농도가 낮은 HNO_3(60%)-HF(<0.2%)-H_2O 용액이 사용된다. 상기 용액은 규소 웨이퍼의 표면을 세척하는데 사용되는 것이며, 중금속을 효과적으로 제거할 경우에 특히 결정성 규소막을 약간 에칭하는 특성을 가지고 있다.

상기 용액을 사용하여 결정성 규소막을 세척하는 경우, 결정성 규소막의 표면, 특히 그의 최상면에 존재하는 중금속 또는 기타의 불순물을 제거할 수 있고, 이에 따라 전기적인 특성이 우수한 결정성 규소막을 얻을 수 있다. 이와 같이 하여, 유리기판(101)에 결정성 규소막(112)을 형성시킬 수 있다 (제6(f)도).

또한, 상기 세척 공정은 레이지 빔의 조사전 단계에서 행할 수도 있다. 또한, 레이지 빔의 조사를 행하지 않는 경우에도 상기한 세척 공정을 이용할 수도 있다.

[제 5 실시예]

제 5 실시예는 제1도에 도시된 구조에서 하부층(102)이 산화 규소막과 규소질소막으로 구성되는 층으로 형성되는 것을 특징으로 한다. 플루오르화수소산, 과산화수소 그리고 물이 0.5 : 0.5 : 99의 비로 혼합되어 있는 FPM의 에칭 비율은 산화 규소막의 경우 대략 30 내지 40Å/min, 단결정규소막의 경우 2 내지 2 Å/min, 니켈 실리사이드 또는 다른 금속 실리사이드의 경우 수백 Å/min 이상, 그리고 질화 규소막의 경우 3 내지 5 Å/min으로 되게 되어 있다.

따라서, 하부막(102)으로서 산화 규소막을 사용하는 경우에는 과-에칭(Over-etching)이 이루어져 하부층이 크게 패일 수 있다.

이러한 점을 고려하여 본 실시예에서, 규소(본 경우에는 단결정규소)의 에칭비율과 동일한 에칭 비율을 갖는 질화 규소막을 하부층의 최상면으로서 형성하고, 이에 따라 과-에칭의 진행시 하부층의 패임(scooping)이 억제되게 된다.

본 실시예에 있어서의 하부층의 특정 구조의 예로는 3,000Å 두께의 산화규소막과 300Å 두께의 질화 규소막으로 구성되는 적층구조를 들 수 있다. 상기 질화 규소막 대신에 옥시나이트라이드 규소막을 사용할 수도 있다. 또한 옥시나이트라이드 규소막의 단층막을 하부층으로 사용할 수도 있다. 질산화 규소막의 형성은 플라즈마 CVD법을 통해 이룰 수 있으며, 이 때 가스 원료로 TEOS 가스와 N_2O가스를 사용할 수 있다.

[제 6 실시예]

제 6 실시예는 제 1 실시예에 도시된 구조에 있어서 가열 처리 조건을 650℃, 4시간으로 한 경우에 대한 것이다. 가열 온도를 650℃로 하면, 667℃의 변형점을 갖는 Coning 1737 유리기판의 경우와 같이 높은 열저항을 갖는 유리 기판을 사용할 필요가 있게 된다. 이와 같이 높은 열저항을 갖는 유리기판을 사용하는 경우에는 가열 온도를 약 580 내지 670℃로 할 수 있다.

본 실시예에서 도시된 바와 같이 결정화를 위한 가열 온도를 650℃까지 증가시키는 경우에, 보다 높은 결정도를 얻을 수 있다.

[제 7 실시예]

제 7 실시예는 니켈 아세테이트염 대신에 제 2 백금 클로라이드($PtC1_4 5H_2O$)를 사용한 경우에 대한 것이다. 본 실시예의 경우, 백금은 규소의 결정화를 촉진시키는 금속 원소로서 사용된다. 백금을 사용하는 경우에도, 니켈을 사용하는 경우와 동일한 효과를 얻을 수 있다.

[제 8 실시예]

제 8 실시예는 기판으로서 수정 기판을 사용하고, 결정성 규소막을 얻기 위한 가열처리를 800 내지 1,100℃의 높은 온도에서 수행하는 것을 특징으로 한다. 이하, 상기 결정성 규소막을 얻기 위한 구조를 먼저 설명한다.

본 실시예에서, 약 1,100℃에 이르는 고온에서의 가열 처리를 견딜 수 있는 수정 기판을 사용한다. 먼저, 제1도의 수정 기판(101)에 플라즈마 CVD법으로 하부막으로서 5,000Å 두께의 산화 규소막(102)을 형성한다. 수정 기판을 사용하는 경우에, 수정 기판과 규소막간의 열팽창 계수가 다르기 때문에 그 층들 사이에 응력 완충층으로서 산화 규소막(102)을 5,000Å 두께로 형성하는 것이 바람직하다.

다음에, 산화 규소막(102)에 LPCVD법으로 500Å 두께의 비정질 규소막(103)을 형성한다. 또한, UV산화를 통해 매우 얇은 산화막(도시되지 않음)을 형성하고, 소정의 농도로 조절된 니켈 아세테이트 용액을 스핀 코팅법으로 통해 상기 막 위에 피복하여, 니켈을 함유하는 막(104)을 형성한다 (제1(a)도).

다음에, 결정성 규소막(105)을 얻기 위해 800℃에서 4시간 동안 가열 처리를 행한다. 이때의 가열 온도는 약 800 내지 1,100℃의 범위내에서 선택할 수 있다. 가열 온도가 높을수록, 얻어지는 결정성 규소막의 결정도를 증대시킬 수 있다. 본 실시예에서, 상기 가열 치리는 경제적인 면을 고려하여 800℃의 온도에서

행한다(제1(b)도).

본 실시예에서 설명한 바와 같이, 가열 치리를 높은 온도에서 행할 때 니켈원소를 사용함으로써 매우 높은 결정도를 얻을 수 있다. 이 결정도는 레이저 빔의 조사 또는 상기 가열 처리만으로는 얻을 수 없는 정도로 매우 높다. 그러나, 이 경우에도, 제1(c)도에 참조 부호 106 내지 108로 표시된 바와 같이 니켈 실리사이드 돌기가 국부적으로 형성되게 된다.

따라서, 본 실시예에서도 FPM을 사용하여 상기 니켈 실리사이드 성분을 제거시킨다. FPM의 니켈 실리사이드 성분의 제거에 따라 제1(d)도에 참조 부호 109 내지 111로 표시된 구멍 또는 홀이 형성된다.

또한, 경우에 따라서 홀을 폐쇄시키도록 레이지 빔을 조사한다. 또한, 레이지 빔의 조사후, HF농도가 낮은 HNO_3(60%)-HF(<0.2%)-H_2O 용액을 사용하여 세척을 행하여, 결정성 규소의 노출면으로부터의 중금속 원소를 제거시킨다.

이에 따라, 수정 기판(101)상에 높은 결정도를 갖고 있고 니켈 실리사이드 성분의 영향이 제거된 결정성 규소막(112)이 형성된다 (제1(e)도).

그 후에, 결정성 규소막을 패터닝하여 제8(a)도에 도시된 바와 같은 박막트랜지스터의 활성층(113)을 형성한다. 제8(a)도에 있어서, 참조 부호 701은 수정기판을 나타내며, 702는 하부층의 산화 규소막을 나타낸다.

제8(a)도의 상태를 얻을 때, 크롬 실리사이드 몰리브덴 실리사이드 또는 일 전도형을 부여하는 불순물이 주입되어 있는 규소에 의해 게이트 전극(705)이 형성된다. 본 실시예에서, 게이트 전극(705)은 몰리브덴 실리사이드로 형성된다. 상기 게이트 전극은 후속적으로 행해지는 가열 치리 공정을 지탱할 수 있는 물질로 만들어질 필요가 있다는 것을 주지해야 한다 (제8(b)도).

다음, 제8(c)도에 도시된 바와 같이, 일 전도형을 부여하는 불순물인 P(인)이온을 플라즈마 도핑법으로 주입한다. 이 공정에 따라, 소스영역(706), 드레인영역(708), 그리고 채널형성영역(707)이 자기정합방식으로 형성된다 (제8(c)도).

다음, 불순물 이온이 주입되어 있는 영역을 활성화시키기 위해 가열처리를 850℃에서 2시간 동안 행한다.

또한, 산화 규소막 또는 질화 규소막 및 산화 규소막으로 구성되는 적층막인 층간 절연막(709)을 형성한다. 이어서, 소스 전극(710)과 드레인전극(711)을 형성 시키기 위해 콘택홀을 형성한다. 본 실시예의 경우, 소스전극 및 드레인전극을 구성하도록 티타늄막, 알루미늄막 및 티타늄막으로 구성되는 적층막이 사용된다. 소스 및 드레인 전극은 적당한 전도성 물질로 구성될 수 있다 (제8(d)도).

규소의 결정화를 촉진시키는 금속 원소를 사용하여 형성된 결정성 규소막은 금속 원소의 실리사이드를 선택적으로 제거하도록 에칭되고, 이에 따라 금속 원소의 영향력을 제거시킬 수 있다.

다음, 규소의 결정화를 촉진시키는 금속 원소를 사용하여 형성된 결정성 규소막을 사용하여 박막트랜지스터를 제작한다.

발명의 효과

본 발명에 따라, 규소의 결정화를 촉진시키는 금속 원소를 사용하여 형성한 결정성 규소막을 사용하여 제작한 박막트랜지스터는,

형성된 박막트랜지스터의 특성의 분산이 커지는 문제점,

형성된 박막트랜지스터의 특성이 쉽게 열화되는 문제점, 그리고

오프전류값이 키지는 문제점을 해결할 수 있다,

(57) 청구의 범위

청구항 1

규소의 결정화를 촉진시키는 금속 원소를 비정질 규소막과 접촉되게 배치하는 단계; 비정질 규소막을 가열처리하여 결정화시킴으로써 실리사이드 영역을 구비한 결정성 규소막을 형성하는 단계: 결정성 규소막을 에칭하지 않고 결정성 규소로부터 실리사이드 영역을 선택적으로 제거하여 결정성 규소막에 홀을 형성하는 단계; 및 레이저 광으로 결정성 규소막의 전체 표면을 조사함으로써 상기 홀을 폐쇄하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 2

제1항에 있어서, 상기 금속 원소가 Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au로 이루어진 군으로부터 선택되는 하나 이상을 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 3

제1항에 있어서, 금속 원소가 Ni이고 실리사이드 영역이 니켈실리사이드를 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 4

제1항에 있어서, 비정질 규소막을 질화 규소가 포함된 막 위에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 5

제1항에 있어서, 비정질 규소막을 옥시나이트라이드 규소가 포함된 막 위에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 6

제1항에 있어서, 결정성 규소막의 두께가 1,000Å 이하인 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 7

제1항에 있어서, 실리사이드 영역의 직경이 100Å 이상인 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 8

규소의 결정화를 촉진시키는 금속 원소를 비정질 규소막과 접촉되게 배치하는 단계; 비정질 규소막을 가열처리하여 결정화시킴으로써 실리사이드 영역을 구비한 결정성 규소막을 형성하는 단계; 및 과산화수소, 불화수소산 및 물을 함유하는 혼합 용액을 사용하여 결정성 규소막으로부터 금속 원소의 실리사이드 영역을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 9

제8항에 있어서, 금속 원소가 Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au로 이루어진 군으로부터 선택되는 하나 이상을 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 10

제8항에 있어서, 금속 원소가 Ni이고 실리사이드 영역이 니켈실리사이드를 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 11

제8항에 있어서, 비정질 규소막을 질화 규소가 포함된 막 위에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 12

제8항에 있어서, 비정질 규소막을 옥시나이트라이드 규소가 포함된 막 위에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 13

제8항에 있어서, 결정성 규소막 두께가 1,000Å 이하인 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 14

제8항에 있어서, 실리사이드 영역 직경이 100Å 이상인 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 15

규소의 결정화를 촉진시키는 금속 원소를 비정질 규소막과 접촉 되게 배치하는 단계; 비정질 규소막을 가열처리하여 결정화시킴으로써 실리사이드 영역을 구비한 결정성 규소막을 형성하는 단계; 결정성 규소막으로부터 실리사이드 영역을 선택적으로 제거하는 단계; 실리사이드 영역이 제거된 결정성 규소막으로 레이저를 조사하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 16

제15항에 있어서, 금속 원소가 Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au로 이루어진 군으로부터 선택되는 하나 이상을 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 17

제15항에 있어서, 금속 원소가 Ni이고, 실리사이드 영역이 니켈 실리사이드를 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 18

제15항에 있어서, 비정질 규소막을 질화 규소이 포함된 막 위에 형성하는 것을 특징으로 하는 반도체 장치 제작 방법.

청구항 19

제15항에 있어서, 비정질 규소막을 옥시나트라이드 규소가 포함된 막 위에 형성하는 것을 특징으로 하는 반도체 장치 제작 방법.

청구항 20

제15항에 있어서, 결정성 규소막 두께가 1,000Å 이하인 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 21

제15항에 있어서, 실리사이드 영역 직경이 100Å 이상인 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 22

제15항에 있어서, 실리사이드 영역을 과산화수소, 플루오르화수소산 그리고 물을 함유하는 혼합 용액을 사용하여 제거하는 것을 특징으로 하는 반도체 장치 제작 방법.

청구항 23

기판 위에 비정질 규소를 포함하는 반도체막을 형성하는 단계; 비정질 규소의 결정화를 촉진시키는 능력을 갖춘 촉매 금속을 상기 반도체막에 준비하는 단계; 금속 실리사이드 영역을 결정화된 반도체막에 형성하는데 있어서 상기 반도체막을 결정화시키기 위해 상기 반도체막과 상기 촉매 금속을 가열처리하는 단계; 반도체막에 홀을 형성하여 규소를 선택적으로 에칭하는 에칭제를 사용하여 결정화된 반도체막으로부터 상기 금속 실리사이드 영역을 선택적으로 제거하는 단계; 및 레이저 광으로 결정화된 반도체막의 전체 표면을 조사하여 상기 홀을 폐쇄하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 24

제23항에 있어서, 상기 촉매 금속을 Ni, Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu 및 Au로 이루어진 그룹에서 선택하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 25

제23항에 있어서, 상기 반도체막을 상기 기판 위에 질화 규소가 포함된 질연막 상에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 26

제23항에 있어서, 상기 반도체막을 상기 기판 위에 옥시나이트라이드 규소가 포함된 절연막 상에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 27

제23항에 있어서, 상기 반도체막 두께가 100Å-1,000Å인 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 28

제23항에 있어서, 레이저 광 조사 후에 반도체 막 표면을 에칭하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 29

기판 위에 비정질 규소가 포함된 반도체 막을 형성하는 단계; 비정질 규소의 결정화를 촉진시키는 능력을 갖춘 촉매 금속을 상기 반도체막에 준비하는 단계; 결정화된 반도체막에 금속 실리사이드 영역을 형성하는데 있어서 상기 반도체막과 상기 촉매 금속을 가열처리하여 상기 반도체막을 결정화시키기는 단계; 반도체막에 홀을 형성하여 과산화수소, 불화수소산 및 물을 포함하는 에칭제를 사용함으로써 결정화된 반도체막으로부터 상기 금속 실리사이드 영역을 선택적으로 제거하는 단계; 및 결정화된 반도체막 전체 표면에 레이저광을 조사하여 상기 홀을 폐쇄하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 30

제29항에 있어서, 상기 촉매 금속을 Ni, Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu 및 Au로 이루어진 그룹에서 선택하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 31

제29항에 있어서, 상기 반도체막을 상기 기판 위에 질화 규소가 포함된 절연막 상에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 32

제29항에 있어서, 상기 반도체막을 상기 기판 위에 옥시나이트라이드 규소가 포함된 절연막 상에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 33

제29항에 있어서, 상기 반도체막 두께가 100Å-1,000Å인 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 34

제29항에 있어서, 레이저광 조사 후에 반도체막 표면을 에칭하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 35

기판 위에 비정질 규소가 포함된 반도체막을 형성하는 단계; 비정질 규소의 결정화를 촉진시키는 능력을 갖춘 촉매 금속을 상기 반도체막에 준비하는 단계; 결정화된 반도체막에 금속 실리사이드 영역을 형성하는데 있어서 상기 반도체막과 상기 촉매 금속을 가열 처리하여 상기 반도체막을 결정화하는 단계; 반도체막에 홀을 형성하여 규소를 선택적으로 에칭하는 에칭제를 사용함으로써 결정화된 반도체막으로부터 상기

금속 실리사이드 영역을 선택적으로 제거하는 단계; 및 반도체막을 용해시켜서 상기 홀을 폐쇄하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 36

제35항에 있어서, 상기 촉매 금속을 Ni, Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu 및 Au로 이루어진 그룹에서 선택하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 37

제35항에 있어서, 상기 반도체막을 상기 기판 위에 질화 규소가 포함된 절연막 상에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 38

제35항에 있어서, 상기 반도체막을 상기 기판 위에 옥시나이트라이드 규소가 포함된 절연막 상에 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 39

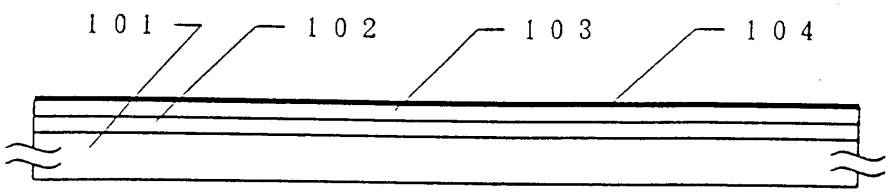
제35항에 있어서, 상기 반도체막 두께가 100Å-1,000Å인 것을 특징으로 하는 반도체 장치의 제작 방법.

청구항 40

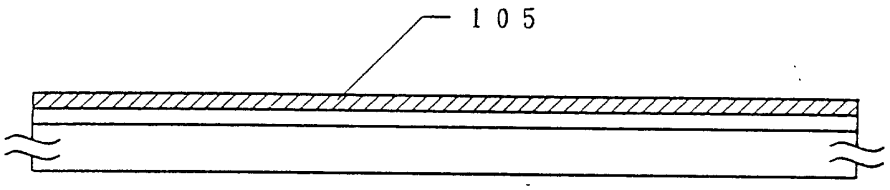
제35항에 있어서, 레이저광 조사 후에 반도체막의 표면을 에칭하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제작 방법.

도면

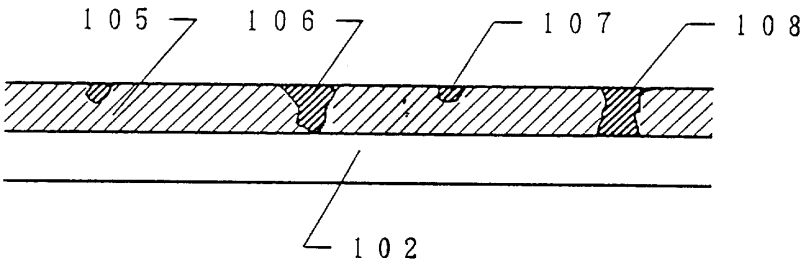
도면1a



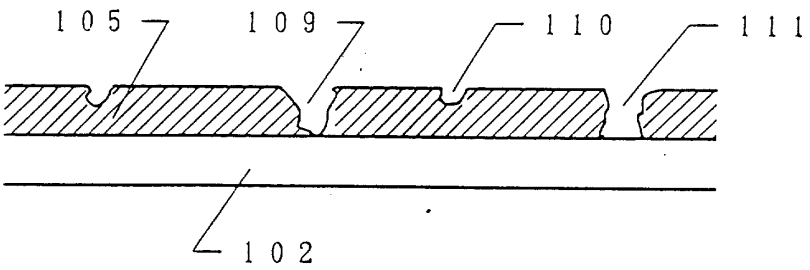
도면1b



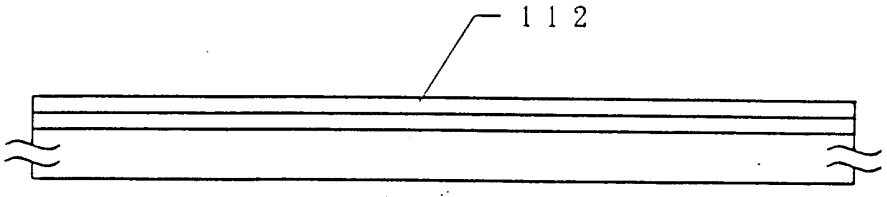
도면1c



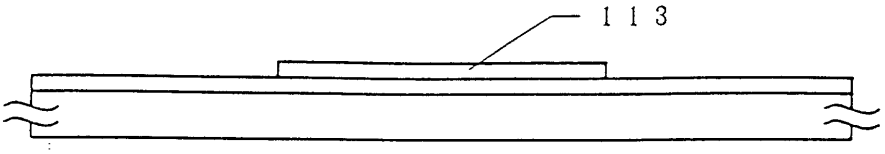
도면1d



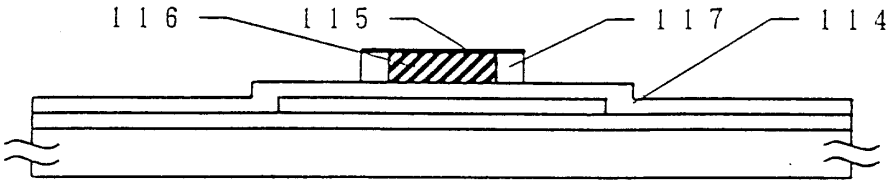
도면1e



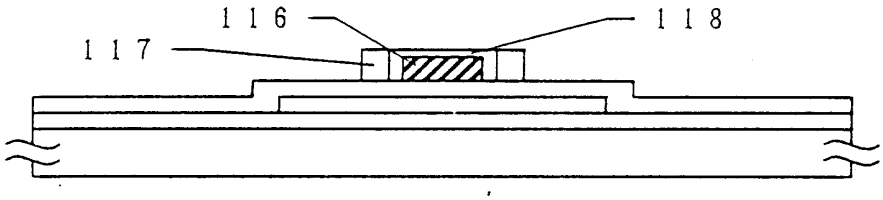
도면2a



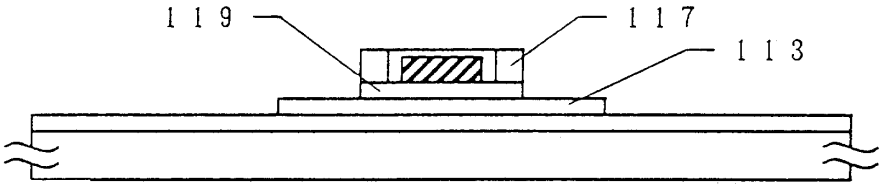
도면2b



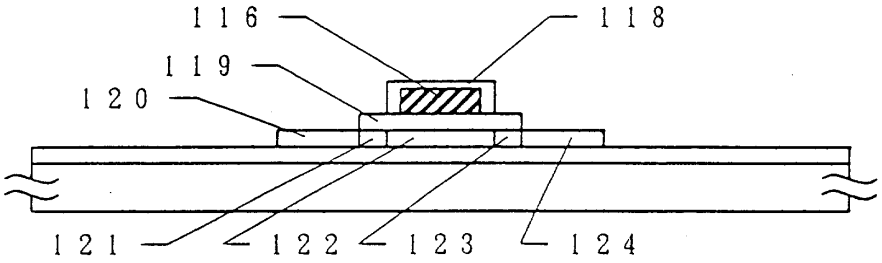
도면2c



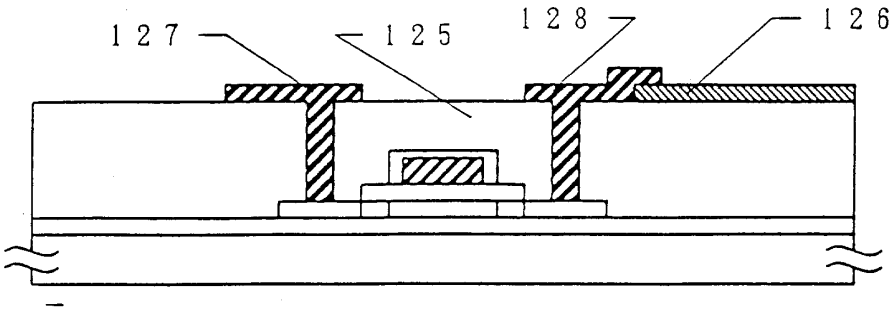
도면2d



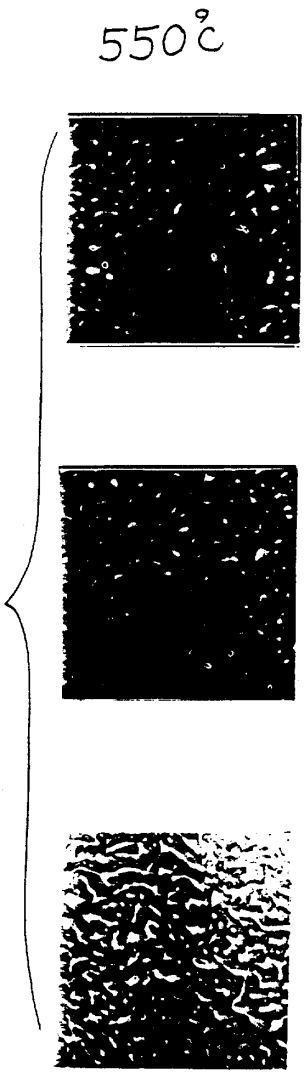
도면2e



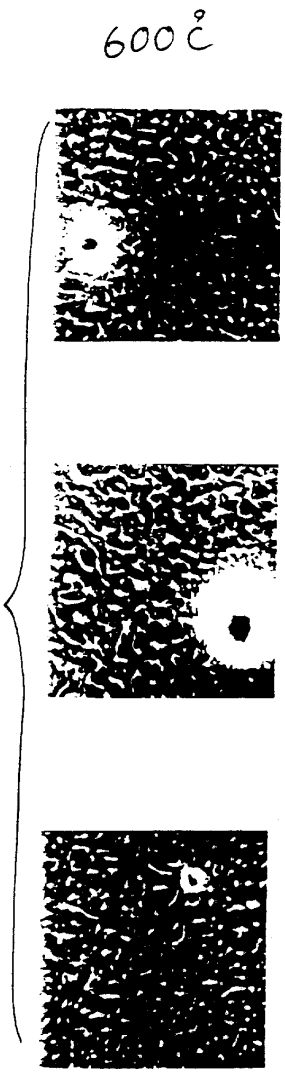
도면2f



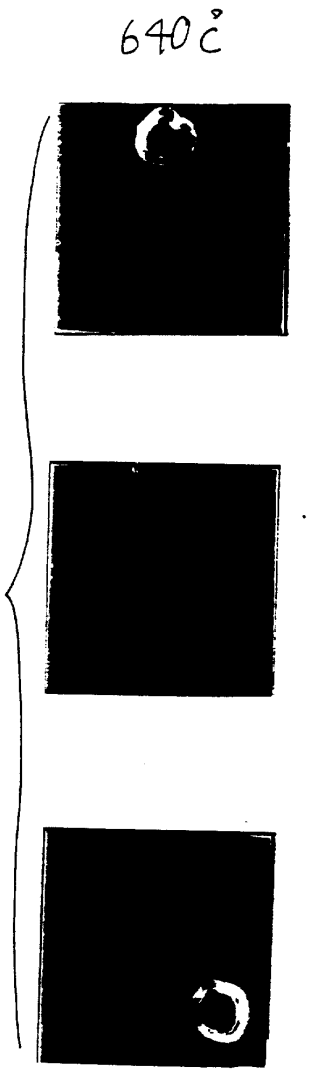
도면3a



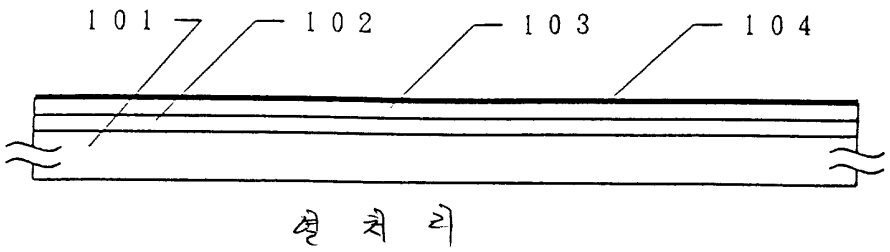
도면3b



도면3c

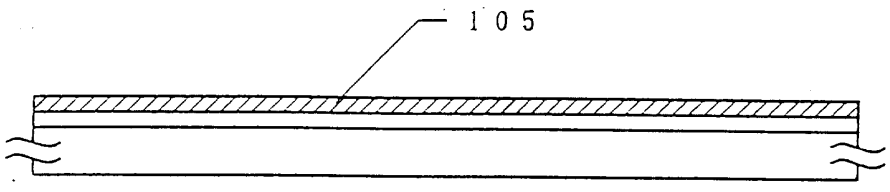


도면4a

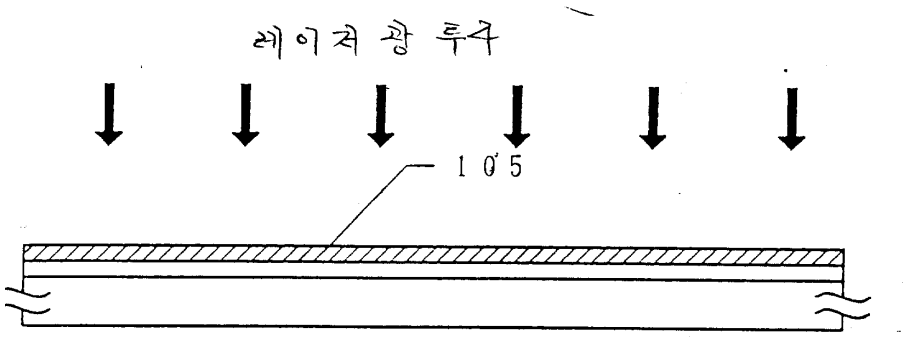


단 차 리

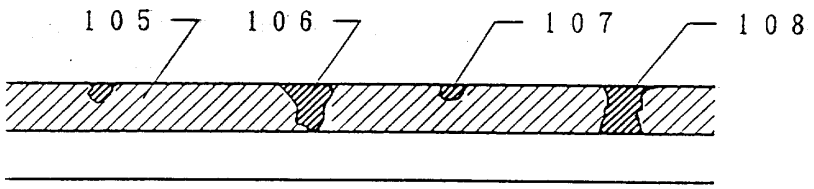
도면4b



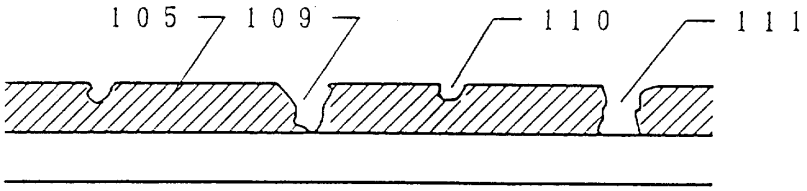
도면4c



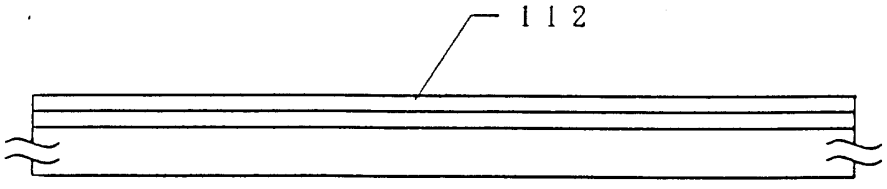
도면4d



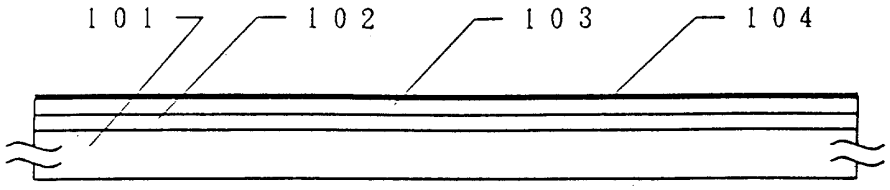
도면4e



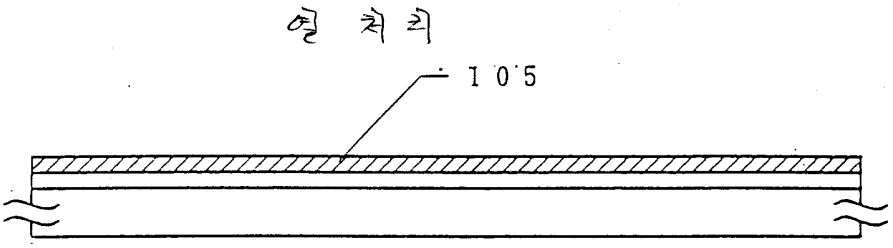
도면4f



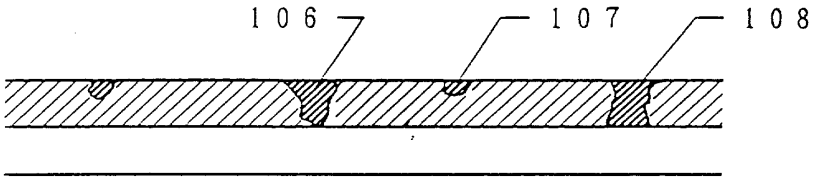
도면5a



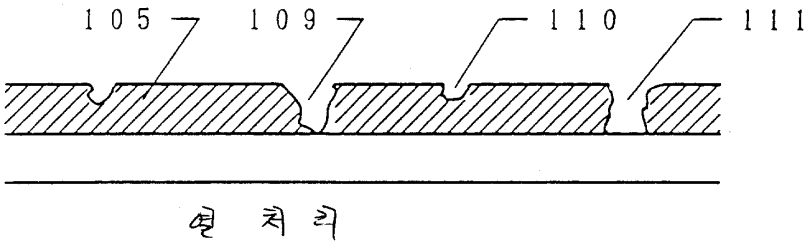
도면5b



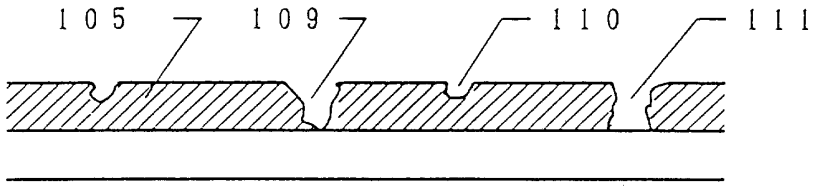
도면5c



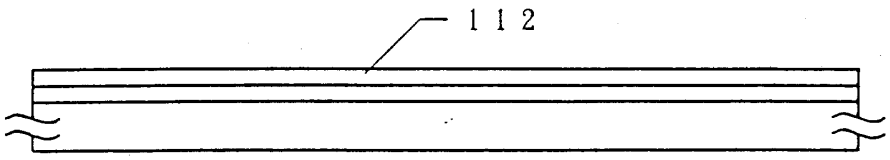
도면5d



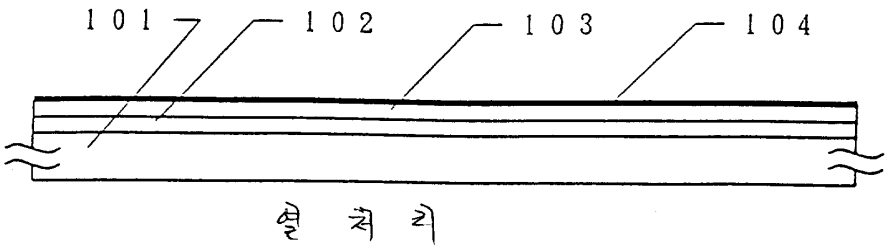
도면5e



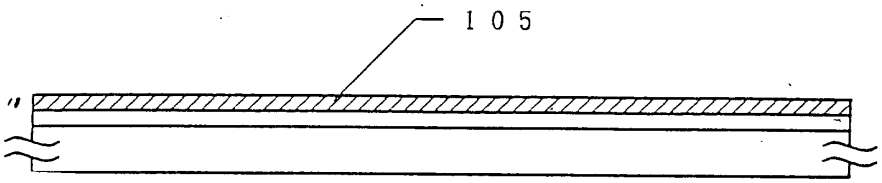
도면5f



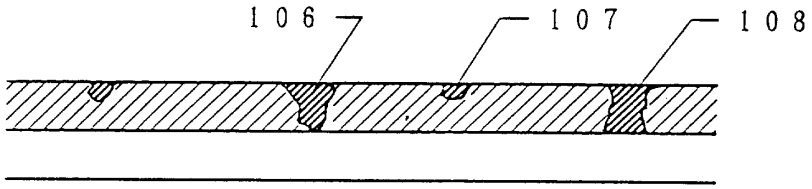
도면6a



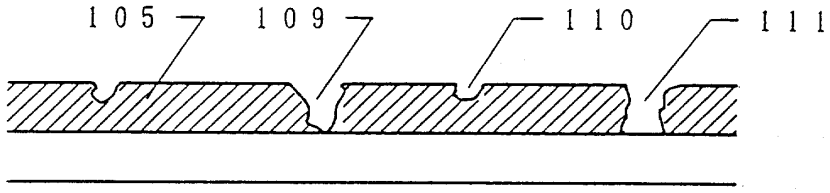
도면6b



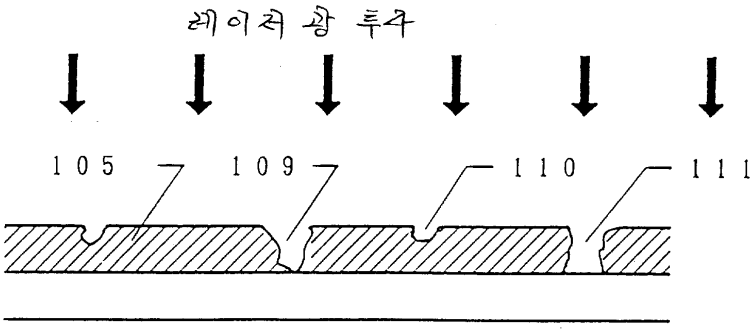
도면6c



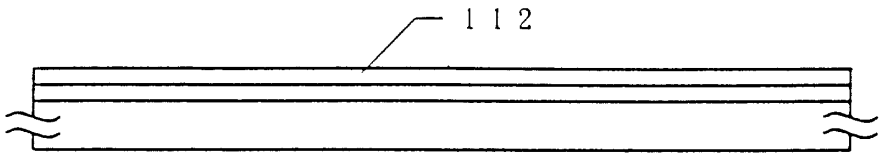
도면6d



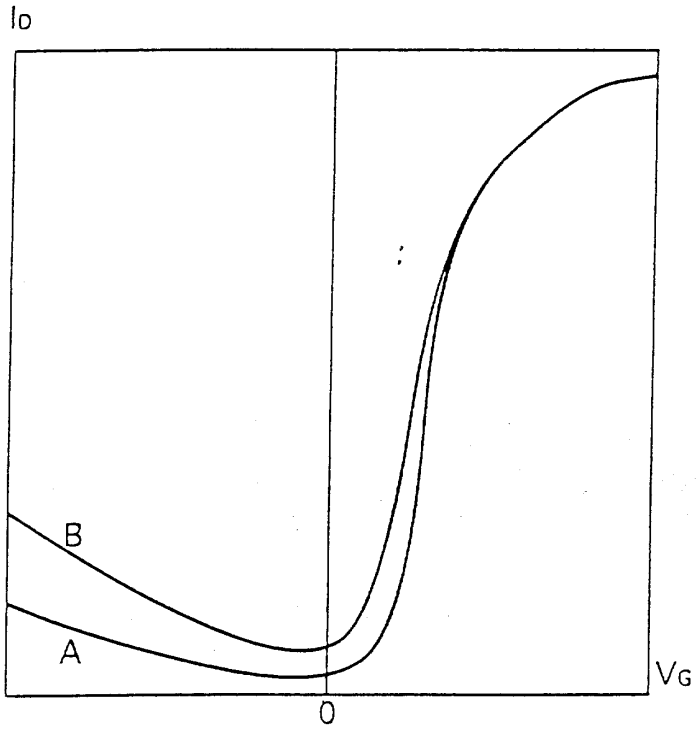
도면6e



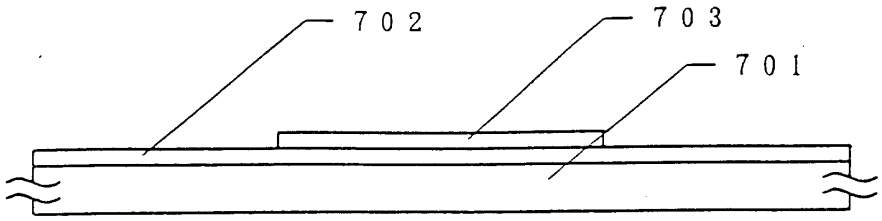
도면6f



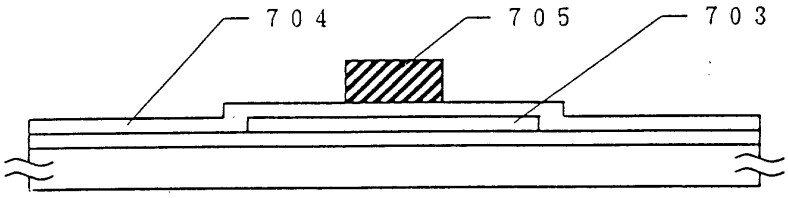
도면7



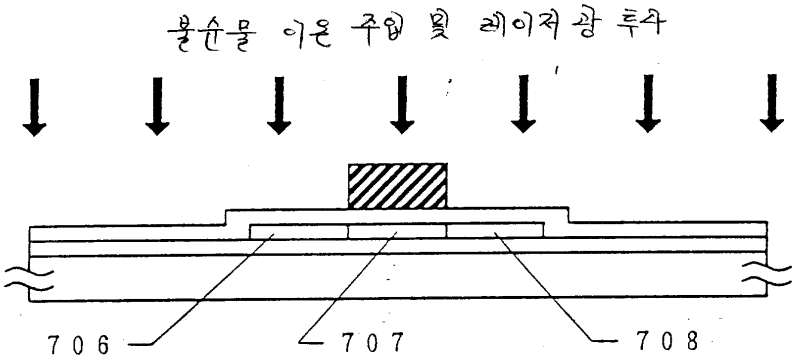
도면8a



도면8b



도면8c



도면8d

