



ÚRAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

221567
(11) (B1)

(51) Int. Cl.³
G 11 C 29/00

(22) Přihlášeno 13 05 81

(21) (PV 3529-81)

(40) Zveřejněno 27 08 82

(45) Vydáno 15 02 86

(75)

Autor vynálezu

ŠINDELÁŘ BEDŘICH ing. CSc., PRAHA

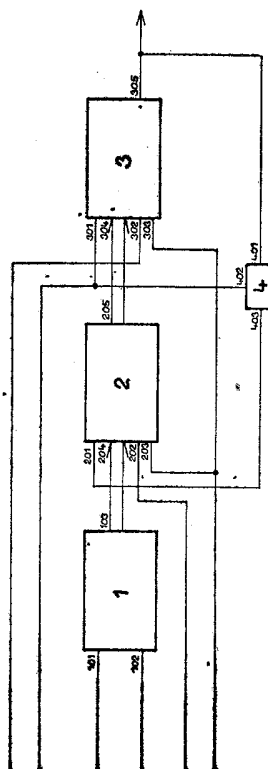
(54) Podávací plocha vibračních třídičů, podávačů a dopravníků

1

Vynález řeší problém sestavení jednoduchého obvodu, který umožňuje generovat testovací posloupnost, vytvářející v poli paměťových buněk testované paměti vzorek posouvané diagonály. V prvním kroku je proveden zápis 1(0) v poli 0(1) do těch buněk zkoušené paměti, pro které souhlasí adresa řádku a sloupce paměťové matice. V dalších krocích je proveden zápis tak, že osamocená 1(0) je postupně vystřídána ve všech buňkách paměti. Generátor využívá pro svou funkci postupného nastavování tří binárních synchronních čítačů v závislosti na čítání počtu sloupců, zkoušené paměti. Synchronní čítač, z něhož je odebírán vzorek, je nastavován na obsah předchozího čítače vždy po naplnění řádku paměťové matice. Tento čítač je nastavován na obsah předchozího čítače pro vytváření posunu diagonály v poli paměťových buněk.

Vynálezu lze využít ve zkušebních zařízeních servisních a výrobních služeb počítačů a zařízení používající paměti.

2



Předmět vynálezu se týká generátoru vzorku posouvané diagonály pro zkoušení pamětí. Pro svou funkci využívá postupného nastavování synchronních čítačů pro každé posunutí vzorku diagonály v poli buněk zkoušené paměti.

Doposud užívané způsoby generování uvedeného vzorku využívají programového vybavení, nebo využívají čítače počtu přenosů v obvodovém vybavení, což vede k náročnějším systémům.

Tyto nevýhody odstraňuje generátor vzorku posouvané diagonály pro zkoušení pamětí, jehož podstata spočívá v tom, že sestává z prvního čítače, na jehož čítací vstup je přiveden signál určující okamžik čtení ze zkoušené paměti a na jehož nulovací vstup je přiveden signál určující počáteční nastavení čítače, přičemž adresové výstupy prvního čítače jsou připojeny na adresové vstupy druhého čítače, jehož čítací vstup je připojen na výstup synchronizačního časovacího obvodu, přičemž na nastavovací vstup druhého čítače je přiveden signál určující okamžik přenosu adresového registru a nulovací vstup druhého čítače je připojen na nulovací vstup třetího čítače a je vstupem nulování obou čítačů, přičemž adresové výstupy druhého čítače jsou připojeny na adresové vstupy třetího čítače, přičemž čítací vstup třetího čítače je připojen na druhý vstup synchronizačního časovacího obvodu, přičemž na nastavovací vstup třetího čítače je přiveden signál určující rozměr testované paměti a výstup třetího čítače je výstupem vzorku a je připojen na první vstup synchronizačního časovacího obvodu.

Vynález zjednodušuje obvodové vybavení a nevyžaduje vybavení programové. Ve zkušebním systému umožňuje dokonalé prověření funkce zkoušené paměti.

Na připojeném obrázku je znázorněno zapojení generátoru vzorku posouvané diagonály pro zkoušení pamětí.

Generátor podle vynálezu sestává z prvního čítače 1, na jehož čítací vstup 101 je připojena svorka se signálem určujícím okamžik čtení ze zkoušené paměti a na jehož nulovací vstup 102 je připojena svorka

se signálem určujícím počáteční nastavení čítače, přičemž adresové výstupy 103 prvního čítače 1 jsou připojeny na adresové vstupy 204 druhého čítače 2, jehož čítací vstup 201 je připojen na výstup 403 synchronizačního časovacího obvodu 4, přičemž na nastavovací vstup 202 druhého čítače 2 je přiveden signál určující okamžik přenosu adresového registru a nulovací vstup 203 druhého čítače 2 je připojen na nulovací vstup 303 třetího čítače a je vstupem nulování obou čítačů, přičemž adresové výstupy 205 druhého čítače jsou připojeny na adresové vstupy 304 třetího čítače, přičemž čítací vstup 301 třetího čítače je připojen na druhý vstup 402 synchronizačního časovacího obvodu, přičemž na nastavovací vstup 302 třetího čítače je přiveden signál určující rozměr testované paměti a výstup 305 třetího čítače 3 je výstupem vzorku a je připojen na první vstup 401 synchronizačního časovacího obvodu 4.

Zapojení podle vynálezu je jednoduché a rychlé, a je tedy vhodné pro zkoušení všech polovodičových pamětí.

V prvním kroku je proveden zápis 1(0) v poli 0(1) do těch buněk zkoušené paměti, pro které souhlasí adresa řádku a sloupce paměťové matice. V dalších krocích je proveden zápis tak, že osamocená 1(0) je postupně vystřídána ve všech buňkách paměti. Signál určující rozměr paměťové matice nastaví třetí čítač 3 do stavu druhého čítače 2. Třetí čítač 3 čítá v rytmu hodinových signálů směrem dolů a po dočítání vydá na výstupu 305 signál pro přenos, který je výstupním signálem generátoru a současně vydá přes synchronizační časovací obvod 4 impuls na vstup čtení 201 druhého čítače 2. Signál čtení je přiveden na vstup 101 čtení prvního čítače 1, který určuje stav nastavení druhého čítače 2. Do tohoto stavu se druhý čítač 2 uvede signálem přenosu adresového registru zkoušeče, který určuje časový okamžik nastavení druhého čítače 2.

Generátor podle vynálezu může být využit ve zkušebních zařízeních servisních a výrobních služeb počítačů a zařízení používající paměti.

PŘEDMĚT VYNÁLEZU

Generátor vzorku posouvané diagonály pro zkoušení pamětí, vyznačující se tím, že sestává z prvního čítače (1), k jehož čítacímu vstupu (101) je připojena svorka se signálem určujícím okamžik čtení ze zkoušené paměti a k jehož nulovacímu vstupu (102) je připojena svorka se signálem určujícím počáteční nastavení čítače, přičemž adresové výstupy (103) prvního čítače (1) jsou připojeny na adresové vstupy (204)

druhého čítače (2), k jehož čítacímu vstupu (201) je připojen výstup (403) synchronizačního časovacího obvodu (4) a nulovací vstup (203) druhého čítače (2) je připojen na nulovací vstup (303) třetího čítače, přičemž adresové výstupy (205) druhého čítače jsou připojeny na adresové vstupy (304) třetího čítače, zatímco čítací vstup (301) třetího čítače je připojen na druhý vstup (402) synchronizačního časovacího

obvodu (4) a výstup (305) třetího čítače
(3) je výstupem vzorku a je připojen na

první vstup (401) synchronizačního časova-
cího obvodu (4).

1 list výkresů

221567

