



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I449212 B

(45)公告日：中華民國 103 (2014) 年 08 月 11 日

(21)申請案號：099146097

(22)申請日：中華民國 99 (2010) 年 12 月 27 日

(51)Int. Cl. : **H01L33/06 (2010.01)**

(30)優先權：2009/12/30 德國

102009060747.1

(71)申請人：歐斯朗奧托半導體股份有限公司(德國)OSRAM OPTO SEMICONDUCTORS GMBH
(DE)

德國

(72)發明人：彼得 馬提亞 PETER, MATTHIAS (DE)；梅爾 托拜西 MEYER, TOBIAS (DE)；
瓦特 亞歷山大 WALTER, ALEXANDER (DE)；高哲也 TAKI, TETSUYA (JP)；
歐夫 爵根 OFF, JUERGEN (DE)；布登迪契 雷納 BUTENDEICH, RAINER
(DE)；赫特柯恩 約阿欣 HERTKORN, JOACHIM (DE)

(74)代理人：何金塗；丁國隆

(56)參考文獻：

TW 200537703A

TW 200638563A

US 2008/0149918A1

WO 2009/072787A2

審查人員：于若天

申請專利範圍項數：14 項 圖式數：5 共 0 頁

(54)名稱

半導體晶片

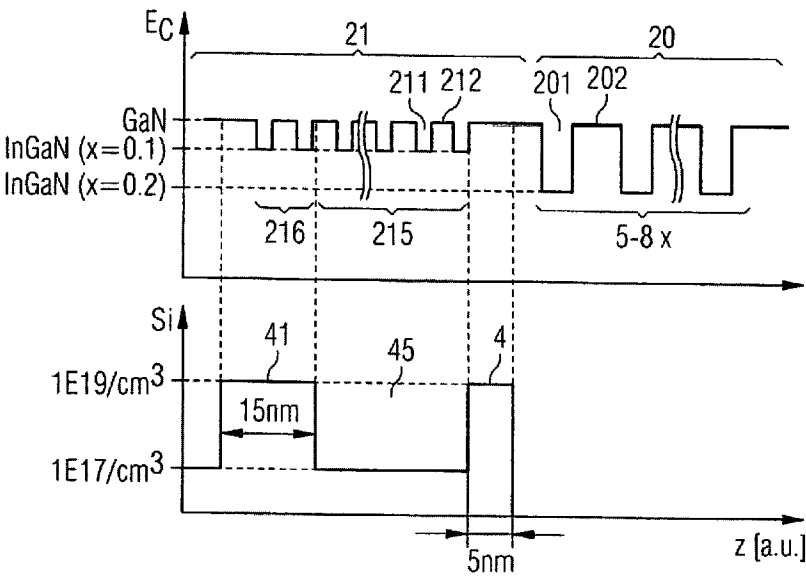
SEMICONDUCTOR CHIP

(57)摘要

本發明提供一種半導體晶片(1)，其半導體本體(2)具有半導體層序列，其中一用來產生輻射之活性區(20)配置在 n-導電之多層結構(21)和 p-導電之半導體層(22)之間。在該 n-導電之多層結構中形成一摻雜輪廓，其具有至少一摻雜尖峰(4)。

This invention provides a semiconductor chip (1), which has a semiconductor body (2) with a semiconductor-layer sequence, wherein an active area (20) for generating a radiation is arranged between an n-conductive multi-layer structure (21) and a p-conductive semiconductor layer (22). In the n-conductive multi-layer structure is formed a doping profile, which has at least a doping tip (4).

圖 1B



- 20 . . . 活性區
- 201 . . . 量子層
- 202 . . . 位障層
- 21 . . . n-導電之多層結構
- 211 . . . 量子層
- 212 . . . 位障層
- 215 . . . 低摻雜的部份區
- 216 . . . 高摻雜的部份區
- 4 . . . 摻雜尖峰
- 41 . . . 另一摻雜尖峰
- 45 . . . n-導電之低摻雜區

102年12月24日修正本

2013年12月24日 修正本

發明專利說明書**公告本**

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99146097

※申請日：99.12.27

※IPC分類：H01L 33/06 (2006.01)

一、發明名稱：(中文/英文)

半導體晶片

SEMICONDUCTOR CHIP

二、中文發明摘要：

本發明提供一種半導體晶片(1)，其半導體本體(2)具有半導體層序列，其中一用來產生輻射之活性區(20)配置在n-導電之多層結構(21)和p-導電之半導體層(22)之間。在該n-導電之多層結構中形成一摻雜輪廓，其具有至少一摻雜尖峰(4)。

三、英文發明摘要：

This invention provides a semiconductor chip (1), which has a semiconductor body (2) with a semiconductor-layer sequence, wherein an active area (20) for generating a radiation is arranged between an n-conductive multi-layer structure (21) and a p-conductive semiconductor layer (22). In the n-conductive multi-layer structure is formed a doping profile, which has at least a doping tip (4).

四、指定代表圖：

(一)本案指定代表圖為：第 (1B) 圖。

(二)本代表圖之元件符號簡單說明：

20	活 性 區
201	量 子 層
202	位 障 層
21	n-導 電 之 多 層 結 構
211	量 子 層
212	位 障 層
215	低 摻 雜 的 部 份 區
216	高 摻 雜 的 部 份 區
4	摻 雜 尖 峰
41	另 一 摻 雜 尖 峰
45	n-導 電 之 低 摻 雜 區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明涉及一種半導體晶片，其用來產生輻射。

本專利申請案主張德國專利申請案 10 2009 060 747.1 之優先權，其已揭示的整個內容在此一併作為參考。

【先前技術】

發光二極體(LED)-半導體晶片通常具有一種用來產生輻射之活性區，其具有多個量子井(quantum wells)。

活性區的 InGaN-量子井中已顯示：所發出的輻射功率不是隨著電流密度的增加而線性地增加。這原因在於：電荷載體通常不能有效地注入至量子井中。

【發明內容】

本發明的目的是提供一種半導體晶片，其中電荷載體能有效地注入至活性區中。

上述目的藉由申請專利範圍獨立項第 1 項之物件來達成。其它佈置和形式描述在申請專利範圍各附屬項中。

在一實施形式中，半導體晶片的半導體本體具有半導體層序列，其中該半導體層序列具有 n-導電之多層結構、p-導電之半導體層和一用來產生輻射的活性區。此活性區配置在 n-導電之多層結構和 p-導電之半導體層之間。在 n-導電之多層結構中形成一摻雜輪廓(profile)，其具有至少一摻雜尖峰。

該摻雜輪廓特別是指垂直方向(即，沿著半導體本體之半

導體層序列之沈積方向而延伸的方向)中該摻雜的外形。換言之，該摻雜輪廓垂直於半導體本體之半導體層序列之半導體層之主延伸面而延伸。

本發明中所謂摻雜尖峰是指半導體材料的一區域，其在與至少一相鄰的區域比較時具有高的摻雜濃度。在二側包圍著該摻雜尖峰之半導體材料較佳是以低摻雜、未摻雜或以固有形式而形成。

所謂高摻雜濃度特別是指至少 $2 \times 10^{18} \text{ cm}^{-3}$ 之濃度。

所謂低摻雜濃度特別是指至少 $1 \times 10^{16} \text{ cm}^{-3}$ 且最多是 $1 \times 10^{18} \text{ cm}^{-3}$ 之濃度。

已顯示的事實是，特別是在與 n-導電之多層結構之其餘範圍相比較時，薄的高摻雜之摻雜尖峰會在半導體晶片之活性區中造成較佳的電荷載體注入。由於高的摻雜，n-導電之多層結構在摻雜尖峰之區域中具有較高的橫向導電性(即，在橫向中具有高的導電性)，使電荷載體在橫向中可特別均勻地注入至活性區中。在活性區之反向中，即，在活性區之截止方向中，至少一摻雜尖峰會造成橫向的均勻電流。於是，半導體晶片具有一種對靜電放電(ESD)較小的敏感性。

在一較佳的佈置中，n-導電之多層結構具有至少一藉由摻雜尖峰而被高摻雜之區域和一個 n-導電之低摻雜區。至少一摻雜尖峰中之摻雜濃度較佳是 n-導電之多層結構之 n-導電之低摻雜區中之摻雜濃度的至少 5 倍，特別是至少 8

倍，例如，10 倍。

該 n-導電之低摻雜區特別是可與該摻雜尖峰相鄰。

該摻雜尖峰中的摻雜濃度較佳是至少 $4 \times 10^{18} \text{ cm}^{-3}$ 。藉由高的摻雜濃度，可達成高的導電性。

又，該摻雜尖峰中的摻雜濃度較佳是最多 $1 \times 10^{20} \text{ cm}^{-3}$ ，特別佳時最多是 $3 \times 10^{19} \text{ cm}^{-3}$ 。

又，特別是相鄰之 n-導電之低摻雜區中的摻雜濃度較佳是最多 $5 \times 10^{17} \text{ cm}^{-3}$ ，特別佳時最多是 $2 \times 10^{17} \text{ cm}^{-3}$ 。

在一較佳的佈置中，至少一摻雜尖峰中之摻雜濃度至少是 $4 \times 10^{18} \text{ cm}^{-3}$ 且 n-導電之低摻雜區中的摻雜濃度最多是 $8 \times 10^{17} \text{ cm}^{-3}$ 。

該摻雜尖峰之垂直範圍較佳是介於 1 奈米(含)和 30 奈米(含)之間，特別是介於 2 奈米(含)和 20 奈米(含)之間。該摻雜尖峰之垂直範圍特別是介於 7 奈米(含)和 10 奈米(含)之間。

n-導電之多層結構在半導體晶片操作時特別是用來將電子注入至活性區中。因此，該 n-導電之多層結構通常未必摻雜成 n-導電。反之，該 n-導電之多層結構亦可具有一層或多個層，該層或該多個層中該 n-導電之多層結構未摻雜或以固有形式來構成。

相對應地，p-導電之半導體層特別是用來將電洞注入至活性區中。該 p-導電之半導體層亦能以多層的形式來形成，其中各別層在摻雜度及/或晶體組成上可不相同。

半導體本體較佳是以化合物半導體為主，特別是以氮化物-化合物半導體為主。

在此處，“以氮化物-化合物半導體為主”之意義是指，其活性之磊晶-層序列或至少一層較佳是包含氮化物-III/V-化合物半導體材料，較佳是 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ，其中 $0 \leq x \leq 1$, $0 \leq y \leq 1$ 且 $x+y \leq 1$ 。因此，此材料未必含有上述形式之以數學所表示之準確組成。反之，此材料可具有一種或多種摻雜物質以及其它成份，這些成份基本上不會改變此 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ -材料之物理特性。然而，為求簡單，上述形式只含有晶格(Al, Ga, In, N)之主要成份，這些主要成份之一部份亦可由少量的其它物質來取代。

該活性區較佳是具有多個量子層。該些量子層以適當的方式配置在多個位障層之間。各量子層和位障層因此可形成量子結構。

此量子結構概念在本發明的範圍中特別是包含一種結構，此結構中電荷載體可藉由局限(confinement)而使其能量狀態經歷一種量子化。此量子井結構概念在此處未指出量子化的維度。因此，量子井結構可另外包含量子槽，量子線和量子點以及這些結構的每一種組合。

在一較佳的佈置中，n-導電之多層結構具有量子結構。此量子結構可具有多個量子層。

又，此量子結構概念特別是佈置成多重式量子井(MQW)結構以及佈置成超晶格。不同於多重式量子井結構，超晶

格中相鄰的量子層之距離較小，使相鄰的量子層之電子狀態互相以量子力而耦合且形成共同的電子狀態。

例如，在超晶格之多個量子層之間可形成位障層，其具有 5 奈米或更小的厚度(例如，2 奈米)。

在一較佳的佈置中，n-導電之多層結構之量子層之能帶間隙至少須與活性區之量子層之能帶間隙一樣大。特別佳的是，n-導電之多層結構之量子層之能帶間隙大於活性區之量子層之能帶間隙。例如，在以氮化物-化合物半導體為主之半導體晶片中，n-導電之多層結構之量子層全部的銦含量 x 小於活性區之量子層的銦含量。

異於該活性區之量子層，該 n-導電之多層結構之量子層不是用來產生輻射而是特別用來將電子有效地注入至活性區中，該活性區中該些電子可與電洞重組而發出輻射。

活性區之量子層較佳是以固有方式形成或未摻雜地形成。

在另一較佳之佈置中，摻雜尖峰配置在該 n-導電之多層結構之位於該活性區後的量子層與該活性區之位於該 n-導電之多層結構後之量子層間。這樣可確保該活性區附近中一種良好的橫向電流分佈。

又，該摻雜尖峰與該活性區的距離，特別是與該活性區之位於該 n-導電之多層結構後之量子層間的距離，較佳是在 1 奈米(含)和 30 奈米之間，特別佳時是在 2 奈米(含)和 20 奈米之間，特別是在 7 奈米(含)和 10 奈米之間。

藉由該活性區附近中上述高摻雜的摻雜尖峰，可特別有效地將電荷載體注入至活性區中，且特別是在橫向中特別均勻地進行注入。在截止方向中，至少一摻雜尖峰由於高的橫向導電性而可較佳地使用多個可能的電荷載體路徑，這樣在與半導體本體之 n-導電區中未具有摻雜尖峰時之半導體晶片比較下可降低靜電放電-損傷之危險性。

較佳是形成至少一摻雜尖峰，使該摻雜尖峰具有由低摻雜濃度至高摻雜濃度之尖銳的過渡區或相反形式的過渡區。在製造半導體晶片時，這藉由小的生長速率(大致上介於 20 奈米/小時和 500 奈米/小時之間)來達成。較佳是藉由 MOCVD 以進行磊晶沈積。

在另一較佳形式中，n-導電之多層結構之晶體結構具有 V-形溝槽。此種溝槽在沈積半導體層時特別是沿著一偏移線而形成且亦稱為 V-坑。此種 V-形溝槽特別是在半導體材料處於較低沈積溫度(大約是小於 950℃)時形成。此種 V-形溝槽可使半導體晶片在截止方向中有較佳的特性。

在另一較佳的佈置中，該摻雜輪廓具有至少另一摻雜尖峰。特別是在該摻雜尖峰和另一摻雜尖峰之間配置該 n-導電之多層結構之至少一量子層。換言之，須形成該摻雜輪廓，使該 n-導電之多層結構之量子層的一部份成為高 n-摻雜，但量子層之其餘部份則成為較低的 n-摻雜。

該摻雜輪廓亦可具有多於二個之摻雜尖峰，特別是具有一個(含)和五個(含)之間的摻雜尖峰，較佳是具有一個(含)

和三個(含)之間的摻雜尖峰。

在半導體晶片之一較佳的佈置中，完全或至少一部份去除半導體本體之半導體層序列用之生長基板。此種半導體晶片亦稱為薄膜-半導體晶片。

本發明之範圍中，薄膜-半導體晶片(大致上是薄膜-發光晶片)的特徵是以下各特徵的至少一種：

- 在包括半導體層序列(特別是磊晶層序列)之半導體本體之面向一載體元件之主面上施加一種鏡面層或以佈拉格鏡面的形式積體化於半導體層序列中，使該半導體層序列中所產生的電磁輻射之至少一部份反射回到該半導體層序列中，其中該半導體層序列具有一活性區；

- 此半導體層序列具有一種 20 微米或更小的厚度，特別是具有 10 微米的厚度；及/或

- 此半導體層序列包含至少一種半導體層，其至少一面有一混合結構。在理想狀況下，此混合結構可使半導體層序列中的光達成一種近似遍歷(ergodic)之分佈，即，該光具有一種儘可能遍歷之隨機雜散特性。

薄膜-發光二極體晶片之基本原理例如已描述在文件 I. Schnitzer et al., Appl. Phys. Lett. 63(16), 18. October 1993, page 2174-2176 中，其已揭示的內容藉由參考而併入此處。

本發明之其它特徵、佈置和適當形式將以圖式而描述在各實施例的說明中。

【實施方式】

各圖式和實施例中相同、相同形式或作用相同的各組件分別標以相同的參考符號。

所示各元件和各元件之間的比例未必依比例繪出。反之，爲了清楚起見，放大顯示各圖式的較小元件且特別是層厚度。

半導體晶片之半導體本體之第一實施例以切面圖顯示在圖 1A 中。半導體本體 2 具有半導體層序列，其形成半導體本體。半導體層序列具有一用來產生輻射之活性區 20，其配置在 n-導電之多層結構 21 和 p-導電之半導體層 22 間。半導體本體之半導體層序列較佳是以磊晶方式(特別是藉由 MBE 或 MOCVD)而沈積在生長基板 29 上。在以氮化物-化合物半導體爲主之半導體本體中，例如藍寶石、碳化矽、矽或氮化鎵適合用作生長基板。在該 n-導電之多層結構 21 和該生長基板之間可形成一緩衝層，其特別是用來提高晶體品質(未明顯地顯示)。

活性區 20 具有量子結構，其是由多個量子層 201 和多個配置在該些量子層之間的位障層 202 所形成。該活性區於此處例如只具有一種具有三個量子層之量子結構。然而，亦可與此不同，設有其它數目的量子層，例如，可只設有一個或二個量子層或多於三個之量子層，大約可至 20 個量子層，例如可爲五個至八個量子層。

該 p-導電之半導體層 22 亦能形成爲多層的形式，其中各別的層特別是可由於材料成份及/或材料成份之摻雜度

而互不相同。

該 n-導電之多層結構 21 所具有的量子結構可具有多個量子層 211，其配置在位障層 212 之間。

摻雜尖峰 4 之位置在垂直方向，即，在垂直於該半導體本體 2 之半導體層之主延伸面之方向中以一箭頭來表示。該摻雜尖峰位於 n-導電之多層結構 21 中，特別是位於 n-導電之多層結構 21 之位於活性區後的量子層 211 和該活性區 20 之位於該 n-導電之多層結構 21 後的量子層 201 間。在該 n-導電之多層結構 21 之與該摻雜尖峰 4 相鄰之區域中，各量子層 211 以及與各量子層相鄰之位障層是低摻雜者。

藉該摻雜尖峰 4，可將電子有效地注入至活性區 20 中。在反向中，該摻雜尖峰同樣可造成較佳的電流擴散，這樣可降低由半導體層序列所形成的半導體晶片之靜電放電-損傷之危險性。下降之靜電放電-敏感性是以半導體層序列之沈積來達成，降低半導體晶片在隨後之製造步驟中受損之危險性。

於半導體晶片之半導體本體之第二實施例中，導電帶邊緣外形 E_c 以及矽-摻雜輪廓在圖 1B 中顯示成 z-方向的函數。該 z-方向即為半導體本體 2 之半導體層之沈積方向且垂直於半導體本體 2 之半導體層之主延伸面而延伸。

第二實施例基本上對應於圖 1A 所示之半導體本體之第一實施例。不同之處在於，第二實施例中形成另一摻雜尖

峰 41。

該另一摻雜尖峰 41 形成該 n-導電之多層結構 21 之量子結構之高摻雜的一部份區域。在該另一摻雜尖峰和該摻雜尖峰 4 之間形成該量子結構之 n-導電之低摻雜區 45。

半導體本體 2，特別是活性區 20，在本實施例中是以氮化物-化合物半導體為主。

活性區 20 具有多個量子層 201。在本實施例中，活性區用來產生藍色光譜區中的輻射。於此，各量子層分別具有 $x=0.2$ 之銦含量。然而，活性區亦可用來在其它光譜區中發出輻射。銦含量越高，能帶間隙越小且因此使活性區中可產生之光子之能量越小。銦含量因此可在擴大的界限中改變。例如，銦含量為 $x=0.10$ 之量子層在操作時發出紫外線光譜區中的輻射，且銦含量為 $x=0.40$ 之量子層在操作時發出綠色光譜區中的輻射。在各量子層之間配置 GaN-位障層 202。

於本實施例中，該 n-導電之多層結構 21 之摻雜輪廓藉由矽-摻雜來達成。然而，亦可使用其它摻雜物質。

該摻雜輪廓具有摻雜尖峰 4。本實施例中，此摻雜尖峰之寬度大約是 5 奈米。摻雜尖峰 4 之區域中摻雜濃度是 $1 \times 10^{19} \text{ cm}^{-3}$ ，在與該摻雜尖峰 4 相鄰之低摻雜的 n-導電區 45 中之摻雜濃度是 $1 \times 10^{17} \text{ cm}^{-3}$ 。又，該摻雜輪廓具有另一摻雜尖峰 41，其寬度是 15 奈米，其中 n-導電之多層結構以 $1 \times 10^{19} \text{ cm}^{-3}$ 之摻雜濃度來形成 n-導電之摻雜。

藉由該摻雜尖峰，則在橫向中可達成特別均勻之電荷載體注入。於是，可達成有效的電流擴散，特別是直接在活性區之量子層 201 的下方達成。

如圖 1A 所示，該 n-導電之多層結構 21 之量子結構具有多個量子層 211，其分別配置在位障層 212 之間。藉由此種摻雜輪廓，則可形成該量子結構之低摻雜之部份區 215 和高摻雜的部份區 216。在這些區中，可分別對各量子層及/或各位障層進行摻雜。至少在至少一摻雜尖峰之區域中，較佳是使量子層和位障層形成為高摻雜。

該 n-導電之多層結構 21 因此具有量子結構之一低摻雜之部份區和一高摻雜之部份區。量子層之低摻雜之部份區 215 因此在摻雜尖峰 4、41 之間延伸，且在半導體晶片操作時形成電子儲存區。在量子結構之該低摻雜之部份區中，量子層 211 和位障層 212 形成為低摻雜。藉該摻雜尖峰 4，可特別有效地在橫向中使電荷載體由 n-導電之多層結構 21 均勻地注入至活性區 20 之量子層中。

於本實施例中，該 n-導電之多層結構 21 之量子層具有 $x=0.1$ 之銦含量。然而，銦含量亦可選擇成與此不同。銦含量較佳是選擇成最多與活性區中之量子層之銦含量一樣多，使 n-導電之多層結構 21 之量子層之能帶間隙大於活性區 20 中的量子層之能帶間隙或等於該活性區中的量子層之能帶間隙。

該 n-導電之多層結構之量子結構特別是可形成為量子井

結構或超晶格，其例如具有厚度小於 5 奈米(大約是 2 奈米)之位障層。

於是，可簡易地將電荷載體有效地注入至活性區中。

當然，活性區 20 之材料成份和 n-導電之多層結構 21 以及摻雜輪廓亦可與所示的實施例不同。

至少一摻雜尖峰 4 中之摻雜濃度較佳是至少 $4 \times 10^{18} \text{ cm}^{-3}$ 。又，摻雜尖峰中之摻雜濃度較佳是最多 $1 \times 10^{20} \text{ cm}^{-3}$ ，特別是最多 $3 \times 10^{19} \text{ cm}^{-3}$ 。

在 n-導電之低摻雜區 45 中，該摻雜濃度較佳是最多為 $5 \times 10^{17} \text{ cm}^{-3}$ ，特別是最多為 $2 \times 10^{17} \text{ cm}^{-3}$ 。

至少一摻雜尖峰中之摻雜濃度較佳是至少為該 n-導電之多層結構之 n-導電之低摻雜區者之五倍，特別是至少八倍。

該摻雜尖峰 4 及/或該另一摻雜尖峰 41 之厚度(即，垂直範圍)較佳是介於 1 奈米(含)和 30 奈米(含)之間，特別佳時是介於 2 奈米(含)和 20 奈米(含)之間，最佳時是介於 7 奈米(含)和 10 奈米(含)之間。

該摻雜尖峰 4 較佳是與該活性區 20 相隔一小距離，此距離特別佳時是最多 30 奈米，特別是介於 1 奈米(含)和 30 奈米(含)之間，較佳是介於 2 奈米(含)和 20 奈米(含)之間，最佳時是介於 7 奈米(含)和 10 奈米(含)之間。

又，與所示實施例不同，亦可設有多於二個之摻雜尖峰，例如，可設有一個(含)至五個(含)摻雜尖峰。

又，與所示之實施例不同，n-導電之多層結構 21 亦可具

有多個層或多個部份層，其未摻雜或以固有形態形成。在此種情況下，未摻雜或以固有形態而形成之層適當地薄化，使該 n-導電之多層結構 21 在沈積方向中對電子具有足夠高的導電性。

在摻雜尖峰 4、41 之區域中就該摻雜輪廓形成為儘可能是矩形的外形而言，較佳是以小的生長速率來進行沈積，例如，沈積的速率是介於 20 奈米/小時(含)和 500 奈米/小時(含)之間。

又，n-導電之多層結構之晶體結構較佳是具有 V-形溝槽，其特別是在小的沈積溫度(大約低於 950℃)時沿著偏位(dislocation)而擴大地形成。在截止方向中施加電壓時，V-形溝槽可使半導體晶片有較佳的特性。

半導體晶片 1 之第一實施例顯示在圖 2 中，其中半導體本體 2 就像圖 1A 的例子所述者一樣地構成。

半導體晶片 1 因此形成為一種薄膜-LED-半導體晶片 1，其中該半導體本體 2 之半導體層序列用之生長基板 29(圖 1A)已去除。活性區 20 在操作時用來產生非相參(incoherent)的輻射。

半導體本體 2 配置在一載體 5 上。該載體 5 特別是用來使半導體本體達成機械穩定性，因此不需該生長基板。

例如，半導體材料，例如，矽、砷化鎵或鎘、或陶瓷(大致上是氮化鋁)適合作為載體材料。

載體 5 藉一種連接層 8，機械穩定地且可導電地與半導

體本體 5 相連接。

例如，焊劑或可導電之黏合材料適合用作該連接層。

一鏡面層 62 形成於載體 5 和半導體本體 2 之間。藉由該鏡面層，於半導體本體 2 之操作時，在該活性區 20 中所產生的在該載體 5 之方向中發出之輻射可於輻射發出面 200 之方向中反射且因此由該半導體晶片中發出。

在該半導體本體 2 之遠離該載體 5 之此側上，該半導體本體具有第一接觸區 31。在該半導體晶片之相對的側面上，即，在該載體 5 之遠離該半導體本體 2 之此側上，形成第二接觸區 32。

第一接觸區及/或第二接觸區較佳是含有金屬，例如，金、銀、鉑、鋁、鎳、鉻或銅或一種具有上述至少一材料的合金。

藉第一接觸區 31 和第二接觸區 32，在半導體晶片 1 操作時，電荷載體可由不同側注入至活性區 20 中且在該處重組而發出輻射。

經由第一接觸區 31 而注入之電子在 n-導電之多層結構 21 中有效地在橫向中分佈在至少一摻雜尖峰 4 之區域中，且均勻地耦合至活性區 20 之量子層 201 中。

鏡面層 62 較佳是以金屬構成且對該活性區中所產生的輻射另具有一種高的反射性。例如，鋁、銀、金、鈮或銻之類的金屬或一具有上述至少一種金屬之金屬合金適合用作鏡面層。

半導體晶片 1 之第二實施例以切面圖顯示在圖 3 中。半導體本體 2 以圖 1A 所述的方式而構成。與圖 2 所示之第一實施例之半導體晶片不同，半導體本體 2 具有一凹口 24，其由一與載體 5 相面對之側面經由 p-導電之半導體層 22 和活性區 20 而延伸至 n-導電之多層結構 21 中。該凹口穿過該 n-導電之多層結構之量子層 211。該凹口之側面由隔離層 27 所覆蓋，該隔離層 27 保護該半導體本體 2，使活性區 20 不會發生電性上的短路。

凹口 24 中形成一接觸層 65，其用來使活性區可與遠離該 p-導電之半導體層 22 之此側形成電性接觸。

載體 5 具有第一終端面 51 和第二終端面 52，其中第一終端面 51 經由接觸層 65 而與 n-導電之多層結構 21 形成電性連接，且第二終端面 52 經由鏡面層 62 而與 p-導電之半導體層 22 形成電性連接。第一終端面 51 和第二終端面 52 配置在該載體 5 之相同側面上。

藉凹口 24，可對配置在活性區 20 之遠離該載體 5 之此側上之 n-導電之多層結構 21 達成電性接觸，使輻射發出面 200 可形成為未具備外部電性接觸區。該輻射發出面之由於不能透過輻射之接觸區所造成的遮蔽現象將不會發生。

載體 5 具有缺口 55，其由該載體 5 之面向半導體本體 2 之第一主面 501 延伸至與第一主面相面對之第二主面 502。第一終端面 51 經由該缺口而與第一接觸區 31 形成電性連接，且第二終端面 52 與第二接觸區 32 形成電性連接，

使半導體晶片 1 可由該半導體晶片之遠離該輻射發出面 200 之下側來達成外部電性接觸。又，半導體本體 2 在該輻射發出面 200 之此側上具有結構 7。此結構 7 用來降低該半導體晶片產生於活性區中的輻射之全反射，且因此提高發射效率。當然，此種結構亦可設置在圖 2 所示之半導體晶片的第一實施例中。

圖 4 顯示反向電流 I 之特性作為活性區 20 之反向(即，截止方向)中的電壓 U 之函數。曲線 99 顯示半導體層序列上之測量值，在隨後的過程中半導體晶片之半導體本體來自該半導體層序列。該半導體層序列因此就像圖 1B 所示般構成。

相較之下，曲線 98 顯示半導體層序列上之測量值，其中使用傳統之 n -導電區而不具備摻雜尖峰。

箭頭 97 指出：藉 n -導電之多層結構 21 之上述構造，可使電流曲線在小電壓時，首先慢慢地上升，且只有在電壓值很高時才顯示電流之陡峭的上升狀。此測量曲線因此顯示了很明顯的彎曲外形。

各實施例的描述只是例示性地依據 LED-半導體晶片來進行。然而，該 n -導電之多層結構 21 和具有至少一摻雜尖峰 4 之摻雜輪廓之上述佈置亦可用於發出相參或至少一部份相參之輻射之組件，例如，可用於表面發射式或邊緣發射式半導體晶片或用於共振空腔發光二極體(resonant cavity LED)。

本發明當然不限於依據各實施例中所作的描述。反之，本發明包含每一新的特徵和各特徵的每一種組合，特別是包含各申請專利範圍-或不同實施例之各別特徵之每一種組合，即便相關的特徵或相關的組合本身未明顯地顯示在各申請專利範圍中或各實施例中，仍屬於本發明。

【圖式簡單說明】

圖 1A 顯示一具有半導體層序列之半導體本體之實施例的切面圖。

圖 1B 顯示第二實施例中沿著半導體本體之一部份的沈積方向 z 之導電帶邊緣外形 E_c 和一摻雜輪廓之圖解。

圖 2 顯示半導體晶片之第一實施例之切面圖。

圖 3 顯示半導體晶片之第二實施例之切面圖。

圖 4 顯示電流 I 之測量值作為反向中所施加的電壓 U 之函數之結果。

【主要元件符號說明】

1	半導體晶片
2	半導體本體
4	摻雜尖峰
5	載體
7	結構
8	連接層
20	活性區
21	n-導電之多層結構

2 2	p-導電之半導體層
2 4	凹口
2 7	隔離層
2 9	生長基板
3 1	第一接觸區
3 2	第二接觸區
4 1	另一摻雜尖峰
4 5	n-導電之低摻雜區
5 1	第一終端面
5 2	第二終端面
5 5	缺口
6 2	鏡面層
6 5	接觸層
9 7	箭頭
9 8 、 9 9	曲線
2 0 0	輻射發出面
2 0 1	量子層
2 0 2	位障層
2 1 1	量子層
2 1 2	位障層
2 1 5	低摻雜的部份區
2 1 6	高摻雜的部份區
5 0 1	第一主面
5 0 2	第二主面

七、申請專利範圍：

1. 一種半導體晶片(1)，其半導體本體(2)具有半導體層序列，其中
 - 該半導體層序列具有 n-導電之多層結構(21)、p-導電之半導體層(22)以及一用來產生輻射之活性區(20)，其配置在該 n-導電之多層結構(21)和該 p-導電之半導體層之間；
 - 在該 n-導電之多層結構中形成摻雜輪廓，其具有至少一摻雜尖峰(4)；
 - 該 n-導電之多層結構(21)具有包含多個量子層(211)之量子結構，其係配置在複數個位障層(212)之間
 - 該 n-導電之多層結構之與該摻雜尖峰(4)相鄰之區域中，各量子層(211)以及一與各量子層相鄰之位障層(212)是低摻雜。
2. 如申請專利範圍第 1 項之半導體晶片，其中該至少一摻雜尖峰中之摻雜濃度至少是該 n-導電之多層結構之 n-導電之低摻雜區(45)之五倍。
3. 如申請專利範圍第 2 項之半導體晶片，其中該至少一摻雜尖峰中之摻雜濃度至少是 $4 \times 10^{18} \text{ cm}^{-3}$ 且在該 n-導電之低摻雜區中最多是 $8 \times 10^{17} \text{ cm}^{-3}$ 。
4. 如申請專利範圍第 1 至 3 項中任一項之半導體晶片，其中該摻雜尖峰具有一種介於 1 奈米(含)和 30 奈米之間之垂直範圍。

- 5.如申請專利範圍第 1 至 3 項中任一項之半導體晶片，其中該摻雜尖峰具有一種介於 5 奈米(含)和 20 奈米之間之垂直範圍。
- 6.如申請專利範圍第 1 至 3 項中任一項之半導體晶片，其中該摻雜尖峰與該活性區之間具有一種介於 2 奈米(含)和 20 奈米之間之距離。
- 7.如申請專利範圍第 1 至 3 項中任一項之半導體晶片，其中該活性區具有多個量子層(201)，其中該摻雜尖峰配置在該 n-導電之多層結構之離該活性區之最近的量子層和該活性區之離該 n-導電之多層結構(21)之最近的量子層之間。
- 8.如申請專利範圍第 1 至 3 項中任一項之半導體晶片，其中該 n-導電之多層結構之該量子層之能帶間隙至少與該活性區之該量子層(201)之能帶間隙一樣大。
- 9.如申請專利範圍第 1 至 3 項中任一項之半導體晶片，其中該摻雜輪廓具有另一摻雜尖峰(41)，其中在該摻雜尖峰和該另一摻雜尖峰之間配置該 n-導電之多層結構之至少一量子層。
- 10.如申請專利範圍第 9 項之半導體晶片，其中該 n-導電之多層結構之量子結構之部份區(216)藉由該另一摻雜尖峰(45)而具有高的摻雜濃度。
- 11.如申請專利範圍第 1 至 3 項中任一項之半導體晶

片，其中該活性區是以氮化物化合物半導體材料為主。

12.如申請專利範圍第 1 至 3 項中任一項之半導體晶片，其中該 n-導電之多層結構之晶體結構具有 V-形之溝槽。

13.如申請專利範圍第 1 至 3 項中任一項之半導體晶片，其中去除半導體本體之半導體層序列用之生長基板。

14.如申請專利範圍第 1 項之半導體晶片，其中

- 該至少一摻雜尖峰中之摻雜濃度至少是該 n-導電之多層結構之與該摻雜尖峰相鄰之區域中者之五倍；

- 該活性區具有量子結構，其包括至少一量子層(201)；及

- 該 n-導電之多層結構之量子層之能帶間隙大於該活性區之量子層之能帶間隙。

八、圖式：

圖 1A

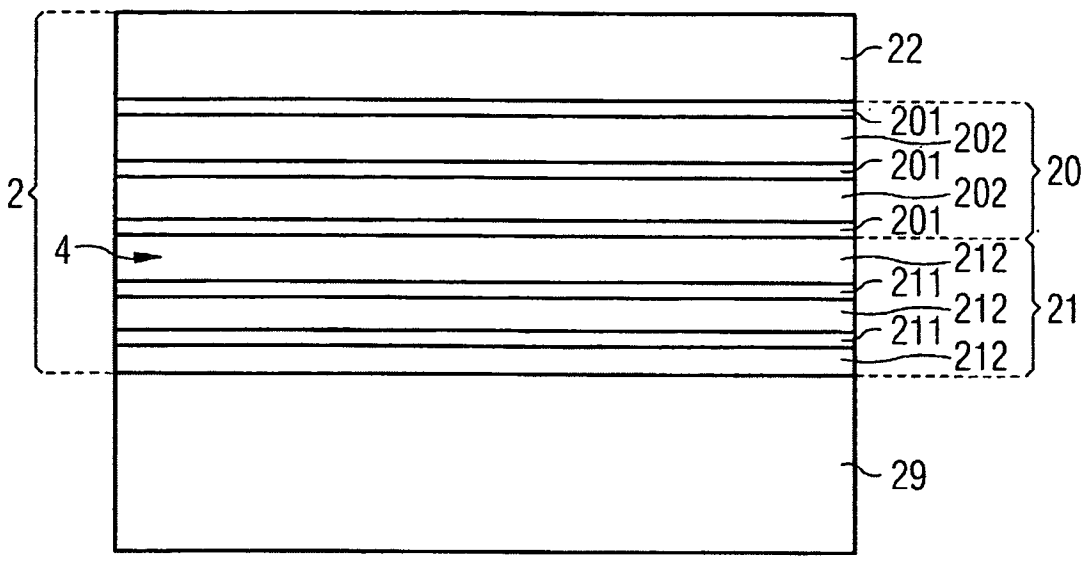


圖 1B

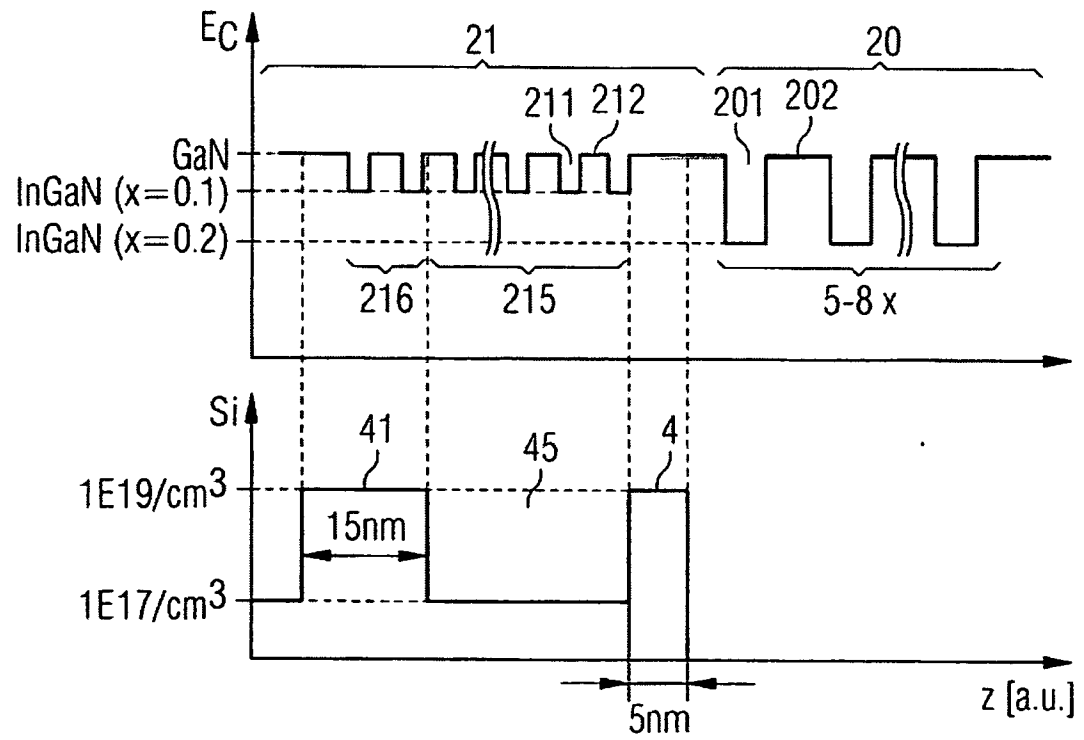


圖 2

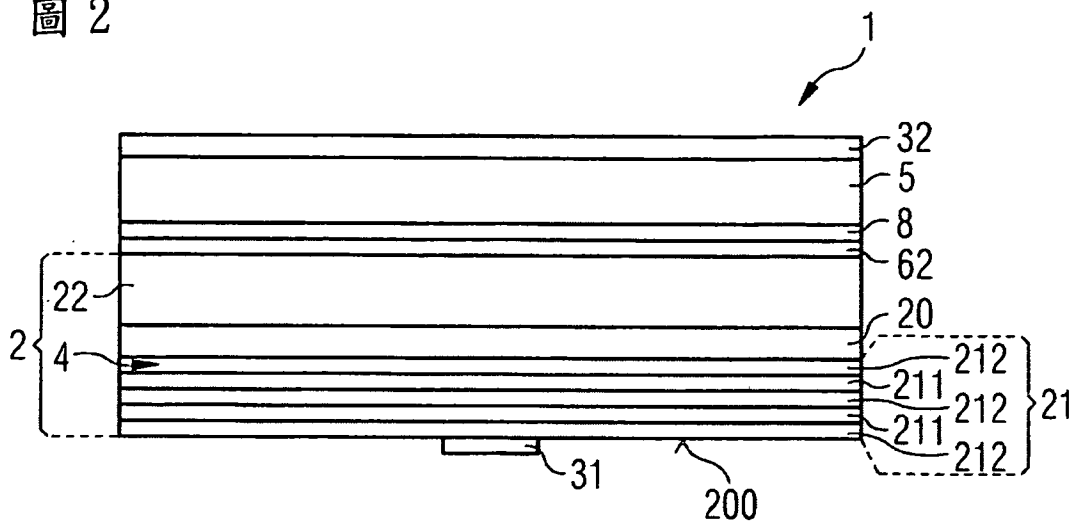


圖 3

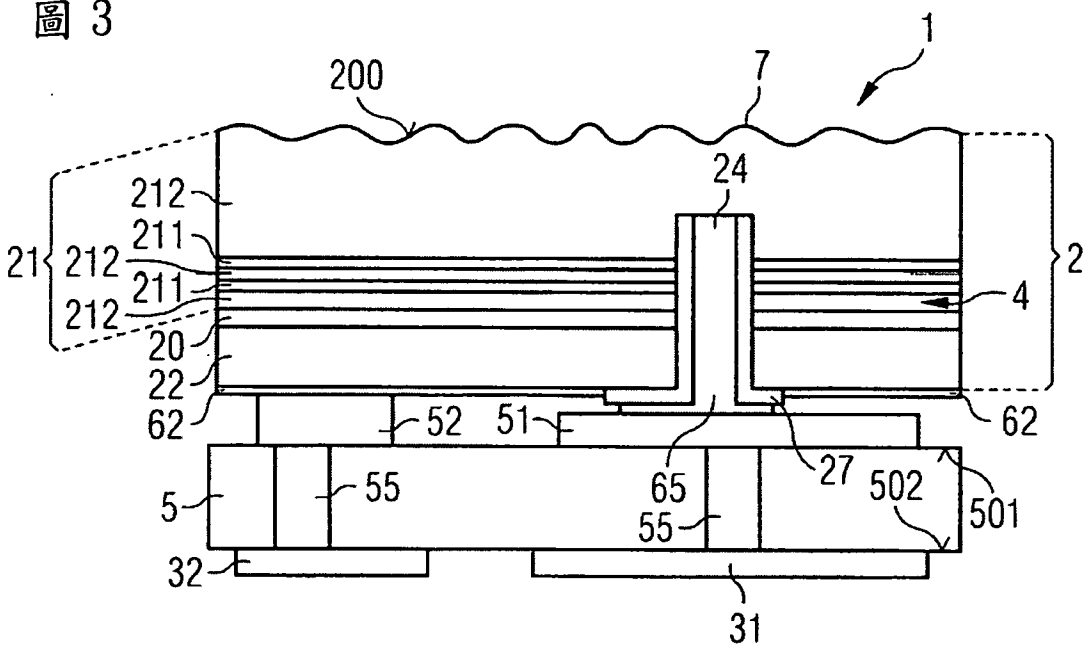


圖 4

