

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/28 (2006.01)		(45) 공고일자	2006년10월31일
		(11) 등록번호	10-0640639
		(24) 등록일자	2006년10월25일
(21) 출원번호	10-2005-0032296	(65) 공개번호	10-2006-0110096
(22) 출원일자	2005년04월19일	(43) 공개일자	2006년10월24일

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	이지영 경기 용인시 기흥읍 지곡리 250-1번지 강현재 경기 군포시 산본동 1148-4 금강아파트 911동 701호 우상균 경기 용인시 풍덕천2동 삼성5차아파트 523동 1704호
(74) 대리인	리엔목특허법인 이혜영

심사관 : 이우식

(54) 미세콘택을 포함하는 반도체소자 및 그 제조방법

요약

포토리소그래피의 해상도를 초과하는 크기의 콘택을 다양한 형태로 제작할 수 있는 미세콘택을 포함하는 반도체소자 및 그 제조방법에 대해 개시한다. 그 소자 및 방법은 층간절연막을 관통하여 도전영역과 연결되며, 층간절연막의 최상층에 층간절연막과 식각선택비가 다른 제1 스페이서에 의해 둘러싸인 제1 콘택 및 도전영역과 연결되며 제1 콘택과 함께 제1 방향으로 배열되면서 제1 스페이서 사이에 매립되는 제2 콘택을 포함한다. 본 발명에 의하면 층간절연막 내에 형성된 홀 형태의 콘택홀의 양측벽을 덮는 스페이서를 이용하여 콘택의 피치를 1/2로 줄일 수 있으며, 제1 방향과 수직인 제2 방향의 층간절연막에 제3 콘택을 형성함으로써, 다양한 배열을 가진 콘택을 형성할 수 있다.

대표도

도 10a

색인어

미세콘택, 피치, 스페이서, 식각선택비

명세서

도면의 간단한 설명

도 1a 내지 도 6a는 본 발명의 제1 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도들이고, 도 1b 내지 도 6b는 도 2a의 A-A선에 따라 절단한 단면도이다.

도 7a 및 도 8a는 본 발명의 제2 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도들이고, 도 7b 및 도 8b는 도 2a의 A-A선에 따라 절단한 단면도들이다.

도 9a는 본 발명의 제3 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도이고, 도 9b는 도 2a의 A-A선에 따라 절단한 단면도이다.

도 10a 및 도 11a는 본 발명의 제4 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도들이고, 도 10b 및 도 11b는 도 10a의 B-B선에 따라 절단한 단면도들이며, 도 10c 및 도 11c는 도 10a의 C-C선에 따라 절단한 단면도들이다.

도 12a 및 도 20a는 본 발명의 제5 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도들이고, 도 12b 및 도 20b는 도 12a의 D-D선에 따라 절단한 단면도들이며, 도 12c 및 도 20c는 도 12a의 E-E선에 따라 절단한 단면도들이다.

도면의 주요부분에 대한 부호의 설명

100, 200; 기판 102; 제1 식각방지막

104; 층간절연막 106; 제1 콘택홀

110; 제1 PR 패턴 112; 제1 스페이서

114; 제2 콘택홀 116; 제3 콘택홀

122; 제1 콘택 124; 제2 콘택

132; 제3 PR 패턴 134; 제4 PR 패턴

136; 제4 콘택홀 138; 제3 콘택

208; 제1 층간절연막 210; 제2 식각방지막

212; 제2 층간절연막 214; 제5 PR 패턴

216; 제5 콘택홀 218; 제2 스페이서

219; 제6 콘택홀 222; 제6 PR 패턴

224; 제7 콘택홀 226; 제8 콘택홀

230; 제4 콘택 232; 제5 콘택

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 미세콘택을 포함하는 반도체소자 및 그 제조방법에 관한 것이다.

반도체소자의 집적도가 커짐에 따라, 콘택 사이의 간격도 점점 작아지고 있다. 종래에는 반도체기판 상에 놓여진 물질의 일부를 제거하여 도전물질을 채우는 콘택을 형성하기 위하여 포토리소그래피 공정이 이용되어 왔다. 하지만, 최근에는 종래의 포토리소그래피 기술의 해상도를 초과하는 미세한 콘택이 요구되어지고 있다. 이에 따라, 미국등록특허 6,063,688과 같이 스페이서를 이용하여 미세콘택을 형성하는 방법이 제안되었다.

상기 등록특허에 의하면, 미세콘택은 반도체기판 상에 형성된 패턴(또는 스페이서)의 양측벽에 제1 두께의 스페이서를 형성한다. 그후, 제1 두께의 스페이서 사이의 상기 패턴을 제거하고 상기 제1 두께의 스페이서의 양측벽에 제2 두께의 다른 스페이서를 형성한다. 상기 공정을 반복하여 수행하면, 형성되는 콘택의 피치는 점점 작아질 수 있다.

그런데, 상기 등록특허에 제시된 미세콘택 형성방법은 라인형태의 패턴에는 적용할 수 있으나, 콘택형태의 패턴에는 적용하기 어렵다. 또한, 상기 방법은 패턴의 양측벽에 스페이서를 형성하는 과정에서 반도체기판을 손상시킬 수 있다. 나아가, 상기 방법은 다양한 형태의 콘택 구조, 예를 들어 메모리 소자의 커패시터 하부전극 콘택과 비트라인 콘택이 동시에 있는 구조를 구현할 수 없다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 포토리소그래피의 해상도를 초과하는 크기의 콘택을 다양한 형태로 제작할 수 있는 미세콘택을 포함하는 반도체소자를 제공하는 데 있다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는 포토리소그래피의 해상도를 초과하는 크기의 콘택을 다양한 형태로 제작할 수 있는 반도체소자의 미세콘택 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 의한 미세콘택을 포함하는 반도체소자의 하나의 예는 도전영역을 내재하는 기판과, 상기 기판 상에 형성된 적어도 1층 이상 층간절연막을 포함한다. 상기 층간절연막을 관통하여 상기 도전영역과 연결되며, 상기 층간절연막의 최상층에 상기 층간절연막과 식각선택비가 다른 제1 스페이서에 의해 둘러싸인 제1 콘택 및 상기 도전영역과 연결되며, 상기 제1 콘택과 함께 제1 방향으로 배열되면서 상기 제1 스페이서 사이에 매립되는 제2 콘택을 포함한다.

상기 제1 스페이서와 상기 제1 콘택을 포함하는 제1 콘택홀의 상기 제1 방향의 폭은 상기 제2 콘택의 폭의 3배일 수 있다. 상기 제1 콘택홀 내의 상기 제1 콘택의 폭은 상기 제1 스페이서의 두께에 의하여 결정될 수 있다. 상기 제1 콘택홀 사이의 피치는 상기 제1 콘택과 제2 콘택 사이의 간격에 대해 2배일 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명에 의한 미세콘택을 포함하는 반도체소자의 다른 예는 도전성 영역을 내재하는 반도체기판과, 상기 반도체기판 상에 형성되고 서로 다른 크기를 가진 제1 게이트 라인의 일부와 제2 게이트 라인을 덮는 제1 층간절연막을 포함한다. 상기 제1 게이트 라인 사이의 상기 제1 층간절연막을 관통하여 상기 도전영역과 연결되며, 상기 제1 층간절연막에 상기 층간절연막과 식각선택비가 다른 제2 스페이서에 의해 둘러싸인 제4 콘택 및 상기 제1 게이트 라인 사이의 제1 층간절연막을 관통하여 상기 도전영역과 연결되며, 상기 제1 콘택과 함께 제1 방향으로 배열되면서 상기 제2 스페이서 사이에 매립되는 제5 콘택을 포함한다.

상기 제2 스페이서와 상기 제4 콘택을 포함하는 제5 콘택홀의 상기 제1 방향의 폭은 상기 제5 콘택의 폭의 3배일 수 있다. 상기 제5 콘택홀 내의 상기 제4 콘택의 폭은 상기 제2 스페이서의 두께에 의하여 결정될 수 있다. 상기 제5 콘택홀 사이의 피치는 상기 제4 콘택과 제5 콘택 사이의 간격에 대해 2배일 수 있다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 의한 반도체소자의 미세콘택 제조방법의 하나의 예는 먼저 도전영역이 형성된 기판을 준비한다. 그후, 상기 기판 상에 적어도 1층 이상의 층간절연막을 형성한다. 상기 도전영역이 노출되도록 상기 층간절연막 내에 제1 콘택홀을 형성한다. 상기 제1 콘택홀 내부의 측벽을 덮는 제1 스페이서로 둘러싸인 제2 콘택홀을 형성한다. 상기 제1 스페이서 사이의 상기 층간절연막을 제거하여 제3 콘택홀을 형성한다. 상기 제2 콘택홀과 상기 제3 콘택홀에 도전물질을 채워 제1 콘택과 제2 콘택을 형성한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 의한 반도체소자의 미세콘택 제조방법의 다른 예는 먼저, 도전영역이 형성된 반도체기판을 준비한다. 그후, 상기 반도체기판 상에 형성된 서로 다른 크기를 가진 제1 게이트 라인과 제2 게이트

라인을 덮는 제1 층간절연막을 형성한다. 상기 제1 게이트라인 사이의 상기 제1 층간절연막의 상부의 일부가 리세스시켜 제5 콘택홀을 형성한다. 상기 제5 콘택홀 내부의 측벽을 덮는 제2 스페이서로 둘러싸인 제6 콘택홀을 형성한다. 상기 제2 스페이서가 형성된 상기 제6 콘택홀을 하부로 수직하게 확장하여 상기 반도체기판을 노출시키는 제7 콘택홀을 형성하는 것과 동시에, 상기 제2 스페이서 사이의 상기 제1 층간절연막을 제거하여 제8 콘택홀을 형성한다. 상기 제7 콘택홀과 상기 제8 콘택홀에 도전물질을 채워 제4 콘택과 제5 콘택을 형성한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 의한 반도체소자의 미세콘택 제조방법의 또 다른 예는 먼저, 도전영역이 형성된 반도체기판을 준비한다. 상기 반도체기판 상에 형성된 서로 다른 크기를 가진 제1 게이트 라인과 제2 게이트 라인을 덮는 제1 층간절연막, 제2 식각방지막 및 제2 층간절연막을 순차적으로 형성한다. 상기 제1 게이트라인 사이의 상기 제1 층간절연막의 상부의 일부가 리세스되도록 상기 제2 층간절연막, 제2 식각방지막 및 제1 층간절연막의 일부를 제거하여 제5 콘택홀을 형성한다. 상기 제5 콘택홀 내부의 측벽을 덮는 제2 스페이서로 둘러싸인 제6 콘택홀을 형성한다. 상기 제2 스페이서가 형성된 상기 제6 콘택홀을 하부로 수직하게 확장하여 상기 반도체기판을 노출시키는 제7 콘택홀을 형성하는 것과 동시에, 상기 제2 스페이서 사이의 상기 제2 층간절연막, 제2 식각방지막 및 제1 층간절연막의 일부를 제거하여 제8 콘택홀을 형성한다. 상기 제7 콘택홀과 상기 제8 콘택홀에 도전물질을 채워 제4 콘택과 제5 콘택을 형성한다.

이하 첨부된 도면을 참조하면서 본 발명의 바람직한 실시예를 상세히 설명한다. 다음에서 설명되는 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예들은 당분야에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다.

제1 실시예

도 1a 내지 도 6a는 본 발명의 제1 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도들이고, 도 1b 내지 도 6b는 도 2a의 A-A선에 따라 절단한 단면도이다.

도 1a 및 도 1b를 참조하면, 도전영역(도시 안됨)이 형성된 기판(100), 예를 들어 실리콘 기판 상에 제1 식각방지막(102) 및 층간절연막(104)을 순차적으로 형성한다. 제1 식각방지막(102)은 층간절연막(104)과 식각선택비가 충분히 큰 물질로 증착할 수 있다. 층간절연막(104)은 낮은 유전상수를 가진 물질, 예컨대 실리콘 산화막으로 이루어질 수 있다.

도 2a 및 도 2b를 참조하면, 층간절연막(104)의 최상층 상에 제1 콘택홀(106)을 정의하는 제1 포토레지스트 패턴(110)을 형성한다. 그후, 제1 포토레지스트 패턴(110)을 식각마스크로 하여 층간절연막(104)의 일부를 식각하여 기판(100)을 노출시키는 제1 콘택홀(106)을 형성한다. 제1 콘택홀(106)은 층간절연막(104)을 관통하는 형태이므로, 제1 콘택홀(106) 사이의 층간절연막(104)은 쓰러지지 않고 안정되게 형성될 수 있다. 또한, 제1 콘택홀(106)의 직경은 도 6a에서 설명되어질 제2 콘택(1240)의 폭보다 3배가 크므로, 통상의 리소그래피 기술로도 형성할 수 있다. 이때, 제1 콘택홀(106)의 피치(pitch)는 P_1 이다. 피치는 반복되어지는 동일한 패턴 사이의 최소거리이다.

도 3a 및 도 3b를 참조하면, 제1 콘택홀(106)의 바닥면과 양측벽을 덮는 제1 스페이서 물질층을 블랭킷 방식으로 증착한다. 이어서, 제1 스페이서 물질층을 전면식각하여 제1 콘택홀(106)의 바닥의 기판(100)을 노출시키는 제1 스페이서(112)로 이루어진 제2 콘택홀(114)을 형성한다.

이때, 층간절연막(104)이 산화막이면 제1 스페이서(112)는 질화막인 것이 바람직하나, 경우에 따라 층간절연막(104)이 질화막이면 제1 스페이서(112)는 산화막을 사용할 수 있다. 왜냐하면, 층간절연막(104)은 제1 스페이서(112)와 충분한 식각선택비를 가져야 하기 때문이다. 산화막은 예를 들어, 열산화막, CVD 산화막, HDP(high density plasma) 산화막 및 USG(undoped silicate glass) 등이 사용될 수 있고, 질화막은 예를 들어, SiON, SiN, SiBN 및 BN 등이 사용될 수 있다.

한편, 층간절연막(104)과 제1 스페이서(112) 사이의 식각선택비는 적절하게 조절되는 것이 바람직하다. 예를 들어, 건식 식각인 경우에는 CHF_3/O_2 , CH_2F_2 , CH_3F 및 C_4H_8 을 포함하는 식각가스의 양을 조절하여 상기 식각선택비를 조절할 수 있다. 습식식각인 경우에는, 질화막은 인산용액 그리고 산화막은 불산, 황산, SC-1 및 LAL 용액과 같은 식각액을 사용할 수 있다.

도 4a 및 도 4b를 참조하면, 층간절연막(104) 상에 제1 방향(a 방향)으로 연장되는 제1 스페이서(112)와 층간절연막(104)의 일부를 노출시키는 라인형태의 제2 포토레지스트 패턴(118)을 형성한다. 제2 포토레지스트 패턴(118) 사이의 간

격은 제1 스페이서(112)를 벗어나지 않을 정도일 수 있다. 또한, 상기 간격은 제2 콘택홀(114)을 완전히 노출시키는 정도인 것이 바람직하다. 그후, 제2 포토레지스트 패턴(118)을 식각마스크로 하여 제1 스페이서(112) 사이의 층간절연막(104)을 제거하여 제3 콘택홀(116)을 형성한다.

도 5a 및 도 5b를 참조하면, 제2 콘택홀(114)과 제3 콘택홀(116)을 매립하는 도전성 물질층(120)을 층간절연막(104) 상에 증착한다. 도전성 물질층(120)은 폴리실리콘, 텅스텐, 구리 및 알루미늄 중에서 선택된 어느 하나일 수 있다. 도전성 물질층(120)은 CVD나 PVD 이외에도 원자선증착법과 같은 방식으로 형성할 수 있다.

도 6a 및 도 6b를 참조하면, 제2 콘택홀(114)과 제3 콘택홀(116) 내의 도전성 물질층(120)이 서로 분리되도록 CMP나 에치백을 이용하여 도전성 물질층(120)을 제거하여 제1 콘택(122)과 제2 콘택(124)을 형성한다. 이때, 제1 콘택(122)과 제2 콘택(124)은 교대로 반복되어 형성된다. 제1 콘택홀(도 2의 106)의 폭은 제1 방향의 제2 콘택(124)의 폭의 3배이다. 이에 따라, 제1 스페이서(112)의 폭과 제2 콘택(124)의 폭을 동일하게 하면, 동일한 폭을 가진 제1 콘택(122)과 제2 콘택(124)이 제1 방향(a 방향)으로 연장되어 배열될 수 있다. 만일, 제1 스페이서(112)의 폭이 제2 콘택(124)의 폭보다 크면, 제1 콘택(122)의 폭은 제2 콘택(124)의 폭보다 작다. 반대로, 제1 스페이서(112)의 폭이 제2 콘택(124)보다 작으면, 제1 콘택(122)의 폭은 제2 콘택(124)의 폭보다 크다. 결국, 제1 콘택(122)의 폭은 제1 스페이서(112)의 두께에 의하여 결정될 수 있다.

본 발명의 제1 실시예에 의하면, 제1 스페이서(112) 사이의 층간절연막(104)을 제거한 곳에 콘택을 형성하면, 콘택의 피치를 절반으로 줄일 수 있다. 구체적으로, 제1 콘택홀(106)의 피치는 P_1 이다. 그런데, 본 발명의 제1 실시예와 같이 제1 스페이서를 이용하면 콘택의 피치를 P_1 의 절반인 P_2 로 줄일 수 있다.

제2 실시예

도 7a 및 도 8a는 본 발명의 제2 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도들이고, 도 7b 및 도 8b는 도 2a의 A-A선에 따라 절단한 단면도이다. 본 실시예는 상술한 제1 실시예에서 제3 콘택홀(116)을 형성하는 과정에 노출된 제2 콘택홀(114) 내의 기판(100)이 손상되는 것을 방지하기 위한 것이다.

도 7a 및 도 7b를 참조하면, 제2 콘택홀(114)을 형성한 이후에 제2 콘택홀(114) 내부에 SOG, HSQ(Hydrogen silsesquioxane), 필드산화막 또는 폴리실라잔(polysilazane)계 무기 SOG막(TOSZ막) 중에서 선택된 어느 하나의 절연막(126)을 채운다. 절연막(126)은 유동성이 양호하여 갭필(gap fill)이 잘 되는 특성을 가지므로, 스핀 코팅법을 이용하여 형성할 수 있다.

도 8a 및 도 8b를 참조하면, 제2 콘택홀(114)을 형성한 이후에 제2 콘택홀(114) 내부에 예를 들어, CVD로 형성되는 CVD 산화막(128)을 채운다. CVD 산화막(128)은 갭필이 잘 안 되는 특성이 있어, 내부에 틈(130; seam)이 생기기도 한다. CVD 산화막(128)은 USG, PE-Oxide 또는 PE-TEOS 중에서 선택된 어느 하나일 수 있다.

본 발명의 제2 실시예에 따르면, 제1 실시예에서 설명한 제3 콘택홀(116)을 형성하는 과정에서 발생할 수 있는 반도체기판(100)의 손상을 방지할 수 있다. 구체적으로, 제3 콘택홀(116)을 형성하는 과정에서 매립된 제2 콘택홀(114)내의 막질(126, 128)도 동시에 제거되므로 반도체기판(100)의 손상을 막을 수 있다.

제3 실시예

도 9a는 본 발명의 제3 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도이고, 도 9b는 도 2a의 A-A선에 따라 절단한 단면도이다. 본 실시예에서는 제3 콘택홀(116)을 형성하기 위하여, 제1 실시예의 라인형태의 제2 포토레지스트 패턴(118) 대신에 콘택형태의 제3 포토레지스트 패턴(132)을 형성하는 것이다.

도 9a 및 도 9b를 참조하면, 층간절연막(104) 상에 제1 방향으로 연장되는 제1 스페이서(112) 양측의 층간절연막(104)을 노출시키는 콘택형태의 제3 포토레지스트 패턴(132)을 형성한다. 그후, 제3 포토레지스트 패턴(132)을 식각마스크로 하여 기판(100)이 노출되도록 제1 스페이서(112) 양측의 층간절연막(104)을 제거하여 제3 콘택홀(116)을 형성한다.

본 발명의 제3 실시예에 따르면, 제1 실시예에서 설명한 제3 콘택홀(116)을 형성하는 과정에서 발생할 수 있는 반도체기판(100)의 손상을 방지할 수 있다. 구체적으로, 제3 콘택홀(116)을 형성하는 과정에서 제2 콘택홀(114)이 제3 포토레지스트 패턴(132)으로 채워지므로 반도체기판(100)의 손상을 막을 수 있다.

제4 실시예

도 10a 및 도 11a는 본 발명의 제4 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도들이고, 도 10b 및 도 11b는 도 10a의 B-B선에 따라 절단한 단면도이며 도 10c 및 도 11c는 도 10a의 C-C선에 따라 절단한 단면도이다. 본 실시예에서는 제1 방향(a 방향)과 수직인 방향으로 연장되는 제2 방향(b 방향)의 층간절연막(104)에 소정의 콘택을 형성하는 것이다.

도 10a 내지 도 11c를 참조하면, 제3 콘택(138)은 먼저 제1 방향(a 방향)과 수직인 제2 방향(b 방향)의 층간절연막(104)의 상부면을 노출시키는 콘택형태의 제4 포토레지스트 패턴(134)을 층간절연막(104) 상에 형성한다. 그후, 제4 포토레지스트 패턴(134)을 식각마스크로 하여 제1 스페이스 (112)사이의 층간절연막(104)을 제거하여 제4 콘택홀(136)을 형성한다. 제4 콘택홀(136)에 도전물질을 채워 제3 콘택(138)을 형성한다. 여기서, 제4 포토레지스트 패턴(134)은 제2 포토레지스트 패턴(118)과 동일한 공정에 적용될 수 있다.

본 발명의 제4 실시예에 따르면, 제1 방향(a 방향) 및 제2 방향(b 방향)에 따라 다양하게 배열하는 콘택을 제조할 수 있다. 예를 들어, 커패시터 하부전극 콘택과 비트라인 콘택을 동시에 형성하는 경우에, 상기 콘택들은 a 방향으로 지그재그 형태로 배열된다. 즉, 지그재그 형태로 배열된 콘택이더라도 본 발명의 제4 실시예에 의하면 용이하게 형성할 수 있다.

제5 실시예

도 12a 및 도 20a는 본 발명의 제5 실시예에 의한 미세콘택 형성방법을 설명하기 위한 평면도들이고, 도 12b 및 도 20b는 도 12a의 D-D선에 따라 절단한 단면도들이며, 도 12c 및 20c는 도 12a의 E-E선에 따라 절단한 단면도들이다. 본 실시예는 스페이스를 이용한 미세콘택의 제조방법을 반도체소자에 적용하는 예로써, 플래쉬 메모리를 중심으로 설명하기로 한다.

도 12a 내지 도 12c를 참조하면, 도전영역(202), 예컨대 활성영역이 형성된 반도체기판(200)을 준비한다. 그후, 반도체기판(200) 상에 서로 다른 크기를 가진 제1 게이트 라인(204)과 제2 게이트 라인(206)을 형성한다. 예컨대, 플래쉬 메모리에서, 제1 게이트 라인(204)은 셀렉트(select) 게이트 라인이고 제2 게이트 라인(206)은 구동 게이트라인일 수 있다. 일반적으로, 플래쉬 메모리에서 제1 게이트 라인(204)의 폭은 제1 게이트 라인(206)의 폭보다 크다. 도면에 상세하게 도시되지 않았으나, 제1 및 제2 게이트 라인(204, 206)은 통상의 게이트 라인, 예를 들어 게이트절연막, 플로팅 게이트 및 컨트롤 게이트가 순차적으로 적층되고 측벽에는 스페이스가 형성할 수 있다.

도 13a 내지 도 13c를 참조하면, 제1 게이트 라인(204)과 제2 게이트 라인(206)을 덮는 제1 층간절연막(208)을 반도체기판(200) 상에 형성한다. 제1 층간절연막(208)은 낮은 유전상수를 가진 물질, 예컨대 실리콘 산화막으로 이루어질 수 있다. 제1 층간절연막(208) 상에 제2 식각방지막(210)과 제2 층간절연막(212)을 형성한다.

도 14a 내지 도 14c를 참조하면, 제2 층간절연막(212) 상에 제5 콘택홀(도 15a 의 216)을 정의하는 제5 포토레지스트 패턴(214)을 형성한다. 여기서, 제5 콘택홀(216)은 제1 게이트 라인(204) 사이에 콘택을 형성하는 위한 것일 수 있다.

도 15a 내지 도 15c를 참조하면, 제5 포토레지스트 패턴(214)을 식각마스크로 하여 제2 층간절연막(212), 제2 식각방지막(210) 및 제1 층간절연막(208)의 일부를 제거하여 제5 콘택홀(216)을 형성한다. 이때, 제5 콘택홀(216)의 피치(pitch)는 P_3 이다.

도 16a 내지 도 16c를 참조하면, 제5 콘택홀(216)을 덮는 제2 스페이스 물질층(도시 안됨)을 블랭킷 방식으로 증착한다. 그후, 2 스페이스 물질층을 전면식각하여 제5 콘택홀(216)의 바닥의 제1 층간절연막(208)을 노출시키는 제2 스페이스(218)로 둘러싸인 제6 콘택홀(219)을 형성한다.

도 17a 내지 도 17c를 참조하면, 제6 콘택홀(219)을 절연막으로 채워 제2 층간절연막(212)의 상부면을 평탄화한다. 그후, 제2 스페이스(218) 사이의 제2 층간절연막(212)을 노출시키는 제6 포토레지스트 패턴(222)을 형성한다.

도 18a 내지 도 18c를 참조하면, 제2 스페이스(218)가 형성된 제6 콘택홀(219)을 하부로 수직하게 확장하여 반도체기판(200)을 노출시키는 제7 콘택홀(224)을 형성한다. 동시에, 제2 스페이스(218) 사이의 제1 층간절연막(208)을 제거하여 제8 콘택홀(226)을 형성한다.

도 19a 내지 도 19c를 참조하면, 제7 콘택홀(224)과 제8 콘택홀(226)을 매립하는 도전성 물질층(228)을 제1 층간절연막(208) 상에 증착한다. 도전성 물질층(228)은 폴리실리콘, 텅스텐, 구리 및 알루미늄 중에서 선택된 어느 하나일 수 있다. 도전성 물질층(120)은 CVD나 PVD이외에도 원자선증착법과 같은 방식으로 형성할 수 있다.

도 20a 내지 도 20c를 참조하면, 제7 콘택홀(224)과 제8 콘택홀(226) 내의 도전성 물질층(228)이 서로 분리되도록 CMP나 에치백을 이용하여 도전성 물질층(228)을 제거하여 제4 콘택(230)과 제5 콘택(232)을 형성한다. 이때, 제4 콘택(230)과 제5 콘택(232)은 교대로 반복되어 형성된다. 제5 콘택홀(도 15의 216)의 폭은 제1 방향의 제4 콘택(230)의 폭의 3배일 수 있다. 제4 콘택(230)의 폭은 제2 스페이서(218)의 두께에 의하여 결정될 수 있다.

본 발명의 제5 실시예에 의하면, 제2 스페이서(218) 사이의 제1 층간절연막(208)을 제거한 곳에 콘택을 형성하면, 콘택의 피치를 절반으로 줄일 수 있다. 구체적으로, 제5 콘택홀(216)의 피치는 P_3 이다. 그런데, 본 발명의 제5 실시예와 같이 제2 스페이서(218)를 이용하면 콘택의 피치를 P_3 의 절반인 P_4 로 줄일 수 있다.

경우에 따라, 제2 식각방지막(210)과 제2 층간절연막(212)을 형성하지 않고 제1 층간절연막(208)의 상부를 일부식각하여 형성된 콘택홀에 제2 스페이서(218)를 형성할 수 있다.

본 발명의 제5 실시예에 따르면, 제4 콘택(230)과 제5 콘택(232)을 형성하는 과정에서 제2 스페이서(218)와 제2 식각방지막(210)은 제거되므로, 제2 스페이서(218)와 제2 식각방지막(210)의 유전율에 구애받지 않을 수 있다. 또한, 제2 식각방지막(210)을 이용하여, 원하는 부분에 콘택을 형성할 수 있다.

본 발명의 제1 실시예 내지 제5 실시예에 의한 미세콘택 형성방법은 미세콘택을 형성하기 위하여 종래에 사용된 화학적 어택공정(chemical attacked process; CAP)나 포토레지스트 플로우(flow) 등을 별도로 수행할 필요가 없다. 또한, 셀영역 바깥쪽에 형성되는 더미콘택을 확장하는 종래의 방식에 비해, 본 실시예들에서는 셀영역 전체에 걸쳐 동일한 크기의 콘택을 사용할 수 있다. 나아가, 셀영역에 콘택을 형성하는 과정에서 주변영역의 콘택이 형성될 부분은 상기 제1 또는 제2 스페이서에 의해 보호받을 수 있으므로, 셀영역과 주변영역에 동시에 콘택을 형성할 수 있다.

이상, 본 발명은 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상의 범위내에서 당분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

발명의 효과

상술한 본 발명에 따른 반도체소자의 미세콘택과 그 제조방법에 의하면, 층간절연막 내에 형성된 홀 형태의 콘택홀의 양측벽을 덮는 스페이서를 이용하여 콘택의 피치를 1/2로 줄일 수 있다.

또한, 제2 방향의 층간절연막에 제3 콘택을 형성함으로써, 다양한 배열을 가진 콘택을 형성할 수 있다.

나아가, 주변영역을 제1 스페이서 또는 제2 스페이서로 보호하여, 셀영역과 주변영역에 동시에 콘택을 형성할 수 있다.

(57) 청구의 범위

청구항 1.

도전영역을 내재하는 기판;

상기 기판 상에 형성된 적어도 1층 이상 층간절연막;

상기 층간절연막을 관통하여 상기 도전영역과 연결되며, 상기 층간절연막의 최상층에 상기 층간절연막과 식각선택비가 다른 제1 스페이서에 의해 둘러싸인 제1 콘택; 및

상기 도전영역과 연결되며, 상기 제1 콘택과 함께 제1 방향으로 배열되면서 상기 제1 스페이서 사이에 매립되는 제2 콘택을 포함하는 미세콘택을 포함하는 반도체소자.

청구항 2.

삭제

청구항 3.

제1항에 있어서, 상기 제1 스페이서와 상기 제1 콘택을 포함하는 제1 콘택홀의 상기 제1 방향의 폭은 상기 제2 콘택의 폭의 3배인 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 4.

제3항에 있어서, 상기 제1 콘택홀 내의 상기 제1 콘택의 폭은 상기 제1 스페이서의 두께에 의하여 결정되는 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 5.

제3항에 있어서, 상기 제1 콘택홀 사이의 피치는 상기 제1 콘택과 제2 콘택 사이의 간격에 대해 2배인 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 6.

제1항에 있어서, 상기 층간절연막이 산화막이고 상기 제1 스페이서는 질화막인 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 7.

제1항에 있어서, 상기 층간절연막은 질화막이고 상기 제1 스페이서는 산화막인 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 8.

제1항에 있어서, 상기 기판과 상기 층간절연막 사이에 제1 식각방지막을 더 포함하는 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 9.

제1항에 있어서, 상기 제1 콘택과 상기 제2 콘택은 교대로 반복되어지는 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 10.

제1항에 있어서, 상기 제1 방향과 수직한 제2 방향에 형성된 상기 제1 스페이서 사이의 상기 층간절연막을 관통하여 상기 기판과 전기적으로 연결된 제3 콘택을 더 포함하는 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 11.

도전성 영역을 내재하는 반도체기판;

상기 반도체기판 상에 형성되고 서로 다른 크기를 가진 제1 게이트 라인의 일부와 제2 게이트 라인을 덮는 제1 층간절연막;

상기 제1 게이트 라인 사이의 상기 제1 층간절연막을 관통하여 상기 도전영역과 연결되며, 상기 제1 층간절연막에 상기 층간절연막과 식각선택비가 다른 제2 스페이서에 의해 둘러싸인 제4 콘택; 및

상기 제1 게이트 라인 사이의 제1 층간절연막을 관통하여 상기 도전영역과 연결되며, 상기 제1 콘택과 함께 제1 방향으로 배열되면서 상기 제2 스페이서 사이에 매립되는 제5 콘택을 포함하는 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 12.

제11항에 있어서, 상기 층간절연막은 낮은 유전상수를 가진 물질인 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 13.

제11항에 있어서, 상기 제2 스페이서와 상기 제4 콘택을 포함하는 제5 콘택홀의 상기 제1 방향의 폭은 상기 제5 콘택의 폭의 3배인 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 14.

제3항에 있어서, 상기 제5 콘택홀 내의 상기 제4 콘택의 폭은 상기 제2 스페이서의 두께에 의하여 결정되는 것을 특징으로 하는 미세콘택을 포함하는 반도체소자

청구항 15.

제14항에 있어서, 상기 제5 콘택홀 사이의 피치는 상기 제4 콘택과 제5 콘택 사이의 간격에 대해 2배인 것을 특징으로 하는 미세콘택을 포함하는 반도체소자.

청구항 16.

도전영역이 형성된 기판을 준비하는 단계;

상기 기판 상에 적어도 1층 이상의 층간절연막을 형성하는 단계;

상기 도전영역이 노출되도록 상기 층간절연막 내에 제1 콘택홀을 형성하는 단계;

상기 제1 콘택홀 내부의 측벽을 덮는 제1 스페이서로 둘러싸인 제2 콘택홀을 형성하는 단계;

상기 제1 스페이서 사이의 상기 층간절연막을 제거하여 제3 콘택홀을 형성하는 단계; 및

상기 제2 콘택홀과 상기 제3 콘택홀에 도전물질을 채워 제1 콘택과 제2 콘택을 형성하는 단계를 포함하는 반도체소자의 미세콘택 제조방법.

청구항 17.

제16항에 있어서, 상기 기판과 상기 층간절연막 사이에 제1 식각방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 18.

제16항에 있어서, 상기 제1 콘택홀을 형성하는 단계는

상기 층간절연막의 최상층 상에 상기 제1 콘택홀을 정의하는 제1 포토레지스트 패턴을 형성하는 단계; 및

상기 제1 포토레지스트 패턴을 식각마스크로 하여 상기 층간절연막의 일부를 식각하여 상기 기판을 노출시키는 제1 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 19.

제16항에 있어서, 상기 제2 콘택홀을 형성하는 단계는

상기 제1 콘택홀의 바닥면과 양측벽을 덮는 제1 스페이서 물질층을 블랭킷 방식으로 증착하는 단계; 및

상기 제1 스페이서 물질층을 전면식각하여 상기 제1 콘택홀의 바닥의 상기 기판을 노출시키는 제1 스페이서로 이루어진 제2 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 20.

제19항에 있어서, 상기 제2 콘택홀을 형성한 이후에,

상기 제2 콘택홀 내부에 SOG, HSQ, 필드산화막 또는 TOSZ막 중에서 선택된 어느 하나의 절연막을 채우는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 21.

제19항에 있어서, 상기 제2 콘택홀을 형성한 이후에,

상기 제2 콘택홀 내부에 CVD로 형성되는 산화막을 채우는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 22.

제16항에 있어서, 상기 제3 콘택홀을 형성하는 단계는

상기 층간절연막 상에 제1 방향으로 연장되는 상기 제1 스페이서와 상기 층간절연막의 일부를 노출시키는 라인형태의 제2 포토레지스트 패턴을 형성하는 단계; 및

상기 제2 포토레지스트 패턴을 식각마스크로 하여 상기 제1 스페이서 사이의 상기 층간절연막을 제거하여 제3 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 23.

제16항에 있어서, 상기 제3 콘택홀을 형성하는 단계는

상기 층간절연막 상에 상기 제1 방향으로 연장되는 상기 제1 스페이서 양측의 상기 층간절연막을 노출시키는 콘택형태의 제3 포토레지스트 패턴을 형성하는 단계; 및

상기 제3 포토레지스트 패턴을 식각마스크로 하여 상기 기판이 노출되도록 상기 제1 스페이서 양측의 상기 층간절연막을 제거하여 제3 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 24.

제22항에 있어서, 상기 제1 방향과 수직인 제2 방향의 상기 층간절연막을 관통하여 상기 기판과 전기적으로 연결된 제3 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 25.

제24항에 있어서, 상기 제3 콘택을 형성하는 단계는

상기 층간절연막 상에 형성되며, 상기 제1 방향과 수직인 제2 방향의 상기 층간절연막을 노출시키는 콘택형태의 제4 포토레지스트 패턴을 형성하는 단계;

상기 제4 포토레지스트 패턴을 식각마스크로 하여 상기 제1 스페이서 사이의 상기 층간절연막을 제거하여 제4 콘택홀을 형성하는 단계; 및

상기 제4 콘택홀에 도전물질을 채워 제3 콘택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 26.

도전영역이 형성된 반도체기판을 준비하는 단계;

상기 반도체기판 상에 형성된 서로 다른 크기를 가진 제1 게이트 라인과 제2 게이트 라인을 덮는 제1 층간절연막을 형성하는 단계;

상기 제1 게이트라인 사이의 상기 제1 층간절연막의 상부의 일부가 리세스시켜 제5 콘택홀을 형성하는 단계;

상기 제5 콘택홀 내부의 측벽을 덮는 제2 스페이서로 둘러싸인 제6 콘택홀을 형성하는 단계;

상기 제2 스페이서가 형성된 상기 제6 콘택홀을 하부로 수직하게 확장하여 상기 반도체기판을 노출시키는 제7 콘택홀을 형성하는 것과 동시에,

상기 제2 스페이서 사이의 상기 제1 층간절연막을 제거하여 제8 콘택홀을 형성하는 단계; 및

상기 제7 콘택홀과 상기 제8 콘택홀에 도전물질을 채워 제4 콘택과 제5 콘택을 형성하는 단계를 포함하는 반도체소자의 미세콘택 제조방법.

청구항 27.

제26항에 있어서, 상기 제5 콘택홀을 형성하는 단계는

상기 제1 층간절연막 상에 상기 제5 콘택홀을 정의하는 제5 포토레지스트 패턴을 형성하는 단계; 및

상기 제5 포토레지스트 패턴을 식각마스크로 하여 상기 제1 층간절연막의 일부를 식각하여 상기 제5 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 28.

제26항에 있어서, 상기 제6 콘택홀을 형성하는 단계는

상기 제5 콘택홀을 덮는 제2 스페이서 물질층을 블랭킷 방식으로 증착하는 단계; 및

상기 제2 스페이서 물질층을 전면식각하여 상기 제5 콘택홀의 바닥의 상기 제1 층간절연막을 노출시키는 제2 스페이서로 둘러싸인 제6 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 29.

제26항에 있어서, 상기 제7 콘택홀은 상기 제2 스페이서를 식각마스크로 하여 상기 제6 콘택홀 내부의 상기 제1 층간절연막을 제거하여 상기 반도체기판을 노출시켜 형성하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 30.

제26항에 있어서, 상기 제8 콘택홀을 형성하는 단계는,

상기 제6 콘택홀을 절연막으로 채워 상기 제2 층간절연막의 상부면을 평탄화하는 단계;

상기 제2 스페이서 사이의 상기 제2 층간절연막을 노출시키는 제6 포토레지스트 패턴을 형성하는 단계;

상기 제6 포토레지스트 패턴을 식각마스크로 하여 상기 반도체기판이 노출되도록 상기 제2 층간절연막 및 제1 층간절연막을 제거하여 제8 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 제조방법.

청구항 31.

도전영역이 형성된 반도체기판을 준비하는 단계;

상기 반도체기판 상에 형성된 서로 다른 크기를 가진 제1 게이트 라인과 제2 게이트 라인을 덮는 제1 층간절연막, 제2 식각방지막 및 제2 층간절연막을 순차적으로 형성하는 단계;

상기 제1 게이트라인 사이의 상기 제1 층간절연막의 상부의 일부가 리세스되도록 상기 제2 층간절연막, 제2 식각방지막 및 제1 층간절연막의 일부를 제거하여 제5 콘택홀을 형성하는 단계;

상기 제5 콘택홀 내부의 측벽을 덮는 제2 스페이서로 둘러싸인 제6 콘택홀을 형성하는 단계;

상기 제2 스페이서가 형성된 상기 제6 콘택홀을 하부로 수직하게 확장하여 상기 반도체기판을 노출시키는 제7 콘택홀을 형성하는 것과 동시에,

상기 제2 스페이서 사이의 상기 제2 층간절연막, 제2 식각방지막 및 제1 층간절연막의 일부를 제거하여 제8 콘택홀을 형성하는 단계; 및

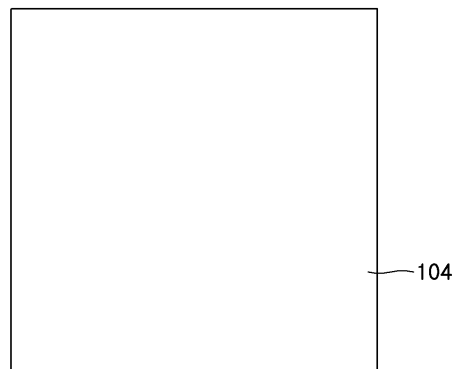
상기 제7 콘택홀과 상기 제8 콘택홀에 도전물질을 채워 제4 콘택과 제5 콘택을 형성하는 단계를 포함하는 반도체소자의 미세콘택 제조방법.

청구항 32.

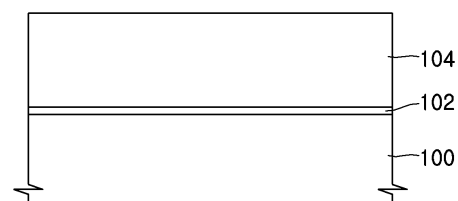
제31항에 있어서, 상기 제2 식각방지막은 상기 제2 게이트 라인 상부의 상기 제1 층간절연막이 식각되는 것을 방지하는 것을 특징으로 하는 반도체소자의 미세콘택 형성방법.

도면

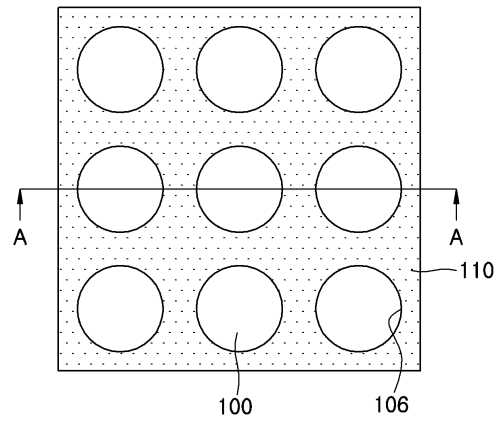
도면1a



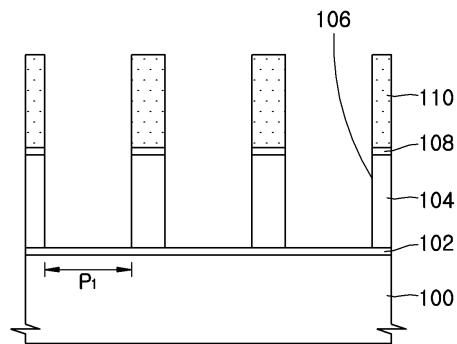
도면1b



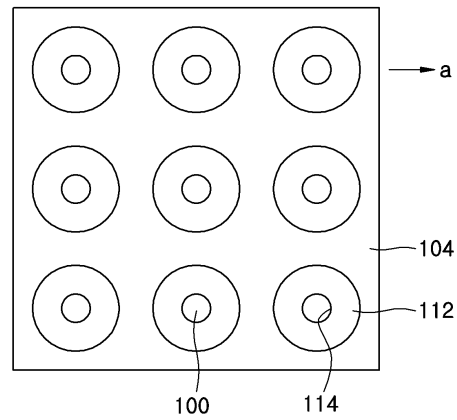
도면2a



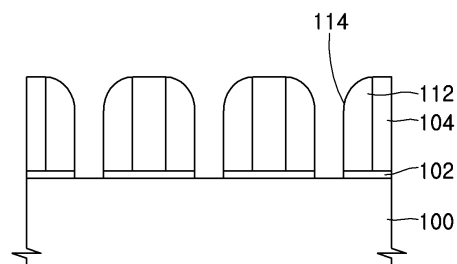
도면2b



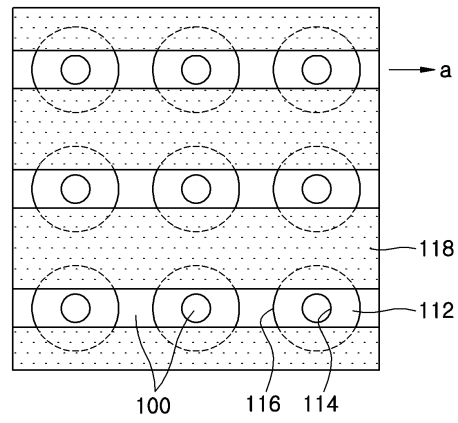
도면3a



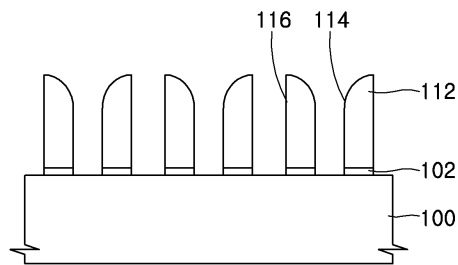
도면3b



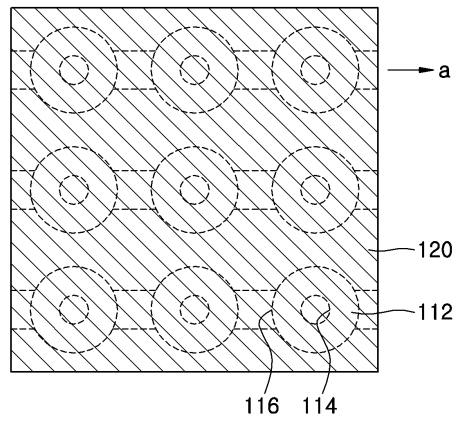
도면4a



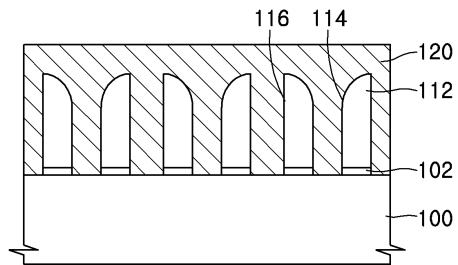
도면4b



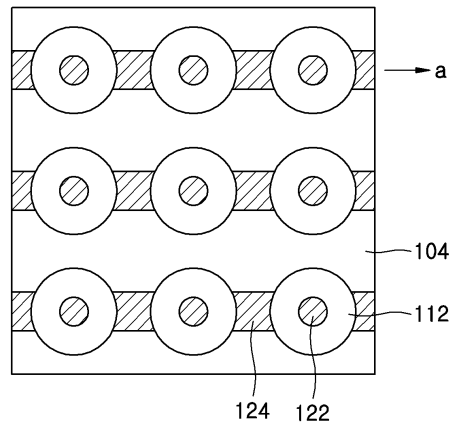
도면5a



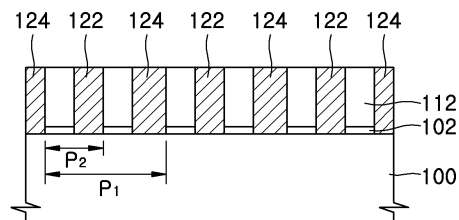
도면5b



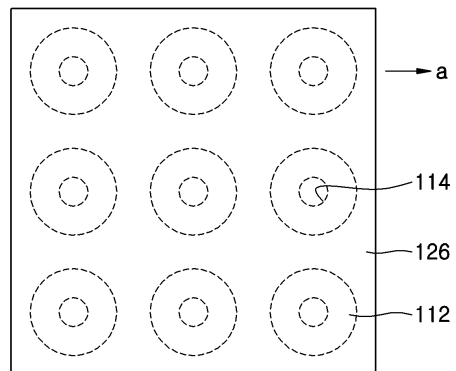
도면6a



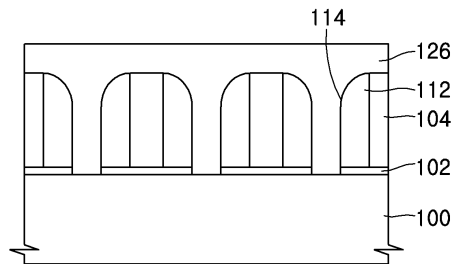
도면6b



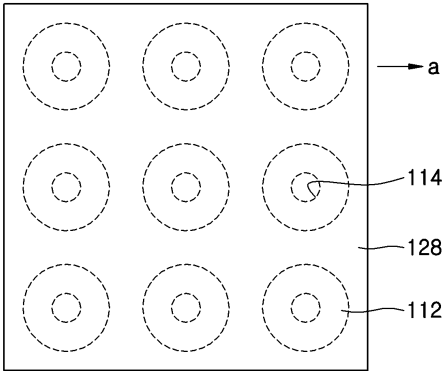
도면7a



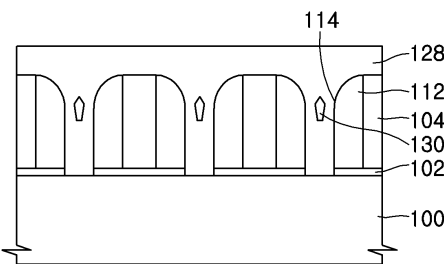
도면7b



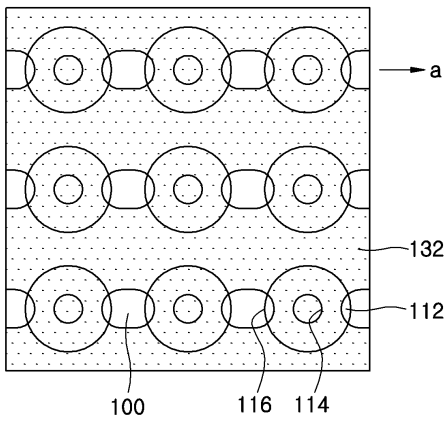
도면8a



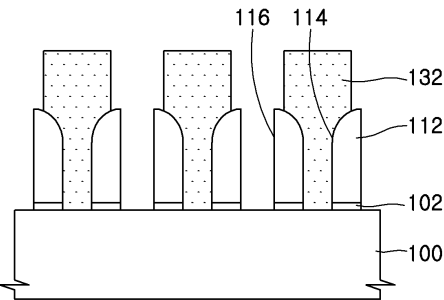
도면8b



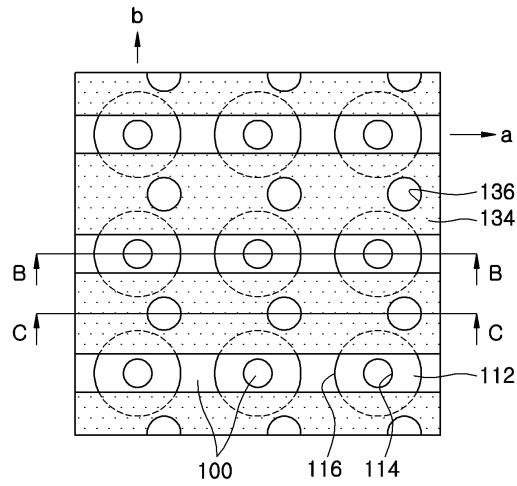
도면9a



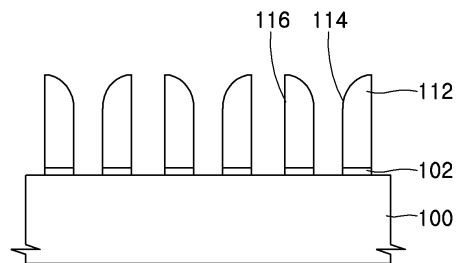
도면9b



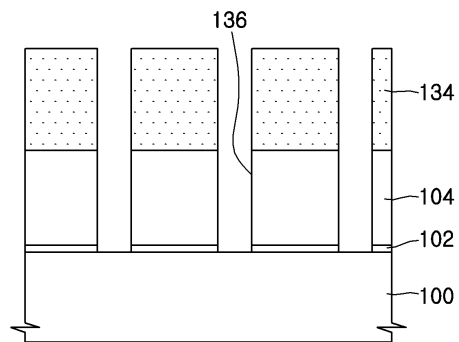
도면10a



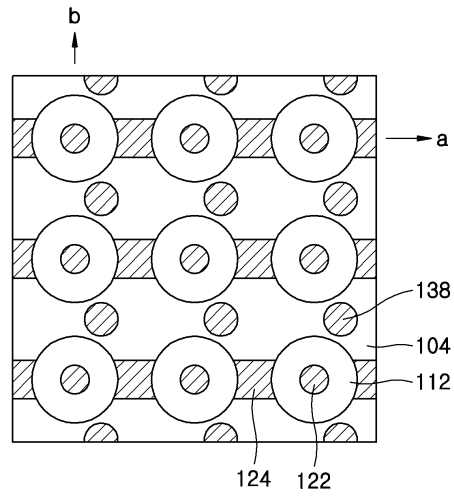
도면10b



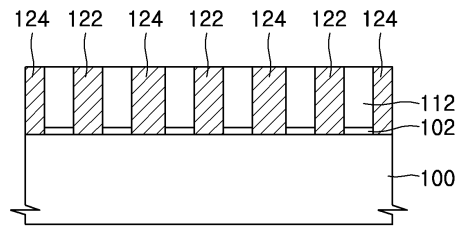
도면10c



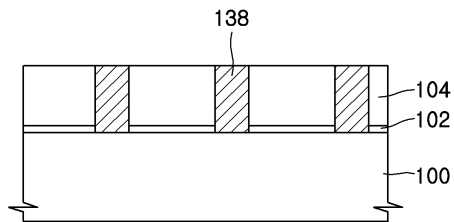
도면11a



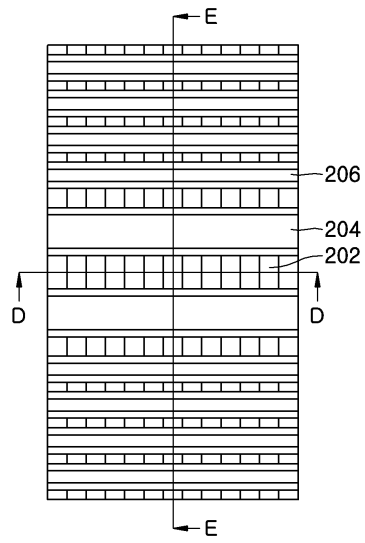
도면11b



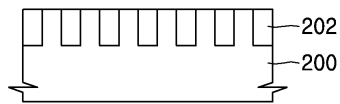
도면11c



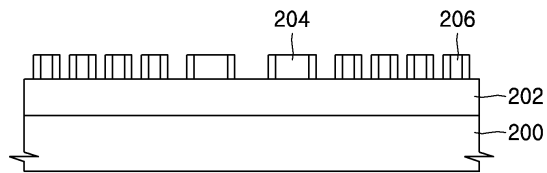
도면12a



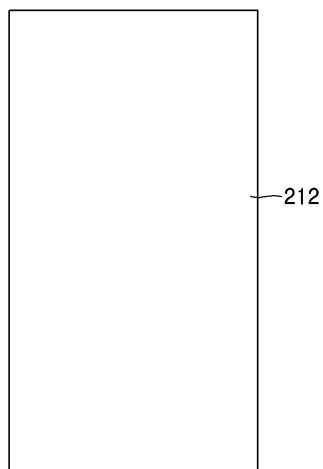
도면12b



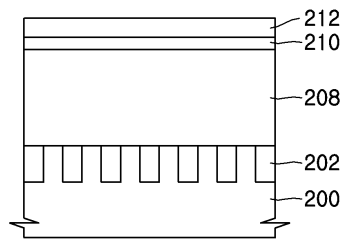
도면12c



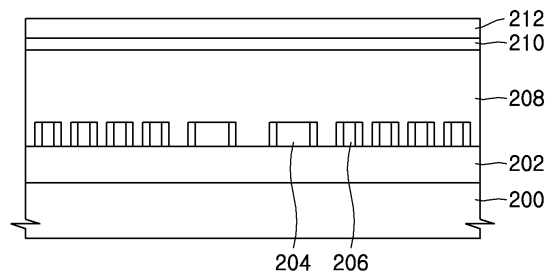
도면13a



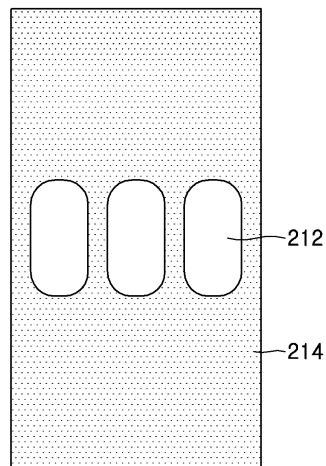
도면13b



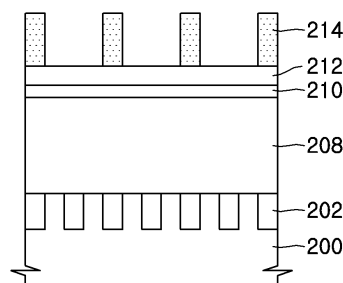
도면13c



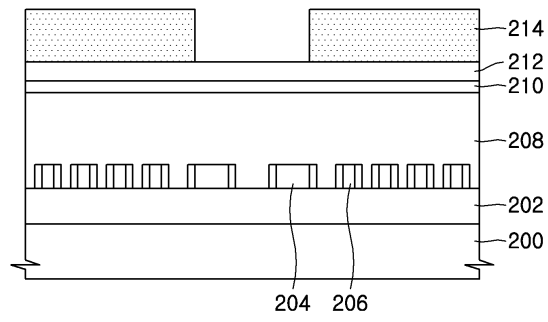
도면14a



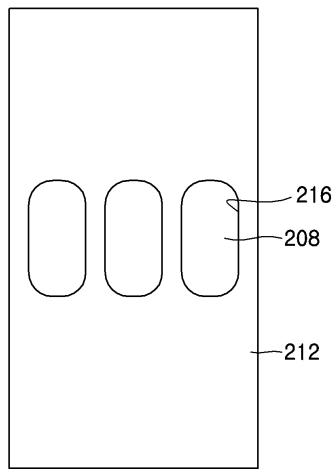
도면14b



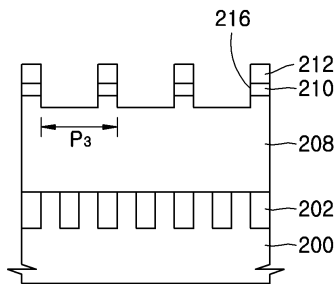
도면14c



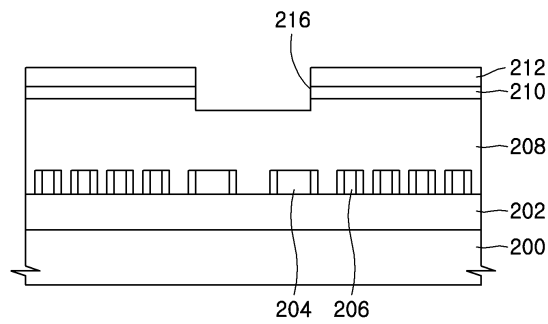
도면15a



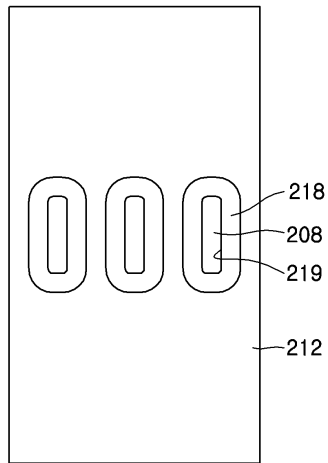
도면15b



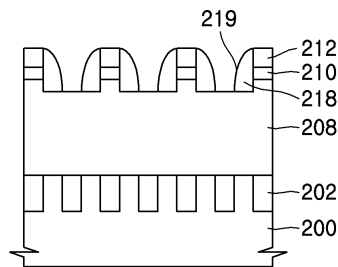
도면15c



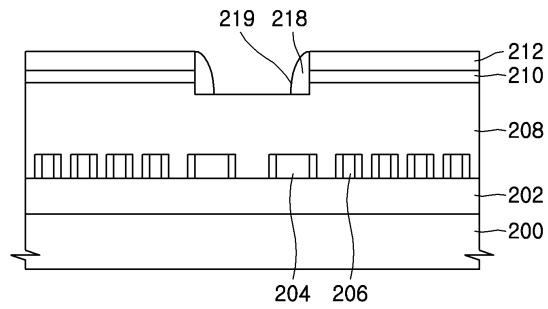
도면16a



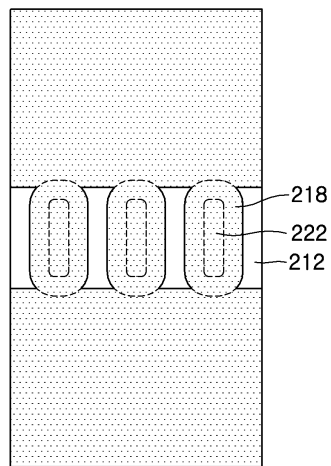
도면16b



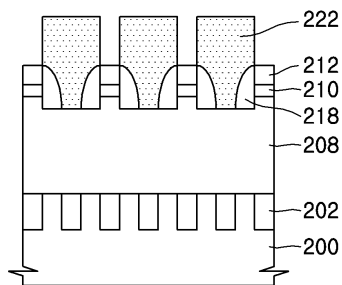
도면16c



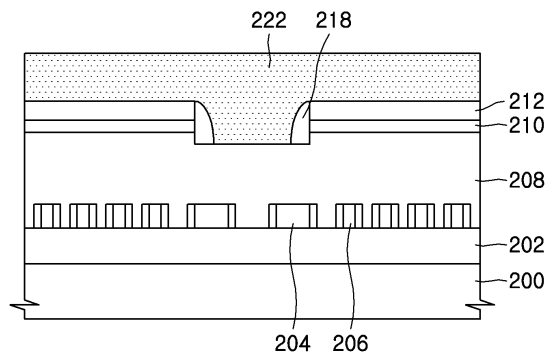
도면17a



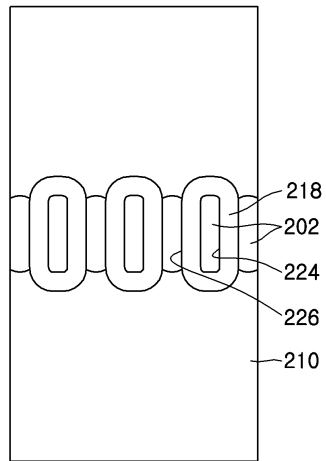
도면17b



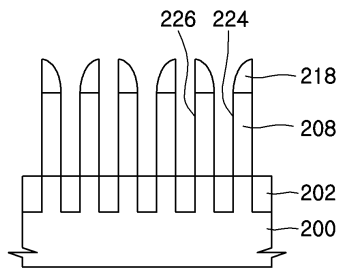
도면17c



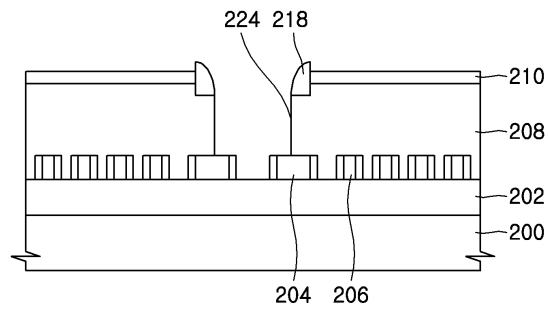
도면18a



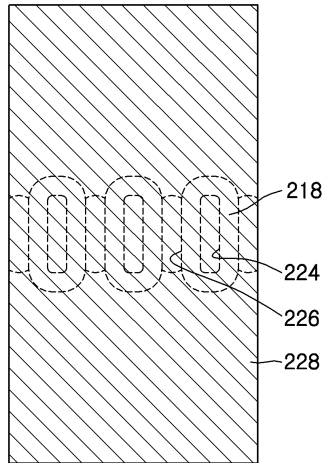
도면18b



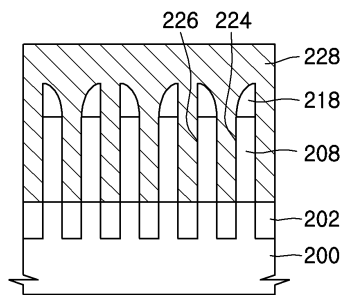
도면18c



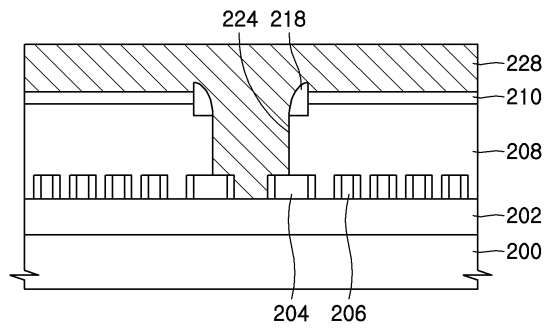
도면19a



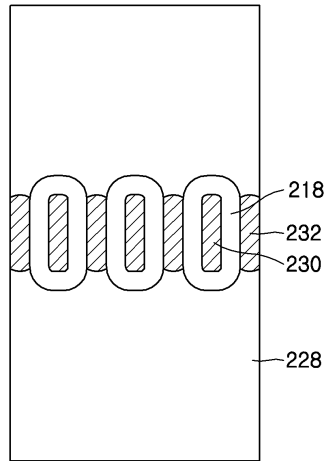
도면19b



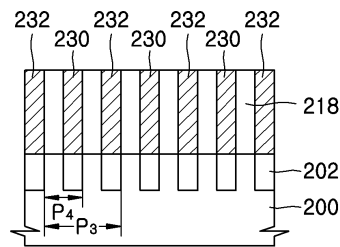
도면19c



도면20a



도면20b



도면20c

