

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월11일 10-0598760 2006년07월03일
--	-------------------------------------	--

(21) 출원번호	10-2004-0090980	(65) 공개번호	10-2005-0045861
(22) 출원일자	2004년11월09일	(43) 공개일자	2005년05월17일

(30) 우선권주장 JP-P-2003-00379988 2003년11월10일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바  
일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고

(72) 발명자 가지모또미노리  
일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤 도시바  
지적재산부 내

노구찌미쯔히로  
일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤 도시바  
지적재산부 내

마에지마히로시  
일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤 도시바  
지적재산부 내

하라다카히코  
일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤 도시바  
지적재산부 내

(74) 대리인 구영창  
장수길

심사관 : 김기현

(54) 불휘발성 반도체 메모리

요약

본 발명에 따른 불휘발성 반도체 기억 장치는 메모리 셀 유닛들을 포함하고, 이 메모리 셀 유닛들은, 서로 평행하게 형성된 데이터 선택선들과, 이 데이터 선택선들과 교차하고 서로 평행하게 배열된 데이터 전송선들과, 이 데이터 전송선들과 상기 데이터 선택선들의 교차부에 배치된 전기적으로 재기입 가능한 메모리 셀 트랜지스터들을 포함한다. 또한 본 발명에 따른 불휘발성 반도체 기억 장치는, 상기 메모리 셀 유닛들이 상기 데이터 선택선들을 따라서 배치되어 있는 메모리 셀 어레이 블록과; 상기 메모리 셀 유닛들의 일단에 접속되고, 상기 데이터 선택선들을 따라서 배열된 제1 소스선들과; 상기 제1 소스선들에 전기적으로 접속되고, 상기 데이터 선택선들을 따라서 배치된 제2 소스선들을 더 포함한다.

대표도

도 14

색인어

데이터 선택선, 데이터 전송선, 메모리 셀 유닛, 소스선

명세서

도면의 간단한 설명

도 1은 본 발명의 종래 기술의 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 2는 도 1의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 3은 도 1의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 4는 도 1의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 5는 종래 기술의 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역에 대한 전체 평면 패턴도이다.

도 6은 소스선들이 더 넓어진 경우의 종래 기술의 불휘발성 반도체 기억 장치 내의 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 7은 도 6의 IV-IV 라인을 따라서 절취한 개략 단면도이다.

도 8은 도 6의 V-V 라인을 따라서 절취한 개략 단면도이다.

도 9는 도 6의 VI-VI 라인을 따라서 절취한 개략 단면도이다.

도 10은 본 발명의 불휘발성 반도체 기억 장치에서 이용되는 부유 게이트 메모리 셀 트랜지스터에 대한 개략 단면도이다.

도 11은 본 발명의 불휘발성 반도체 기억 장치에서 이용되는 MONOS 메모리 셀 트랜지스터에 대한 개략 단면도이다.

도 12는 본 발명의 불휘발성 반도체 기억 장치에서 이용되는 NAND 메모리 셀 유닛에 대한 회로도이다.

도 13은 본 발명의 불휘발성 반도체 기억 장치에서 이용되는 NAND메모리 셀 유닛에 대한 평면 패턴도이다.

도 14는 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 15는 도 14의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 16은 도 14의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 17은 도 14의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 18은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역에 대한 전체 평면 패턴도이다.

도 19는 본 발명의 제1 실시예의 제1 변형예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역 상의 상세 소스선 패턴을 설명하기 위한 평면 패턴도이다.

도 20은 본 발명의 제1 실시예의 제2 변형예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역 상의 상세 소스선 패턴을 설명하기 위한 평면 패턴도이다.

도 21은 본 발명의 제1 실시예의 제3 변형예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역 상의 상세 소스선 패턴을 설명하기 위한 평면 패턴도이다.

도 22는 본 발명의 제1 실시예의 제4 변형예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역 상의 상세 소스선 패턴을 설명하기 위한 평면 패턴도이다.

도 23은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 24는 도 23의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 25는 도 23의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 26은 도 23의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 27은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 28은 도 27의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 29는 도 27의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 30은 도 27의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 31은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 32는 도 31의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 33은 도 31의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 34는 도 31의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 35는 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 36은 도 35의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 37은 도 35의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 38은 도 35의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 39는 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 40은 도 39의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 41은 도 39의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 42는 도 39의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 43은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 44는 도 43의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 45는 도 43의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 46은 도 43의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 47은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 평면 패턴도이다.

도 48은 도 47의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 49는 도 47의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 50은 도 47의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 51은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 52는 도 51의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 53은 도 51의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 54는 도 51의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 55는 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 56은 도 55의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 57은 도 55의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 58은 도 55의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 59는 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 60은 도 59의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 61은 도 59의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 62는 도 59의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 63은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 64는 도 63의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 65는 도 63의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 66은 도 63의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 67은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 68은 도 67의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 69는 도 67의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 70은 도 67의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 71은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 대한 제조 방법의 일 공정을 설명하기 위한 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 72는 도 71의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 73은 도 71의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 74는 도 71의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 75는 본 발명의 제2 실시예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 트랜지스터 영역에 대한 상세 평면 패턴도이다.

도 76은 도 75의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 77은 도 75의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 78은 도 75의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 79는 본 발명의 제2 실시예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역 상의 상세 소스선 패턴을 설명하기 위한 메모리 셀 어레이 영역에 대한 평면 패턴도이다.

도 80은 본 발명의 제3 실시예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 트랜지스터 영역에 대한 상세 평면 패턴도이다.

도 81은 도 80의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 82는 도 80의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 83은 도 80의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 84는 본 발명의 제3 실시예의 변형예에 따른 불휘발성 반도체 기억 장치의 메모리 어레이 영역에 대한 상세 평면 패턴도이다.

도 85는 도 84의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 86은 도 84의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 87은 도 84의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 88은 본 발명의 제4 실시예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역에 대한 상세 평면 패턴도이다.

도 89는 도 88의 I-I 라인을 따라서 절취한 개략 단면도이다.

도 90은 도 88의 II-II 라인을 따라서 절취한 개략 단면도이다.

도 91은 도 88의 III-III 라인을 따라서 절취한 개략 단면도이다.

도 92는 본 발명의 제4 실시예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 어레이 영역 상의 상세 소스선 패턴을 설명하기 위한 평면 패턴도이다.

도 93은 본 발명의 제5 실시예에 따른 불휘발성 반도체 기억 장치의 가상 접지 AND 메모리 셀 어레이에 대한 회로도이다.

도 94는 본 발명의 제5 실시예에 따른 불휘발성 반도체 기억 장치의 가상 접지 AND 메모리 셀 어레이에 대한 평면 패턴도이다.

도 95는 본 발명의 제6 실시예에 따른 불휘발성 반도체 기억 장치의 AND 메모리 셀 어레이에 대한 회로도이다.

도 96은 본 발명의 제6 실시예에 따른 불휘발성 반도체 기억 장치의 AND 메모리 셀 어레이에 대한 평면 패턴도이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 디바이스 영역

12 : 디바이스 분리 영역

14 : 데이터 전송선 인출 영역

16 : 비아 콘택트

51 : NAND 메모리 셀 유닛

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

관련 출원에 대한 상호 참조

본 출원은 2003년 11월 10일에 출원된 이전의 일본 특허 출원 제2003-379988호에 근거한 것으로 이에 대한 우선권을 주장하고, 이 전체 내용은 본 명세서에 참조로 통합된다.

본 발명은 불휘발성 반도체 메모리 내의 금속 배선층(interconnect layer)에 관한 것으로, NAND EEPROM 또는 AND EEPROM과 같은 블럭형 메모리 셀 트랜지스터에 대한 알루미늄(Al) 배선, 텅스텐(W) 배선, 또는 구리(Cu) 배선과 같은 금속 배선의 패터닝과 레이아웃에 사용된다.

도 1 내지 도 9는 본 발명의 종래 기술 분야의 방법으로 제조된 NAND EEPROM을 나타낸다. 도 1은 메모리 셀 어레이 영역의 확대된 평면 패턴(enlarged aerial pattern)의 개략도를 나타낸다. 도 2 내지 도 4는 도 1을 각각 선 I-I, II-II, 및 III-III을 따라 절취한 개략적 단면도이다. 또한, 도 5는 메모리 셀 어레이 영역(1)의 전체 평면 패턴의 구성도를 나타낸다. 도 6은 소스선(SL2)이 폭이 넓게 형성된 메모리 셀 어레이 영역(1)의 상세한 평면 패턴의 구성도이다. 도 7 내지 도 9는 각각 도 6의 선 IV-IV, V-V, 및 VI-VI를 따라 절취한 개략적 단면도이다.

도 1에 도시한 바와 같이, 불휘발성 반도체 메모리는 데이터 전송선(BL), 데이터 전송선(BL)에 수직하게 배치된 데이터 선택선(WL), 디바이스 영역(10) 및 데이터 전송선(BL)을 따라 연장하는 디바이스 분리 영역(12), 선택 게이트선들(SSL 및 SGL), 소스선 콘택트(CS), 데이터 전송선 콘택트(CB), 비아(via) 콘택트(16), 제1 소스선(SL0), 및 제2 소스선(SL2)을 포함한다. 도 1에 도시한 바와 같이, 원형 또는 타원형의 소스선 콘택트(CS) 및 데이터 전송선 콘택트(CB)는 데이터 전송선(BL)에 나란하거나 수직이다. 이 콘택트들은 2 내지 3F의 간격으로 매우 가깝게 선 III-III을 따라 배열되는데, 여기서 F는 디바이스 영역(10) 및 디바이스 분리 영역(12)의 폭에 따른 최소 가공 치수를 나타낸다. 반면에, 데이터 전송선 콘택트

(CB) 및 소스선 콘택트(CS)는, 선 III-III에 수직인 선 I-I를 따라, 선 III-III에 따른 간격보다 긴 간격으로 배열되는데, 예를 들어, NAND 플래시 메모리의 경우에는 40 내지 100F 간격이다. 도 1에서 x는 제2 소스선(SL2) 각각의 폭을 나타내고, u는 이들 사이의 간격을 나타낸 것임을 유념하라.

도 2에 도시한 바와 같이, 불휘발성 반도체 메모리의 선 I-I을 따라 절취한 단면은 p-웰 영역 또는 반도체 기판(26), 확산층(18), 메모리 셀 트랜지스터(20), 선택 게이트 트랜지스터(SGS 및 SGD), 배리어 절연막(22), 데이터 전송선 콘택트(CB), 소스선 콘택트(CS), 제1 소스선(SL0), 데이터 전송선 인출 영역(14), 비아 콘택트(16), 데이터 전송선(BL), 및 층간 절연막들(23 및 24)를 도시한다. 또한, 도 3 및 도 4에 도시한 바와 같이, 불휘발성 반도체 메모리의 선 II-II 및 III-III를 따라 절취한 단면은, 각각, p-웰 영역 또는 반도체 기판(26), 확산층(18), 배리어 절연막(22), 데이터 전송선 콘택트(CB), 소스선 콘택트(CS), 제1 소스선(SL0), 데이터 전송선 인출 영역(14), 제1 비아 콘택트(16), 데이터 전송선(BL), 소스 선트선(source shunt line)(SH1), 웰 선트선(SH2), 제2 비아 콘택트(17), 제2 소스선(SL2), 및 층간 절연막들(23 및 27)를 도시한다. 도 4에서 y는 반도체 기판(26) 표면과 제2 소스선(SL2) 사이의 간격을 나타내고, x는 제2 소스선(SL2)의 폭을 나타내는 것임을 유념하라.

데이터 전송선 콘택트(CB) 및 제1 비아 콘택트(16)은 인(P) 또는 고농도로 도핑된 다결정 실리콘 또는 W과 같은 금속으로 매립되고, 데이터 전송선 인출 영역(14) 및 제1 소스선(SL0)은 W과 같은 금속으로 매립된다. 따라서, 데이터 전송선(BL)을 따라 7F보다 긴, 데이터 전송선 인출 영역(14)이 배선층으로 간주된다. 대안으로, 선형으로 더 긴 미세 금속 패턴이 당연히 배선층으로 이용 가능하며, 제1 비아 콘택트(16) 및 데이터 전송선 인출 영역(14)이 생략된 구성으로 다음의 상세한 설명이 또한 적용될 수 있으며, 데이터 전송선(BL)을 배선으로 간주하여 콘택트들이 직접 형성된다. 데이터 전송선(BL), 제2 비아 콘택트(17), 및 제2 소스선(SL2)은 Al, Cu 등의 금속으로 이루어진다.

데이터 전송선(BL)은 2 내지 3F(여기서 F는 최소 가공 치수를 나타냄)의 매우 가까운 간격으로 선 III-III에 수직하게 배열되며, 예를 들어, 약 530개 데이터 전송선(BL)으로 단일 메모리 셀 어레이 블록을 형성한다. 연속적으로 배열된 16 비트 메모리 셀 트랜지스터들이, 예를 들어, 단일 NAND 메모리 셀 유닛을 형성한다고 가정하면, 단일 NAND 메모리 셀 블록은 선 II-II을 따라 평행하게 배열된 530개의 NAND 메모리 셀 유닛을 포함한다. 또한, 반도체 기판(26)에 대한 콘택트(SB)와 소스선(SL)에 대한 콘택트에 접속되는 소스 선트선(SH1), 및 웰에 대한 콘택트에 접속된 웰 선트선(SH2)이 메모리 셀 어레이 블록들 사이에 (예를 들면, 대략 매 530개 데이터 전송선들(BL)에 대해서) 배치된다. 소스선(SL0)이 선 II-II을 따라 형성되며, 데이터 전송선(BL) 사이에 소스선(SL)을 위한 접지 배선으로 사용됨에 주의한다. 또한, 선 II-II을 따라 절취한 단면에 도시한 바와 같이, 소스선(SL2)은 선II-II에 수직인 선 I-I을 따라 확장된 소스선을 위한 접지 배선으로 사용된다. 소스선(SL2) 및 소스선(SL0)은 소스선에 의해 형성된 그리드 형태의 접지 배선의 형성을 허용한다. 예를 들면, 소스선(SL2)인, 약 15 내지 20F 폭의 배선은 소스 선트선(SH1) 위의 선 I-I을 따라 확장하도록 배치되어 메모리 셀 어레이의 영역을 오버랩하지 않는다. 또한, 비트선측 선택 게이트 트랜지스터(SGD) 및 소스선측 선택 게이트 트랜지스터(SGS) 사이에 배치된 연속적으로 배열된 16 비트 메모리 셀 트랜지스터는 단일 NAND 메모리 셀 유닛을 형성하며, 대략 2048개 블록들이 선 I-I을 따라 배치되므로, 소스선(SL2)은 예로서 약 2048개 블록들을 실현하기 위해서 충분히 긴 배선이 되도록 고려된다.

종래 기술의 첫번째 문제점은 메모리 셀 어레이들 사이의 공간 감소 및 소형화로 인한 배선 폭의 감소에 기인한 배선 저항의 증가 문제이다. 종래 기술에서 소스선(SL2)이 메모리 셀 어레이들 사이에 선형적으로 배치되는 경우에, 메모리 셀 어레이 사이의 공간의 감소는 그들 사이에 제공될 수 있는 소스 배선 폭에서의 감소를 나타낸다. 또한, 그 이상의 소형화가 요구되는 경우에, 배선의 소형화는 메모리 셀 어레이 사이의 공간의 감소를 가져오지만, 배선의 폭도 또한 감소되기 때문에, 배선 저항이 증가하는 것을 방지할 수 없다.

도 5에 도시한 바와 같이, 메모리 셀 영역의 전체적인 평면 패턴은 반도체 칩(6), 점선으로 표시된 메모리 셀 어레이 영역(1), 소스선(SL2), 데이터 선택선 제어 회로(2), 감지 증폭기 또는 데이터 래치(4), 소스선 분로 트랜지스터(3), 및 전원 배선 패드(5)로 구성된다. 특별히 도 5에 도시한 바와 같이, 전원 배선 패드(5) 영역은 반도체 칩(6)의 일측에만 배치되고, 칩 영역이 감소될 때는 굵은 전원 배선이 주변에 배치될 수 없다. 이것은, 데이터 선택선 제어 회로(2) 및 감지 증폭기 또는 데이터 래치(4)가 메모리 셀 어레이 영역(1)에 근접하여 형성되기 때문이다. 특히, 메모리 셀 어레이 영역(1)이 형성된 p-웰 영역(26)에 플러스 전위를 인가하여 데이터를 소거하는 불휘발성 반도체 메모리의 경우에는, 메모리 셀 트랜지스터에 접속된 제2 소스선(SL2)이 p-웰 영역(26)의 전압보다 큰 플러스 전압으로 유지되어야만 소스선(SL2)으로부터의 누설 전류가 발생하는 것을 방지한다. 그러므로, 도 5에 도시한 바와 같이, 소스선(SL2) 및 접지 전위의 전원 배선 패드(5)를 도통 또는 비도통으로 가져가기 위해서 메모리 셀 어레이 영역(1)의 주변 상에 소스선 분로 트랜지스터(3)가 요구된다. 소스선 분로 트랜지스터(3)와 전원 배선 패드(5) 사이의 굵은 배선 영역의 감소를 허용하도록, 소스선 분로 트랜지스터(3)가 메모리 셀 어레이의 일측에만 배치되도록 하는 것이 배선 영역 및 칩셋의 감소에 있어서 바람직하다. 이 경우에, 도 5의 상부에 배치된 메모리 셀 어레이 영역(1)에서는, 소스선(SL2)이 반도체 칩(6)의 일측의 길이와 거의 동일하게 긴 배선이 되어, 배선

저항으로 인한 전압 강하 및, 장소에 따른 메모리 셀 트랜지스터 동작의 변화와 같은 심각한 문제가 발생한다. 예를 들면, 이러한 전압 강하은 기록-검증 동작 동안의 판독시에 소스선 전압의 증가를 야기하여, 기록 임계 전압의 뚜렷한 증가를 가져온다(예를 들면, 일본 특허 출원 공개 공보 제1999-260076호 참조). 보다 구체적으로, 이 장소에 메모리 셀 어레이를 배치하는 것은 정확한 임계 제어를 요구하는 다치 임계값을 사용하는 메모리 셀 트랜지스터에 불충분한 프로그래밍을 야기할 수 있다.

두번째 문제점은, 첫번째 문제점을 해결하기 위해서 배선 저항을 줄이도록 각 소스선(SL2)의 폭을 증가시킬 경우에 소스선(SL2)이 메모리 셀 어레이 영역(1) 내의 NAND 열(string)을 부분적으로 피복한다는 것이다. 도 6 내지 도 9는, 도 1 내지 도 4에 대응하며, 소스선(SL2)이 NAND 열을 부분적으로 피복한 상태에서 각 소스선(SL2)의 폭을 보다 넓게 만드는 경우를 나타낸다. 특히, 도 9는 도 4의 대응 단면 내의 소스선(SL2)이 NAND 열을 피복하는 영역의 단면을 나타낸다. 도 6 내지 도 9에서 종래 기술에 근거한 컴포넌트의 설명은, 도 1 내지 도 4에 도시한 컴포넌트와 실질적으로 동일하여 생략한다는 점에 주목하자. 제2 소스선(SL2) 각각의 폭이 보다 넓어지도록 메모리 셀 어레이 영역(1)까지 확장되고 SiN막(7)이 최상위 패시베이션막으로 사용된다는 점이 다르다.

종래 기술에 따르면, 도 1 내지 도 4에 도시한 바와 같이, y가 메모리 셀 트랜지스터내의 소스선(SL2)과 터널 절연막(44) (확대 도에 대해서는 도 10 및 도 11참조) 사이의 거리를 나타내고, x가 소스선(SL2)의 각 폭을 나타내며, u가 이들 사이의 거리를 나타낸다면, 각 소스선(SL2)의 폭(x) 및 이들 사이의 공간(u)은 보다 넓어져서,  $y < x/2$  및  $y < u/2$ 를 만족시키면서 소스선(SL2) 저항을 감소시킨다. 실리콘 질화막(SiN)(7)과 같은 패시베이션막은 통상적으로 소스선(SL2)이 형성된 후 형성되며, 이 형성 동안 발생한 수소가 메모리 셀 트랜지스터 내로 확산된다. 소스선(SL2)이 메모리 셀 어레이 영역(1)을 피복하지 않는 경우에, 확산된 수소는 터널 절연막(44) 또는 선택 게이트 트랜지스터(SGD 또는 SGS)의 게이트 절연막에 쉽게 도달한 후, 터널 절연막(44) 또는 게이트 절연막 내에서 트랩되어, 터널 절연막(44) 또는 게이트 절연막의 결합의 일부를 복원한다. 또한, 터널 절연막(44) 또는 게이트 절연막과 반도체 기판(26) 사이의 계면도 또한 확산된 수소에 의해 접촉되기 때문에, 계면 준위가 중단되고, nMOS 트랜지스터의 임계값이 감소하며, 서브 임계(subthreshold) 계수가 감소한다. 반면에, 소스선(SL2)이 메모리 셀 영역(1)을 오버랩하는 경우에는, Ti, TiN 등으로 이루어진 소스선(SL2)의 배리어 금속층 내에 확산된 수소가 트랩되어, 터널 절연막(44) 또는 게이트 절연막에 도달하지 않는다. 보다 구체적으로, SiN 막(7)과 같은 패시베이션막을 형성하는 경우와 같이 수소의 등방성 확산한 후 열 처리를 수행하는 경우에는,  $y < x/2$ 가 만족될 때, 어떤 소스선(SL2)도 형성되지 않은 영역 내의 터널 절연막(44) 또는 게이트 절연막에 확산된 수소가 도달할 수 있으며, 수소 확산 길이가 y와 x/2 사이일 때는, 반면에, 확산된 수소가 소스선(SL2)의 중심에 있는 터널 절연막(44)에 도달할 수 없다. 따라서, 터널 절연막(44) 내의 수소 농도 분포는 장소 의존적임이 분명하다. 결과적으로, 그위에 형성된 소스선(SL2)과 그위에 형성되지 않은 소스선(SL2)을 갖는 메모리 셀 트랜지스터의 NAND 열에서 신뢰성에 차이가 있다는 문제점이 있다. 또한, 비등방성 에칭(RIE)이 소스선(SL2)을 처리하는데 사용될 때, NAND 열을 통해 소스선(SL2)을 형성할 가능성이 크게 달라진다. 결과적으로, 에칭된 영역이 에칭 이온에 의해 손상을 입기 때문에, 메모리 셀 트랜지스터 신뢰성에서 차이가 있다는 문제점은 마찬가지로 발생한다.

또한, 도 6 내지 도 9의 경우에, 소스선(SL2)으로 피복된 NAND 열에 접속된, 데이터 전송선(BL)의 용량은, 소스선(SL2)에 관련되며, 어떤 소스선(SL2)으로도 피복되지 않은 NAND 열에 접속된 데이터 전송선(BL)과 비교하여 NAND 블럭의 수만큼 곱해진 NAND 열의 수로 크게 증가된다. 이것은 데이터 전송선들 중 용량의 값이 변동하기 때문이고, 판독 중의 데이터 전송선에서 RC 시상수에 차이가 생긴다(여기서, R은 데이터 전송선의 기생 저항의 값을 나타내고, C는 데이터 전송선의 기생 용량의 값을 나타냄). 그러므로, 판독에 있어서 보다 큰 타이밍 마진이 요구된다.

종래 기술에서의 금속 배선은 최소 가공 치수로 형성된 메모리 셀 어레이 사이에 선형적으로 배치되며, 메모리 셀 어레이를 피복하지 않는다. 그러나, 소형화가 증가함에 따라 금속 배선 및 메모리 셀 어레이 사이의 공간이 소형화되어 금속 배선 저항이 증가하는 문제가 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 일 양태는, 불휘발성 반도체 기억 장치로서, (a) 병렬 데이터 선택선들과, 상기 데이터 선택선들과 교차하고 서로 평행하게 배열된 데이터 전송선들과, 상기 데이터 전송선들과 상기 데이터 선택선들의 교차부에 배치된 전기적으로 재기입 가능한 메모리 셀 트랜지스터들을 포함하는 메모리 셀 유닛들과; (b) 상기 메모리 셀 유닛들이 상기 데이터 선택선들을 따라서 배치되어 있는 메모리 셀 어레이 블럭과; (c) 상기 메모리 셀 유닛들의 일단에 접속되고, 상기 데이터 선택선들을 따라서 배열된 제1 소스선들과; (d) 상기 제1 소스선들에 전기적으로 접속되고, 상기 데이터 선택선들을 따라서 배치된 제2 소스선들을 포함하는 불휘발성 반도체 기억 장치에 있다.

본 발명의 다른 양태는, 불휘발성 반도체 기억 장치로서, (a) 병렬 데이터 선택선들과, 상기 데이터 선택선들과 교차하고 서로 평행하게 배열된 데이터 전송선들과, 상기 데이터 전송선들과 상기 데이터 선택선들의 교차부에 배치된 전기적으로 재기입 가능한 메모리 셀 트랜지스터들을 포함하는 메모리 셀 유닛들과; (b) 상기 메모리 셀 유닛들이 상기 데이터 선택선들을 따라서 배치되어 있는 메모리 셀 어레이 블록과; (c) 상기 메모리 셀 트랜지스터들의 일단에 접속되고, 상기 데이터 선택선들을 따라서 배열된 제1 소스선들과; (d) 상기 제1 소스선들에 전기적으로 접속되고, 상기 데이터 선택선들을 따라서 배치된 제2 소스선들을 포함하고, (e) 상기 제1 소스선 및 상기 데이터 선택선들을 따라서 배치된 상기 제2 소스선들은 상기 제1 소스선들보다 위에 형성되어 있는 불휘발성 반도체 기억 장치에 있다.

본 발명의 또 다른 양태는, 불휘발성 반도체 기억 장치로서, (a) 병렬 데이터 선택선들과, 상기 데이터 선택선들과 교차하고 서로 평행하게 배열된 데이터 전송선들과, 상기 데이터 전송선들과 상기 데이터 선택선들의 교차부에 배치된 전기적으로 재기입 가능한 메모리 셀 트랜지스터들을 포함하는 메모리 셀 유닛들과; (b) 상기 메모리 셀 유닛들이 상기 데이터 선택선들을 따라서 배치되어 있는 메모리 셀 어레이 블록과; (c) 상기 메모리 셀 트랜지스터들의 일단에 접속되고, 상기 데이터 선택선들을 따라서 배열된 제1 소스선들과; (d) 상기 제1 소스선들에 전기적으로 접속되고, 상기 데이터 선택선들을 따라서 배치된 제2 소스선들을 포함하고, (e) 상기 제1 소스선 및 상기 데이터 선택선들을 따라서 배치된 상기 제2 소스선들은 상기 메모리 셀 트랜지스터들보다 위에 형성되어 있는 불휘발성 반도체 기억 장치에 있다.

### 발명의 구성 및 작용

본 발명의 다양한 실시예들이 첨부 도면들을 참조하여 설명될 것이다. 동일하거나 유사한 부분 및 구성 요소들에는 동일하거나 유사한 참조 부호들이 병기되고, 동일하거나 유사한 부분 및 구성 요소들에 대한 설명은 생략되거나 간략화될 것이다.

일반적으로 그리고 회로 블록의 표현에 있어서 통상적인 바와 같이, 도면들은 도면들 간에나, 도면 중에서도 치수를 고려하여 도시된 것은 아님을 알 것이고, 특히 회로도들은 도면들을 살펴보기에 용이하게 임의적으로 도시되었음을 알 것이다.

다음의 설명에 있어서, 본 발명의 완전한 이해를 제공하기 위해 구체적인 신호값 등과 같은 많은 상세한 사항들이 설명된다. 그러나, 당업자는 본 발명이 그러한 구체적인 세부 사항들 없이 실시될 수 있음을 명백히 알 것이다. 어떤 경우, 잘 알려진 회로는, 불필요하게 상세히 도시함으로써 본 발명을 불명료하게 만드는 것을 회피하기 위해블록도 형태로 도시되어 있다.

도면들을 참조하여, 하기에서 본 발명의 실시예들이 설명된다. 도면들 중에서 동일하거나 유사한 구성 요소들에는 동일하거나 유사한 참조 부호들이 병기된다. 하기에 개시된 실시예들은 본 발명에 따른 기술적 사상을 구현하기 위해 이용되는 장치 및 방법을 예시할 뿐, 본 발명의 기술적 사상을 하기에 나타낸 것으로 제한하지 않는다. 이 기술적 사상들은 청구 범위 내에 들어오는 다양한 변형들을 수용할 수 있다.

### [제1 실시예]

본 발명의 실시 형태에 있어서는, 메모리 셀 트랜지스터에 대하여 외부로부터 확산하여 온 수소의 영향을 거의 일정하게 하고, 데이터 전송선 사이에서 부하 용량에 차가 나지 않도록 레이아웃하는 불휘발성 반도체 기억 장치를 제공한다. 이것은, 종래의 직선형 배선끼리 예를 들면 사다리상으로 접속하는 것에 의해 메탈 배선의 저항을 개선하고, 동시에 이들 접속 배선을 주기적으로 배치하도록, 접지 전위 혹은 로우 레벨의 전위  $V_{SS}$ 를 공급하는 소스 전극 배선에 대한 패턴 및 레이아웃을 고안하여 달성된다.

다음에, 도면을 참조하여, 본 발명의 제1 내지 제6 실시 형태를 설명한다. 이하의 도면의 기재에 있어서, 동일 또는 유사한 부분에는 동일 또는 유사한 부호를 붙인다. 또한, 도면은 개략적인 것이어서, 두께와 평면 치수와의 관계, 각층의 두께의 비율 등은 현실의 것과는 다른 것임을 유의하여야 한다. 따라서, 구체적인 두께나 치수는 이하의 설명을 참작하여 판단하여야 할 것이다. 또한, 도면 상호간에서도 서로의 치수의 관계나 비율이 다른 부분이 포함되고 있는 것은 물론이다.

또한, 이하에 개시하는 제1 내지 제6 실시 형태는, 본 발명의 기술적 사상을 구체화하기 위한 장치나 방법을 예시하는 것이고, 본 발명의 기술적 사상은, 구성부품의 재질, 형상, 구조, 배치 등을 하기의 것으로 한정하는 것이 아니다. 본 발명의 기술적 사상은, 특허청구의 범위 내에서, 여러가지의 변형을 가하는 것이 가능하다.

제1 실시 형태에 있어서는, 도 10 내지 도 18을 참조하여, 대표적인 불휘발성 메모리인 NAND형 EEPROM의 예에 대하여 설명한다. 도 12 및 도 13에 메모리셀 트랜지스터의 등가 회로도 및 평면도를 도시하고, 도 10 및 도 11에 그 단면도를 도시한다. 등가 회로도에서는, 선택 게이트 트랜지스터 SGD, SGS 각각은 메모리셀 M0~M15와 다른 구조를 하고 있지만, 메모리 셀 트랜지스터 M0~M15와 같은 전하 축적층(49)을 갖는 구조일 수 있다.

소스선 콘택트(CS)와 데이터 전송선 콘택트(CB)와의 사이에는, 도 13에 도시한 바와 같이 선택 트랜지스터 SGS 및 SGD를 개재하여 메모리 셀 트랜지스터 M0~M15가 복수개 직렬로 접속되어 있다. 메모리 셀 트랜지스터 M0~M15의 구조는, 도 10에 도시한 바와 같이, 부유 게이트(40)를 갖는 타입, 도 11에 도시한 바와 같이, 전하 축적층(49)으로 이루어진 절연막을 갖는 타입을 이용할 수 있다. D 부유 게이트(40)를 갖는 타입의 메모리 셀 트랜지스터는, 도 10에 도시한 바와 같이, p형 웰 영역 혹은 반도체 기판(26)에 형성된 소스 영역 및 드레인 영역 혹은 확산층(18)과, p형 웰 혹은 반도체 기판(26)상에 형성된 터널 절연막(44)과, 부유 게이트(40)와, 인터폴리 절연막(42)과, 제어 게이트 전극(46)과, 마스크 절연막(48)과, 층간 절연막(24)을 구비한다.

한편, 전하 축적층(49)으로 이루어지는 절연막을 갖는 타입의 메모리 셀 트랜지스터는, 도 11에 도시한 바와 같이, p형 웰 혹은 반도체 기판(26)에 형성된 소스 영역 혹은 드레인 영역 혹은 확산층(18)과, p형 웰 혹은 반도체 기판(26)에 형성된 터널 절연막(44)과, 전하 축적층(49)과, 블록 절연막(52)과 제어 게이트 전극(46)과, 마스크 절연막(48)과, 층간 절연막(24)을 포함한다.

도 11에서, 전하 축적층(49)으로서 실리콘 질화막이나 옥시니트라이드막, 또는 알루미늄막을 이용할 수 있다. 여기서, 이 메모리 셀 트랜지스터는, 유지하여야 할 데이터에 대응하여, 소스 또는 드레인 확산층(18), 또는 p형 웰 혹은 반도체 기판(26)으로부터 전하가 주입 혹은 방출하는 전하 축적층(49)을 갖고 있다. 또한, 제1 실시 형태에 따른 불휘발성 반도체 기억 장치의 NAND 구조에 있어서는, 다수의 메모리셀 트랜지스터 M0~M15가 형성되어, 데이터의 재기입이 가능하게 되어 있다.

도 12에 도시된 바와 같이, 불휘발성 메모리 셀 트랜지스터들이 직렬로 접속되고, 메모리셀 트랜지스터 M0의 소스 전극 또는 드레인 전극(54)의 일단이 선택 게이트 트랜지스터(SGD) 및, 데이터 전송선 콘택트(CB)를 개재하여 데이터 전송선(BL)에 전기적으로 접속되어 있다. 한편, 메모리 셀 트랜지스터 M15의 소스 전극 또는 드레인 전극(54)의 일단은 선택 트랜지스터(SGS) 및 소스선 콘택트(CS)를 개재하여 전기적으로 공통 소스선(SL)에 전기적으로 접속되어 있다. 또한, 각각의 트랜지스터는, 동일한 p형 웰 영역(26)에 형성되어 있다. 또한, 각각의 메모리 셀 제어 전극은, WL0~WL15이라고 적은 데이터 선택선에 제각기 접속되어 있다. 또한, 데이터 전송선 BL에 따라 정렬된 복수의 NAND 형 메모리셀 유닛을 구비하는 NAND 형 메모리셀 블록으로부터 1개의 NAND 형 메모리셀 유닛(51)을 선택하여 데이터 전송선(BL)에 접속하기 위해서, 선택 게이트 트랜지스터(SGD)의 제어 전극은 블록 선택 게이트선(SSL)에 접속된다. 또한, 선택 게이트 트랜지스터(SGS)의 제어 전극은 블록 선택 게이트선(GSL)에 접속되어 있고, 소위 NAND 형 메모리셀 블록을 형성하고 있다. 여기서, 메모리셀 블록에는, 적어도 하나의 블록 선택 게이트선(SSL) 및 적어도 하나의 블록 선택 게이트선(GSL)이 있고, 데이터 선택선(WL0~WL15)과 동일 방향으로 형성되는 것이, 고밀도화에는 바람직하다. 데이터 전송선 및 데이터 선택선에 접속하는 메모리 셀의 수는 복수이면 보다 구체적으로  $2^n$ (n은 플러스의 정수)인 것이 어드레스 디코드를 하는 데에 있어서 바람직하다.

도 12에 도시한 NAND 형 메모리 셀 유닛(51)이, 데이터 전송선(BL) 방향, 및 데이터 선택선(WL0~WL15) 방향으로 복수 매트릭스 형상으로 인접하여 형성되어 있다. 구체적으로는, 도 13과 같이, 지면 좌우 방향으로 수평적으로 마찬가지로 메모리 셀 어레이가 형성되어, SSL, WL0~WL15, GSL, SL이 공유되어 있다. 또한, 도 13의 지면 상하 쪽으로 수직으로 마찬가지로 메모리 셀 어레이가 형성되어 있고, 상부 영역에 형성된 메모리셀 어레이와는, 데이터 전송선 BL을 통해 접속되고 있다. 이러한 어레이 레이아웃에서는, 대응하는 메모리셀 트랜지스터에 독립의 데이터를 기억할 수 있도록, 인접하는 메모리 셀 사이의 데이터 전송선(BL) 및, 데이터 전송선 인출 영역(14)의 배선, 각각의 메모리셀 트랜지스터의 선택 트랜지스터(SGD)의 n형 드레인 확산층에 독립적으로 접속될 필요가 있다. 데이터 전송선(BL)보다 하부의 구조에 대해서는, 예를 들면, 일본 특개2002-150783호 공보에 자세히 기술되고 있는 NAND 구조를 이용할 수 있고, 여기서 그 설명을 생략한다.

본 발명의 제1 실시 형태의 상세 구조도를 도 14 내지 도 18에 도시한다. 본 발명의 제1 실시 형태에 따른 불휘발성 반도체 기억 장치로서, NAND 형 EEPROM의 예를 도 14 내지 도 18에 도시한다. 도 14는 메모리 셀 어레이 영역의 확대된 모식적 평면 패턴도를 도시한다. 도 15 내지 도 17은, 도 14에 있어서 I-I 선 방향, II-II 선 방향, III-III 선 방향에 있어서의 모식적 단면 구조도를 도시한다. 또한, 도 18은, 메모리셀 어레이 영역의 전체적인 평면 패턴도를 도시한다.

본 발명의 제1 실시 형태에 따른 불휘발성 반도체 메모리는, 도 14에 도시한 바와 같이, 데이터 전송선(BL)과, 데이터 전송선(BL)에 대하여 직교하도록 배치된 데이터 선택선(WL)과, 비트선측 선택 게이트선(SSL)과, 소스선측 선택 게이트선(SGL)과, 복수의 메모리셀 유닛(51)과, 데이터 전송선(BL) 방향으로 연장하는 디바이스 영역(10) 및 디바이스 분리 영역(12)과, 선택 게이트 트랜지스터 SCD, SGS와, 소스선 콘택트(CS)와, 데이터 전송선 콘택트(CB)와, 비아 콘택트(16)와, 데이터 전송선 인출 영역(14)와, 제1 소스선(SL0)과, 제2 소스선(SL2)를 포함한다.

도 14에 도시한 바와 같이, 원형 또는 타원형의 소스선 콘택트(CS) 및 데이터 전송선 콘택트(CB)는 데이터 전송선(BL)에 수직인 방향으로 정렬되어 있다. III-III 방향의 콘택트는 디바이스 영역(10)과 디바이스 분리 영역(12)의 폭에 의존하여, 예를 들면 최소 가공 치수를 F로 나타낼 때, 2~3F 간격으로, 매우 근접한 간격으로 배열된다. 또한, III-III 방향에 직교한 I-I 방향의 콘택트의 피치는, III-I11 방향 피치보다도 크고, 예를 들면 NAND 형 플래시 메모리로서는 40~100F 간격으로 배열되고 있다. 또한, 도 14에 있어서, 제2 소스선(SL2)의 폭을 x, 간격을 u로 표시하고 있다.

본 발명의 제1 실시 형태에 따른 불휘발성 반도체 메모리 장치의 I-I 선에 따른 단면 구조는 도 15에 도시한 바와 같이, p 웰 혹은 반도체 기판(26)과, 확산층(18)과, 메모리 셀 트랜지스터(20)과, 선택 게이트 트랜지스터 SGS, SCD와, 배리어 절연막(22)과, 데이터 전송선 콘택트(CB)와, 소스선 콘택트(CS)와, 소스선(SL0)과, 데이터 전송선 인출 영역(14)와, 비아 콘택트(16)와, 데이터 전송선(BL)과, 소스선(SL2)과, 층간 절연막(23, 24)을 구비한다. 또한, 본 발명의 제1 실시 형태에 따른 불휘발성 반도체 메모리 장치의 II-II 선 방향 및 III-III 선 방향의 단면 구조는, 도 16 및 도 17에 도시한 바와 같이, p 웰 혹은 반도체 기판(26)과, 확산층(18 및 19)과, 배리어 절연막(22)과, 데이터 전송선 콘택트 CB와, 소스선 콘택트 CS와, 제1 소스선(SL0)과, 데이터 전송선 인출 영역(14)와, 제1 비아 콘택트(16)와, 데이터 전송선 BL과, 소스선트선(SH1) 및 웰선트선(SH2)과, 제2 비아 콘택트(17)과 제2 소스선(SL2)과, 층간 절연막(23, 27)을 포함한다. 도 15에 도시한 바와 같이, 메모리 셀 트랜지스터(20)는 실리콘 질화막, 실리콘 산 질화막, 산화 알루미늄막 등의 배리어 절연막(22)으로 피복되고, 이 배리어 절연막(22)은 데이터 전송선 콘택트(CB) 및 소스선 콘택트(CS)가 디바이스 분리홈에 침범하는 것을 방지하는 에칭 스톱퍼의 역할을 해내고 있다. 또한, 도 15에 있어서, 반도체 기판(26) 표면에서 제2 소스선(SL2)까지의 거리를 y, 각각의 제2 소스선 엘리먼트(SL2E1)의 폭을 z로 표시하고 있다.

메모리 셀 어레이 영역(1)의 전체적인 평면 패턴 구성은, 도 18에 도시한 바와 같이, 반도체 칩(6)과, 파선 내부로 도시되는 메모리셀 어레이 영역(1)과, 메모리셀 어레이 영역(1) 내에 배치된 복수의 메모리셀 어레이 블록(3)과, 복수의 제1 소스선(SL0)과, 제2 소스선(SL2)과, 제2 소스선 사이를 그리드 형상으로 접속하는 소스선 SL2 엘리먼트(1)(아래에서 상세히 설명되는 SL2E1)과, 데이터 선택선 제어 회로(2)와, 감지 증폭기 또는 데이터 래치(4)와, 소스선 분로 트랜지스터(3)와, 전원 배선 패트(5)를 구비한다. 전원 배선 5에 대해서는 전원 라인이 접속된다. 특히, 도 18에 도시된 바와 같이, 소스선(SL2)은, 소스선(SL0)의 상부 영역에서, 데이터 선택선(WL) 방향으로 소스선 SL2 엘리먼트 E1(SL2E1)을 구비하고, 전체로서, 그리드 형상으로 배치되어 있다. 또한, 각 메모리셀 어레이 블록(53)에는 메모리셀 유닛(51)이, 도 14의 설명에서와 같이 데이터 선택선 WL 방향으로 복수개 배열된다.

데이터 전송선 콘택트 CB 및 비아 콘택트(16)은, 인(P) 등의 불순물을 고농도로 도핑한 다결정 실리콘 혹은 W 등의 금속으로 매립되어, 데이터 전송선 인출 영역(14) 및 소스선(SL0)은 W 등의 금속으로 매립되고 있다. 배선층으로서 여기서는, 데이터 전송선 BL 방향으로 7F보다도 긴 데이터 전송선 인출 영역(14)을 상정하고 있다. 대안적으로, 더 긴 직선형의 미세 금속 패턴이어도 물론 가능하고, 비아 콘택트(16)와 데이터 전송선 인출 영역(14)을 생략한 구조로, 데이터 전송선 BL을 배선으로 하여, 직접 콘택트를 형성한 구조라도 이하는 성립한다. 데이터 전송선 BL, 비아 콘택트(17) 및 소스선(SL2)은, Al, Cu 등의 금속으로 형성되어 있다.

데이터 전송선 BL은 III-III 선에 수직으로, 최소 가공 치수를 F로 나타낼 때, 2~3F 간격이라는 대단히 조밀한 간격으로 배열되고, 예를 들면 530개 정도의 데이터 전송선 BL을 하나의 메모리셀 어레이로서 구성하고 있다. 또한, 반도체 기판(26)과의 콘택트나, 소스선(SL)과의 콘택트에 접속하는 소스선트선(SH1), 웰선트선(SH2)은, 메모리셀 어레이 사이에(예를 들면 530개 정도 데이터 전송선 마다) 배치되어 있다. 또한, 소스선(SL0)은, II-II 방향으로 형성되고, 데이터 전송선 BL 사이의 소스선(SL)의 접지 배선으로 되어 있다. 또한, II-II 선 방향과 직교하는 I-I 선 방향에 대하여, II-II 선을 따른 단면으로 도시한 바와 같이, 소스선의 접지 배선을 소스선(SL2)으로 형성하고 있다. 소스선(SL2 및 SL2E1) 및 소스선(SL0)에 의해서, 그리드 형상으로 소스선 접지 배선을 형성하고 있다. 소스선(SL2)은 III-III 방향에 수직인 방향으로, 예를 들면 폭 15~20F 정도의 배선이, 메모리셀 어레이 상에 겹치지 않도록 소스선 선트선(SH1) 상층에 배치되어 있다. 또한, 비트선측 선택 게이트 트랜지스터(SGD)와 소스선측 선택 게이트 트랜지스터(SGS) 사이에, 예를 들면 16 비트 메모리 셀 트랜지스터들이 직렬로 배열된 것을 가정하면, I-I 방향으로 2048 블록 정도가 배치되어 있다. 그러므로, 소스선(SL2)도 예를 들면 2048개 정도의 블록을 구현하기에 충분히 긴 배선으로 되어 있는 것은 용이하게 상상할 수 있다.

II-III 선에 수직인 방향으로, 메모리 셀 어레이 사이에 배선 SL2가 배치되어 있다. 그 외에, 제1 실시 형태로서는, III-III 선 방향으로 소스선 SL2가 배치되어 있다. 이후 이 부분을, 「소스선 SL2 엘리먼트1(SL2EL1)」이라고 부르기로 한다. 또한, III-III 방향으로 신장하도록 형성된 소스선 SL2 엘리먼트1은, I-I 방향의 NAND 열의 간격의 정수배 간격으로 배치되어 있고, 메모리 셀 어레이 위에 소스선(SL2)가 피복됨이 없이, III-III 방향으로 비트선측 선택 게이트 트랜지스터(SGD) 및 소스선측 선택 게이트 트랜지스터(SGS) 상에, 또는 비트선측 선택 게이트 트랜지스터(SGD) 사이 및 소스선측 선택 게이트 트랜지스터(SGS) 사이의 영역에만 배치되어 있다. III-III 방향의 저항 삭감을 위해, 비트선측 선택 게이트 트랜지스터(SGD) 사이 및 소스선측 선택 게이트 트랜지스터(SGS) 사이의 모든 영역에 배치한다. 이 배열은, NAND 열로 소스선 SL2 엘리먼트1(SL2EL1)의 피복율을 균일하게 할 수가 있어, 소스선 2 엘리먼트1(SL2EL1) 형성의 영향을 균일화할 수 있다. 대안적으로, I-I 방향의 NAND 열의 주기의 상수배라도 이하의 특징은 얻어진다. 대안적으로, 소스선측 선택 게이트 트랜지스터(SGS) 사이에만 형성하여도 되고, 비트선측 선택 게이트 트랜지스터(SGD) 사이에 형성하여도 된다. 또한, 종래와 다른 점은, 메모리셀 어레이의 내부까지 SL2E1(소스선2 엘리먼트1)이 형성되어 있는 점이다.

본 실시의 형태에서는, 메모리셀 어레이상에 소스선(SL2)이 피복하여 덮이는 일이 없다. 이 때문에, 메모리 셀의 상방으로부터 확산하는 수소는 소스선(SL2)에 의해서 차폐되는 일이 없고, 메모리 셀 신뢰성의 균일성이 확보될 수 있다. 또한, 소스 배선(2) 사이를 그리드 형상으로 접속한 상태로 되기 때문에, 배선의 저항을 저감할 수 있다.

또한, 종래예보다도, 비트선측 선택 게이트 트랜지스터(SGD) 및 소스선측 선택 게이트 트랜지스터(SGS) 상의 양방에 소스선(SL2)을 배치할 수 있으므로, III-III 방향의 소스선(SL0)과 소스선(SL2)의 배선 폭을 같이 한 경우라도, 0.5배 이하로 배선 저항을 저저항화 할 수 있다. 또한, 소스선(SL2)으로서, 예를 들면, Al이나 Cu 등의 저저항 배선재를 이용하고, 소스선(SL0)으로서 W, TiN, WSi 등의 고용점 금속이나 배리어 메탈을 이용하면, 전자의 소스선(SL2)보다도 2배의 고저항을 띠는 배선재를 이용한 경우보다도, 소스선 사이의 저항 삭감을 크게 할 수 있다. 또한, III-III 방향의 저저항화를 실현하기 위해서, 종래예와 같이 소스선(SL0)만으로 저저항화를 실현하는 경우와 같이, 소스선(SL0)을 굵게 형성할 필요는 없다. 따라서, 메모리셀 트랜지스터 상에 소스선(SL0)을 형성할 필요는 없고, 도 14 및 도 16에 도시한 바와 같이, 선택 게이트선(SGL) 상의 범위에 형성하기만 하면, 소스선의 전압 상승은 억제할 수 있다. 이를 위해, 소스선(SL0)의 패턴에 의해서, 확산하는 수소가 차폐되어 생기는 메모리셀 내의 특성 변동이 종래예보다도 적게 하는 것이 가능하다. 또한, 소스선(SL0)의 전위에 의해서, 메모리셀의 전위가 변화하는 문제도 방지하는 것이 가능하다. 또한, 특히, 메모리셀이 형성된 웰에 플러스 전위를 인가하여 소거하는 불휘발성 반도체 메모리에서는, 메모리셀에 접속된 소스선을 웰 전압 이상의 정전압으로 유지하는 것이, 소스선으로부터의 누설 전류를 방지하기 위해서 필요해진다.

그 결과, 소스선(SL2)과 접지 전위의 전원 배선 패드(5)와의 사이의 도통 및 비도통의 양방의 상태를 실현하기 위해서, 도 18에 도시된 바와 같이, 소스선 분로 트랜지스터(3)가 필요로 된다. 여기서, 도 18과 같이, 소스선 분로 트랜지스터(3)의 수를 지면 상하 방향의 소스선(SL2)의 수보다도 줄여, 예를 들면, 메모리셀 어레이단에 배치한 경우에는, III-III 방향의 소스선(SL2)의 컨덕턴스가 큰 쪽이, 소스선의 전위 상승이 적어서 바람직하다. 본 예에서는, III-III 선을 따른 배선 컨덕턴스를, 추가한 SL2E1 개수(소스선SL2 엘리먼트1 개수) × (엘리먼트 추가 개수) 만큼, 종래예보다도 증가시키는 것이 가능하며, 종래예와 같이, 메모리 어레이 셀단에만 III-III 방향의 배선을 덧붙인 경우에 비해 큰 저항 삭감 효과가 있다.

또한, SL2E1(소스선SL2 엘리먼트1)가 그리드 형상으로 형성되어 있기 때문에, I-I 방향 및 III-III 방향 어느것으로도 배선의 단면이 존재한다. 이 때문에, 배선 사이 혹은 기초로서, 예를 들면 층간 SiOF 막(불소-첨가 실리콘 절연막)이나 SiC, HSQ, MSQ 막과 같은 밀착성이 나쁜 물질을 이용한 경우라도, 단면부에서의 표면적이 증대하여 밀착성이 향상된다. 이 때문에, 배선 기초로서, 층간 SiOF 막(불소-첨가 실리콘 절연막)이나 SiC, HSQ, 혹은 MSQ 막이 벗겨지는 문제가 발생하는 것을 방지한다.

또한, 도 15에 도시된 바와 같이, 각각의 소스선 2 엘리먼트1(SL2E1)의 폭  $z$ 는  $z/2 < y$  를 만족하도록 형성되고(여기서  $y$  는 각각의 소스선(SL2)과, 메모리 셀 트랜지스터의 터널 절연막과 반도체 기판(26)간의 계면 사이의 거리를 나타냄),  $z$ 는  $0.1\mu\text{m}$ 와  $2\mu\text{m}$  사이의 범위에 놓이는 것이 바람직하다. 통상적으로, 실리콘 질화막과 같은 패시베이션 막은 소스선(SL2)이 형성된 이후에 형성되며, 이러한 형성 동안에 생성된 수소 또한 메모리 셀 트랜지스터내로 확산된다. 소스선(SL2)이 메모리 셀 어레이 영역을 포함하지 못하는 경우에, 확산된 수소는 게이트 절연막에 용이하게 도달할 수 있으며, 그 후에 게이트 절연막에 트랩(trap)되어, 게이트 절연막의 결합의 일부를 회복시킨다. 또한, 확산된 수소가 절연막과 계면 준위의 기판 종단 사이의 계면에 도달하도록함으로써, nMOS 트랜지스터의 임계치의 감소 및 서브 임계 계수의 감소가 달성된다. 패시베이션 막의 형성 이후에 수소가 등방성으로 확산된 경우에는 열처리를 수행한 경우와 마찬가지로,  $z/2 < y$ 가 만족되는 경우에, 패시베이션 막으로부터의 수소 확산 길이는  $y$ 보다 길며, 따라서 확산된 수소는 소스선 2 엘리먼트1(SL2E1) 아래의 트랜지스터 게이트 절연막에 도달한다. 이는 선택 게이트 트랜지스터 SGD 및 SGS의 게이트 절연막내의 수소 밀도 분포의 장소 의존도의 제거 및 보다 신뢰성있는 반도체 메모리의 형성을 가능하게 한다.

더욱이, 도 14에서 명백한 바와 같이, 소스선(SL2)은 선택 게이트선(SSL)들 사이의 영역 또는 선택 게이트선(SGL)들 사이의 영역을 균일하게 포함한다. 따라서, 모든 데이터 전송선(BL)은 선택 게이트선(SSL)들 사이의 영역 또는 선택 게이트선(SGL)들 사이의 영역내의 소스선(SL2)과 함께 거의 일정한 층간 기생 용량을 유지할 수 있을 것이다. 결과적으로, 데이터 전송선(BL)의 기생 용량의 변화가 감소되며, 이는 판독동안 데이터 전송선에 대한 CR 시상수의 변화를 감소시킨다. 따라서, 판독 타이밍 마진(read timing margin)이 더 감소될 수 있으며, 이는 보다 빠른 속도를 가진 반도체 메모리에서 감소된다. 또한, 데이터 전송선을 매립/방전하는 작은 양의 전하가 유지될 수 있어서, 저전력 소비의 고속의 판독 동작에서 감소된다. 더욱이, 메모리 셀 어레이 영역내의 데이터 전송선(BL)에 대해서는, 소스선(SL2)과 데이터 전송선(BL)의 용량성 결합이 감소하는데, 이는 소스선(SL2)이 선택 게이트선(SSL)들 사이의 영역 또는 선택 게이트선(SGL)들 사이의 영역에서만 형성되기 때문이다. 결과적으로, 데이터 전송선의 전기적 용량이 종래 기술과 거의 동일한 수준까지 감소된다.

[제1 실시예의 제조 방법]

본 발명의 제1 실시예에 따른 비휘발성 반도체 메모리의 예시적인 제조 방법이 도 23 내지 74를 참조하여 기술된다.

먼저, 실리콘 절연막 또는 실리콘 질화막으로 만들어진 디바이스 분리 영역(12)이, 예컨대 0.1 내지 0.4 $\mu\text{m}$ 의 깊이로 제1 도전성 반도체 기판 또는 0.3 내지 2 $\mu\text{m}$ 의 깊이를 가지는 웰 영역(26)상에 형성된다. 디바이스 분리 영역(12)의 깊이는 이 디바이스 분리 영역(12)을 통하여 인접한 제2 도전성 디바이스 영역(10)의 분리를 가능하게 한다. 도면에서, 제1 도전성 반도체 영역은 p 형인 반면에 제2 도전성 영역은 n 형이며, 이와 달리 제1 도전성 영역은 n 형이며 제2 도전성 영역은 p 형일 수 있다. 이러한 구성에서, 디바이스 분리 영역(12)은 나중에 선 I-I를 따라 형성될 데이터 전송선 콘택트(CB)와 동일한 피치를 가지고, 반도체 기판(26)에 대하여 역도전성을 가지는 불순물이, 예컨대 0.05 내지 0.3 $\mu\text{m}$ 까지의 깊이로 반도체 기판내로 도핑되도록 형성된다. 이것은 디바이스 분리 영역(12)에 의해서 분리된 반도체 표면상의 확산층(n 형 영역)(18)이 각각의 배선로 접속할 수 있도록 하며, 반도체 표면상의 다수의 n 형 영역(18)의 전기적 분리를 가능하게 한다. 또한, 이러한 콘택트 개구부 형성 프로세스는 KrF 또는 ArF 노출 디바이스가 위상 전이 마스크를 이용하여 패턴을 만드는 0.13 $\mu\text{m}$  이하의 디자인 룰에 있어서 문제점이 되며, 따라서 콘택트의 피치는 0.13 $\mu\text{m} \times 2F = 0.26\mu\text{m}$  이하가 되는 것이 바람직하다. 인(P) 또는 고농도로 도핑된 다결정 실리콘 또는 텅스텐 규화물과 같은 금속 등과 같은 도전성 막이 500 내지 1000nm의 두께로 적층되고, 데이터 전송선(BL)을 위한 패턴링(patterning)은 리소그래피 처리에 의해서 수행되며, 그 결과로 만들어진 표면은 이방성 에칭을 거치게 된다.

다음으로, 실리콘 질화막, 실리콘 산화막 또는 알루미늄나 막과 같은 배리어 절연막(22)이 10 내지 1000nm의 두께로 적층된다. 이 경우에, 소스선 콘택트(CS) 및 데이터 전송선 콘택트(CB)를 형성할 때의 에칭 제어 기술의 부족에 기인한 과도한 에칭은 소스선 콘택트(CS) 및 데이터 전송선 콘택트(CB)가 디바이스 분리 영역(12)을 침범하여 p 웰 영역(26)과 소스선 콘택트(CS) 사이의 소정의 내압값 및 p 웰 영역(26)과 데이터 전송선 콘택트(CB) 사이의 소정의 내압값이 제공될 수 없다는 문제를 발생시키도록 한다. 다른 한편으로는, 소스선 콘택트(CS) 및 데이터 전송선 콘택트(CB)를 형성할 때의 불충분한 에칭은 n 형 영역(18)과 데이터 전송선 콘택트(CB) 사이의 콘택트 저항의 증가라는 문제를 발생시킨다. 따라서, 이들 데이터 전송선 콘택트를 형성할 때에, 층간 절연막(23)에 대한 에칭 속도 보다 느린 배리어 절연막(22)에 대한 에칭 속도를 가지는 것과 같은 충분한 선택도를 가지고 에칭하며, 그 후에 배리어 절연막(22)을 에칭하면, 콘택트를 에칭할 때에 층간 절연막(23)의 막 두께의 변경에 미치는 영향을 감소시킨다. 이와 달리, 배리어 절연막(22)의 적층전에 1 내지 50nm의 두께를 가지는 실리콘 절연막이 산화 또는 적층을 통해서 반도체 기판(26) 표면상에 형성될 수 있을 것이다. 더욱이, 그 결과 만들어진 표면에, 실리콘 절연막, 실리콘 질화막, BPSG 또는 PSG와 같은 실리케이드 글라스(silicade glass) 또는 HSQ, MSQ 또는 SiLK와 같은 층간막으로 만들어진 층간 절연막(23)이 대략 10 내지 1000nm의 두께까지 적층될 수 있다(도 23 내지 26 참조). 배리어 절연막(22)의 재료는 층간 절연막(23)에 관하여 충분한 에칭 선택도를 가질 필요가 있다. 배리어 절연막(22)의 두께는 대략 10 내지 1000nm 정도가 될 필요가 있는데, 이러한 두께, 에칭 선택도 및 층간 절연막(23)의 두께는 충분한 제조 마진을 제공하여 소정의 에칭 선택도를 획득할 수 있다.

다음으로, 데이터 전송선 콘택트(CB) 및 소스선 콘택트(CS)에 대한 패턴링이 리소그래피를 이용하여 수행되며, 층간 절연막(23)에 대한 패턴링은 이방성 에칭을 통하여 수행된다(도 27 내지 30 참조). 에칭 조건은 저항(58) 및 배리어 절연막(22)에 관하여 충분한 선택도를 가져서 소정의 제조 마진을 제공할 수 있을 것이 요구된다.

다음으로, 배리어 절연막(22)은 저항(58)의 제거후에 이방성 에칭을 거치게 된다(도 31 내지 34 참조). 이 경우에, 에칭 조건은 반도체 기판(26) 및 층간 절연막(23)에 관하여 충분한 선택도를 가져 후처리로서 수행될 배리어 절연막(22)의 박리(peeling off)를 위한 습식 처리의 생략을 허용하여 제1 층간 절연막(23)에 관한 과도한 에칭을 방지하고, 순방향 테이퍼 형태(a forward tapered-shape) 및 작은 콘택트 직경을 유지하는 것이 바람직하다.

패터닝후에, 소스선 콘택트(CS) 및 데이터 전송선 콘택트(CB)는 인 또는 비소가 고농도로 도핑된 다결정 실리콘(배선층과는 상이한 재료인 제2 콘택트 매립 재료(70))으로 매립되며, 이방성 에칭 또는 화학적 건식 에칭(CDE)과 같은 등방성 에칭이 인 또는 비소가 고농도로 도핑된 다결정 실리콘(제2 콘택트 매립 재료(70))을 에칭하는 데에 이용된다(도 35 내지 38 참조). 각각의 소스선 콘택트(CS) 및 각각의 데이터 전송선 콘택트(CB)의 종횡비(aspect ratio)가 증가하면, 배리어 금속(64) 및 매립 금속 재료(제2 콘택트 매립 금속(70))의 포함범위가 불충분해지는 경향을 띠며, 결과적으로 매립 금속 재료의 적층 오류가 발생하며/발생하거나, 반도체 기판(26)(또는 하층 배선)과 콘택트 사이의 누설 전류가 증가할 수 있을 것이다.

본 발명의 제1 실시예에 따른 비휘발성 반도체 메모리에서, 소스선 콘택트 및 데이터 전송선 콘택트(CB)는 다결정 실리콘과 같은 반도체 재료로 매립되므로, 배리어 금속은 높은 어스펙트(aspect)를 가지는 데이터 전송선 콘택트(CB)부에서는 불필요하다. 이는 배리어 금속의 불충분한 포함범위에 기인하는 누설 전류의 증가를 방지한다. 또한, 데이터 전송선 콘택트(CB)의 하부는 사전 매립되기 때문에, 배선층 및 데이터 전송선 콘택트(CB)의 상부 영역내에서의 매립 기능에 영향을 미치는 실제 종횡비는 낮으며, 배리어 금속 또는 관련 금속의 매립 특성이 향상된다. 또한, 다결정 실리콘과 같은 반도체 재료는 데이터 전송선 콘택트(CB)내에 매립되기 때문에, 데이터 전송선 콘택트(CB)의 하부에 n 형 불순물의 이온 주입을 하지 않고서도 매우 얇은 접합 깊이를 가지는 데이터 전송선 콘택트(CB)가 형성될 수 있다. 이것은 데이터 전송선 콘택트(CB)가 형성되는 n 형 확산층(18)들 사이의 펀치 스트루 내압의 개선을 가능하게 한다. 더욱이, 다결정 실리콘, SiGe, 비결정 실리콘 또는 SiGe가 제2 콘택트 매립 재료(70)로서 이용되는 경우에는, Si 또는 SiGe는 CVD 기법을 이용하여 매립될 수 있으며, 이는 매립 금속의 경우보다 더 나은 포함범위를 제공한다. 이것은 높은 종횡비 구조물이 안정적으로 매립되는 것을 가능하게 하기도 한다. 또한, 불순물이 도핑된 다결정 실리콘 또는 SiGe가 제2 콘택트 매립 재료(70)로서 이용되는 경우에, 재확산을 위한 이온 주입을 행하지 않고서 불순물을 반도체 기판(26)으로 확산시킴으로써 안정적인 콘택트 저항이 획득될 수 있다. 더욱이, 콘택트의 하부를 매립하는 데에 배리어층 금속이 불필요하기 때문에, 소형화된 콘택트를 가지는 경우라도 n 형 영역을 가지는 안정적인 콘택트 저항이 획득될 수 있다.

다음으로, 리소그래피에 의하여 기판 콘택트(SB)의 패터닝을 행하고, 이방성 에칭에 의하여 층간 절연막(23)의 패터닝을 행하여, 기판 콘택트(SB)의 개구부(38)를 형성한다(도 39 내지 도 42). 이 때, 먼저 형성한 데이터 전송선 콘택트(CB) 및 소스선 콘택트(CS)의 내부를 레지스트로 매립하여 보호하는 것이 중요하다. 일정량의 제조 여유도를 제공하기 위하여, 에칭 조건은 레지스트(58) 및 배리어 절연막(22)에 대하여 충분한 선택비를 가질 필요가 있다.

다음으로, 레지스트(58) 제거 후에, 배리어 절연막(22)을 이방성 에칭한다(도 43 내지 도 46). 이 경우, 에칭 조건이 반도체 기판(26), 층간 절연막(23) 및 사전 매립된 제2 매립 재료(70)에 대하여 충분한 선택비를 가져서, 후공정으로서 배리어 절연막(22)을 박리하기 위한 습식 공정을 생략할 수 있게 함으로써, 층간 절연막(23)에 대한 과도한 에칭을 방지하고, 순방향의 테이퍼 형상과 작은 콘택트 직경을 유지하는 것이 바람직하다.

그 다음, 인 또는 비소 불순물을 예를 들어  $1 \times 10^{13} \text{cm}^{-2}$  내지  $1 \times 10^{16} \text{cm}^{-2}$ 의 도우즈로 이온 주입하여, 콘택트 부분의 n형 영역의 저항율을 저하시킬 수 있다.

다음으로, 리소그래피에 의하여 소스선(SLO) 및 데이터 전송선 인출 영역(14)의 패터닝을 행하고, 이방성 에칭에 의하여 층간 절연막(23)의 패터닝을 행한다(도 47 내지 도 50).

소스선(SLO) 및 데이터 전송선 인출 영역(14)으로 매립될 홈을 에칭 형성한 후, 레지스트(58)를 제거한다. 그 다음, Ti, Ta, TaN, TiN 등의 배리어 금속(64)을 1 내지 100nm 두께로 예를 들면 스퍼터나 CVD법에 의하여 콘택트 및 배선층 내에 적층하고, 텅스텐, 알루미늄, 구리 등의 금속 재료를 10 내지 1000nm 두께로 적층하여, 콘택트 및 배선층을 매립한다. 도 23 내지 도 50에서 설명된 단계들에 있어서, 소스선(SLO) 또는 데이터 전송선 인출 영역(14)을 위한 배선홈의 형성, 데이터 전송선(BL) 내의 콘택트를 위한 개구부의 형성, 및 소스선(SL) 내의 콘택트를 위한 개구부의 형성은 어떠한 순서로 행하여도 상관없다는 점에 유의할 필요가 있다. 그러나, 콘택트 직경이 작은 경우에는, 불균일한 기초에 고해상도 리소그래피로 패터닝을 행하는 것이 어렵기 때문에, 데이터 전송선 콘택트(CB)를 최초로 개구하는 방법을 사용하는 것이 바람직하고, 본 발명의 제1 실시예에서 설명한 순서로 개구하는 것이 더 바람직하다. 그 후, 화학적 기계적 연마(CMP)에 의하여 배선 금속 재료(69)를 평탄화한다(도 51 내지 도 54). 배리어 금속(64)에 대해서는, CVD법이, 보다 어스펙트 비가 높은 콘택트홈에 균일하게 적층할 수 있기 때문에 바람직하다.

다음으로, 실리콘 절연막, BPSG나 PSG 등의 실리케이트 글래스, 또는 HSQ, MSQ, SJK 등의 층간막으로 이루어지는 층간 절연막(23)을 10 내지 1000nm 두께로 적층한다.

다음으로, 리소그래피에 의하여 제1 비아 콘택트(16)의 패터닝을 행하고, 이방성 에칭에 의하여 층간 절연막(23)의 패터닝을 행한다(도 55 내지 도 58). 일정량의 제조 여유도를 제공하기 위하여, 에칭 조건은 레지스트(58) 및 하층 콘택트에 매립된 배선 금속 재료(69), 또는 배리어 금속(64)에 대하여 충분한 선택비를 가질 필요가 있다.

다음으로, 레지스트(58) 제거 후, Ti, Ta, TaN, TiN 등의 배리어 금속(64)을 1 내지 100nm 두께로, 스퍼터 또는 CVD법에 의하여 제1 비아 콘택트(16) 내에 적층한 후, W, Al, Cu 등의 금속 재료를 10 내지 1000nm 두께로 적층하여, 비아 콘택트(16)를 매립한다. 그 후, CMP를 사용하여 장치의 표면 전체를 에치백하고 평탄화한다(도 59 내지 도 62).

다음으로, 예를 들면 Al 또는 AlCu를 약 10 내지 1000nm의 두께로 적층한다.

또한, 이방성 에칭에 의해, Al 또는 AlCu를 I-I 선 방향을 따르는 스트립 형상으로 가공하여, 데이터 전송선(BL) 및 소스 선티선(SH1)을 형성한다.

다음으로, 그에 의한 표면 상에, 실리콘 절연막, 실리콘 질화막 또는 BPSG, PSG 등의 실리케이트 글래스, 또는 HSQ, MSQ, SiLK 등의 층간막으로 이루어지는 층간 절연막(23)을 약 10 내지 1000nm의 두께로 적층한다(도 63 내지 66).

다음으로, 리소그래피에 의해서 제2 비아 콘택트(17)의 패터닝을 행하고, 이방성 에칭에 의하여 층간 절연막(23)의 패터닝을 행한다(도 67 내지 70). 에칭 조건은, 일정량의 제조 여유도를 제공하기 위하여, 레지스트(58) 및 하층 콘택트에 매립된 금속, 또는 배리어 금속(64)에 대하여 충분한 선택비를 가질 필요가 있다.

다음으로, 레지스트(58) 제거 후, Ti, Ta, TaN, TiN 등의 배리어 금속(64)을 1 내지 100nm의 두께로, 예를 들면 스퍼터 또는 CVD법에 의해서 제2 비아 콘택트(17) 내와 층간 절연막(23) 상에 적층한 후에, W, Al, Cu 등의 금속 재료를 10 내지 1000nm 두께로 적층하여, 제2 비아 콘택트(17)를 매립하면서 동시에 소스선(SL2) 배선 재료로서도 적층한다(도 71 내지 도 74). 제1 비아 콘택트(16) 및 데이터 전송선(BL)의 제조 방법에서도 설명한 바와 같이, Ti, Ta, TaN, TiN 등의 배리어 금속(64)을 1 내지 100nm 두께로 스퍼터 또는 CVD법에 의하여 콘택트 내에 적층한 후, W, Al, Cu 등의 금속 재료를 10 내지 1000nm 두께로 적층하여, 제2 비아 콘택트(17)를 매립하고, CMP를 이용하여 장치의 표면 전체를 에치백하고, Al 또는 AlCu를 10 내지 1000nm 두께로 적층한다. 다르게는, 본 발명의 제1 실시예에서는, 제2 비아 콘택트(17)와 제2 소스선(SL) 도전 재료를 동시에 적층함으로써 프로세스 공정을 간단하게 할 수 있다.

마지막으로, 리소그래피 및 이방성 에칭에 의하여 약 10 내지 1000nm 두께의 적층된 Al 또는 AlCu를 가공함으로써, 본 발명의 제1 실시예에 따른 불휘발성 반도체 메모리의 형상이 얻어질 수 있다(도 71 내지 도 74).

이하에서 세부 사항은 생략하지만, 플라즈마 적층법에 의하여 약 0.05 내지 2.0 $\mu$ m 두께로 형성된 실리콘 질화막 또는 폴리이미드 등의 패시베이션막은 알파선, 자외선 또는 대기 등의 외부 스트레스의 영향을 저감시킨다. 실리콘 질화막은 헥사클로로디실란(HCD)을 이용하여 형성될 수 있다.

본 발명의 제1 실시예에 따른 불휘발성 반도체 메모리에서는, 소스선(SL2)의 패터닝을 행할 때, I-I선을 따라 연장된 셀 어레이들 간의 소스선(SL2)을 약 1 $\mu$ m 두께의 III-III선을 따라 연장된 소스선(SL2)의 추가 배선으로 직접 접속하여, 소스선(SL2)의 배선 저항을 종래 기술의 예에 비하여 감소시킨다. 또한, 소스선(SL2) 끼리를 접속시키는 추가 배선은, 비트선측 선택 게이트 트랜지스터(SGD) 및 소스선측 선택 게이트 트랜지스터(SGS) 상에 적층되기 때문에, 메모리 셀 어레이 영역(1)을 피복하지 않는다. 따라서, 상층 영역으로부터 수소가 확산된 경우, 셀들에 도달하는 수소의 분포가 균일하기 때문에, 셀 신뢰성의 분포 이상 등을 억제할 수 있다.

#### [제1 실시예의 변형예]

도 19 내지 도 22는, 본 발명의 제1 실시예의 변형예 1 내지 4에 따른 불휘발성 반도체 메모리 내의 메모리셀 어레이 영역의 평면의 모식적인 평면 패턴도이다.

본 발명의 제1 실시예의 변형예 1 내지 4에서는, 도 19 내지 도 22에 도시되어 있는 바와 같이, 소스선 2 엘리먼트 2(SL2EL2)가 소스선 2 엘리먼트 1(SL2EL1) 사이에 그리드 형상으로 추가 배치되어 있다. 도 19 내지 도 22에 도시되어 있는 바와 같이, SL2EL1 사이에 배치된 SL2EL2 피치 및 그리드 피치는 변형예 1 내지 4에서 상이하다. 예를 들어, 도 19에서는, 각각의 SL2EL2가 SL2EL1과 거의 그리드 형상으로 교대로 배치되어 있다. 한편, 도 20에서는, 각각의 SL2EL2가

경사 방향으로 일렬로 배치되어 있다. 또한, 도 21에서는, 각각의 SL2EL2가 경사 방향 및 크로스 방향으로 규칙적으로 배열되어 있다. 또한, 도 22에서는, 각각의 SL2EL2를, 소정의 피치로 배치되고 SL2EL1 사이의 영역을 매립하는 데 사용되는 폭이 넓은 영역으로서 형성하고 있다.

소스선 2 엘리먼트 2 (SL2EL2)는 그리드 형상으로 형성되므로, 각 소스선(SL2)의 단면은 데이터 전송선들(BL)이 연장되는 I-I 선을 따라 절취한 단면 구조 및 데이터 선택선들(WL)이 연장되는 III-III 선을 따라 절취한 단면 구조에서 찾을 수 있다. 결과적으로, 배선들 사이 또는 그 아래의 절연체로서 층간 불소 도핑 실리콘 절연막(SiOF), SiC, HSQ 또는 MSQ와 같이 접착성이 나쁜 재료를 사용할 경우에도 단면 영역의 표면적이 증가하여 접착성이 개선된다. 따라서, 배선 기초를 위한 층간 불소 도핑 실리콘 절연막(SiOF), SiC, HSQ 또는 MSQ와 같이 접착성이 나쁜 재료가 벗겨지는 문제가 실질적으로 방지된다.

또한,  $r/2 < y$ 의 관계가 만족되는 것이 바람직한데, 여기서 r은 각 소스선 2 엘리먼트 2 (SL2E2)의 폭이고, y는 메모리 트랜지스터의 소스선(SL2)과 터널 절연막(44) 사이의 간격이다. 구체적으로, r은 0.1 $\mu$ m 내지 2 $\mu$ m의 범위 내인 것이 바람직하다.

일반적으로, 소스선(SL2)의 형성 후에 실리콘 질화막과 같은 패시베이션 막이 형성되며, 그 형성 동안에 생성된 수소도 메모리 셀 트랜지스터 내로 확산된다. 소스선(SL2)이 메모리 셀 어레이 영역(1)을 피복하지 않을 때, 확산된 수소는 쉽게 터널 절연막(게이트 절연막; 44)에 도달하여, 터널 절연막(44) 내에 트랩되며, 그 결과 터널 절연막(44)의 결합 부분의 일부가 복구된다. 또한, 수소가 확산되어 터널 절연막(44)과 반도체 기판(26) 사이의 계면에 도달할 때, 계면 준위의 중단, 각 MOS 트랜지스터의 임계치 감소 및 서브 임계 계수의 감소가 달성된다. 패시베이션 막의 형성 후 열처리를 행하는 경우와 같이 수소의 등방성 확산의 경우,  $r/2 < y$ 가 만족될 때, 패시베이션 막으로부터의 수소 확산 거리는 y보다 크다. 따라서, 확산된 수소는 소스선 2 엘리먼트 2 (SL2E2) 아래의 트랜지스터 게이트 절연막에 도달할 수 있다. 이는 비트선측 선택 게이트 트랜지스터(SGD) 및 소스선측 선택 게이트 트랜지스터(SGS)의 게이트 절연막들 내의 수소 밀도 분포의 장소 의존성을 제거하여 반도체 메모리의 신뢰성을 향상시킨다.

또한, 본 발명의 제1 실시예의 제1 내지 제4 변형예에 따른 불휘발성 반도체 메모리에서는 저저항 소스선 2 엘리먼트 2 (SL2EL2)가 또한 I-I 선을 따라 형성되므로, I-I 선을 따른 저항이 더 감소될 수 있다.

더욱이, 본 발명의 제1 실시예의 제1 내지 제4 변형예에서, 그리드 형상의 데이터 전송선(BL) 상의 소스선 2 엘리먼트 2 (SL2EL2)의 배열은 데이터 전송선(BL) 상에 형성된 소스선(SL2)의 비율을 데이터 전송선(BL)의 전표면을 피복하는 소스선(SL2)의 경우에 비해 절반 이상 감소시킨다. 결과적으로, 소스선(SL2)과 데이터 전송선(BL) 간의 용량 결합이 감소하고, 각 데이터 전송선(BL)의 용량이 데이터 전송선(BL)의 전표면 상에 소스선(SL2)을 형성하는 경우보다 적게 감소될 수 있다. 이는 데이터 전송선(BL)을 충방전하는 전하량을 비교적 적게 제어하여, 충방전 시간을 감소시키고 저전력, 고속 판독 동작을 가능하게 한다. 또한, 본 발명의 제1 실시예의 제1 내지 제4 변형예에서, 소스선(SL2)에 의해 피복되는 모든 수직 연장 데이터 전송선(BL)의 각각의 비율은 유사하다. 이는 도 6에 도시된 종래 기술에 비해 데이터 전송선(BL)의 용량 변화를 감소시킨다. 결과적으로, 판독 동작의 데이터 전송선에 대한 CR 시상수의 변화는 감소된 데이터 전송선(BL)의 용량 변화에 따라 제어될 수 있다. 이는 판독 동작의 타이밍 마진을 더 감소시켜 보다 빠른 불휘발성 반도체 메모리를 가능하게 한다.

#### [제2 실시예]

도 75는 본 발명의 제2 실시예에 따른 불휘발성 반도체 메모리의 메모리 셀 어레이 영역 상의 확대 평면 패턴을 개략적으로 나타내고 있다. 도 76 내지 78은 각각 I-I 선, II-II 선 및 III-III 선을 따라 절취한 개략적인 단면도이다. 이하, 제1 실시예와 동일한 부분에는 동일한 도면 부호가 주어지며, 이에 대한 설명은 생략한다. 본 발명의 제2 실시예에 따른 불휘발성 반도체 메모리는 소스선(SL2, SL2E1, SL2E2)의 배열에 기초하는 소스 전극으로 인해 전원 전극의 다양한 배열을 가능하게 한다. 결과적으로, 도 19 내지 22에 도시된 것과 동일한 소스 전극 배열을 사용하여 제1 실시예의 제1 내지 제4 변형예에서 설명된 것과 동일한 효과를 제공한다.

도 14 내지 18에 도시된 제1 실시예에 따른 불휘발성 반도체 메모리와는 소스선(SL2) 배선 저항을 더 줄이기 위하여 추가 소스선 배선 영역들(SL2A)이 메모리 셀 어레이 영역 상에 배치된다는 점이다. 소스선(SL2)의 전위는 I-I 선을 따라 전달되므로, 저항을 줄이기 위하여 III-III 선(I-I 선에 수직)을 따른 접속을 위해 추가 배선들이 사용되는 경우에도, 충분한 소스선(SL2) 저항 감소 효과를 얻을 수 없다. 따라서, 본 발명의 제2 실시예에 따른 불휘발성 반도체 메모리에서는, 도 75에 도시된 바와 같이, I-I 선을 따라 흐르는 전류에 대한 배선 저항을 줄이기 위하여 계단 형상의 소스선 추가 배선 영역(SL2A)으로서 추가 배선들이 형성된다. 또한, 도 79는 NAND 메모리 셀 트랜지스터 열 내의 소스선(SL2) 소자(EL) 패턴

의 특정 구조를 나타낸다. 도 79는 점선으로 표시된 단일 NAND 블록 내의 소스선 2 엘리먼트 2(SL2E2) 패턴을 나타낸다. 도 79는 32개의 데이터 선택선(WL), 하나의 선택 게이트선(SSL) 및 하나의 선택 게이트선(SGL)을 포함하는 NAND 블록의 예를 나타내는데, 메모리 셀 트랜지스터는 각각의 디바이스 영역과 메모리 셀 데이터 선택선(WL)의 교차부에 형성된다.

본 발명의 제1 실시예에 따른 불휘발성 반도체 메모리에 비하여 본 발명의 제2 실시예에 따른 불휘발성 반도체 메모리는 소스선 2 엘리먼트 2(SL2E2)가 단일 NAND 블록 내에 계단 형상으로 형성되는 것을 특징으로 한다. 구체적으로, 도 79에 도시된 폭 a의 범위 내에 포함된 데이터 선택선(WL)의 수(도면에서 16개)는 도 79에 도시된 폭 b 및 c의 범위 내에 포함된 데이터 선택선(WL)의 총 수(도면에서 8+8=16개)와 거의 같으며, 단일 NAND 열에 형성된 소스선(SL2) 각각의 피복률도 거의 동일하다. 이러한 방식으로, 모든 데이터 전송선(BL)에 포함된 모든 NAND 열에 대해, 각각의 NAND 열에 형성된 소스선(SL2)의 모든 피복률은 거의 동일하다. 또한, 본 발명의 제2 실시예에 따른 불휘발성 반도체 메모리에서는, 소스선(SL2) 레이아웃 패턴들을 셀 피치와 배열함으로써, 피복된 소스선(SL2) 영역의 면적 대 각 열 셀의 면적의 비가 선택 게이트선(SSL)과 선택 게이트선(SGL) 사이의 영역(단일 블록) 및 소스선들(SL2) 사이의 영역 전체에서 거의 동일할 수 있다. 결과적으로, 수소가 상층으로부터 확산되지만 소스선(SL2)의 배리어 메탈(64) 등에 의해 트랩되어 게이트 절연막의 하층에는 도달하지 못하는 경우에도 소스선(SL2) 레이아웃을 셀 피치와 배열함으로써 피복된 소스선(SL2) 면적 대 각각의 단일 셀 면적의 비의 균일성을 본 발명의 제1 실시예의 제1 내지 제4 변형예보다 좋게 제어할 수 있다. 더욱이, 각각의 NAND 열의 상부 영역에 형성된 소스선(SL2)의 피복률은 거의 동일하므로, 소스선 2 엘리먼트 2(SL2E2) 블록들을 따른 주기적인 간격들은 본 발명의 제1 실시예의 제1 내지 제4 변형예보다 작을 수 있다. 결과적으로, 데이터 전송선(BL)을 따른 주기적인 간격들이 또한 제공될 수 있으므로, 데이터 전송선들(BL) 간의 기생 용량 값의 변동이 감소될 수 있다.

도 79는 폭 a 내 및 폭 (b+c) 내의 16 메모리 셀 데이터 선택선들(WL)을 포함하는 구조를 나타내는데, 다르게는 데이터 선택선(WL)의 수는 NAND 열 수의 약수일 수 있다. 예컨대, NAND 열 수가 32개이면, 데이터 선택선(WL)의 수는 16, 8, 4 또는 2개가 될 수 있다. 그러나, 소스선(SL2)을 두꺼운 막으로 형성하기 위하여 각 소스선(SL2)의 최소 가공 선포는 일반적으로 각 메모리 셀 트랜지스터의 최소 가공 선포의 4배보다 크다. 따라서, 2, 4, 8 또는 16 중 어느 하나가 데이터 선택선(WL)의 수로서 바람직하며, 0.1 $\mu$ m보다 큰 선포가 바람직하다. 또한, 데이터 선택선(WL)을 따라 연장하는 각각의 소스선 2 엘리먼트 2(SL2EL2)의 폭 d가 동일할 필요는 없지만, 수소를 아래의 메모리 셀 트랜지스터 내로 충분히 확산시키기 위해서는 0.1 $\mu$ m 내지 2 $\mu$ m인 것이 바람직하다.

제조 방법은 본 발명의 제1 실시예에서 설명된 도 23 내지 74에 도시된 제조 방법과 동일하므로 이에 대한 설명은 생략한다. Ti, Ta, TaN 또는 TiN과 같은 배리어 메탈(64)은 제2 비아 콘택트(17)의 형성 후 스퍼터링 또는 CVD를 이용하여 제2 비아 콘택트(17) 및 층간 절연막(23) 내에 1 내지 100nm의 두께로 적층된다. 이어서, W, Al 또는 Cu와 같은 금속 재료가 10 내지 1000nm의 두께로 적층되어 제2 비아 콘택트(17)를 채우는 소스선(SL2) 배선 재료가 된다. 리소그래피를 이용하여 원하는 계단 형상으로 패터닝을 행함으로써 본 발명의 제2 실시예에 따른 불휘발성 반도체 메모리의 소스선(SL2) 레이아웃이 쉽게 얻어진다(도 75 내지 79).

[제3 실시예]

도 80은 본 발명의 제3 실시예에 따른 불휘발성 반도체 메모리의 메모리 셀 어레이 영역(1) 상의 확대 평면 패턴을 개략적으로 도시하고 있다. 도 81 내지 83은 각각 도 80의 I-I 선, II-II 선 및 III-III 선을 따라 절취한 개략적인 단면도이다.

도 75 내지 79에 도시된 본 발명의 제2 실시예에 따른 불휘발성 반도체 메모리와는 추가적인 배선들이 그리드 형상으로 배치되어 소스선 추가 배선 영역들(SL2A)을 계단 형상으로 접속시키는 것은 물론 배선 저항을 더 줄일 수 있다는 점이다. 더욱이, 추가 배선과 메모리 셀 트랜지스터들의 피치를 배열시킴으로써 데이터 전송선(BL)을 따른 주기적인 간격이 또한 제공될 수 있으므로, 패시베이션 공정 중에 확산되는 수소는 메모리 셀 트랜지스터들에 고르게 영향을 미치며, 데이터 전송선들 간의 기생 용량 값의 변화가 감소될 수 있다. 본 발명의 제3 실시예에 따른 불휘발성 반도체 메모리의 제조 방법도 도 23 내지 74에 설명된 제1 실시예에 따른 불휘발성 반도체 메모리의 제조 방법과 실질적으로 동일하다. 본 발명의 제3 실시예의 형상은 도 80에 도시된 바와 같이 그리드 형상으로 제2 소스선(SL2) 리소그래피 패턴을 배열함으로써 쉽게 얻어질 수 있다. 본 발명의 제3 실시예에 따른 불휘발성 반도체 메모리의 효과는 제1 실시예의 제1 내지 제3 변형예의 효과와 동일하므로, 이에 대한 설명은 생략한다.

[제3 실시예의 변형예]

도 84는 본 발명의 제3 실시예의 변형예에 따른 불휘발성 반도체 메모리의 메모리 셀 어레이 영역 상의 확대 평면 패턴을 개략적으로 나타내고 있다. 도 85 내지 87은 각각 도 84의 I-I 선, II-II 선 및 III-III 선을 따라 절취한 개략적인 단면도이다.

도 80 내지 83에 도시된 제3 실시예에서 설명된 소스선 추가 배선 영역들(SL2A)은 그리드 형상의 메모리 셀 트랜지스터들의 피치와 배열되는 반면, 변형예는 메모리 셀 트랜지스터 피치의 정수 배마다, 예를 들어 그리드 형상의 4개 메모리 셀 트랜지스터(2x2)마다 접속되는 소스선들(SL2)의 패턴이 존재한다는 점을 특징으로 하고 있다. 그 효과는 더 넓은 배선을 사용함으로써 리소그래피 마진이 제공될 수 있다는 점을 제외하고는 메모리 셀 트랜지스터 피치와 배열되는 경우와 동일하다. 이 변형예에서, 소스선들(SL2)은 4개 셀마다 접속되며, 다르게는 추가 배선들이 그리드 형상으로 주기적으로 접속될 수 있는 한 6개 셀 또는 8개 셀과 같이 임의의 수의 메모리 셀 트랜지스터들 단위로 접속될 수 있다. 그 제조 방법은 전술한 제1 또는 제3 실시예와 동일하며, 도 84에 도시된 바와 같이 그리드 형상으로 소스선(SL2) 리소그래피 패턴을 배열함으로써 본 발명의 제3 실시예의 변형예의 형상을 쉽게 제공할 수 있다. 본 발명의 제3 실시예의 변형예에 따른 불휘발성 반도체 메모리의 효과는 제1 실시예의 제1 내지 제4 변형예와 동일하므로, 그에 대한 설명은 생략한다.

[제4 실시예]

도 88은 본 발명의 제4 실시예에 따른 불휘발성 반도체 메모리의 메모리 셀 어레이 영역 상의 확대 평면 패턴을 개략적으로 나타내고 있다. 도 89 내지 91은 각각 도 88의 I-I 선, II-II 선 및 III-III 선을 따라 절취한 개략적인 단면도이다.

도 75 내지 79 및 도 80 내지 83에 각각 도시된 본 발명의 제2 실시예 및 제3 실시예와는, 소스선 추가 배선들(SL2A)의 각각이 계단 형상 또는 사다리 형상이 아니라 '대각선'으로 접속된다는 점에서 차이가 있다. 여기서, '대각선'은 각 데이터 전송선 및 각 데이터 선택선의 방향에 대각선으로 배열된 컴포넌트가 존재한다는 것을 의미하며, 선형 대각선일 수 있다. 대안으로, 미세 구조는 미세 계단 형상을 포함할 수 있다.

본 발명의 제4 실시예에 따른 불휘발성 반도체 메모리는 소스선 2 엘리먼트 2 (SL2E2)의 단축된 주변 길이 및 단축된 총 연장 길이를 가질 수 있으며, SL2E2 배선 폭 및 패턴 피치는 제2 실시예와 동일할 수 있다. 결과적으로, 수직 컴포넌트의 저항은 본 발명의 제4 실시예와 같이 배선들을 대각선으로 접속시킴으로써 최소화될 수 있다. 또한, 소스선(SL2)의 형성 동안의 배선 에지에 대한 손상도 제2 실시예에 따른 불휘발성 반도체 메모리의 경우에서보다 적게 감소되어 신뢰성이 향상될 수 있다.

도 92는 NAND 메모리 셀 열 내의 소스선(SL2) 소자들의 특수 패턴도를 나타낸다. 도 92는 점선으로 각각 표시된 단일 NAND 블록 내의 소스선 2 엘리먼트 2 (SL2E2) 패턴들을 나타낸다. 도 92는 32개의 데이터 선택선(WL), 1개의 선택 게이트선(SSL) 및 1개의 선택 게이트선(SGL)을 나타내는데, 메모리 셀 트랜지스터들은 각각의 디바이스 영역들과 메모리 셀 데이터 선택선들(WL) 사이의 교차부에 형성된다. 도 75 내지 79에 도시된 본 발명의 제2 실시예에 따른 불휘발성 반도체 메모리와 달리, 소스선 SL2 엘리먼트 2 (SL2E2)는 단일 NAND 블록 내에 대각선으로 형성된다. 구체적으로, 도 92에 도시된 폭 a의 범위 내에 포함된 데이터 선택선들(WL)의 수(도면에서 14)는 도 92에 도시된 폭 b 및 c의 범위에 포함된 데이터 선택선들(WL)의 수의 합(도면에서 12+ 2=14)과 거의 동일하여, 단일 NAND 열에 형성된 소스선들(SL2)의 피복율(coverage rate)이 거의 동일하게 된다.

이러한 방식으로, 모든 데이터 전송선(BL)에 포함된 모든 NAND 열 전반에서, 각 NAND 열에 형성된 소스선들(SL2)의 피복율은 거의 동일하다. 도 92는 a의 폭과 (b+c)의 폭을 가진 14개의 메모리 셀 데이터 선택선(WL)을 포함하는 구조를 나타내는데, 대안으로 폭 a가 폭 (b+c)와 거의 동일한 한은 임의의 수의 선이 이용될 수도 있다. 그러나, 굵은 소스선(SL2)을 형성하기 위하여 일반적으로 소스선들(SL2) 각각의 최소 가공 선포는 메모리 셀 트랜지스터들 각각의 최소 가공 선포의 4 배보다 크다. 따라서, 메모리 셀 데이터 선택선들(WL)의 수는 2 이상이고, 이들의 선포는 0.1 $\mu$ m 내지 2 $\mu$ m 사이인 것이 바람직하다. 또한, 데이터 선택선(WL)을 따라 연장하는 소스선 2 엘리먼트 2 (SL2EL2) 각각의 폭 d가 동일할 필요는 없지만, 그 아래의 메모리 셀 트랜지스터들로 수소를 충분히 확산시키기 위하여 이 폭은 0.1 $\mu$ m 내지 2 $\mu$ m 사이인 것이 바람직하다. 더욱이, 마스크 데이터 처리를 위해 대각선의 각도는 45도인 것이 바람직하다.

또한, 본 발명의 제4 실시예에 따른 불휘발성 반도체 메모리에서는, 제2 및 제3 실시예에 도시된 경우와 같이, 각각의 단일 셀을 피복하는 소스선 추가 배선 영역(SL2A)의 비율이 단일 블록 내에서 동일하도록 설계된다. 그 효과는 제2 실시예의 효과와 동일하므로, 그에 대한 설명은 생략된다. 또한, 제조 방법은 제1 실시예와 동일하므로 그에 대한 설명도 생략된다.

[제5 실시예]

(가상 접지 AND 형)

도 93 및 도 94는 본 발명의 제5 실시예에 따른 반도체 메모리를 나타낸다. 본 발명의 제5 실시예에서는, 제1 내지 제4 실시예에서의 NAND 메모리 셀 유닛(51) 대신 가상 접지 메모리 셀 유닛(83)이 사용된다. 제1 내지 제4 실시예와 동일한 부분에는 동일한 참조 번호가 첨부되고, 그 설명은 생략된다.

도 93 및 도 94는 각각 가상 접지 메모리 셀 유닛의 개략 회로도 및 개략 평면 패턴도이다. 도 93에서, 가상 접지 메모리 셀 유닛(83)은 로컬 데이터선들(82a 및 82b) 사이에 접속된 제1 메모리 셀 유닛(80)과, 로컬 데이터선들(82b 및 82c) 사이에 접속된 제2 메모리 셀 유닛(81)을 포함한다. 도 10 및 도 11에 기본 구조가 도시된 불휘발성 메모리 셀 트랜지스터(M0a 내지 M15a)의 전류 단자들은 병렬 접속되고, 그 일단은 블럭 선택 트랜지스터(S1a)를 통해 데이터 전송선(BL1a)에 접속된다. 또한, 그 타단은 블럭 선택 트랜지스터(S2)를 통해 인접 데이터 전송선(BL2)에 접속된다. 불휘발성 메모리 셀 트랜지스터(M0 내지 M15)의 제어 전극들은 각각 데이터 선택선(WL0 내지 WL15)에 접속된다. 또한, 데이터 전송선(BL)을 따라 배열된 다수의 메모리 셀 블럭 중에서 단일 메모리 셀 블럭을 선택하여, 선택된 블럭을 데이터 전송선(BL)에 접속하기 위해, 블럭 선택 트랜지스터(S1b)의 제어 전극은 블럭 선택 게이트선(SSL)에 접속된다. 또한, 블럭 선택 트랜지스터(S2)의 제어 전극은 블럭 선택 게이트선(GSL)에 접속된다. 또한, 각각의 불휘발성 메모리 셀 트랜지스터(M0b 내지 M15b)는 데이터 선택선(WL0 내지 WL10)의 연장 방향으로 불휘발성 메모리 셀 트랜지스터(M0a 내지 M15a)에 인접하여 형성되고, 2개의 셀 모두가 로컬 데이터 전송선(82b)에 접속된다. 결과적으로, 소위 가상 접지 메모리 셀 유닛(83; 점선으로 표시된 부분)이 형성된다. 제5 실시예에서, 블럭 선택 게이트선(SSL 및 GSL)은 메모리 셀 트랜지스터의 데이터 선택선(WL0 내지 WL15)에 대한 것과 동일한 층에서 배선을 사용하여 형성된다. 또한, 단일 가상 접지 메모리 셀 유닛(83)이 데이터 선택선에 평행하게 형성된 적어도 하나의 블럭 선택선을 구비하는 고밀도 구조를 수립하는 것이 바람직하다. 제5 실시예에서는  $16(=2^4)$ 개 메모리 셀 트랜지스터가 가상 접지 메모리 셀 유닛(83)에 접속되는 실시예가 주어졌지만, 복수의 메모리 셀 트랜지스터가 데이터 전송선(BL) 및 데이터 선택선(WL)에 접속되어도 좋고, 보다 구체적으로,  $2^n$ (n은 양의 정수)개가 어드레스 디코딩에 바람직하다. 도 93은 셀 구조를 명백히 하기 위해 게이트 제어선( $90_{WL0}$  내지  $90_{WL15}$ ) 하에서의 구조만을 나타낸다.

블럭 선택선들( $90_{SSL}$  및  $90_{GSL}$ )은 각각 선택 게이트선(SSL)과 선택 게이트선(GSL)에 접속되고, EEPROM 제어선(WL0 내지 WL15)에 대한 것과 동일한 층에 형성된다. 도 93 및 도 94에 도시된 바와 같이, 블럭 선택 트랜지스터(S1)는 n-형 확산층이 소스 및 드레인 영역으로서 사용되고 블럭 선택선( $90_{SSL}$ )이 게이트 전극으로서 사용되는 MOSFET이고; 블럭 선택 트랜지스터(S2)는 n-형 확산층(85 및 85s)가 소스 및 드레인 영역으로서 사용되고 블럭 선택선( $90_{GSL}$ )이 게이트 전극으로서 사용되는 MOSFET이다.

본 발명의 제5 실시예에서는, 가상 접지 메모리 셀 트랜지스터들이 사용되기 때문에, 직렬 접속된 메모리 셀 유닛의 저항이 작고 일정할 수 있으며, 이는 다치 구조에 대한 임계치를 안정화하는데 바람직하다. 또한, 데이터의 비트는 전류 흐름 방향과 일치하게 단일 트랜지스터에서 2개의 n-형 확산층의 근처 영역 각각에 저장될 수 있고, 이들로부터 판독될 수 있다. 이러한 것은 고밀도 구조를 수립하는데 바람직하다. 또한, 제5 실시예에서는, 제1 내지 제4 실시예의 특징 이외에, 메모리 셀 트랜지스터가 병렬로 접속되기 때문에, 셀 전류 다량이 사용될 수 있고, 데이터가 고속으로 판독될 수 있다.

본 발명의 제1 내지 제4 실시예에서 메모리 셀 어레이 영역의 기본 구조로서 NAND 메모리 셀을 사용하는 불휘발성 반도체 메모리가 설명되었지만, 선택 게이트에 의해 고립되는 가상 접지 메모리 셀 유닛을 메모리 셀 어레이 영역의 기본 구조로서 사용하는 불휘발성 반도체 메모리에 대해 유사한 전원 및 전극 레이아웃이 사용될 수 있고, 유사한 효과가 달성될 수 있다.

[제5 실시예의 변형예]

(AND 형)

도 95 및 도 96은 본 발명의 제5 실시예에 따른 불휘발성 반도체 메모리의 변형예를 나타낸다. 도 95는 AND 메모리 셀 유닛 예의 개략 회로도를 나타내고, 도 96은 도 95에서의 AND 메모리 셀 유닛 예의 개략 평면 패턴도를 나타낸다. AND 메모리 셀 유닛의 기본 구조는 제5 실시예에서 설명된 가상 접지 AND 구조와 실질적으로 동일하다. 달리 말하면, 도 93과 도 95 또는 도 94와 도 96을 비교하면 알 수 있듯이, AND 메모리 셀 유닛(100)은 제1 메모리 셀 유닛(80) 및 제2 메모리 셀 유닛(81)로 이루어지는 가상 접지 메모리 셀 유닛(83)에서 메모리 셀 유닛(80 또는 81) 중 어느 하나만을 사용하여 구성된다. AND 메모리 셀 유닛(100)의 회로 구조 및 평면 패턴 구조는 가상 접지 메모리 셀 유닛의 것과 실질적으로 동일하기 때문에, 그 설명은 생략된다.

본 발명의 제1 내지 제4 실시예에서는, 메모리 셀 어레이 영역의 기본 구조로서 NAND 메모리 셀 유닛을 사용하는 불휘발성 메모리가 설명되었다. 선택 게이트에 의해 고립되는 AND 메모리 셀 유닛을 메모리 셀 어레이 영역의 기본 구조로서 사용하는 불휘발성 반도체 메모리에 대해 유사한 전원 및 전극 레이아웃이 사용될 수 있고, 유사한 효과가 달성될 수 있다.

[다른 실시예]

상술된 바와 같이, 본 발명은 제1 내지 제5 실시예에 따라 설명되었다; 그러나, 본 명세서의 일부를 형성하는 설명 및 도면이 본 발명을 제한하는 것으로 인식되어서는 않된다. 다양한 대안적인 실시예, 작업에 및 조작 기술들이 본 명세서로부터 당업자들에게는 자명할 것이다. 이러한 방식으로, 본 발명은 본 명세서에 설명되지 않은 다양한 실시예들을 당연히 포함한다.

디바이스 격막 또는 절연막을 형성하는 방법은, 예를 들어 실리콘을 실리콘 절연막 또는 실리콘 질화막으로 변환하는 방법 이외에, 적층된 실리콘에 산소 이온을 도핑하거나 또는 적층된 실리콘을 산화하는 것을 사용할 수 있다. 또한, TiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, 탄탈륨 절연막, 스트론튬 티탄산염, 바륨 티탄산염, 납 지르코늄 티탄산염, ZrSiO<sub>4</sub>막, HfSiO<sub>4</sub>막, HfSiON막, 또는 이들의 적층체가 폴리실리콘간 절연막(42)으로 사용될 수 있다. 또한, 측벽 절연막 및 마스크 절연막은 Al<sub>2</sub>O<sub>3</sub>막, ZrSiO<sub>4</sub>막, HfSiO<sub>4</sub>막, ZrSiON막, HfSiON막, SiN막, SiON막 또는 이들의 적층체 등 내산화(oxidization-proof) 절연막일 수 있다. 실시예에서는 p-실리콘 기판이 반도체 기판(26)으로서 고려되지만, n-실리콘 기판, SOI(Silicon-On-Insulator) 기판의 SOI 실리콘층, 또는 SiGe 혼합 결정이나 SiGeC 혼합 결정 등의 실리콘 함유 단결정 반도체 기판이 대신 사용될 수 있다. 더욱이, p-형 반도체 기판(26) 상에 n-MOSFET을 형성하는 것이 설명되었지만, n-형 반도체 기판 상에 p-MOSFET을 형성하는 것으로 대체될 수 있다. 이 경우, 상기 실시예에서의 n-형 영역은 p-형 영역으로 대체될 수 있고, p-형 영역은 n-형 영역으로 대체될 수 있으며, 도핑 불순물 As, P 및 Sb는 In 또는 B로 대체될 수 있다. 또한, 실리콘 반도체, SiGe 혼합 결정, SiGeC 혼합 결정 또는 이들의 적층체가 게이트 전극으로 사용될 수 있다. 또한, TiSi, NiSi, CoSi, TaSi, WSi 또는 MoSi 등의 실리사이드나 폴리사이드, 또는 Ti, Al, Cu, TiN 또는 W 등의 금속이 제어 게이트용 금속 재료로서 사용될 수 있다. 또한, 새로운 소스선(SL2) 레이아웃이 실시예에 도시되었지만; 유사한 레이아웃이 메모리 셀 어레이에서의 웰 분로 배선(well shunt interconnect)이 사용될 수 있다. 이 경우, 메모리 셀 트랜지스터가 형성되는 p-웰 영역의 전위는 더욱 안정화된다. 결과적으로, 데이터 판독 또는 기입시 부스트된 데이터 전송선에 기인하여 초래된 웰 전위에서의 변화가 제어될 수 있고, 타이밍 마진은 웰 전위가 안정될 때까지 감소될 수 있다. 이는 보다 빠른 판독 및 기입 동작을 가능하게 한다.

또한, 본 발명의 실시예는 본 발명의 사상을 벗어나지 않는 한 다양한 방식으로 변경되고 구현될 수 있다. 따라서, 본 발명의 기술적 범위는 상술된 설명 및 적절한 이하의 특허청구범위에 따라 특정되는 본 발명의 특징에 의해서만 결정된다.

본 발명이 상술된 실시예에 따라 설명되었지만, 본 명세서의 일부를 구성하는 설명 및 도면이 본 발명을 제한하는 것으로 이해되어서는 않된다. 본 명세서에 의하면 다양한 대안적인 실시예, 작업에 및 조작 기술들이 당업자에게 자명하다. 따라서, 본 발명의 기술적 범위는 상술한 설명으로부터 적절하게 나타나는 이하의 특허청구범위에 의해서만 정의된다.

당업자들에게는 본 발명의 시사점을 수용한 뒤 본 발명의 사상을 벗어나지 않고 다양한 변경이 가능하게 될 것이다.

**발명의 효과**

본 발명의 불휘발성 반도체 기억 장치에 따르면, 메모리 셀 트랜지스터에 대하여 외부로부터 확산하여 온 수소의 영향을 거의 일정하게 하고, 데이터 전송선 사이에서 부하 용량에 차가 나지 않도록 레이아웃하는 불휘발성 반도체 기억 장치를 제공한다. 이것은, 종래의 직선형 배선끼리 예를 들면 사다리상으로 접속하는 것에 의해 메탈 배선의 저항을 개선하고, 동시에 이들 접속 배선을 주기적으로 배치하도록, 접지 전위 혹은 로우 레벨의 전위 V<sub>SS</sub>를 공급하는 소스 전극 배선에 대한 패턴 및 레이아웃을 고안하여 달성된다.

**(57) 청구의 범위**

**청구항 1.**

불휘발성 반도체 기억 장치로서,

병렬 데이터 선택선들과, 상기 데이터 선택선들과 교차하고 서로 평행하게 배열된 데이터 전송선들과, 상기 데이터 전송선들과 상기 데이터 선택선들의 교차부에 배치된 전기적으로 재기입 가능한 메모리 셀 트랜지스터들을 포함하는 메모리 셀 유닛들과;

상기 메모리 셀 유닛들이 상기 데이터 선택선들을 따라서 배치되어 있는 메모리 셀 어레이 블록과;

상기 메모리 셀 유닛들의 일단에 접속되고, 상기 데이터 선택선들을 따라서 배열된 제1 소스선들과;

상기 제1 소스선들에 전기적으로 접속되고, 상기 데이터 선택선들을 따라서 배치된 제2 소스선들

을 포함하는 불휘발성 반도체 기억 장치.

## 청구항 2.

제1항에 있어서,

전원 배선과;

상기 전원 배선과 상기 제2 소스선들 사이에 배치된 제1 트랜지스터

를 더 포함하는 불휘발성 반도체 기억 장치.

## 청구항 3.

제2항에 있어서,

상기 전원 배선은 칩의 한 쪽에만 형성된 전원 배선 패드에 접속되어 있는 불휘발성 반도체 기억 장치.

## 청구항 4.

제1항에 있어서,

상기 제1 소스선들은 W 또는 WSi이고, 상기 제2 소스선들은 알루미늄 또는 구리인 불휘발성 반도체 기억 장치.

## 청구항 5.

제1항에 있어서,

상기 제2 소스선들은 상기 메모리 셀 유닛들의 간격의 정수배인 간격으로 형성되어 있는 불휘발성 반도체 기억 장치.

## 청구항 6.

제1항에 있어서,

$z$ 는 각 제2 소스선의 폭을 나타내고,  $y$ 는 반도체 기판으로부터 상기 제2 소스선까지의 높이를 나타낸다고 할 때, 상기 폭  $z$ 는  $z/2 < y$ 의 관계를 만족시키는 불휘발성 반도체 기억 장치.

### 청구항 7.

불휘발성 반도체 기억 장치로서,

병렬 데이터 선택선들과, 상기 데이터 선택선들과 교차하고 서로 평행하게 배열된 데이터 전송선들과, 상기 데이터 전송선들과 상기 데이터 선택선들의 교차부에 배치된 전기적으로 재기입 가능한 메모리 셀 트랜지스터들을 포함하는 메모리 셀 유닛들과;

상기 메모리 셀 유닛들이 상기 데이터 선택선들을 따라서 배치되어 있는 메모리 셀 어레이 블록과;

상기 메모리 셀 트랜지스터들의 일단에 접속되고, 상기 데이터 선택선들을 따라서 배열된 제1 소스선들과;

상기 제1 소스선들에 전기적으로 접속되고, 상기 데이터 선택선들을 따라서 배치된 제2 소스선들을 포함하고,

상기 제1 소스선들 및 상기 데이터 선택선들을 따라서 배치된 상기 제2 소스선들은 상기 제1 소스선들보다 위에 형성되어 있는 불휘발성 반도체 기억 장치.

### 청구항 8.

제7항에 있어서,

전원 배선과;

상기 전원 배선과 상기 제2 소스선들 사이에 배치된 제1 트랜지스터

를 더 포함하는 불휘발성 반도체 기억 장치.

### 청구항 9.

제8항에 있어서,

상기 전원 배선은 칩의 한 쪽에만 형성된 전원 배선 패드에 접속되어 있는 불휘발성 반도체 기억 장치.

### 청구항 10.

제7항에 있어서,

상기 제1 소스선들은 W 또는 WSi이고, 상기 제2 소스선들은 알루미늄 또는 구리인 불휘발성 반도체 기억 장치.

### 청구항 11.

제7항에 있어서,

상기 제2 소스선들은 상기 메모리 셀 유닛들의 간격의 정수배인 간격으로 형성되어 있는 불휘발성 반도체 기억 장치.

### 청구항 12.

제7항에 있어서,

$z$ 는 각 제2 소스선의 폭을 나타내고,  $y$ 는 반도체 기판으로부터 상기 제2 소스선까지의 높이를 나타낸다고 할 때, 상기 폭  $z$ 는  $z/2 < y$ 의 관계를 만족시키는 불휘발성 반도체 기억 장치.

### 청구항 13.

제7항에 있어서,

상기 제2 소스선들은 상기 데이터 전송선들 및 상기 데이터 선택선들의 방향들에 대해 비스듬한 방향으로 연장 배치되어 있는 불휘발성 반도체 기억 장치.

### 청구항 14.

불휘발성 반도체 기억 장치로서,

병렬 데이터 선택선들과, 상기 데이터 선택선들과 교차하고 서로 평행하게 배열된 데이터 전송선들과, 상기 데이터 전송선들과 상기 데이터 선택선들의 교차부에 배치된 전기적으로 재기입 가능한 메모리 셀 트랜지스터들을 포함하는 메모리 셀 유닛들과;

상기 메모리 셀 유닛들이 상기 데이터 선택선들을 따라서 배치되어 있는 메모리 셀 어레이 블록과;

상기 메모리 셀 트랜지스터들의 일단에 접속되고, 상기 데이터 선택선들을 따라서 배열된 제1 소스선들과;

상기 제1 소스선들에 전기적으로 접속되고, 상기 데이터 선택선들을 따라서 배치된 제2 소스선들을 포함하고,

상기 제1 소스선들 및 상기 데이터 선택선들을 따라서 배치된 상기 제2 소스선들은 상기 메모리 셀 트랜지스터들보다 위에 형성되어 있는 불휘발성 반도체 기억 장치.

### 청구항 15.

제14항에 있어서,

전원 배선과;

상기 전원 배선과 상기 제2 소스선들 사이에 배치된 제1 트랜지스터

를 더 포함하는 불휘발성 반도체 기억 장치.

### 청구항 16.

제15항에 있어서,

상기 전원 배선은 칩의 한 쪽에만 형성된 전원 배선 패드에 접속되어 있는 불휘발성 반도체 기억 장치.

### 청구항 17.

제14항에 있어서,

상기 제1 소스선들은 W 또는 WSi이고, 상기 제2 소스선들은 알루미늄 또는 구리인 불휘발성 반도체 기억 장치.

### 청구항 18.

제14항에 있어서,

상기 제2 소스선들은 상기 메모리 셀 유닛들의 간격의 정수배인 간격으로 형성되어 있는 불휘발성 반도체 기억 장치.

### 청구항 19.

제14항에 있어서,

$z$ 는 각 제2 소스선의 폭을 나타내고,  $y$ 는 반도체 기판으로부터 상기 제2 소스선까지의 높이를 나타낸다고 할 때, 상기 폭  $z$ 는  $z/2 < y$ 의 관계를 만족시키는 불휘발성 반도체 기억 장치.

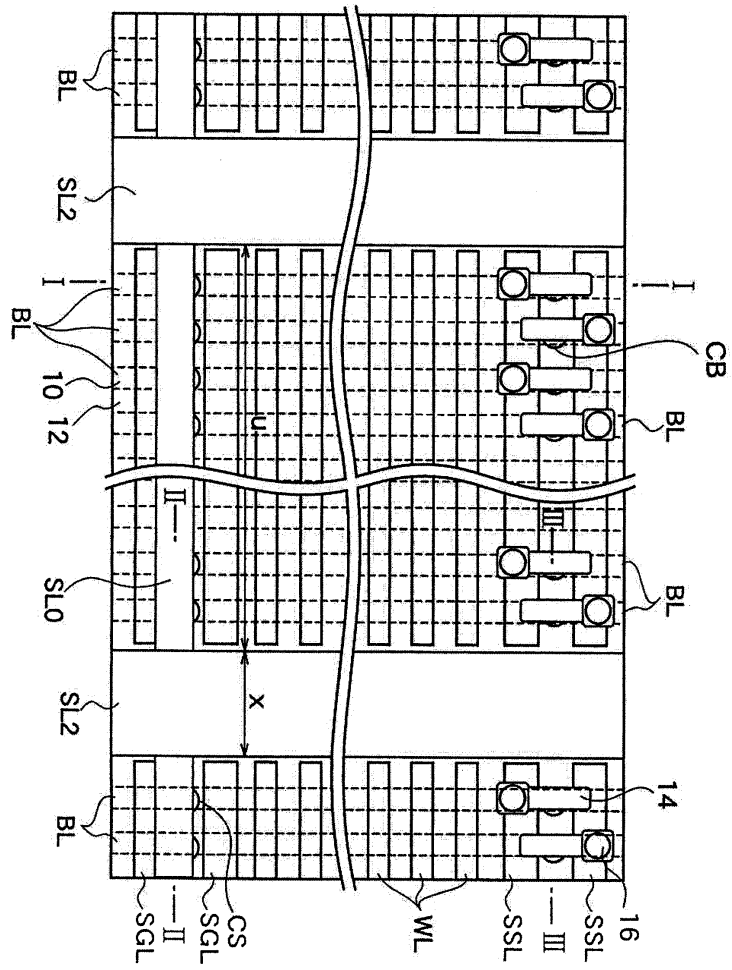
### 청구항 20.

제14항에 있어서,

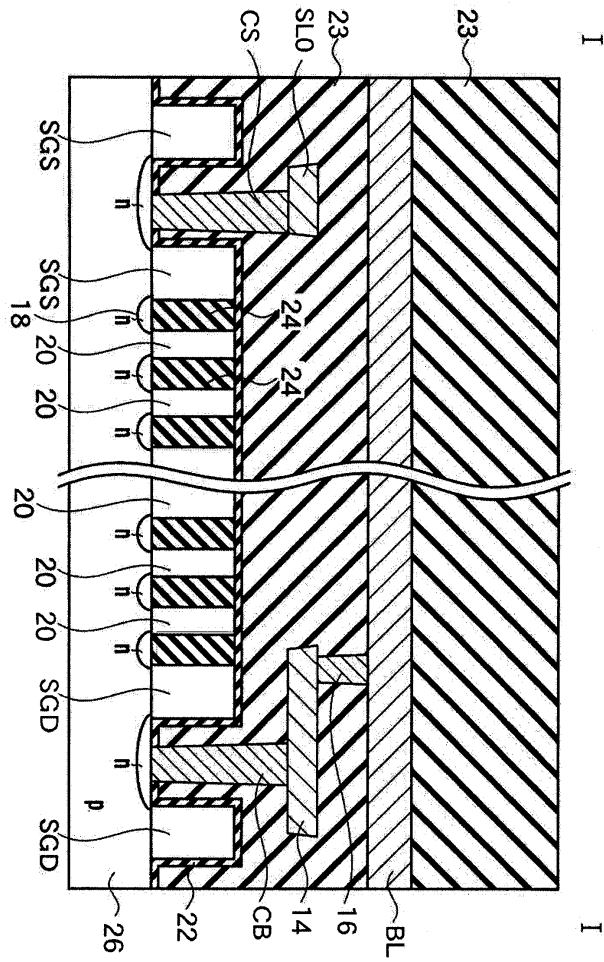
상기 제2 소스선들은 상기 데이터 전송선들 및 상기 데이터 선택선들의 방향들에 대해 비스듬한 방향으로 연장 배치되어 있는 불휘발성 반도체 기억 장치.

도면

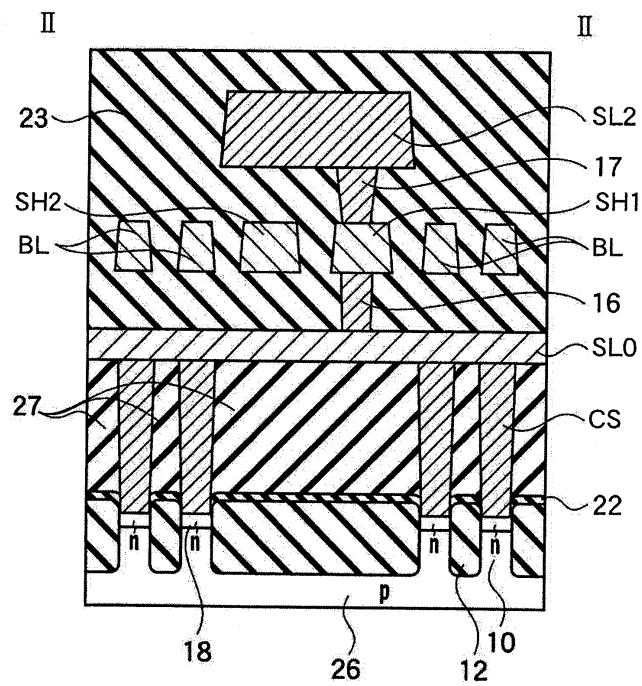
도면1



도면2

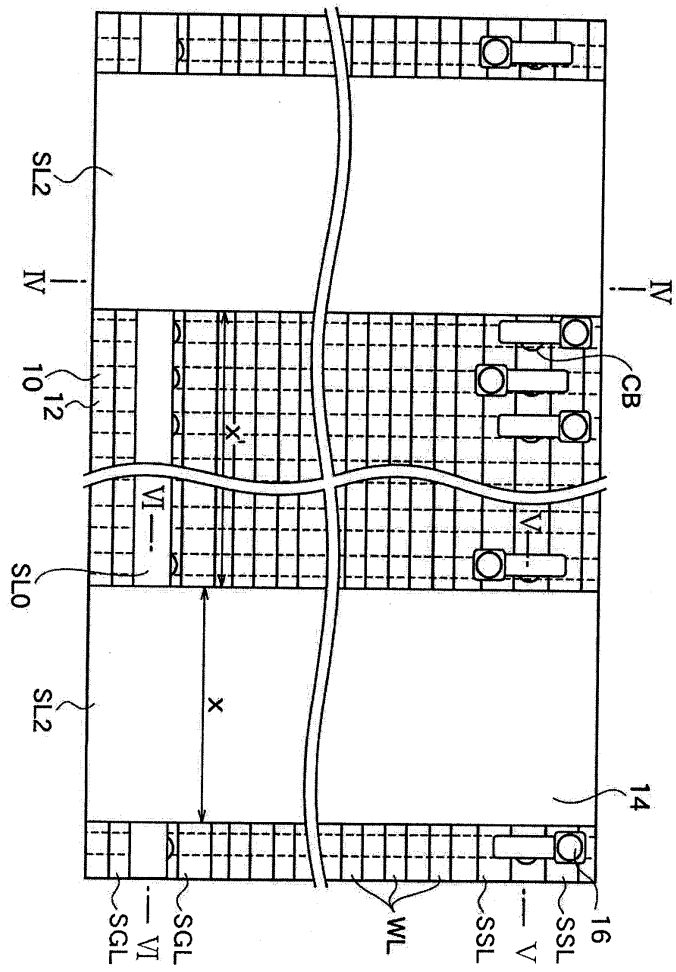


도면3



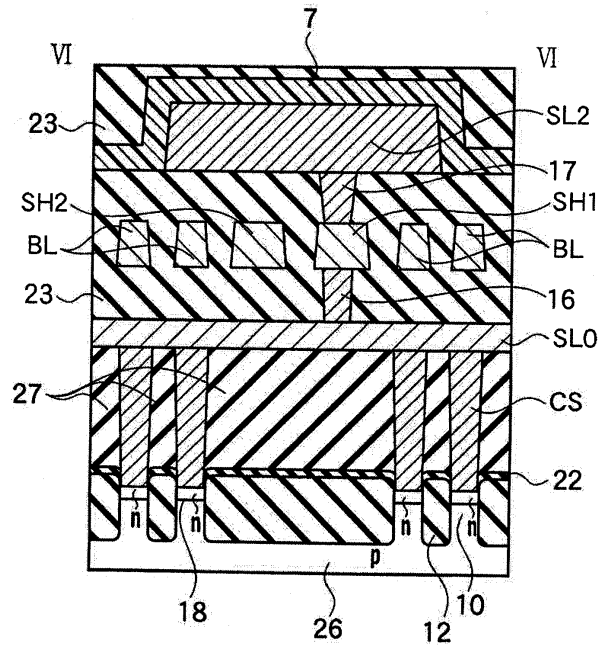


도면6

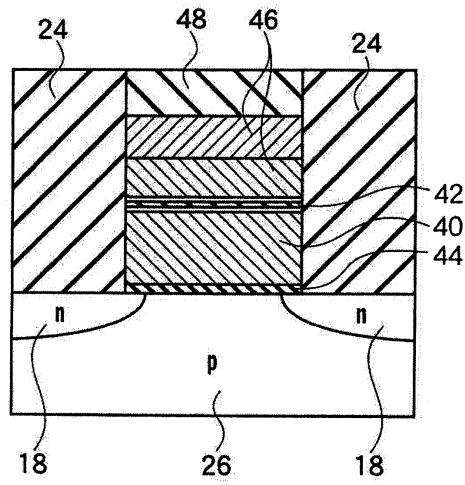




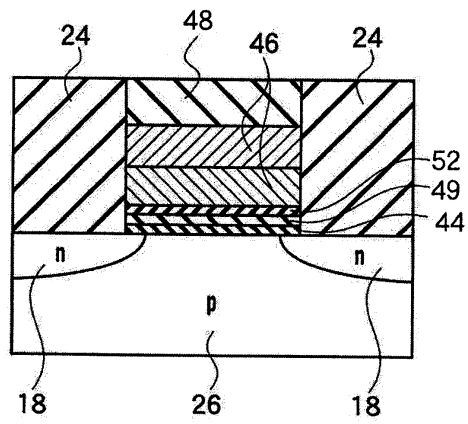
도면9



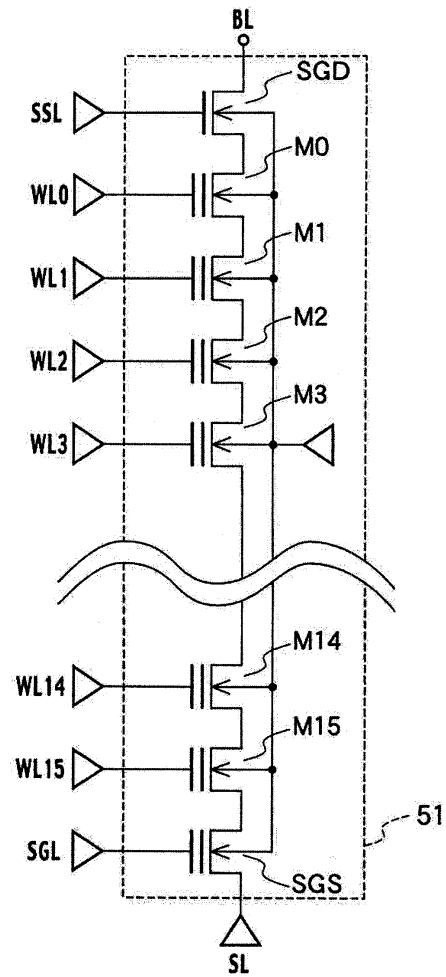
도면10



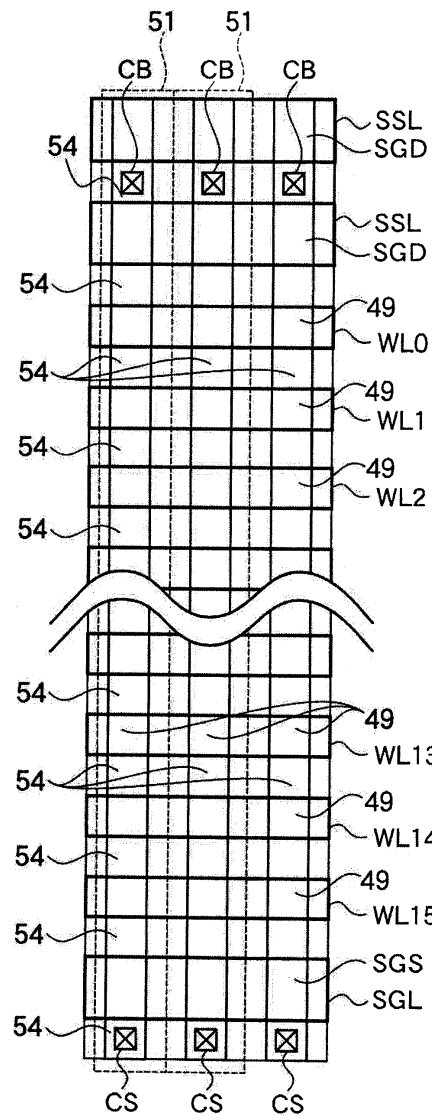
도면11



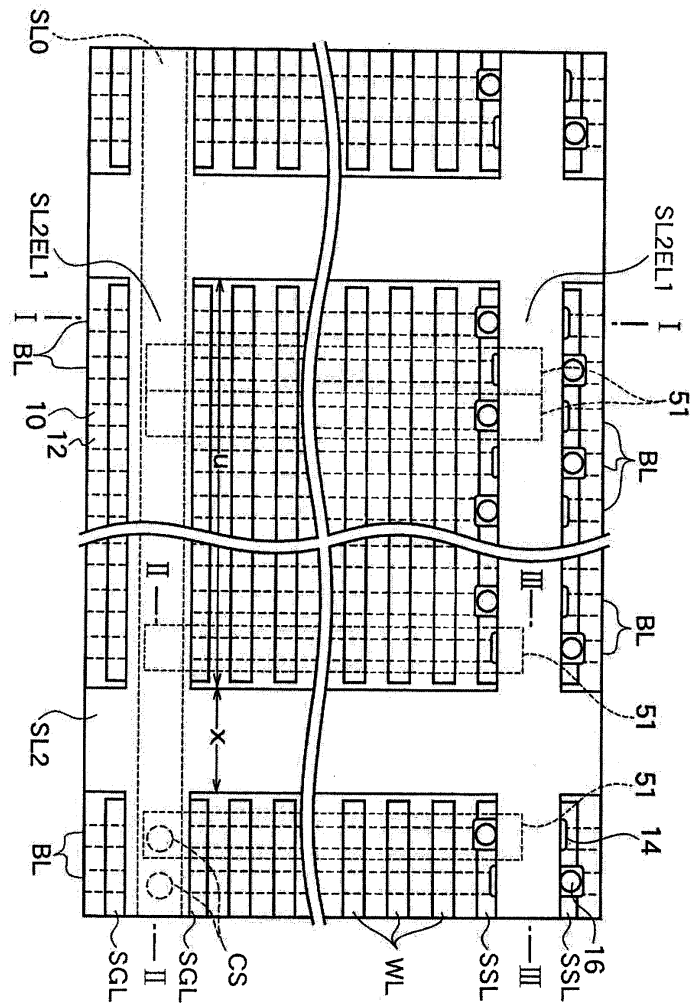
도면12



도면13

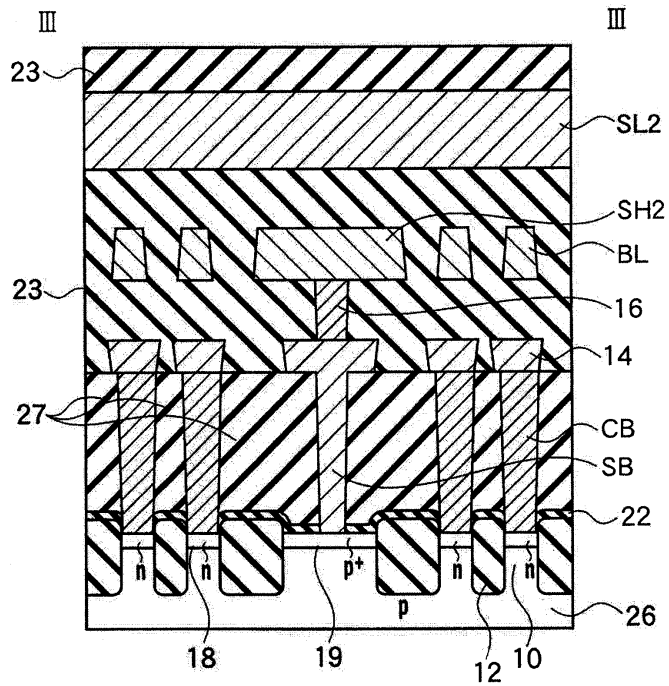


도면14

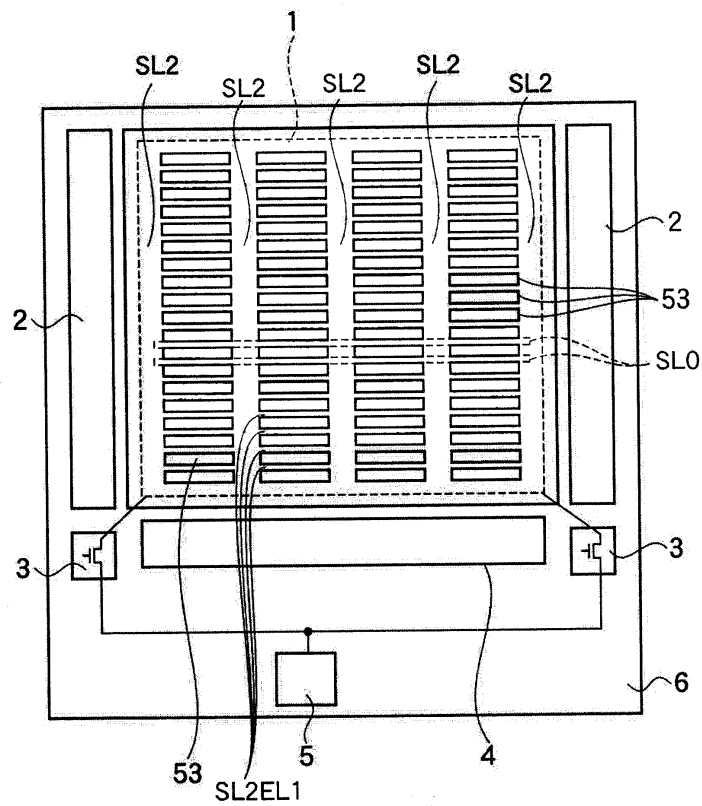




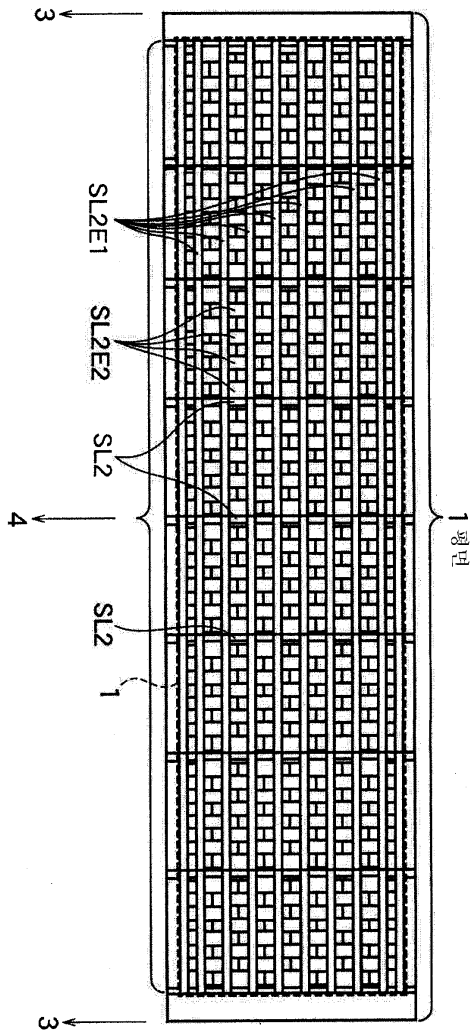
도면17



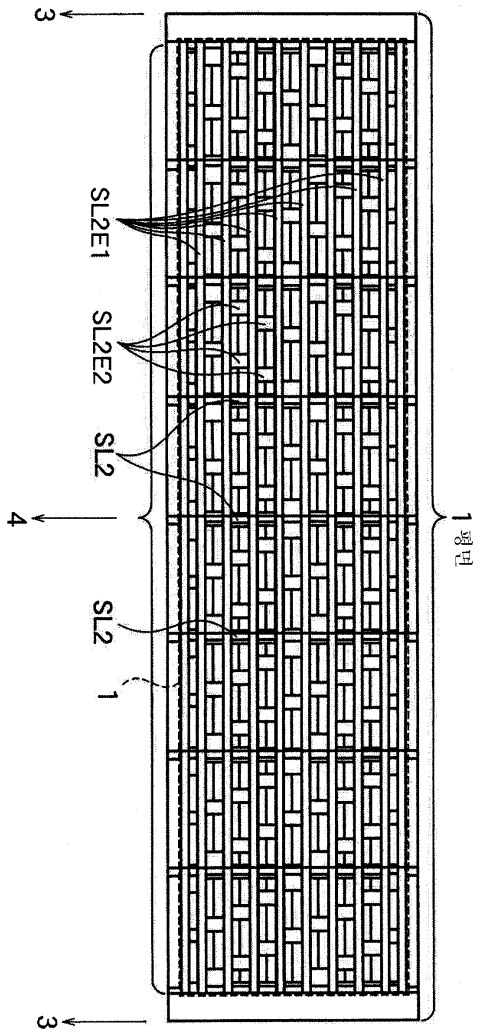
도면18



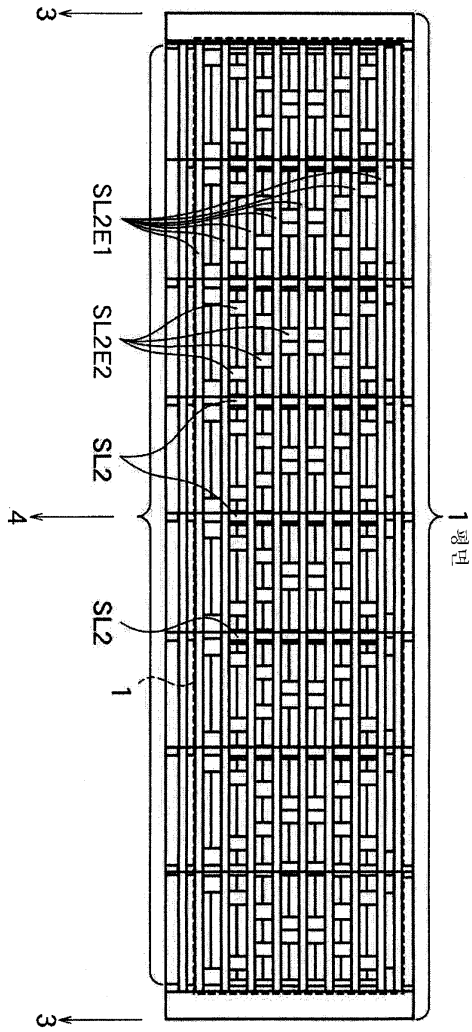
도면19



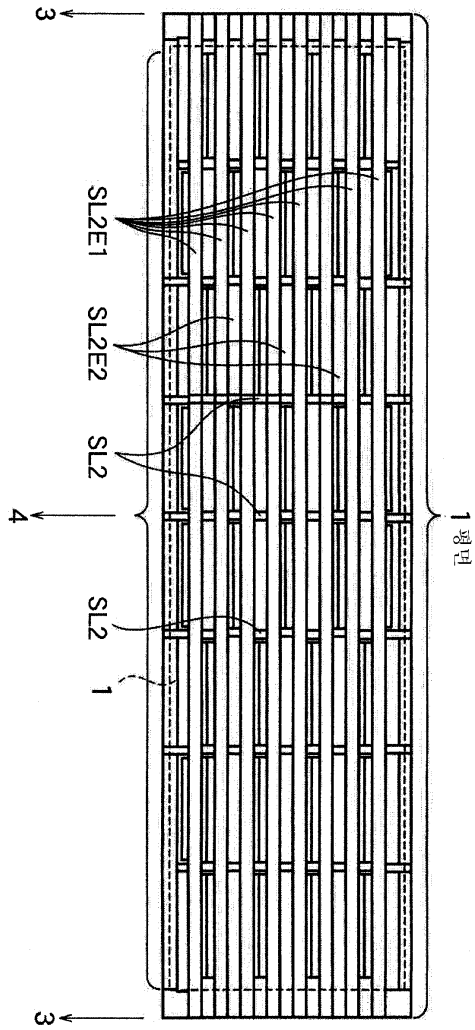
도면20



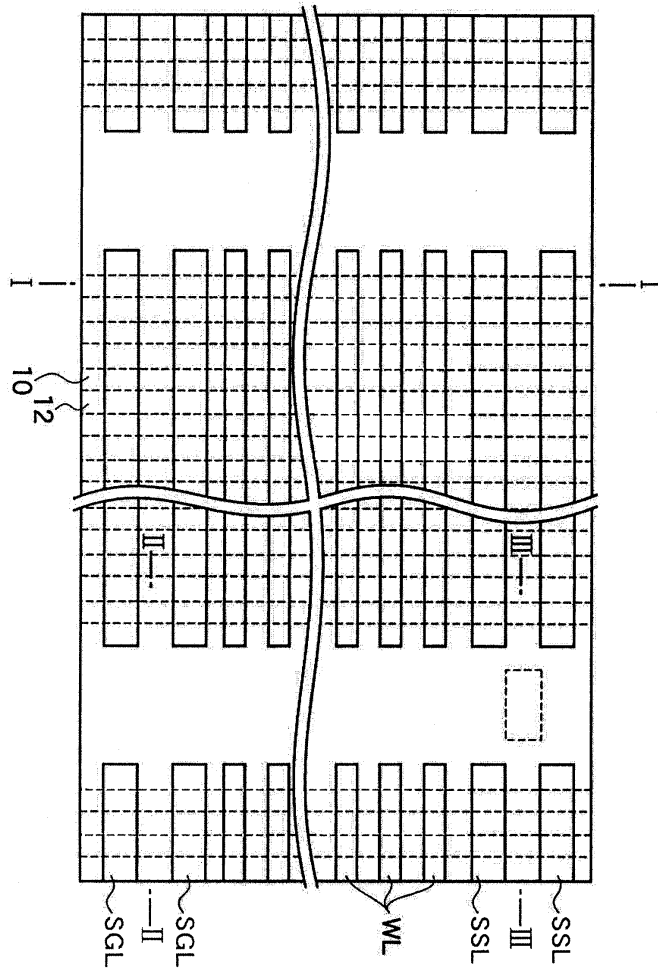
도면21



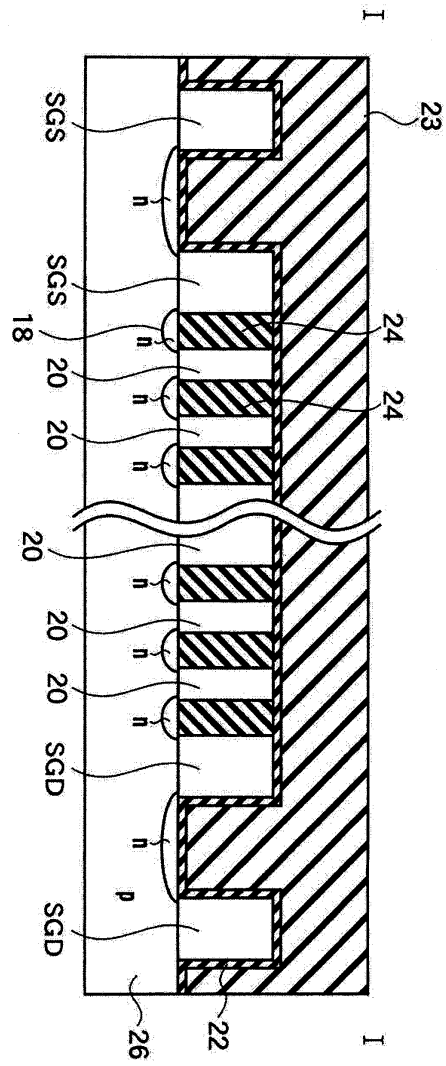
도면22



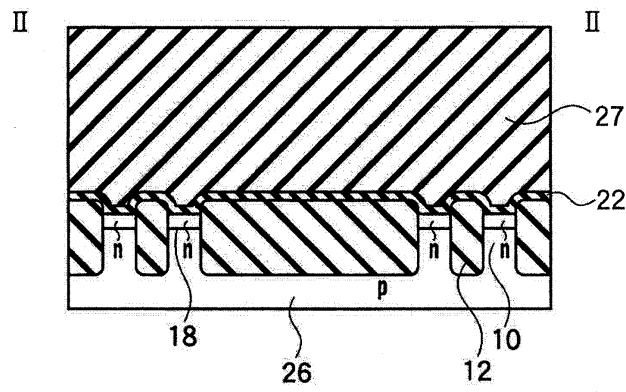
도면23



도면24

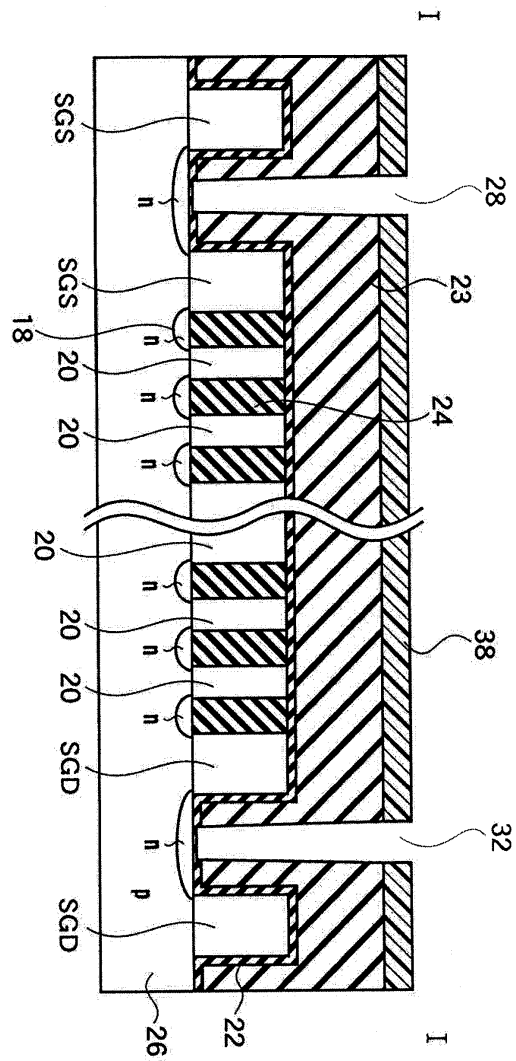


도면25

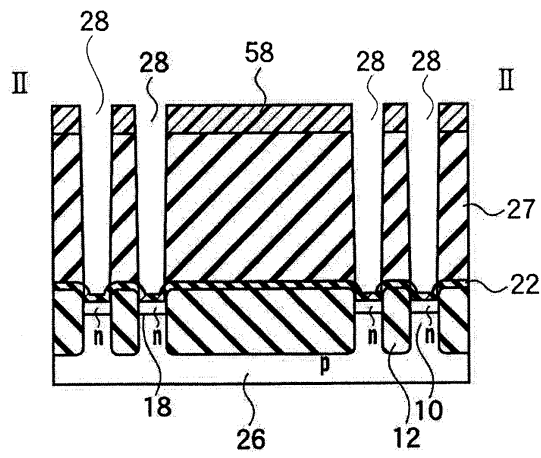




도면28

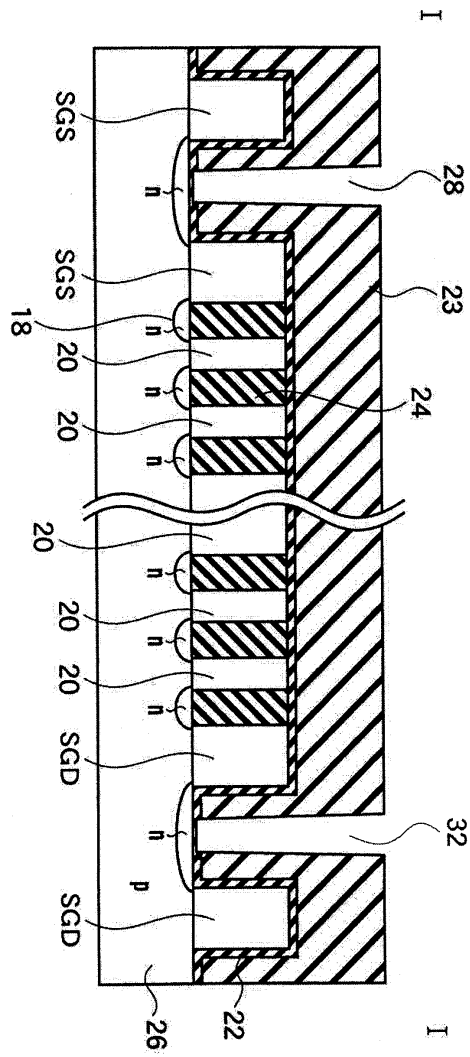


도면29

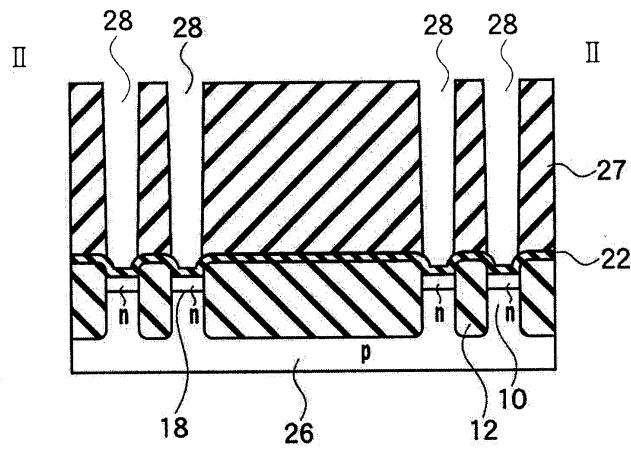




도면32



도면33



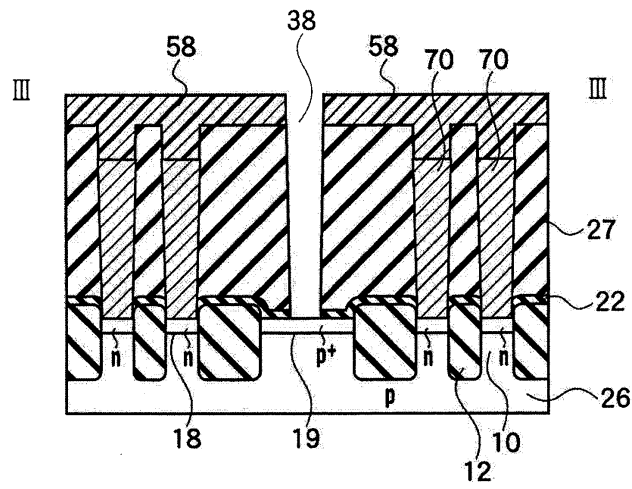




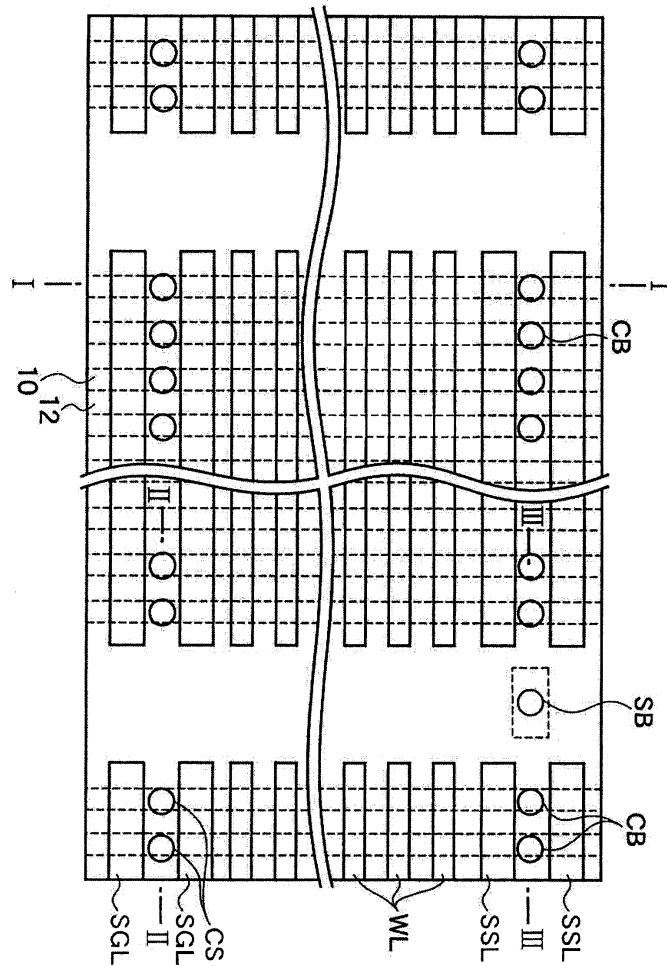




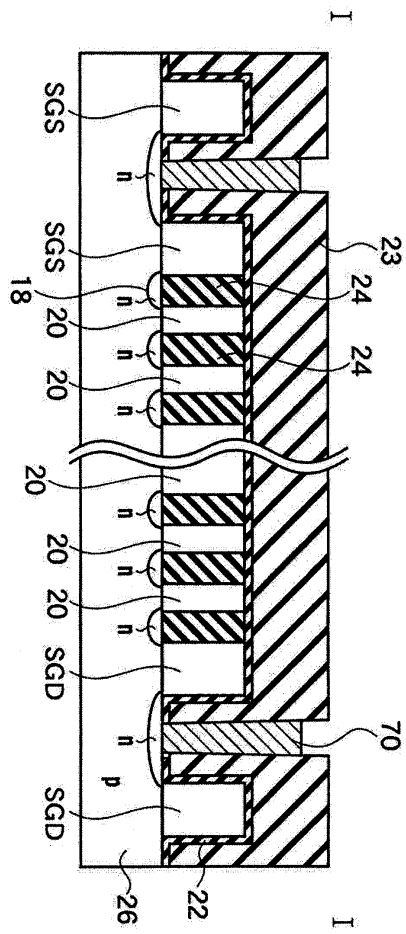
도면42



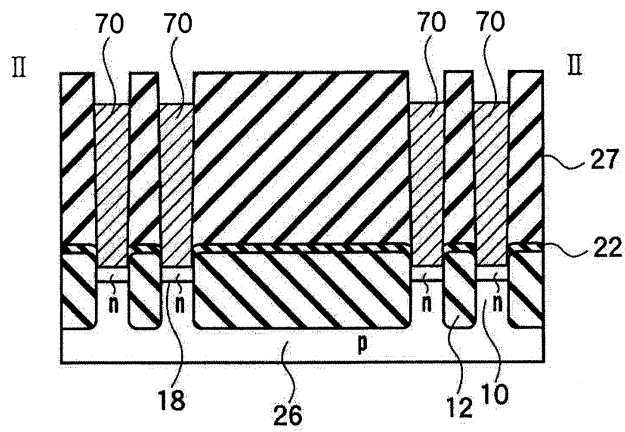
도면43



도면44

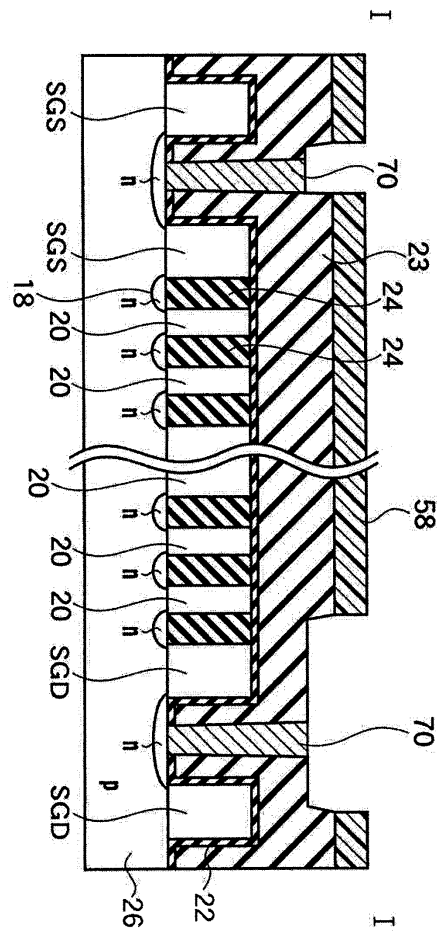


도면45

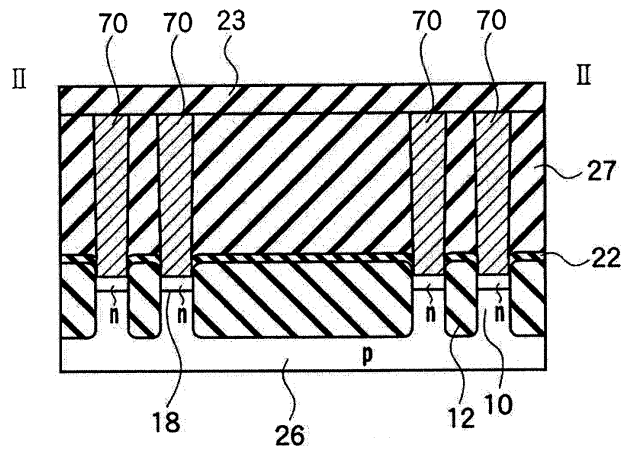




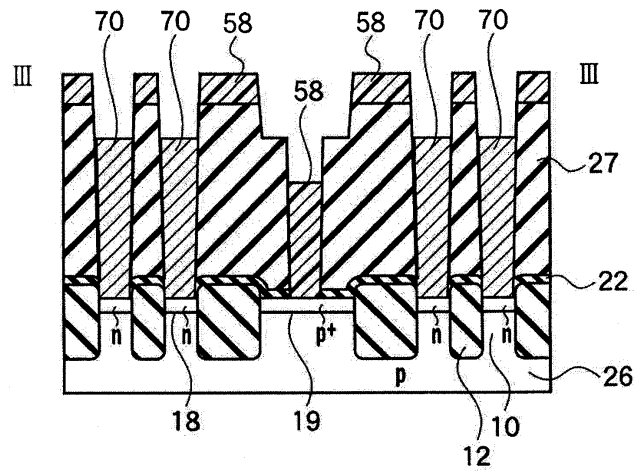
도면48



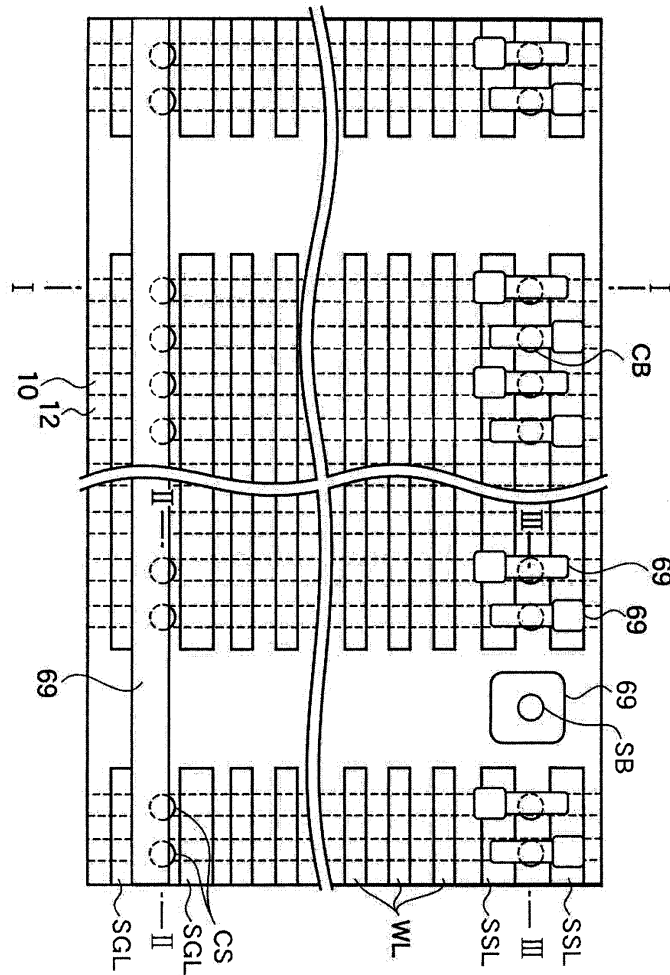
도면49



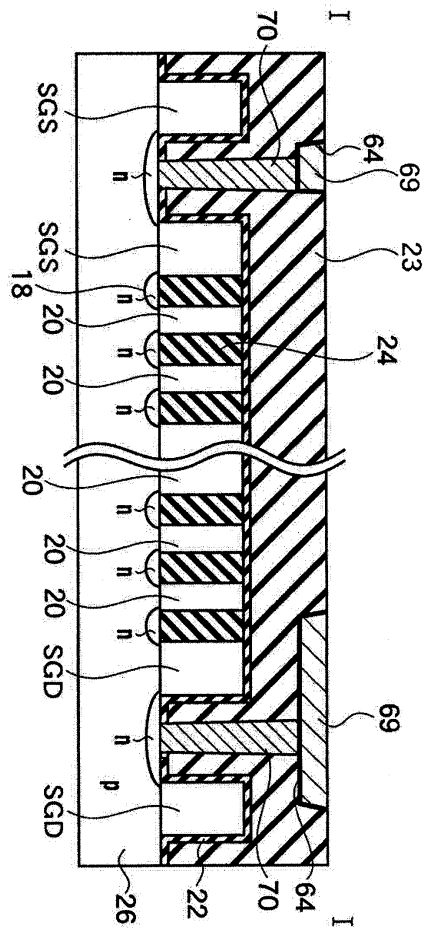
도면50



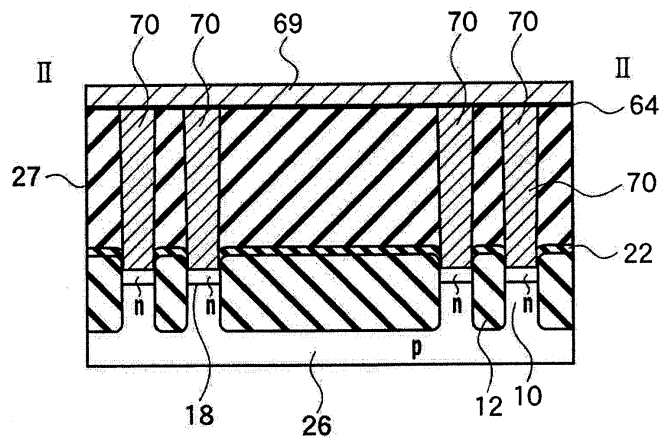
도면51



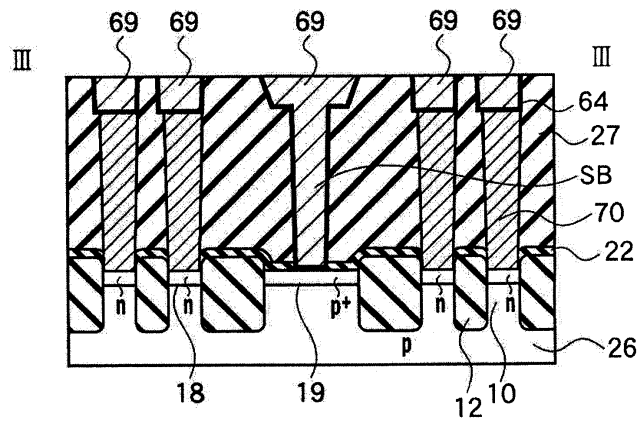
도면52



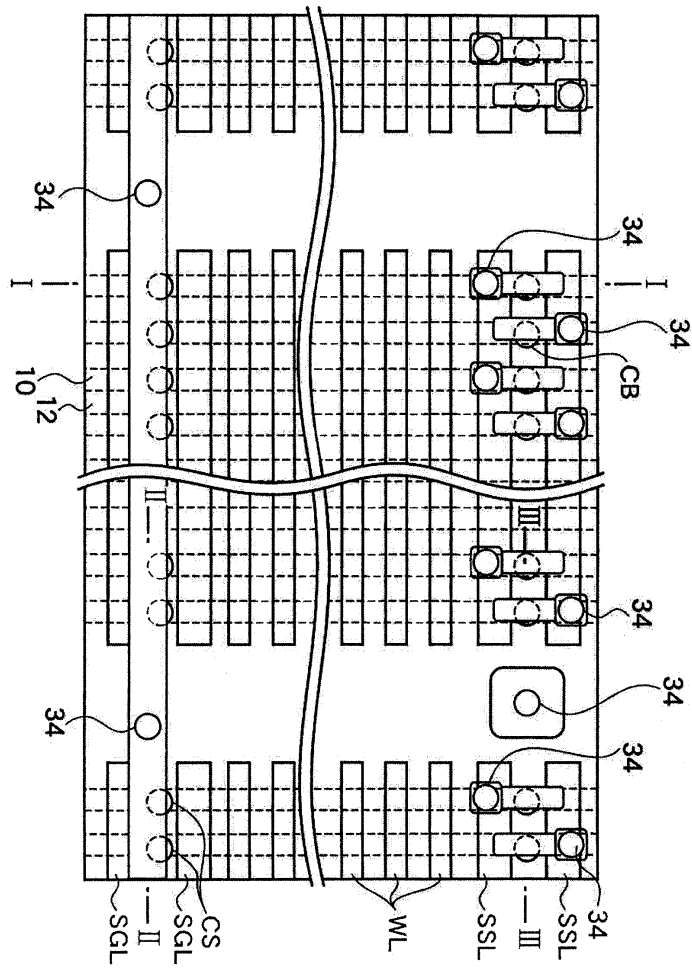
도면53



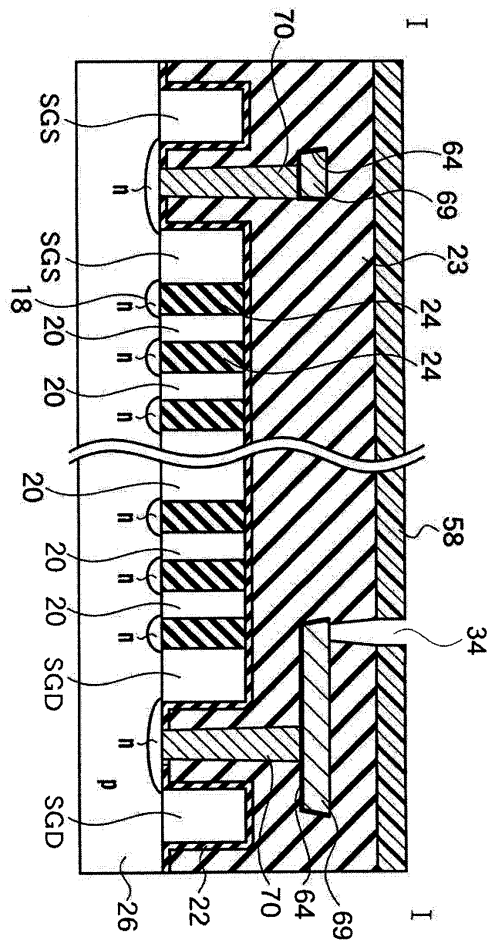
도면54



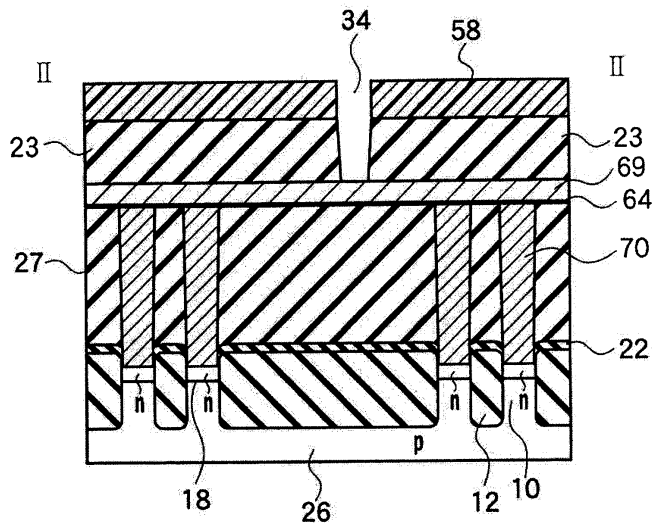
도면55



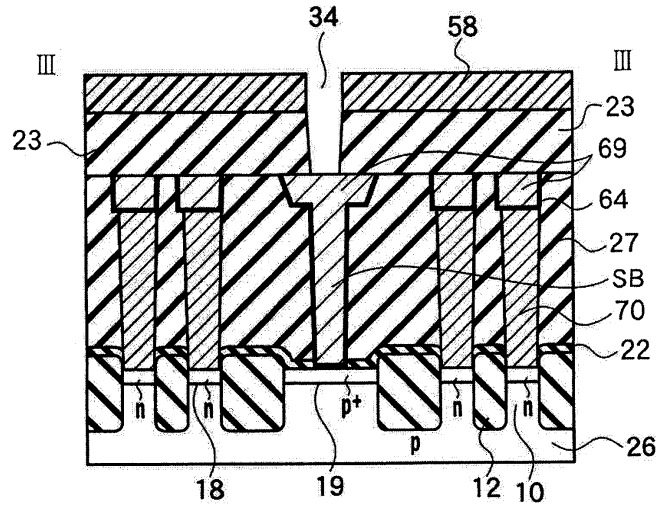
도면56



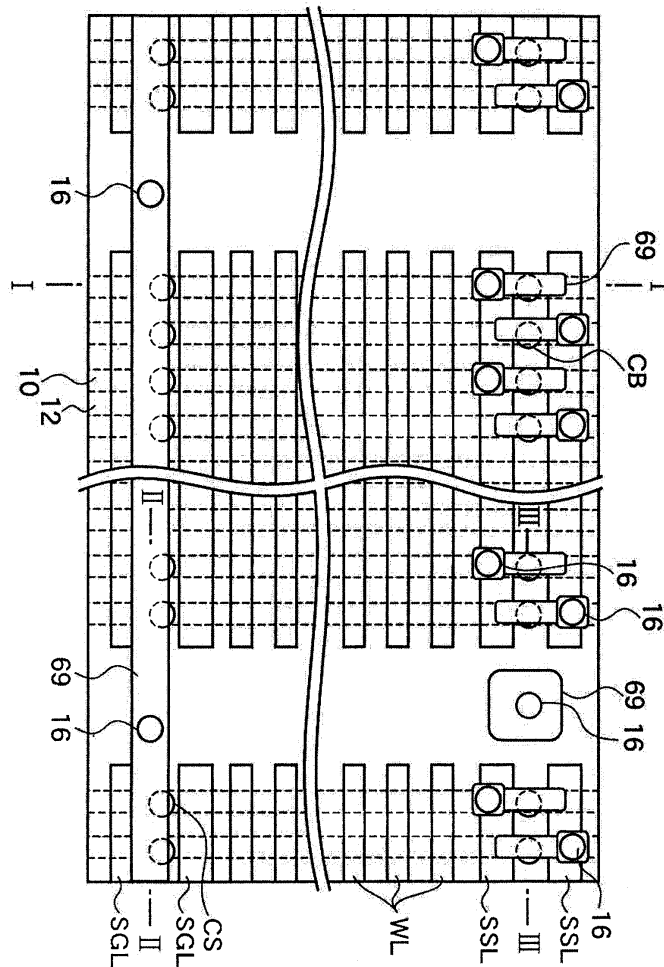
도면57



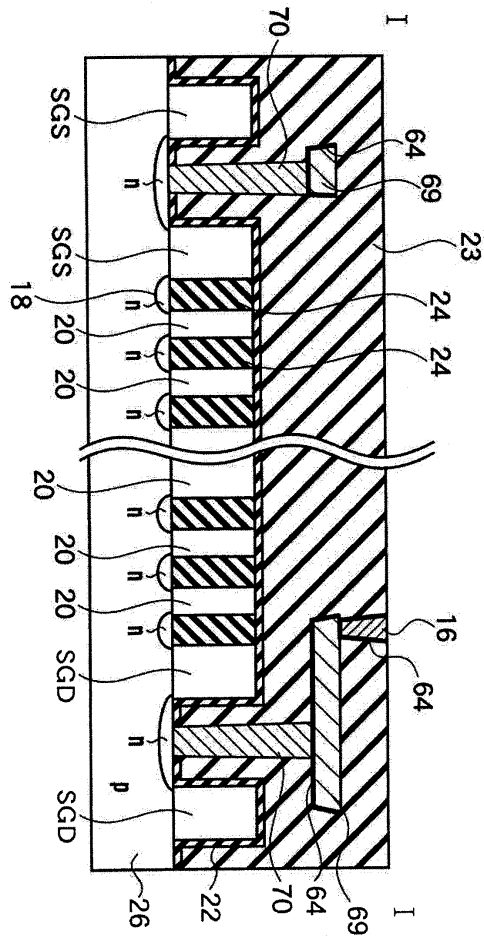
도면58



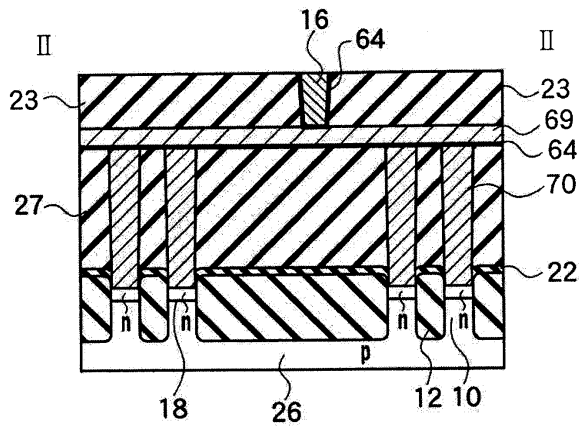
도면59



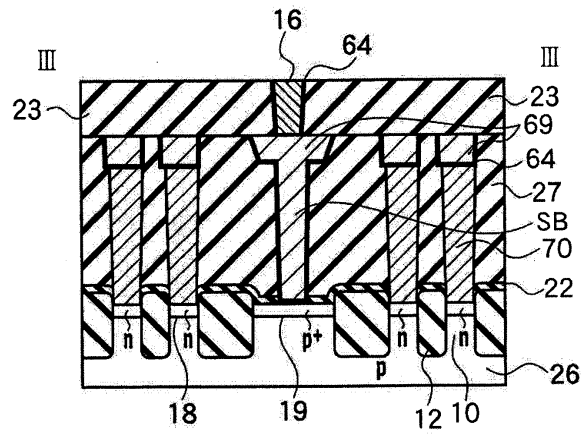
도면60



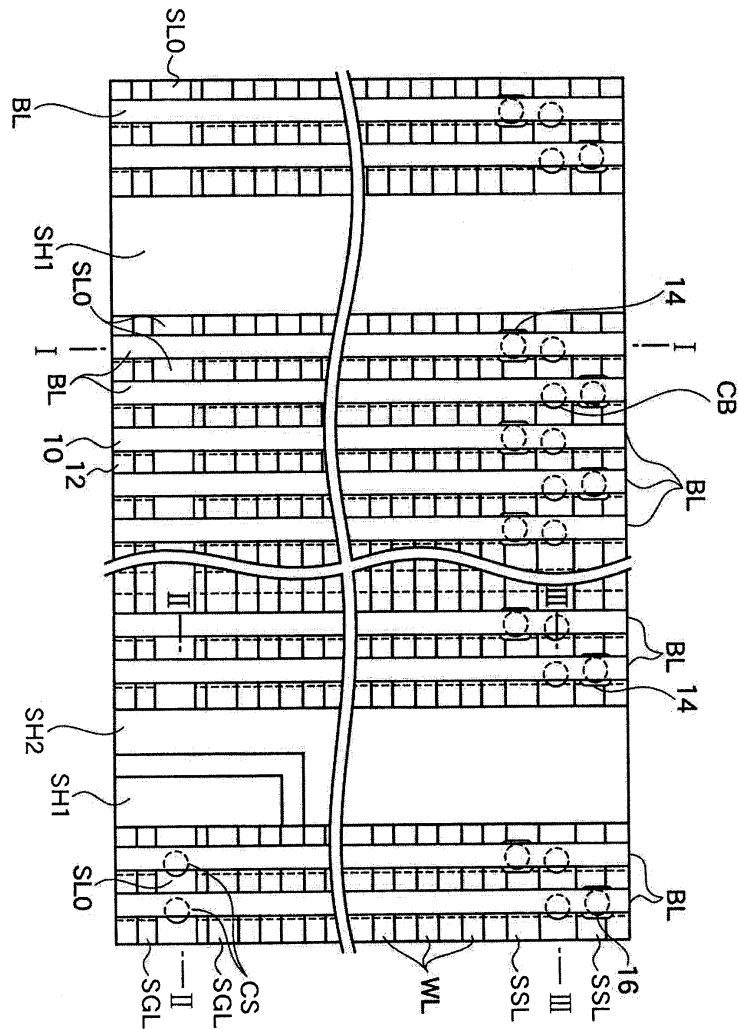
도면61



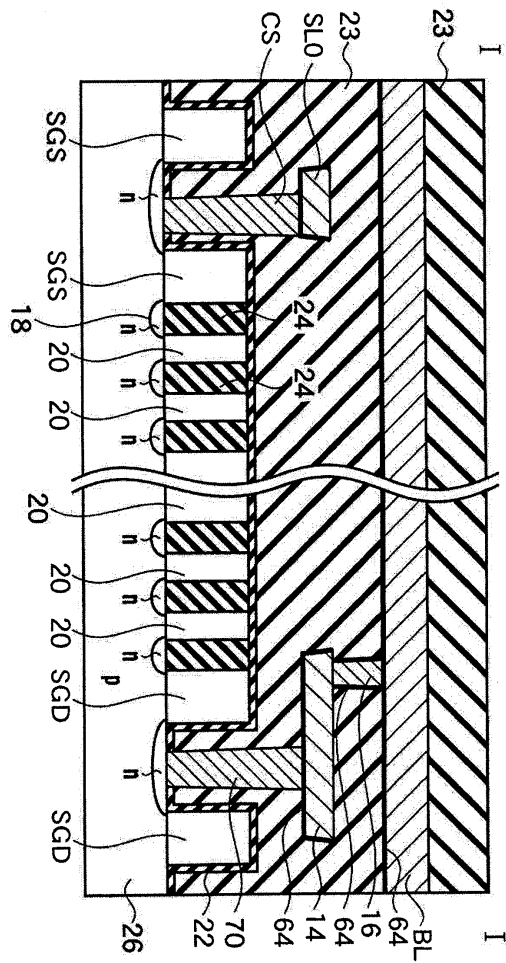
도면62



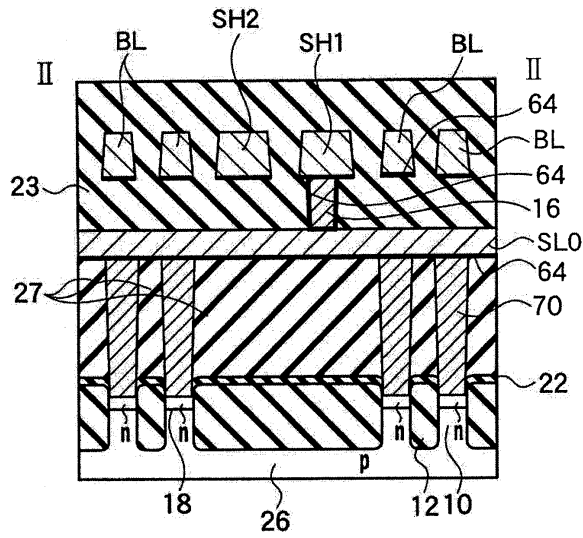
도면63



도면64

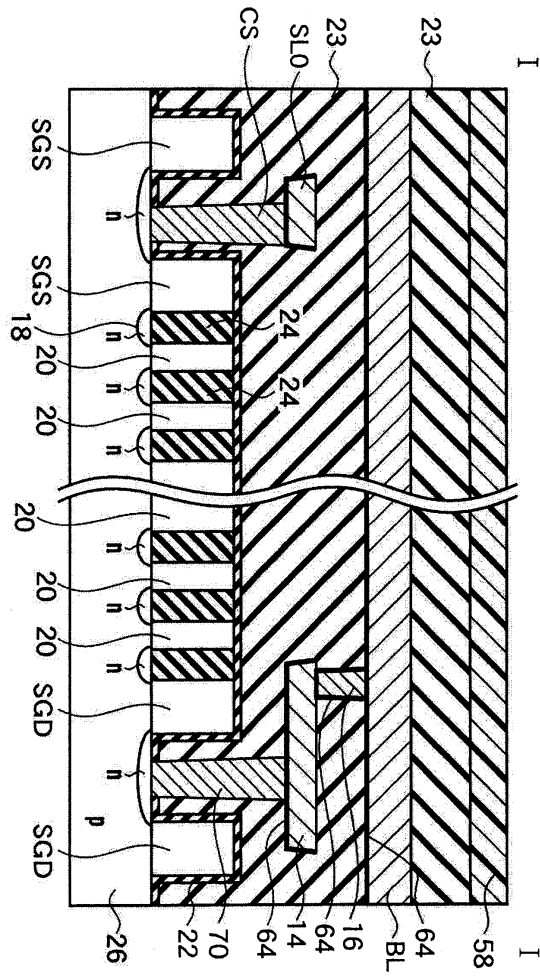


도면65

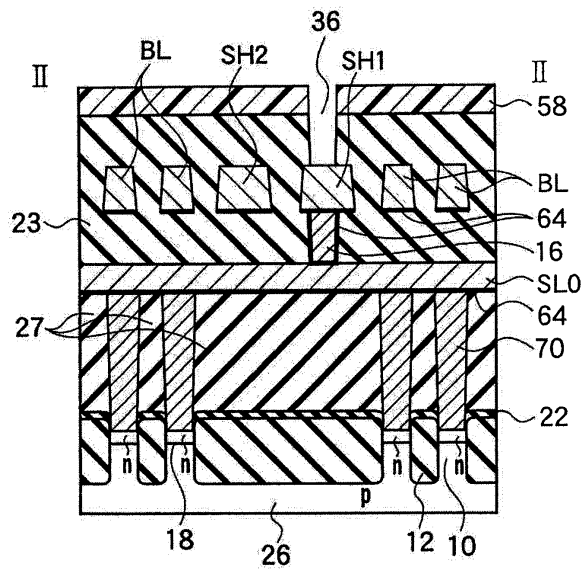




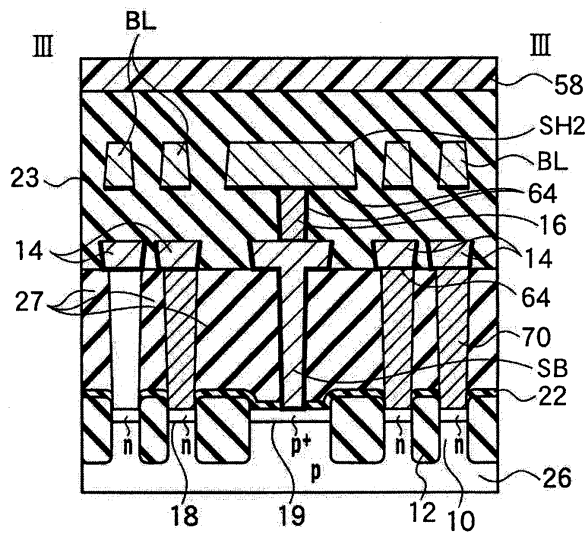
도면68



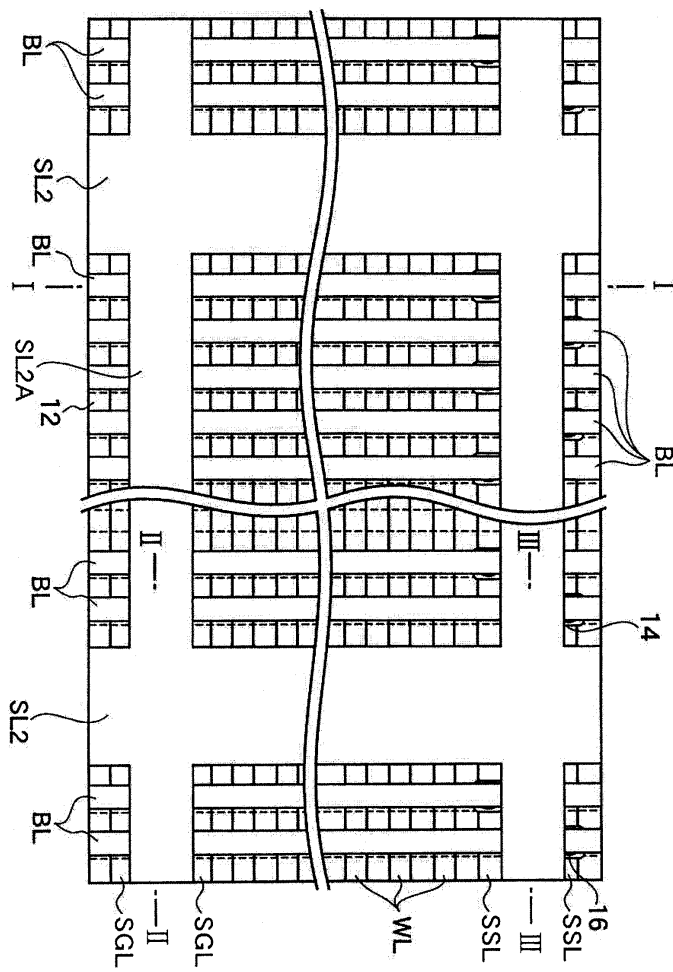
도면69



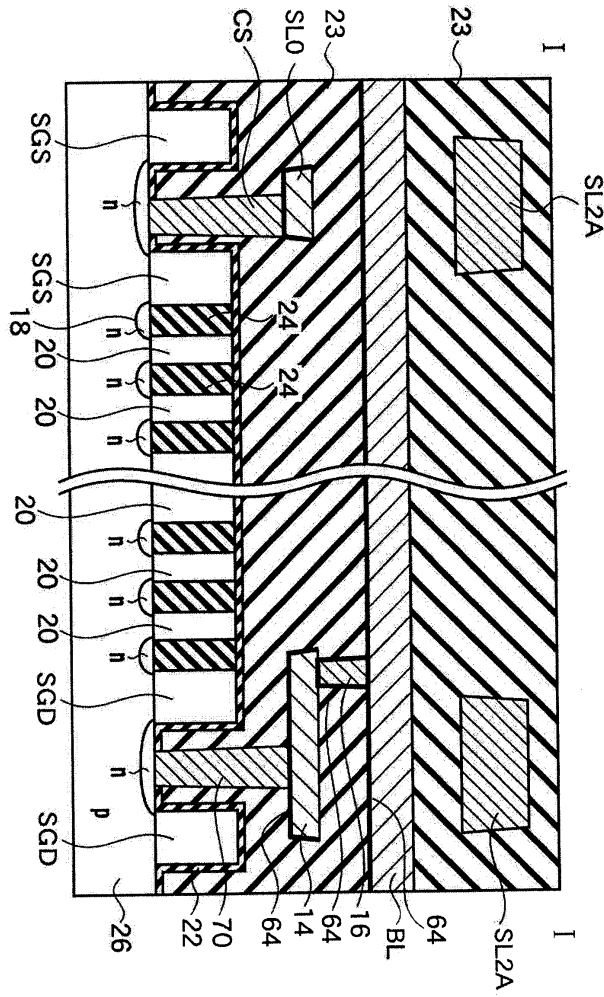
도면70



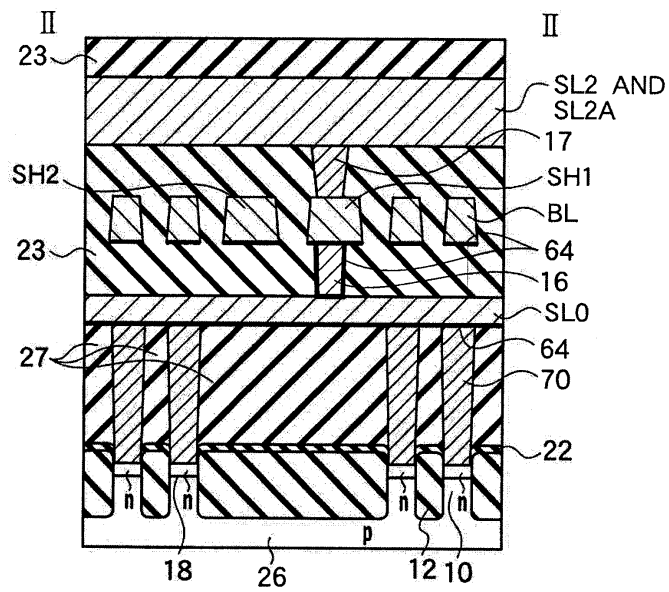
도면71



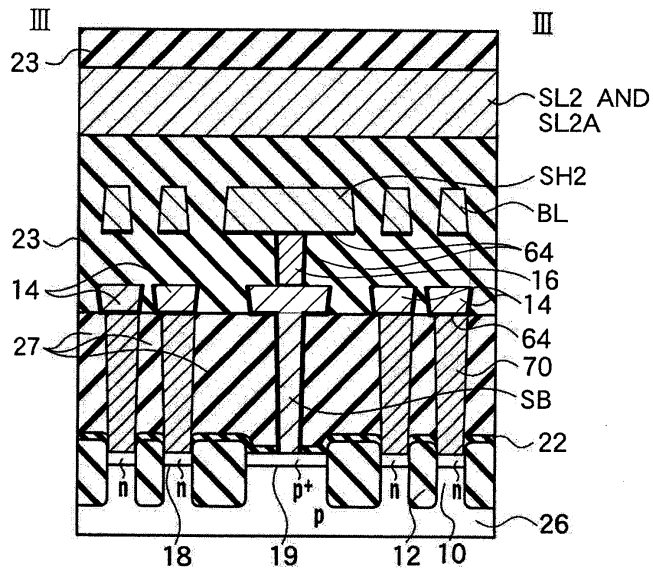
도면72



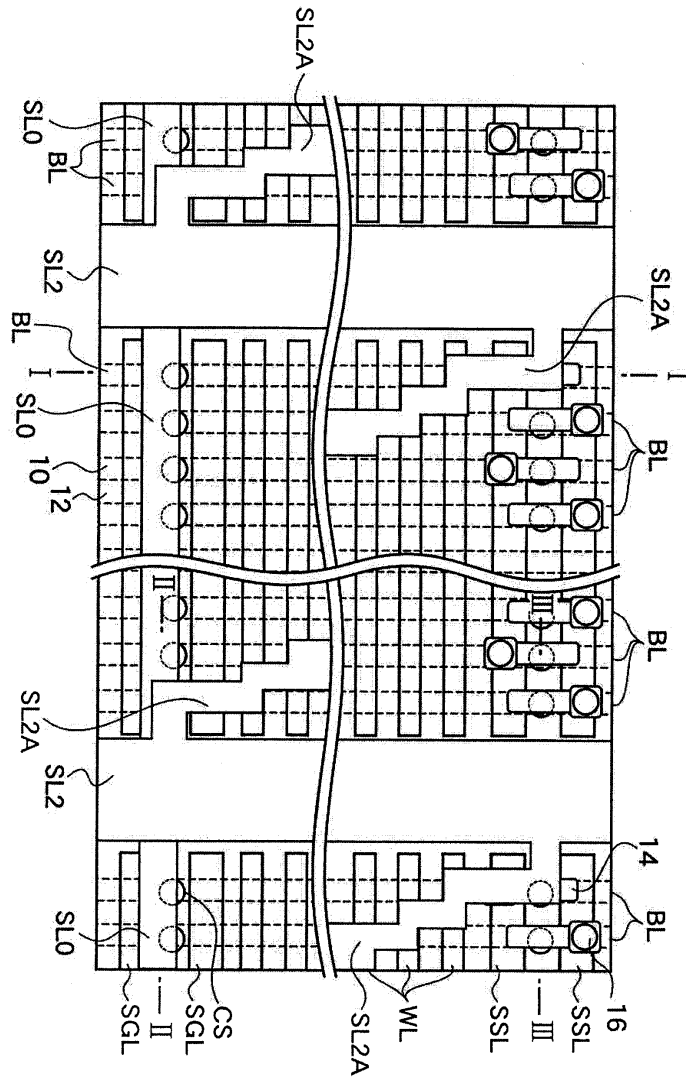
도면73



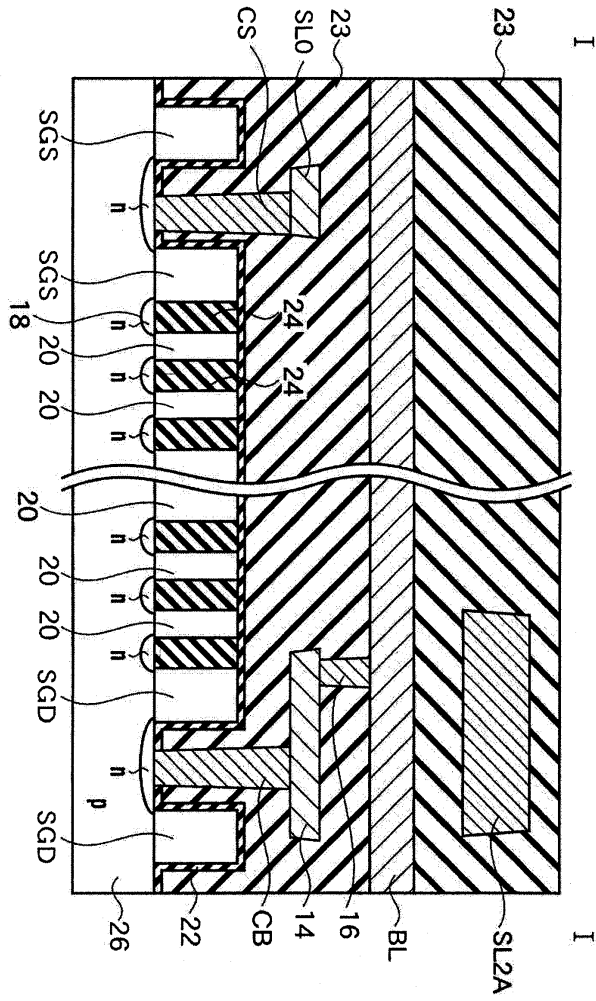
도면74



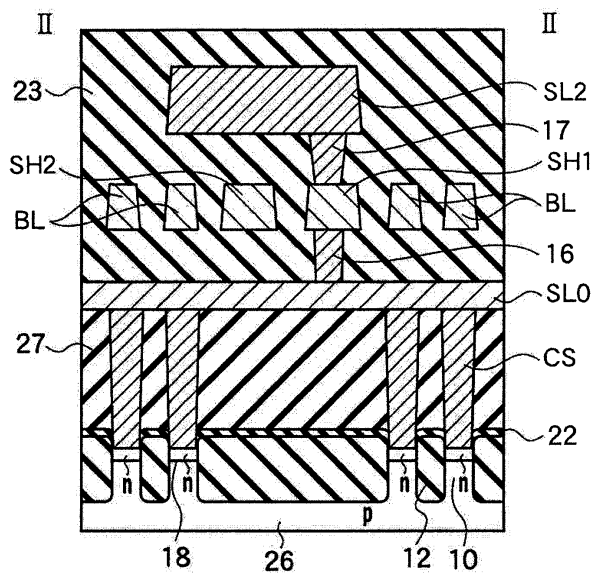
도면75



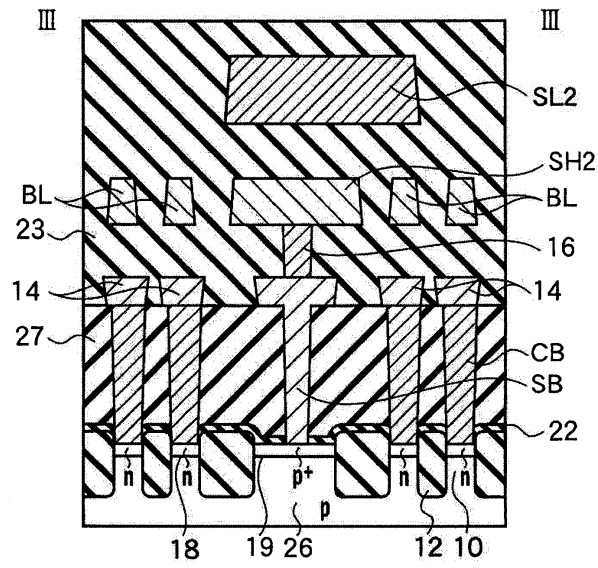
도면76



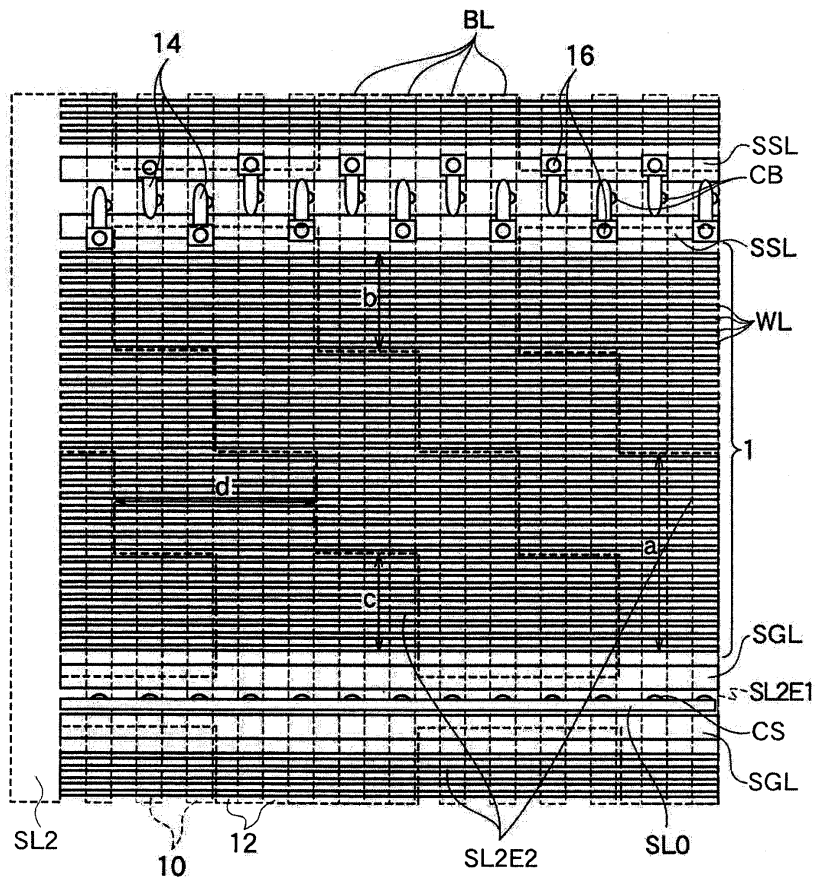
도면77



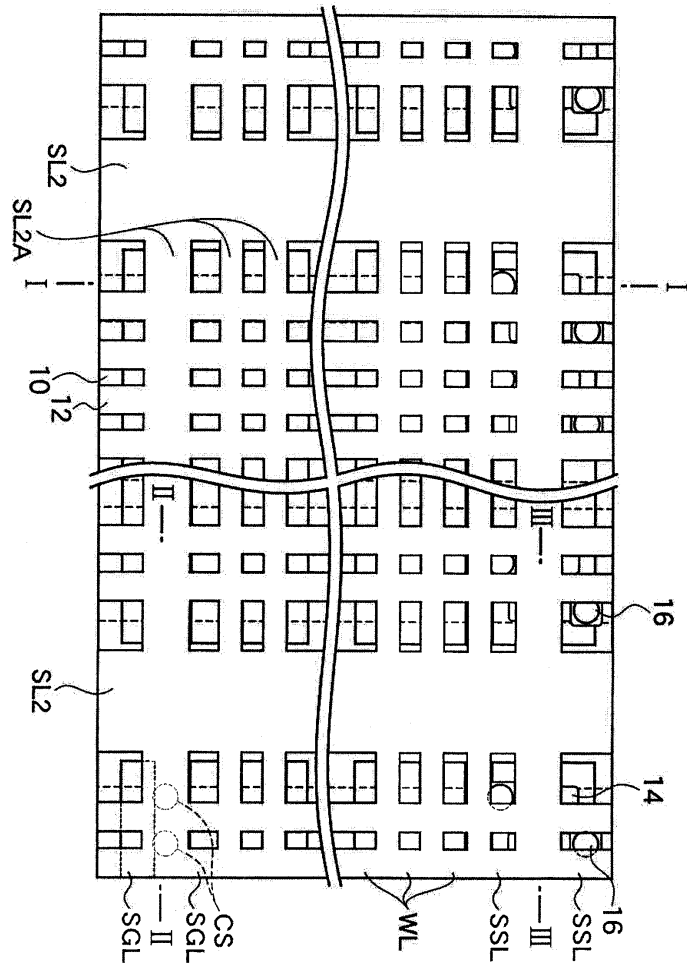
도면78



도면79

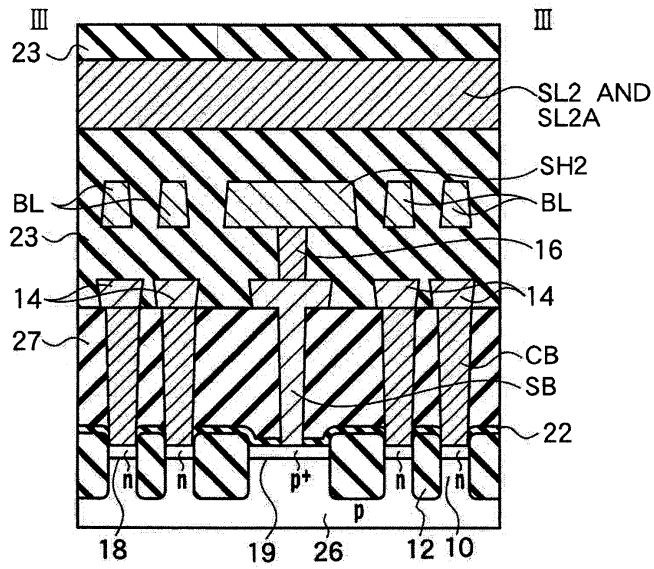


도면80

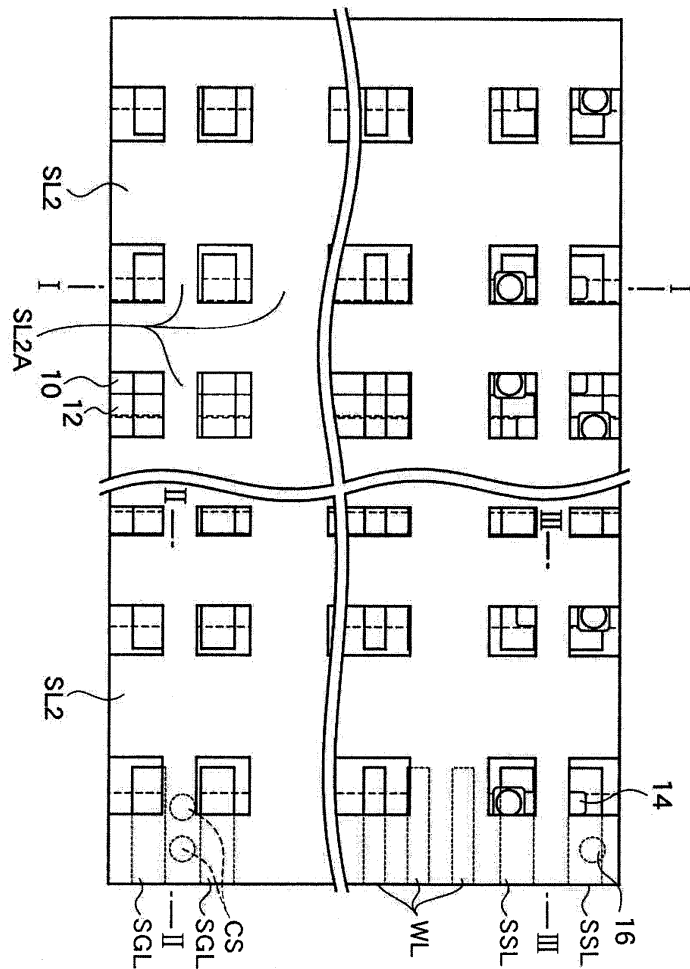




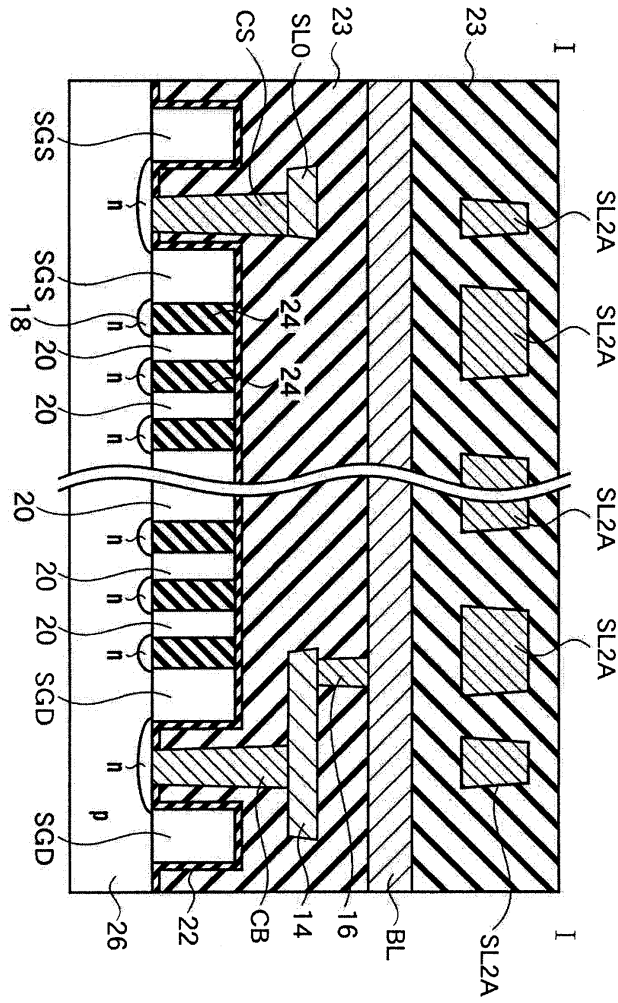
도면83



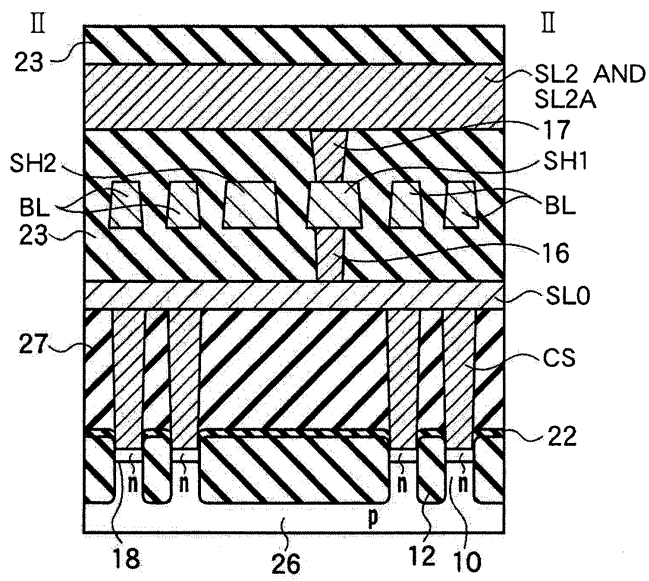
도면84



도면85

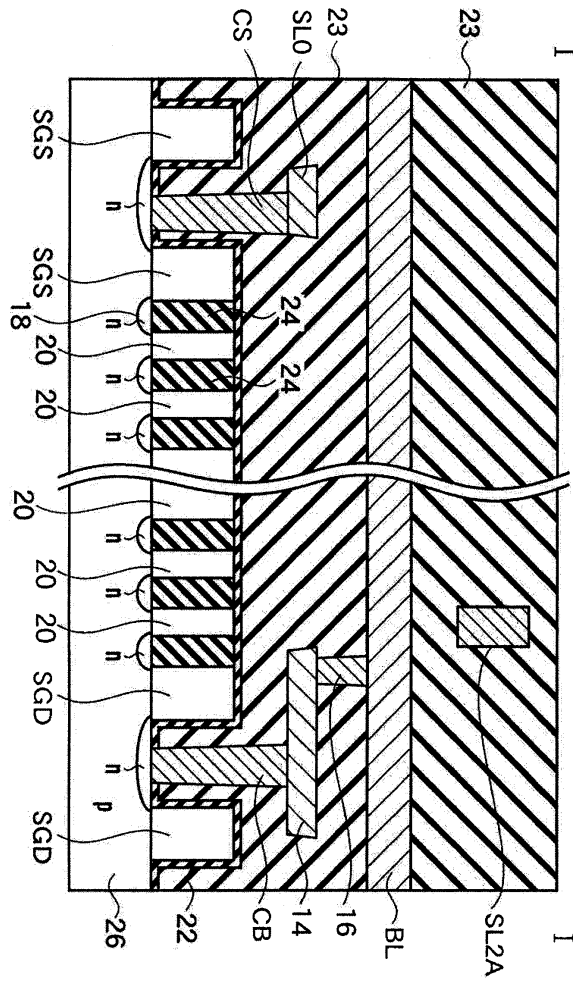


도면86

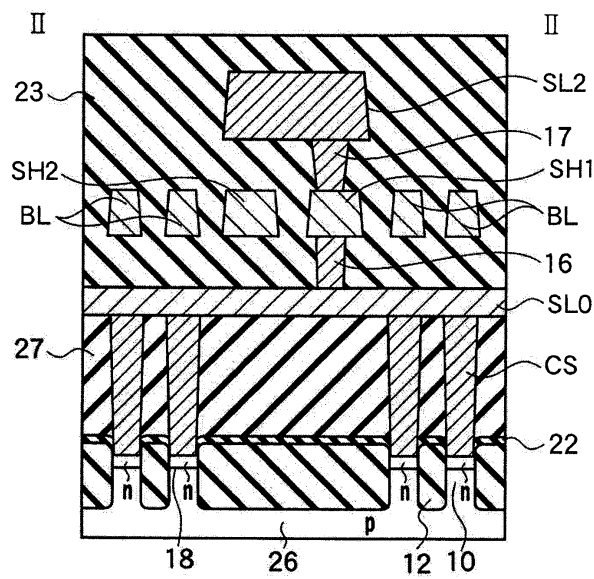




도면89

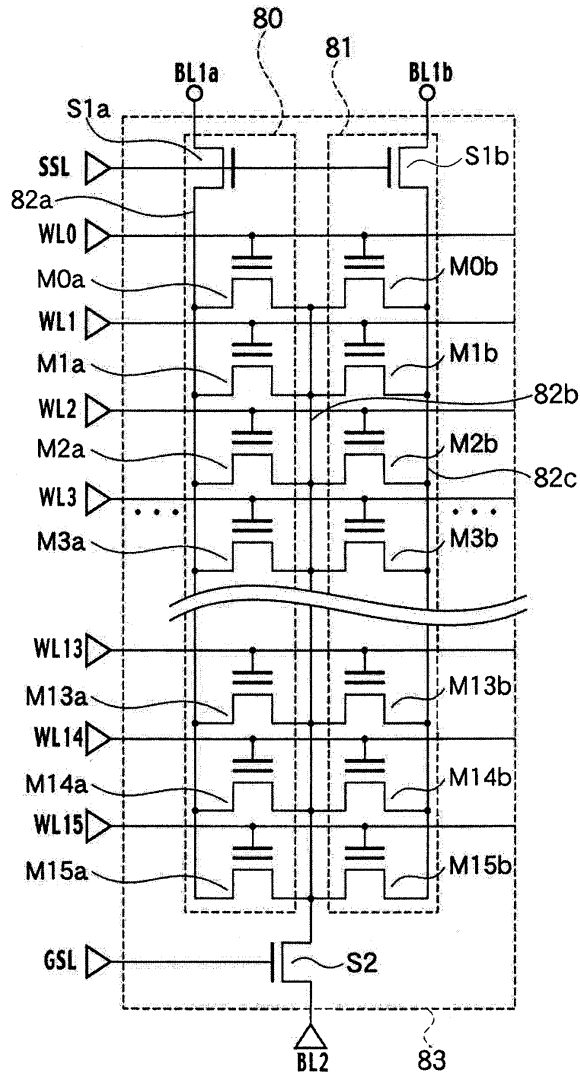


도면90

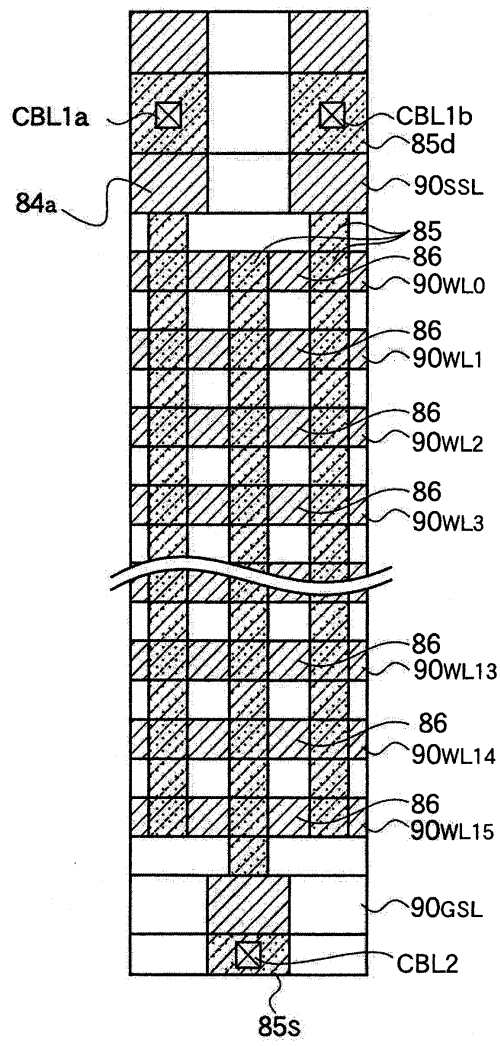




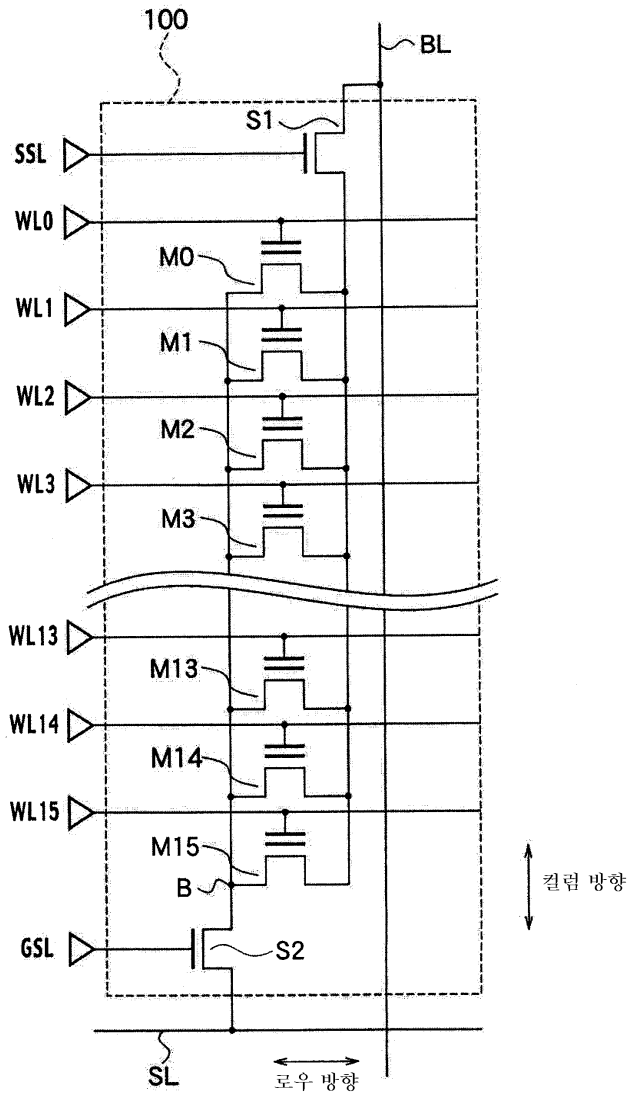
도면93



도면94



도면95



도면96

