



(51) 국제특허분류:

H01L 27/15 (2006.01) H01L 33/50 (2010.01)
H01L 27/12 (2006.01) H01L 25/075 (2006.01)
H01L 33/36 (2010.01)

(21) 국제출원번호: PCT/KR2023/007767

(22) 국제출원일: 2023년 6월 7일 (07.06.2023)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2022-0069790 2022년 6월 8일 (08.06.2022) KR

(71) 출원인: 삼성디스플레이 주식회사 (SAMSUNG DISPLAY CO., LTD.) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

(72) 발명자: 박도영 (PARK, Do Yeong); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 박진선 (KWAK, Jin Seon); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 김동우 (KIM, Dong Woo); 17113

경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).
김연경 (KIM, Yeon Kyung); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

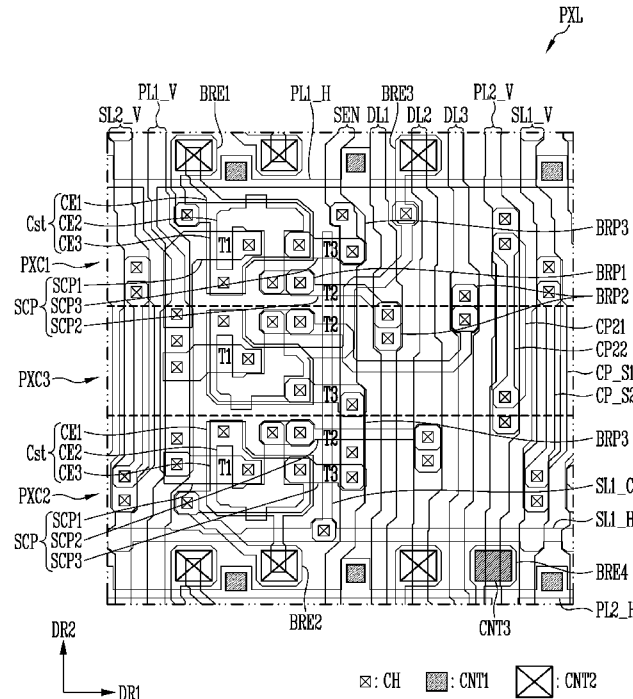
(74) 대리인: 오종한 등 (OH, Jong Han et al.); 03155 서울특별시 종로구 종로3길 17 디타워 D2 23층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM,

(54) Title: DISPLAY DEVICE

(54) 발명의 명칭: 표시 장치



(57) Abstract: A subpixel of this display device comprises: a first transistor comprising a gate electrode connected to a first node, a first terminal connected to a first power line, and a second terminal connected to a second node; a light-emitting portion connected between the second node and a second power line, the light-emitting portion comprising at least one light-emitting element; and a capacitor formed between the first node and the second node. The capacitor comprises, when seen from above, a first capacitor electrode and a second capacitor electrode overlapping the first capacitor electrode with an insulating layer interposed therebetween. When seen from above, the second capacitor electrode comprises a first protrusion protruding in an extension direction from the periphery of the first capacitor electrode in order to receive data signals, and a second protrusion protruding in the opposite direction of the extension direction from a part of the periphery of the second capacitor electrode.

(57) 요약서: 표시 장치의 서브 화소는, 제1 노드에 연결되는 게이트 전극, 제1 전원 라인에 연결되는 제1 단자, 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터; 제2 노드 및 제2 전원 라인 사이에 연결되며 적어도 하나의 발광 소자를 포함하는 발광부; 및 제1 노드 및 제2 노드 사이에 형성되는 커패시터를 포함한다. 커패시터는, 평면도 상에서 제1 커패시터 전극; 및 절연층을 사이에 두고 제1 커패시터 전극과 중첩하는 제2 커패시터 전극을 포함한다. 평면도 상에서, 제2 커패시터 전극은, 데이터 신호를 수신하기 위해 제1 커패시터 전극의 가장자리보다 연장 방향으로 돌출된 제1 돌출부; 및 제2 커패시터 전극의 가장자리의 일부보다 연장 방향의 반대 방향으로 돌출된 제2 돌출부를 포함한다.

KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ,
UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 표시 장치

기술분야

- [1] 본 발명은 표시 장치에 관한 것이다.

배경기술

- [2] 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보 매체를 이용하려는 요구가 높아지면서, 표시 장치에 대한 요구 및 상업화가 중점적으로 이루어지고 있다.

발명의 상세한 설명

기술적 과제

- [3] 본 발명은 표시 품질을 향상시킬 수 있는 표시 장치를 제공하는 것을 목적으로 한다.

과제 해결 수단

- [4] 본 발명의 실시예들에 따른 표시 장치는 서브 화소를 포함한다. 상기 서브 화소는, 제1 노드에 연결되는 게이트 전극, 제1 전원 라인에 전기적으로 연결되는 제1 단자, 제2 노드에 전기적으로 연결되는 제2 단자를 포함하는 제1 트랜지스터; 상기 제2 노드 및 제2 전원 라인 사이에 전기적으로 연결되며 적어도 하나의 발광 소자를 포함하는 발광부; 및 상기 제1 노드 및 제2 노드 사이에 형성되는 커패시터를 포함한다. 상기 커패시터는, 제1 커패시터 전극; 및 평면도 상에서 상기 제1 커패시터 전극과 중첩하는 제2 커패시터 전극을 포함한다. 절연층은 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극 사이에 배치된다. 상기 제2 커패시터 전극은, 데이터 신호를 수신하기 위해 평면도 상에서 상기 제1 커패시터 전극의 가장자리보다 연장 방향으로 돌출된 제1 돌출부; 및 평면도 상에서 상기 제2 커패시터 전극의 가장자리의 일부보다 상기 연장 방향의 반대 방향으로 돌출된 제2 돌출부를 포함한다.
- [5] 평면도 상에서, 상기 제1 및 제2 돌출부들을 제외한 상기 제2 커패시터 전극은 상기 제1 커패시터 전극에 의해 커버될 수 있다.
- [6] 상기 제2 돌출부는 외부 구성 요소와 직접적으로 연결되지 않을 수 있다.
- [7] 상기 연장 방향에 수직하는 방향으로, 상기 제1 돌출부의 제1 폭 및 상기 제2 돌출부의 제2 폭은 동일할 수 있다.
- [8] 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극 간의 정렬(alignment) 오차와 무관하게, 평면도 상에서 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극 간의 중첩 면적은 상기 제1 돌출부에 대응하는 상기 제2 돌출부에 의해 일정하게 유지될 수 있다.
- [9] 상기 제1 돌출부 및 제2 돌출부는 상호 동일 선 상에 있지 않을 수 있다.
- [10] 상기 제1 돌출부 및 제2 돌출부는 상호 동일 선 상에 있을 수 있다.

- [11] 상기 제2 커패시터 전극은 평면도 상에서 상기 제1 커패시터 전극과 중첩하는 본체부를 더 포함할 수 있다. 상기 본체부의 폭은 상기 연장 방향과 평행한 방향으로 상기 제2 돌출부의 폭보다 클 수 있다. 상기 제2 돌출부는 상기 본체부로부터 상기 반대 방향으로 약 3 μ m만큼 돌출될 수 있다.
- [12] 상기 제1 커패시터 전극은 단면도 상에서 상기 제1 트랜지스터의 반도체 패턴의 하부에 배치될 수 있다. 제1 절연층은 상기 제1 커패시터 전극 및 상기 반도체 패턴 사이에 배치될 수 있다. 상기 제2 커패시터 전극은 단면도 상에서 상기 반도체 패턴의 상부에 배치될 수 있다. 제2 절연층은 상기 제2 커패시터 전극 및 상기 반도체 패턴 사이에 배치될 수 있다.
- [13] 상기 커패시터는 평면도 상에서 상기 제2 커패시터 전극과 중첩하는 제3 커패시터 전극을 더 포함할 수 있다. 제3 절연층은 상기 제2 커패시터 전극 및 상기 제3 커패시터 전극 사이에 배치될 수 있다.
- [14] 상기 제3 커패시터 전극은 상기 제1, 제2, 및 제3 절연층들을 관통하는 콘택홀을 통해 상기 제1 커패시터 전극과 전기적으로 연결될 수 있다.
- [15] 상기 제2 커패시터 전극은 상기 제1 트랜지스터의 반도체 패턴의 상부에 배치될 수 있다. 상기 제1 커패시터 전극은 상기 제2 커패시터 전극의 상부에 배치될 수 있다. 절연층은 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극 사이에 배치될 수 있다.
- [16] 상기 서브 화소는 데이터 라인 및 상기 제1 노드 사이에 전기적으로 연결된 제2 트랜지스터를 더 포함할 수 있다. 평면도 상에서 상기 제1 돌출부는 상기 제2 트랜지스터를 향해 돌출될 수 있다.
- [17] 상기 데이터 라인은 상기 연장 방향으로 연장할 수 있다.
- [18] 상기 데이터 라인은 상기 연장 방향과 교차하는 방향으로 연장할 수 있다.
- [19] 상기 발광부는, 상호 이격된 제1 전극 및 제2 전극; 상기 제1 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 일단에 전기적으로 연결되는 제1 화소 전극; 및 상기 제2 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 타단에 전기적으로 연결되는 제2 화소 전극을 더 포함할 수 있다. 상기 적어도 하나의 발광 소자는 상기 제1 전극 및 상기 제2 전극 사이에 배치될 수 있다.
- [20] 상기 제1 화소 전극은 상기 제1 및 제2 전극들 하부에 배치된 절연층을 관통하는 콘택홀을 통해 상기 제1 트랜지스터의 상기 제2 단자에 전기적으로 연결될 수 있다.
- [21] 상기 서브 화소는 상기 발광 소자 상에 배치되며 상기 적어도 하나의 발광 소자로부터 입사된 광의 파장을 변환하여 발산하는 색 변환층을 더 포함할 수 있다.
- [22] 상기 제1 전원 라인은 제1 방향으로 연장하는 제1 수직 전원 라인 및 제2 방향으로 연장하는 제2 수직 전원 라인을 포함할 수 있다. 상기 제1 수직 전원 라인, 상기 제2 수직 전원 라인, 및 상기 제2 전원 라인에 의해 구획된 영역에 하나의 화소를 구성하는 복수의 서브 화소들의 화소 회로들이 배치될 수 있다. 상기 화소 회로들 각각은 상기 제1 트랜지스터 및 상기 커패시터를 포함할 수 있다.

- [23] 상기 영역 내에서 상기 화소 회로들은 상기 제1 방향을 따라 배열되고, 상기 서브 화소들을 위한 데이터 라인들은 상기 제1 방향으로 연장하며 상호 인접하여 배치될 수 있다.

발명의 효과

- [24] 본 발명의 실시예들에 따른 표시 장치에서, 스토리지 커패시터의 제2 커패시터 전극은 제1 커패시터 전극보다 돌출된 제1 돌출부 및 제2 돌출부를 포함하며, 제2 돌출부는 제1 돌출부의 연장 방향과 반대 방향으로 돌출될 수 있다. 제1 커패시터 전극 및 제2 커패시터 전극 간의 정렬 오차가 발생하더라도 제1 돌출부에 대응하는 제2 돌출부에 의해 스토리지 커패시터의 용량이 일정하게 유지되며, 서브 화소들 간의 스토리지 커패시터의 용량 편차 및 이에 기인한 표시 품질의 저하가 방지될 수 있다.

도면의 간단한 설명

- [25] 첨부된 도면은 본 개시 내용의 추가 이해를 제공하기 위해 포함되며 본 명세서에 통합되고 본 명세서의 일부를 구성한다. 도면은 본 발명의 실시예를 예시하고, 설명과 함께 본 발명의 원리를 설명하는 역할을 한다.
- [26] 도 1은 일 실시예에 따른 발광 소자를 나타내는 사시도이다.
- [27] 도 2는 일 실시예에 따른 발광 소자를 나타내는 개략적인 단면도이다.
- [28] 도 3은 일 실시예에 따른 표시 장치를 나타내는 평면도이다.
- [29] 도 4a는 도 3의 표시 장치에 포함된 화소의 등가 회로의 일 실시예를 나타내는 개략적인 도면이다.
- [30] 도 4b는 도 3의 표시 장치에 포함된 화소의 등가 회로의 일 실시예를 나타내는 개략적인 도면이다.
- [31] 도 4c는 도 3의 표시 장치에 포함된 화소의 등가 회로의 일 실시예를 나타내는 개략적인 도면이다.
- [32] 도 5는 도 4a의 화소의 동작을 설명하는 개략적인 파형도이다.
- [33] 도 6은 도 3의 표시 장치 내 서브 화소의 일 실시예를 나타내는 개략적인 단면도이다.
- [34] 도 7a는 도 3의 표시 장치 내 서브 화소의 일 실시예를 나타내는 개략적인 단면도이다.
- [35] 도 7b는 도 3의 표시 장치 내 서브 화소의 일 실시예를 나타내는 개략적인 단면도이다.
- [36] 도 7c는 도 3의 표시 장치 내 서브 화소의 일 실시예를 나타내는 개략적인 단면도이다.
- [37] 도 8은 도 3의 표시 장치 내 화소의 일 실시예를 나타내는 레이아웃도이다.
- [38] 도 9a는 일 실시예에 따른 도 8의 화소 내 제3 화소 회로를 확대한 도면이다.
- [39] 도 9b는 일 실시예에 따른 도 8의 화소 내 제3 화소 회로를 확대한 도면이다.

- [40] 도 10은 도 9a의 I-I'선에 따른 스토리지 커패시터의 일 실시예를 나타내는 개략적인 단면도이다.
- [41] 도 11은 비교 실시예에 따른 화소 회로를 나타내는 도면이다.
- [42] 도 12는 도 11의 II-II'선에 따른 스토리지 커패시터의 비교 실시예를 나타내는 개략적인 단면도이다.
- [43] 도 13은 도 3의 표시 장치 내 화소의 일 실시예를 나타내는 평면도이다.
- [44] 도 14는 도 8의 화소에 포함된 화소 회로의 일 실시예를 나타낸 도면이다.
- [45] 도 15는 도 8의 화소에 포함된 화소 회로의 일 실시예를 나타낸 도면이다.

발명의 실시를 위한 형태

- [46] 본 발명은 이제 실시예가 도시된 첨부 도면을 참조하여 이하에서 더 완전하게 설명될 것이다. 그러나 본 발명은 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되는 것으로 해석되어서는 안 된다. 오히려, 이러한 실시예는 본 발명이 철저하고 완전할 수 있고, 본 발명의 범위가 당업자에게 충분히 전달될 수 있도록 제공된다.
- [47] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [48] 도면에서, 치수는 예시의 명확성을 위해 과장될 수 있다. 구성요소가 2개의 구성요소 "사이에" 있는 것으로 언급되는 경우, 이는 2개의 구성요소 사이의 유일한 구성요소일 수 있거나 하나 이상의 중간 구성요소가 또한 존재할 수 있음을 이해할 것이다. 동일한 참조 번호는 전체에 걸쳐 동일한 구성요소를 지칭한다.
- [49] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [50] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, 본 명세서에 있어서, 어느 층, 막, 영역, 판 등의 부분이 다른 부분 상(on)에 형성되었다고 할 경우, 형성된 방향은 상부 방향만

한정되지 않으며 측면이나 하부 방향으로 형성된 것을 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[51] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있다.

[52] 층(layer)와 같은 요소가 다른 요소 또는 층에 "상에", "연결된(connected to)" 또는 "연결된(coupled to)" 것으로 언급될 때 다른 요소 또는 층에 직접 연결되거나 다른 요소에 연결되거나, 요소 또는 층 또는 중간 요소 또는 층이 존재할 수 있다. 그러나 요소 또는 층이 다른 요소 또는 층에 "직접 연결된", "직접 연결된" 또는 "직접 결합된" 것으로 언급될 때, 중간 요소 또는 층이 존재하지 않는다. 이를 위해 "연결된"이라는 용어는 개재 요소가 있거나 없는 물리적, 전기적 및/또는 유체 연결을 의미할 수 있다. 또한, 요소가 다른 요소와 "접촉(in contact)" 또는 "접촉(contacted)" 등으로 언급될 때, 요소는 다른 요소와 "전기적 접촉" 또는 "물리적 접촉"할 수 있으며, 또는 "간접 접촉" 또는 다른 요소와의 "직접 접촉"할 수 있다.

[53] 명세서 및 청구범위에서 "~ 중 적어도 하나"라는 문구는 그 의미 및 해석을 위해 "~의 군으로부터 선택된 적어도 하나"의 의미를 포함하도록 의도된다. 예를 들어, "A와 B 중 적어도 하나"는 "A, B, 또는 A와 B"를 의미하는 것으로 이해될 수 있다.

[54] 명세서 및 청구범위에서, "및/또는"이라는 용어는 그 의미 및 해석을 위해 "및" 및 "또는"이라는 용어의 임의의 조합을 포함하도록 의도된다. 예를 들어, "A 및/또는 B"는 "A, B, 또는 A 및 B"를 의미하는 것으로 이해될 수 있다. "및" 및 "또는"이라는 용어는 접속 또는 접속 의미로 사용될 수 있으며 "및/또는"과 동등한 것으로 이해될 수 있다.

[55] 본 명세서에서 달리 정의되거나 암시되지 않는 한, 사용된 모든 용어(기술 및 과학 용어 포함)는 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의된 것과 같은 용어는 관련 기술의 맥락에서 그 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 상세한 설명에 명확히 정의되어 있지 않는 한 이상적이거나 지나치게 형식적인 의미로 해석되어서는 안 됨을 이해해야 할 것이다.

[56] 이하에서는, 본 발명의 실시예들과 관련된 도면들을 참고하여, 본 발명의 실시예에 따른 표시 장치에 대해 설명하도록 한다.

[57] 도 1은 일 실시예에 따른 발광 소자를 나타내는 사시도이다. 도 2는 일 실시예에 따른 발광 소자를 나타내는 개략적인 단면도이다. 도 1 및 도 2에서는 기둥형 발광 소자(LD)를 도시하였으나, 발광 소자(LD)의 종류 및/또는 형상이 이에 한정되지는 않는다.

- [58] 도 1 및 도 2를 참조하면, 발광 소자(LD)는 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)을 포함할 수 있다. 발광 소자(LD)의 연장 방향을 길이(L) 방향이라고 하면, 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)은 길이(L) 방향을 따라 순차적으로 적층될 수 있다.
- [59] 발광 소자(LD)는 일 방향을 따라 연장된 기둥 형상으로 제공될 수 있다. 발광 소자(LD)는 제1 단부(EP1)와 제2 단부(EP2)를 가질 수 있다. 발광 소자(LD)의 제1 단부(EP1)에는 제1 및 제2 반도체층들(11, 13) 중 하나가 배치될 수 있다. 발광 소자(LD)의 제2 단부(EP2)에는 제1 및 제2 반도체층들(11, 13) 중 나머지 하나가 배치될 수 있다.
- [60] 실시예에 따라, 발광 소자(LD)는 식각 방식 등을 통해 기둥 형상으로 제조된 발광 소자일 수 있다. 본 명세서에서, 기둥 형상이라 함은 원 기둥 또는 다각 기둥 등과 같이 길이(L) 방향으로 긴(즉, 종횡비가 1보다 큰) 로드 형상(rod-like shape), 또는 바 형상(bar-like shape)을 포괄하며, 그 단면의 형상이 특별히 한정되지는 않는다. 예를 들어, 발광 소자(LD)의 길이(L)는 그 직경(D)(또는, 횡단면에서의 폭)보다 클 수 있다.
- [61] 발광 소자(LD)는 나노미터 스케일 내지 마이크로미터 스케일(nanometer scale to micrometer scale) 정도로 작은 크기를 가질 수 있다. 일 예로, 발광 소자(LD)는 각각 나노미터 스케일 내지 마이크로미터 스케일 범위의 직경(D)(또는, 폭) 및/또는 길이(L)를 가질 수 있다. 다만, 발광 소자(LD)의 크기가 이에 제한되는 것은 아니며, 발광 소자(LD)를 이용한 발광 장치를 광원으로 이용하는 각종 장치, 일 예로 표시 장치 등의 설계 조건에 따라 발광 소자(LD)의 크기는 다양하게 변경될 수 있다.
- [62] 제1 반도체층(11)은 제1 도전형의 반도체층일 수 있다. 예를 들어, 제1 반도체층(11)은 n형 반도체층을 포함할 수 있다. 일 예로, 제1 반도체층(11)은 InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, InN와 같은 어느 하나의 반도체 재료를 포함하며, Si, Ge, Sn 등과 같은 제1 도전형 도펀트가 도핑된 n형 반도체층을 포함할 수 있다. 다만, 제1 반도체층(11)을 구성하는 물질이 이에 한정되는 것은 아니다. 다양한 물질로 제1 반도체층(11)을 구성할 수 있다.
- [63] 활성층(12)은 제1 반도체층(11) 상에 배치되며, 단일 양자 우물(Single-Quantum Well) 또는 다중 양자 우물(Multi-Quantum Well) 구조로 형성될 수 있다. 활성층(12)은 Ga_N, InGa_N, InAlGa_N, AlGa_N, 또는 AlN 등을 포함할 수 있다. 다양한 물질이 활성층(12)을 구성할 수 있다. 실시예에 따라, 활성층(12)의 상부 및/또는 하부에는 도전성 도펀트가 도핑된 클래드층(미도시)이 형성될 수 있다. 일 실시예에서, 클래드층은 AlGa_N 또는 InAlGa_N을 포함할 수 있다.
- [64] 제2 반도체층(13)은 활성층(12) 상에 배치되며, 제1 반도체층(11)과 상이한 타입의 반도체층을 포함할 수 있다. 예를 들어, 제2 반도체층(13)은 p형 반도체층을 포함할 수 있다. 일 실시예에서, 제2 반도체층(13)은 InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, InN와 같은 적어도 하나의 반도체 재료를 포함하며, Mg 등과 같은 제2 도전

형 도펀트가 도핑된 p형 반도체층을 포함할 수 있다. 다만, 제2 반도체층(13)을 구성하는 물질이 이에 한정되는 것은 아니다. 다양한 물질이 제2 반도체층(13)을 구성할 수 있다.

[65] 발광 소자(LD)의 양단에 문턱전압 이상의 전압을 인가하게 되면, 활성층(12)에서 전자-정공 쌍이 결합하면서 발광 소자(LD)가 발광할 수 있다. 이러한 원리를 이용하여 발광 소자(LD)의 발광을 제어함으로써, 발광 소자(LD)를 표시 장치의 화소를 비롯한 다양한 발광 장치의 광원으로 이용할 수 있다.

[66] 발광 소자(LD)는 표면에 제공된 절연막(14)을 더 포함할 수 있다. 절연막(14)은 적어도 활성층(12)의 외주면을 둘러싸도록 발광 소자(LD)의 표면에 형성될 수 있다. 절연막(14)은 제1 및 제2 반도체층들(11, 13)의 일 영역을 더 둘러쌀 수 있다.

[67] 실시예에 따라, 절연막(14)은 서로 다른 극성을 가지는 발광 소자(LD)의 양 단부(EP1, EP2)를 노출할 수 있다. 예를 들어, 절연막(14)은 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)에 위치한 제1 및 제2 반도체층들(11, 13) 각각의 일단을 노출할 수 있다. 다른 실시예에서, 절연막(14)은 서로 다른 극성을 가지는 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)과 인접한 제1 및 제2 반도체층들(11, 13)의 측부를 노출할 수도 있다.

[68] 실시예에 따라, 절연막(14)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y), 알루미늄 산화물(AlO_x), 및 티타늄 산화물(TiO_x)과 같은 적어도 하나의 절연 물질을 포함하여 단일층 또는 다중층(예를 들어, 알루미늄 산화물(AlO_x)과 실리콘 산화물(SiO_x)로 구성된 이중층)으로 구성될 수 있으나, 반드시 이에 제한되는 것은 아니다. 실시예에 따라, 절연막(14)은 생략될 수도 있다.

[69] 발광 소자(LD)의 표면, 예를 들어, 활성층(12)의 외주면을 커버하도록 절연막(14)이 제공되는 경우, 활성층(12)이 후술할 제1 화소 전극 또는 제2 화소 전극 등과 단락되는 것을 방지할 수 있다. 이에 따라, 발광 소자(LD)의 전기적 안정성을 확보할 수 있다.

[70] 또한, 발광 소자(LD)의 표면에 절연막(14)이 제공되면, 발광 소자(LD)의 표면 결합을 최소화하여 수명 및 효율을 향상시킬 수 있다. 다수의 발광 소자(LD)들이 서로 밀접하여 배치되어있는 경우에도 발광 소자(LD)들의 사이에서 원치 않는 단락이 발생하는 것을 방지할 수 있다.

[71] 일 실시예에서, 발광 소자(LD)는 제1 반도체층(11), 활성층(12), 제2 반도체층(13), 및/또는 이들을 감싸는 절연막(14) 외에도 추가적인 구성요소를 더 포함할 수 있다. 예를 들면, 발광 소자(LD)는 제1 반도체층(11), 활성층(12) 및/또는 제2 반도체층(13)의 일단 측에 배치된 하나 이상의 형광체층, 활성층, 반도체층 및/또는 전극층을 포함할 수 있다.

[72] 도 1 및 도 2에서는 기동형 발광 소자(LD)를 도시하였으나, 발광 소자(LD)의 종류, 구조 및/또는 형상 등은 다양하게 변경될 수 있다. 예를 들어, 발광 소자(LD)는 다각 벌 형상을 가지는 코어-셸 구조로 형성될 수도 있다.

- [73] 상술한 발광 소자(LD)를 포함한 발광 장치는 표시 장치를 비롯하여 광원을 필요로 하는 다양한 종류의 장치에서 이용될 수 있다. 예를 들어, 표시 패널의 각 화소 내에 복수의 발광 소자(LD)들을 배치하고, 발광 소자(LD)들을 각 화소의 광원으로 이용할 수 있다. 다만, 발광 소자(LD)의 적용 분야가 상술한 예에 한정되지는 않는다. 예를 들어, 발광 소자(LD)는 조명 장치 등과 같이 광원을 필요로 하는 다른 종류의 장치에도 이용될 수 있다.
- [74] 도 3은 일 실시예에 따른 표시 장치를 나타내는 평면도이다. 도 3에서는 도 1 및 도 2의 실시예들에서 설명한 발광 소자(LD)를 광원으로서 이용할 수 있는 전자 장치의 일 예로서, 표시 장치, 특히 표시 장치에 구비되는 표시 패널(PNL)을 도시하기로 한다.
- [75] 설명의 편의를 위해 도 3에서는 표시 영역(DA)을 중심으로 표시 패널(PNL)의 구조를 간략하게 도시하였다. 실시예에 따라, 적어도 하나의 구동 회로부(일 예로, 스캔 구동부 및 데이터 구동부 중 적어도 하나), 배선들 및/또는 패드들이 표시 패널(PNL)에 배치될 수 있다.
- [76] 표시 장치가 스마트폰, 텔레비전, 태블릿 PC, 이동 전화기, 영상 전화기, 전자책 리더기, 데스크탑 PC, 랩탑 PC, 넷북 컴퓨터, 워크스테이션, 서버, PDA, PMP(portable multimedia player), MP3 플레이어, 의료기기, 카메라, 또는 웨어러블 등과 같이 적어도 일 면에 표시 면이 적용된 전자 장치라면 본 발명이 적용될 수 있다.
- [77] 도 3을 참조하면, 표시 패널(PNL)은 제1 기판(SUB1) 및 제1 기판(SUB1) 상에 배치된 화소(PXL)를 포함할 수 있다.
- [78] 제1 기판(SUB1)(또는, 베이스층)은 표시 패널(PNL)의 베이스 부재를 구성하는 것으로서, 경성 또는 연성의 기판이나 필름일 수 있다. 일 실시예에서, 제1 기판(SUB1)은 유리 또는 강화 유리로 이루어진 경성 기판, 플라스틱 또는 금속 재질의 연성 기판(또는, 박막 필름), 또는 적어도 한 층의 절연층일 수 있다. 제1 기판(SUB1)의 재료 및/또는 물성이 특별히 한정되지는 않는다.
- [79] 일 실시예에서, 제1 기판(SUB1)은 실질적으로 투명할 수 있다. 여기서, 실질적으로 투명이라 함은 소정의(또는, 선택적인) 투과도 이상으로 광을 투과시킬 수 있음을 의미할 수 있다. 다른 실시예에서, 제1 기판(SUB1)은 반투명 또는 불투명할 수 있다. 실시예들에서, 제1 기판(SUB1)은 반사성의 물질을 포함할 수도 있다.
- [80] 표시 패널(PNL) 및 제1 기판(SUB1)은 영상을 표시하기 위한 표시 영역(DA) 및 표시 영역(DA)을 제외한 비표시 영역(NDA)을 포함할 수 있다.
- [81] 표시 영역(DA)에는 화소(PXL)가 배치될 수 있다. 비표시 영역(NDA)에는 표시 영역(DA)의 화소(PXL)에 연결되는 각종 배선들, 패드들 및/또는 내장 회로부가 배치될 수 있다.
- [82] 화소(PXL)는 서브 화소들(SPXL1~SPXL3)을 포함하며, 예를 들어, 화소(PXL)는 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2) 및 제3 서브 화소들(SPXL3)을 포함할 수 있다.

- [83] 서브 화소들(SPXL1~SPXL3)은 각각 소정(또는, 선택적인) 색의 빛을 방출할 수 있다. 실시예에 따라, 서브 화소들(SPXL1~SPXL3)은 서로 다른 색의 빛을 방출할 수 있다. 일 실시예에서, 제1 서브 화소(SPXL1)는 제1 색의 빛을 방출하고, 제2 서브 화소(SPXL2)는 제2 색의 빛을 방출하며, 제3 서브 화소(SPXL3)는 제3 색의 빛을 방출할 수 있다. 예를 들어, 제1 서브 화소(SPXL1)는 적색의 빛을 방출하는 적색 화소일 수 있고, 제2 서브 화소(SPXL2)는 녹색의 빛을 방출하는 녹색 화소일 수 있으며, 제3 서브 화소(SPXL3)는 청색의 빛을 방출하는 청색 화소일 수 있으나, 이에 한정되지는 않는다.
- [84] 일 실시예에서, 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2) 및 제3 서브 화소(SPXL3)는 각각 제1 색의 발광 소자, 제2 색의 발광 소자 및 제3 색의 발광 소자를 광원으로 구비함으로써, 각각 제1 색, 제2 색 및 제3 색의 빛을 방출할 수 있다. 다른 실시예에서, 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2) 및 제3 서브 화소(SPXL3)는 서로 동일한 색의 빛을 방출하는 발광 소자들을 구비하되, 각각의 발광 소자 상에 배치된 서로 다른 색상의 색 변환층 및/또는 컬러 필터를 포함함으로써, 각각 제1 색, 제2 색 및 제3 색의 빛을 방출할 수도 있다. 다만, 각각의 화소(PXL)를 구성하는 서브 화소들(SPXL1~SPXL3)의 색상, 종류 및/또는 개수 등이 특별히 한정되지는 않는다. 예를 들어, 각각의 화소(PXL)가 방출하는 빛의 색은 다양하게 변경될 수 있다.
- [85] 서브 화소들(SPXL1~SPXL3)은 스트라이프(stripe) 또는 펜타일(PENTILE™) 배열 구조 등에 따라 규칙적으로 배열될 수 있다. 예를 들어, 제1, 제2, 및 제3 서브 화소들(SPXL1, SPXL2, SPXL3)은 제1 방향(DR1)을 따라 순차 반복적으로 배치되며, 또한, 제2 방향(DR2)을 따라 반복적으로 배치될 수 있다. 서로 인접하도록 배치된 적어도 하나의 제1, 제2, 및 제3 서브 화소들(SPXL1, SPXL2, SPXL3)은 다양한 색의 빛을 방출할 수 있는 하나의 화소(PXL)를 구성할 수 있다. 다만, 서브 화소들(SPXL1~SPXL3)의 배열 구조가 이에 한정되지는 않으며, 서브 화소들(SPXL1~SPXL3)은 다양한 구조 및/또는 패턴으로 표시 영역(DA)에 배열될 수 있다.
- [86] 일 실시예에서, 서브 화소들(SPXL1~SPXL3) 각각은 능동형 화소로 구성될 수 있다. 예를 들어, 서브 화소들(SPXL1~SPXL3) 각각은 소정의(또는, 선택적인) 제어 신호(일 예로, 주사 신호 및 데이터 신호) 및/또는 소정의(또는, 선택적인) 전원(일 예로, 제1 전원 및 제2 전원)에 의해 구동되는 적어도 하나의 광원(예를 들어, 발광 소자)을 포함할 수 있다. 다만, 표시 장치에 적용될 수 있는 서브 화소들(SPXL1~SPXL3)의 종류, 구조 및/또는 구동 방식이 특별히 한정되지는 않는다.
- [87] 도 4a, 도 4b, 및 도 4c 각각은 도 3의 표시 장치에 포함된 화소의 등가 회로의 일 실시예를 나타내는 개략적인 도면이다.
- [88] 예를 들어, 도 4a, 도 4b, 및 도 4c는 액티브 매트릭스형 표시 장치에 적용될 수 있는 서브 화소들(SPXL1~SPXL3) 각각에 포함된 구성 요소들의 전기적 연결 관계를 실시예에 따라 도시하였다. 다만, 서브 화소들(SPXL1~SPXL3) 각각의 구성

요소들의 연결 관계가 이에 한정되지는 않는다. 이하의 실시예에서는, 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3)를 포괄하여 서브 화소(SPXL)라고 한다.

- [89] 도 3, 도 4a, 도 4b, 및 도 4c를 참조하면, 서브 화소(SPXL)는 데이터 신호에 대응하는 휘도의 광을 생성하는 발광부(EMU)(또는 발광 유닛)를 포함할 수 있다. 서브 화소(SPXL)는 발광부(EMU)를 구동하기 위한 화소 회로(PXC)를 선택적으로 포함할 수 있다.
- [90] 실시예에 따라, 발광부(EMU)는 제1 전원 라인(PL1)과 제2 전원 라인(PL2) 사이에 병렬 연결된 복수의 발광 소자(LD)들을 포함할 수 있다. 제1 전원 라인(PL1)은 제1 구동 전원(VDD)에 접속하여 제1 구동 전원(VDD)의 전압이 인가되고, 제2 전원 라인(PL2)은 제2 구동 전원(VSS)에 접속하여 제2 구동 전원(VSS)의 전압이 인가될 수 있다.
- [91] 예를 들어, 발광부(EMU)는, 화소 회로(PXC) 및 제1 전원 라인(PL1)을 경유하여 제1 구동 전원(VDD)에 접속된 제1 화소 전극(CNE1)(또는 제1 전극), 제2 전원 라인(PL2)을 통해 제2 구동 전원(VSS)에 접속된 제2 화소 전극(CNE2)(또는 제2 전극), 제1 화소 전극(CNE1)과 제2 화소 전극(CNE2) 사이에 서로 동일한 방향으로 병렬 연결되는 복수의 발광 소자(LD)들을 포함할 수 있다. 실시예에 있어서, 제1 화소 전극(CNE1)은 애노드(anode)(또는, 애노드 전극)일 수 있고, 제2 화소 전극(CNE2)은 캐소드(cathode)(또는, 캐소드 전극)일 수 있다.
- [92] 발광부(EMU)에 포함된 발광 소자(LD)들 각각은, 제1 화소 전극(CNE1)을 통하여 제1 구동 전원(VDD)에 연결된 제1 단부 및 제2 화소 전극(CNE2)을 통하여 제2 구동 전원(VSS)에 연결된 제2 단부를 포함할 수 있다. 제1 구동 전원(VDD)과 제2 구동 전원(VSS)은 서로 다른 전위를 가질 수 있다. 일 실시예에서, 제1 구동 전원(VDD)은 고전위 전원이고, 제2 구동 전원(VSS)은 저전위 전원일 수 있다. 이때, 제1 및 제2 구동 전원들(VDD, VSS)의 전위차는 각 서브 화소(SPXL)의 발광 기간 동안 발광 소자(LD)들의 문턱전압 이상일 수 있다.
- [93] 상술한 바와 같이, 서로 상이한 전원의 전압이 공급되는 제1 화소 전극(CNE1)과 제2 화소 전극(CNE2) 사이에 동일한 방향(일 예로, 순 방향)으로 병렬 연결된 각각의 발광 소자(LD)는 각각의 유효 광원을 구성할 수 있다.
- [94] 발광부(EMU)의 발광 소자(LD)들은 해당 화소 회로(PXC)를 통해 공급되는 구동 전류에 대응하는 휘도로 발광할 수 있다. 예를 들어, 화소 회로(PXC)는 각각의 프레임 기간 동안 화소 회로(PXC)의 해당 프레임 데이터의 제조 값에 대응하는 구동 전류를 발광부(EMU)로 공급할 수 있다. 발광부(EMU)로 공급되는 구동 전류는 발광 소자(LD)들 각각으로 나뉘어 흐를 수 있다. 이에 따라, 각각의 발광 소자(LD)가 그에 흐르는 전류에 상응하는 휘도로 발광하면서, 발광부(EMU)가 구동 전류에 대응하는 휘도의 광을 방출할 수 있다.
- [95] 상술한 실시예에서는, 발광 소자(LD)들의 양 단부가 제1 및 제2 구동 전원들(VDD, VSS)의 사이에 동일한 방향으로 연결된 실시예에 대하여 설명하였으나,

이에 한정되지는 않는다. 실시예에 따라, 발광부(EMU)는, 각각의 유효 광원을 구성하는 발광 소자(LD)들 외에 적어도 하나의 비유효 광원, 일 예로 역방향 발광 소자(LDr)를 더 포함할 수 있다. 이러한 역방향 발광 소자(LDr)는 유효 광원들을 구성하는 다른 발광 소자(LD)들과 함께 제1 및 제2 화소 전극들(CNE1, CNE2)의 사이에 병렬로 연결되되, 다른 발광 소자(LD)들과는 반대 방향으로 제1 및 제2 화소 전극들(CNE1, CNE2)의 사이에 연결될 수 있다. 이러한 역방향 발광 소자(LDr)는, 제1 및 제2 화소 전극들(CNE1, CNE2) 사이에 구동 전압(일 예로, 순방향의 구동 전압)이 인가되더라도 비활성 상태를 유지하게 되고, 이에 따라 역방향 발광 소자(LDr)에는 실질적으로 전류가 흐르지 않을 수 있다.

- [96] 서브 화소(SPXL)의 화소 회로(PXC)는 스캔 라인(SLi)(또는, 제1 게이트 라인) 및 데이터 라인(DLj)에 접속될 수 있다. 서브 화소(SPXL)의 화소 회로(PXC)는 제어 라인(CLi)(또는, 제2 게이트 라인) 및 센싱 라인(SENj)(또는, 리드아웃 라인)에 접속될 수 있다. 일 실시예에서, 서브 화소(SPXL)가 표시 영역(DA)의 i번째 행 및 j번째 열에 배치되는 경우, 서브 화소(SPXL)의 화소 회로(PXC)는 표시 영역(DA)의 i번째 스캔 라인(SLi), j번째 데이터 라인(DLj), i번째 제어 라인(CLi), 및 j번째 센싱 라인(SENj)에 접속될 수 있다. 실시예에 따라, 제어 라인(CLi)은 스캔 라인(SLi)에 연결되거나 스캔 라인(SLi)일 수 있다.
- [97] 화소 회로(PXC)는 트랜지스터들(T1~T3)과 스토리지 커패시터(Cst)(또는, 커패시터)를 포함할 수 있다.
- [98] 제1 트랜지스터(T1)는 발광부(EMU)로 인가되는 구동 전류를 제어하기 위한 구동 트랜지스터로써, 제1 구동 전원(VDD)과 발광부(EMU) 사이에 연결될 수 있다. 예를 들어, 제1 트랜지스터(T1)의 제1 단자(또는, 제1 트랜지스터 전극)는 제1 전원 라인(PL1)을 통하여 제1 구동 전원(VDD)에 전기적으로 연결될 수 있고, 제1 트랜지스터(T1)의 제2 단자(또는, 제2 트랜지스터 전극)는 제2 노드(N2)와 전기적으로 연결되며, 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 전기적으로 연결될 수 있다. 제1 트랜지스터(T1)는 제1 노드(N1)에 인가되는 전압에 따라 제1 구동 전원(VDD)에서 제2 노드(N2)를 통하여 발광부(EMU)로 인가되는 구동 전류의 양을 제어할 수 있다. 실시예에 있어서, 제1 트랜지스터(T1)의 제1 단자는 드레인 전극이고, 제1 트랜지스터(T1)의 제2 단자는 소스 전극일 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 제1 단자가 소스 전극일 수 있고 제2 단자가 드레인 전극일 수도 있다.
- [99] 제2 트랜지스터(T2)는 스캔 신호에 응답하여 서브 화소(SPXL)를 선택하고, 서브 화소(SPXL)를 활성화하는 스위칭 트랜지스터로써 데이터 라인(DLj)과 제1 노드(N1) 사이에 연결될 수 있다. 제2 트랜지스터(T2)의 제1 단자는 데이터 라인(DLj)에 연결되고, 제2 트랜지스터(T2)의 제2 단자는 제1 노드(N1)에 연결되며, 제2 트랜지스터(T2)의 게이트 전극은 스캔 라인(SLi)에 연결될 수 있다. 제2 트랜지스터(T2)의 제1 단자와 제2 단자는 서로 다른 단자로, 예컨대 제1 단자가 드레인 전극이면 제2 단자는 소스 전극일 수 있다.

- [100] 이와 같은 제2 트랜지스터(T2)는, 스캔 라인(SLi)으로부터 게이트-온 전압(일 예로, 하이 레벨 전압)의 스캔 신호가 공급될 때 턴-온되어, 데이터 라인(DLi)과 제1 노드(N1)를 전기적으로 연결할 수 있다. 제1 노드(N1)는 제2 트랜지스터(T2)의 제2 단자와 제1 트랜지스터(T1)의 게이트 전극이 연결되는 지점으로써, 제2 트랜지스터(T2)는 제1 트랜지스터(T1)의 게이트 전극에 데이터 신호를 전달할 수 있다.
- [101] 제3 트랜지스터(T3)의 제1 단자는 센싱 라인(SENj)에 연결되고, 제3 트랜지스터(T3)의 제2 단자는 제1 트랜지스터(T1)의 제2 단자에 연결되며, 제3 트랜지스터(T3)의 게이트 전극은 제어 라인(CLi)에 연결될 수 있다. 센싱 라인(SENj)에는 초기화 전원으로부터 전압(초기화 전압)이 인가될 수 있다. 제3 트랜지스터(T3)는 제2 노드(N2)를 초기화할 수 있는 초기화 트랜지스터로써, 제어 라인(CLi)으로부터 센싱 제어 신호가 공급될 때 턴-온되어 초기화 전원의 전압을 제2 노드(N2)에 전달할 수 있다. 이에 따라, 제2 노드(N2)에 전기적으로 연결된 스토리지 커패시터(Cst)의 제2 스토리지 전극은 초기화될 수 있다. 실시예에 따라, 제3 트랜지스터(T3)는 제1 트랜지스터(T1)를 센싱 라인(SENj)에 연결함으로써, 센싱 라인(SENj)을 통하여 센싱 신호가 획득되고, 센싱 신호를 이용하여 제1 트랜지스터(T1)의 문턱전압 등을 비롯한 서브 화소(SPXL)의 특성이 검출될 수도 있다. 서브 화소(SPXL)의 특성에 대한 정보는 서브 화소(SPXL)들 사이의 특성 편차가 보상될 수 있도록 영상 데이터를 변환하는 데 이용될 수 있다.
- [102] 스토리지 커패시터(Cst)는 제1 노드(N1) 및 제2 노드(N2) 사이에 형성되거나, 제1 노드(N1) 및 제2 노드(N2) 사이에 전기적으로 연결될 수 있다. 스토리지 커패시터(Cst)는 한 프레임 기간 동안 제1 노드(N1)로 공급되는 데이터 신호에 대응하는 데이터 전압을 충전한다. 이에 따라, 스토리지 커패시터(Cst)는 제1 트랜지스터(T1)의 게이트 전극의 전압과 제2 노드(N2)의 전압 차이에 해당하는 전압을 저장할 수 있다.
- [103] 제1 노드(N1)와 제1 노드(N1)에 인접한 신호 라인 사이에는 기생 커패시터(Cpara)(또는, 기생 커패시턴스)가 형성될 수 있다. 예를 들어, 상기 신호 라인은 스캔 라인(SLi), 데이터 라인(DLi), 및/또는 제1 및 제2 구동 전원들(VDD, VSS)이 인가되는 전원 라인일 수 있다. 상기 기생 커패시터(Cpara)는 제1 노드(N1)의 전압(또는, 전압 변동)에 영향을 미치며, 이로 인해 서브 화소(SPXL)가 원하는 휘도로 발광하지 못할 수 있다. 기생 커패시터(Cpara)의 영향성을 완화하거나 배제하기 위해 스토리지 커패시터(Cst)의 용량을 증가시킬 필요가 있다. 기생 커패시터(Cpara)의 영향에 대해서는 도 5를 참조하여 후술하고, 용량이 증가된 스토리지 커패시터(Cst)에 대해서는 도 10을 참조하여 후술하기로 한다.
- [104] 발광부(EMU)는 서로 병렬로 전기적으로 연결된 복수의 발광 소자(LD)들을 포함하는 적어도 하나의 직렬단(또는 스테이지)을 포함할 수 있다.
- [105] 실시예에 있어서, 발광부(EMU)는 직/병렬 혼합 구조로 구성될 수도 있다. 일 실시예에서, 도 4b에 도시된 바와 같이, 발광부(EMU)는 제1 직렬단(SET1) 및 제2

직렬단(SET2)을 포함하도록 구성될 수도 있다. 다른 예로, 도 4c에 도시된 바와 같이, 발광부(EMU)는 제1 직렬단(SET1), 제2 직렬단(SET2), 제3 직렬단(SET3), 및 제4 직렬단(SET4)을 포함하도록 구성될 수도 있다. 발광부(EMU)에 포함된 직렬단의 개수는 다양하게 변경될 수 있으며, 예를 들어, 발광부(EMU)는 3개, 또는 5개 이상의 직렬단을 포함할 수도 있다.

- [106] 도 4b를 참조하면, 발광부(EMU)는 제1 구동 전원(VDD)과 제2 구동 전원(VSS) 사이에 순차적으로 연결된 제1 직렬단(SET1) 및 제2 직렬단(SET2)을 포함할 수 있다. 제1 직렬단(SET1) 및 제2 직렬단(SET2) 각각은, 해당 직렬단의 전극 쌍을 구성하는 두 개의 전극들(CNE1 및 CTE_S1, CTE_S2 및 CNE2)과, 상기 두 개의 전극들(CNE1 및 CTE_S1, CTE_S2 및 CNE2) 사이에 동일한 방향으로 병렬 연결된 복수의 발광 소자(LD)들을 포함할 수 있다.
- [107] 제1 직렬단(SET1)(또는 제1 스테이지)은 제2 화소 전극(CNE2)(또는 제1 화소 전극)과 제1 서브 중간 전극(CTE_S1)을 포함하고, 제2 화소 전극(CNE2)과 제1 서브 중간 전극(CTE_S1) 사이에 연결된 적어도 하나의 제1 발광 소자(LD1)를 포함할 수 있다. 제1 직렬단(SET1)은 제2 화소 전극(CNE2)과 제1 서브 중간 전극(CTE_S1) 사이에서 다른 제1 발광 소자(LD1)와 반대 방향으로 연결된 역방향 발광 소자(LDr)를 더 포함할 수도 있다.
- [108] 제2 직렬단(SET2)(또는 제2 스테이지)은 제2 서브 중간 전극(CTE_S2)과 제1 화소 전극(CNE1)(또는 제2 화소 전극)을 포함하고, 제2 서브 중간 전극(CTE_S2)과 제1 화소 전극(CNE1) 사이에 연결된 적어도 하나의 제2 발광 소자(LD2)를 포함할 수 있다. 제2 직렬단(SET2)은 제2 서브 중간 전극(CTE_S2)과 제1 화소 전극(CNE1) 사이에서 다른 제2 발광 소자(LD2)와 반대 방향으로 연결된 역방향 발광 소자(LDr)를 더 포함할 수도 있다.
- [109] 제1 직렬단(SET1)의 제1 서브 중간 전극(CTE_S1)과 제2 직렬단(SET2)의 제2 서브 중간 전극(CTE_S2)은 일체일 수 있다. 일 실시예에서, 제1 서브 중간 전극(CTE_S1)과 제2 서브 중간 전극(CTE_S2)은 연속하는 제1 직렬단(SET1)과 제2 직렬단(SET2)을 전기적으로 연결하는 제1 중간 전극(CTE1)을 구성할 수 있다. 제1 서브 중간 전극(CTE_S1)과 제2 서브 중간 전극(CTE_S2)이 일체인 경우, 제1 서브 중간 전극(CTE_S1)과 제2 서브 중간 전극(CTE_S2)은 제1 중간 전극(CTE1)의 서로 다른 일 부분일 수 있다. 화소 전극 및 중간 전극이라는 용어는 전극들을 구별하기 위한 표현일 뿐, 상기 용어에 의해 해당 구성(즉, 전극)이 한정되는 것은 아니다.
- [110] 도 4c를 참조하면, 발광부(EMU)는 제1 구동 전원(VDD)과 제2 구동 전원(VSS) 사이에 순차적으로 연결된 제1 직렬단(SET1), 제2 직렬단(SET2), 제3 직렬단(SET3), 및 제4 직렬단(SET4)을 포함할 수 있다.
- [111] 도 4c의 제1 직렬단(SET1)은 도 4b의 제1 직렬단(SET1)과 실질적으로 동일할 수 있다.

- [112] 제2 직렬단(SET2)은 제2 서브 중간 전극(CTE_S2) 및 제3 서브 중간 전극(CTE_S3)의 사이에 연결된 적어도 하나의 제2 발광 소자(LD2)를 포함할 수 있다. 제3 직렬단(SET3)은 제4 서브 중간 전극(CTE_S4) 및 제5 서브 중간 전극(CTE_S5)의 사이에 연결된 적어도 하나의 제3 발광 소자(LD3)를 포함할 수 있다. 제4 직렬단(SET4)은 제6 서브 중간 전극(CTE_S6) 및 제2 화소 전극(CNE2)의 사이에 연결된 적어도 하나의 제4 발광 소자(LD4)를 포함할 수 있다. 제3 서브 중간 전극(CTE_S3)과 제4 서브 중간 전극(CTE_S4)은 일체이며, 제2 중간 전극(CTE2)을 구성할 수 있다. 제5 서브 중간 전극(CTE_S5)과 제6 서브 중간 전극(CTE_S6)은 일체이며, 제3 중간 전극(CTE3)을 구성할 수 있다.
- [113] 직/병렬 혼합 구조로 연결된 직렬단들(SET1~SET4)(또는 발광 소자(LD)들)을 포함한 서브 화소(SPXL)의 발광부(EMU)는 적용되는 제품 사양에 맞춰 구동 전류/전압을 용이하게 조절할 수 있다.
- [114] 예를 들어, 직렬단들(SET1~SET4)을 포함한 서브 화소(SPXL)의 발광부(EMU)는, 발광 소자(LD)들이 병렬로만 연결된 구조의 발광부에 비하여, 구동 전류를 감소시킬 수 있다. 달리 말해, 직렬단들(SET1~SET4)을 포함한 서브 화소(SPXL)의 발광부(EMU)는 동일한 구동 전류에 대해 보다 높은 휘도로 발광할 수 있다.
- [115] 또한, 직렬단들(SET1~SET4)을 포함한 서브 화소(SPXL)의 발광부(EMU)는, 동일한 개수의 발광 소자(LD)들이 모두 직렬 연결한 구조의 발광부에 비하여, 발광부(EMU)의 양단에 인가되는 구동 전압을 감소시킬 수 있다.
- [116] 도 4a, 도 4b, 및 도 4c에서는 화소 회로(PXC)에 포함되는 트랜지스터들(T1~T3)을 모두 n형 트랜지스터들로 도시하였으나, 반드시 이에 제한되는 것은 아니다. 예를 들어, 트랜지스터들(T1~T3) 중 적어도 하나는 p형 트랜지스터로 변경될 수도 있다.
- [117] 서브 화소(SPXL)의 구조 및 구동 방식은 다양하게 변경될 수 있다. 예를 들어, 화소 회로(PXC)는 도 4a, 도 4b, 및 도 4c에 도시된 실시예 외에도, 다양한 구조 및/또는 구동 방식의 화소 회로로 구성될 수 있다.
- [118] 일 예로, 화소 회로(PXC)는 제3 트랜지스터(T3)를 포함하지 않을 수 있다. 또한, 화소 회로(PXC)는 제1 트랜지스터(T1)의 문턱전압 등을 보상하기 위한 보상 트랜지스터, 제1 노드(N1) 및/또는 제1 화소 전극(CNE1)의 전압을 초기화하기 위한 초기화 트랜지스터, 발광부(EMU)로 구동 전류가 공급되는 기간을 제어하기 위한 발광 제어 트랜지스터, 및/또는 제1 노드(N1)의 전압을 부스팅하기 위한 부스팅 커패시터 등과 같은 다른 회로 소자들을 더 포함할 수도 있다.
- [119] 도 5는 도 4a의 화소의 동작을 설명하는 개략적인 파형도이다.
- [120] 도 4a 및 도 5를 참조하면, 제1 구간(P1)에서, 스캔 라인(SLi)에 인가된 스캔 신호(SC)(또는, 제1 게이트 신호)는 게이트-온 전압(예를 들어, 하이 레벨의 전압)을 가지며, 제어 라인(CLi)(또는, 제2 게이트 신호)에 인가된 센싱 제어 신호(SS)는 게이트-온 전압을 가질 수 있다. 제1 구간(P1)은 하나의 프레임(FRAME)에서 데이터 신호를 서브 화소(SPXL)에 기입하기 위해 할당된 구간이며, 제1 구간(P1)은

비발광 구간이고, 제1 구간(P1)을 제외한 나머지 구간(즉, 프레임(FRAME)의 나머지 구간, 특히, 제1 구간(P1) 이후의 나머지 구간)은 발광 구간일 수 있다.

- [121] 게이트-온 전압의 스캔 신호(SC)에 응답하여 제2 트랜지스터(T2)가 턴-온되고, 데이터 신호가 데이터 라인(DLj)으로부터 제1 노드(N1)에 인가되며, 제1 노드(N1)의 전압, 즉, 제1 노드 전압(V_{N1})이 변동될 수 있다. 유사하게, 게이트-온 전압의 센싱 제어 신호(SS)에 응답하여 제3 트랜지스터(T3)가 턴-온되고, 초기화 전원의 전압이 제2 노드(N2)에 인가되며, 제2 노드(N2)의 전압, 즉, 제2 노드 전압(V_{N2})이 변동될 수 있다. 제1 노드 전압(V_{N1}) 및 제2 노드 전압(V_{N2}) 간의 차이에 대응하는 전압이 스토리지 커패시터(Cst)에 충전될 수 있다.
- [122] 제1 구간(P1) 이후에 제1 트랜지스터(T1)를 통해 구동 전류가 흐름에 따라 제2 노드 전압(V_{N2})이 상승하고, 스토리지 커패시터(Cst)에 의해 제2 노드 전압(V_{N2})의 상승에 대응하여 제1 노드 전압(V_{N1})이 상승할 수 있다. 제1 구간(P1) 이후에서 이상적인 제1 노드 전압(V_{N1}) 및 제2 노드 전압(V_{N2}) 간의 전압차(즉, V_{gs2})는 제1 구간(P1)에서의 전압차(즉, V_{gs1})과 같아야 하나, 기생 커패시터(C_{para}) 및 제1 트랜지스터(T1)의 문턱전압의 변동(예를 들어, 문턱전압의 네거티브 쉬프트)에 의해 실제 전압차(즉, V_{gs3})는 제1 구간(P1)에서의 전압차(즉, V_{gs1})와 다르게 되며, 서브 화소(SPXL)는 원하는 휘도와 다른 휘도로 발광할 수 있다. 이러한 기생 커패시터(C_{para})의 영향성을 배제하기 위해, 서브 화소(SPXL)는 증가된 용량을 가지는 스토리지 커패시터(Cst)를 구비할 수 있다.
- [123] 도 6은 도 3의 표시 장치 내 서브 화소의 일 실시예를 나타내는 개략적인 단면도이다. 도 6에는 화소 회로층(PCL)에 배치될 수 있는 회로 소자들의 일 예로서, 제1 트랜지스터(T1, 도 4a 참고)와 제1 및 제2 전원 라인들(PL1, PL2)이 도시되었다.
- [124] 도 6을 참조하면, 서브 화소(SPXL)(또는, 표시 장치)는 제1 기판(SUB1) 상에 배치되는 화소 회로층(PCL) 및 표시 소자층(DPL)을 포함할 수 있다.
- [125] 화소 회로층(PCL)은 제1 트랜지스터(T1), 제1 전원 라인(PL1), 및 제2 전원 라인(PL2), 및 복수의 절연층들(BFL, ILD, GI, ILD, PSV, VIA)을 포함할 수 있다. 제1 트랜지스터(T1)는 하부 금속층(BML), 반도체 패턴(SCP), 게이트 전극(GE), 소스 전극(SE)(또는, 제2 트랜지스터 전극, 제2 단자), 드레인 전극(DE)(또는, 제1 트랜지스터 전극, 제1 단자)을 포함할 수 있다.
- [126] 제1 기판(SUB1)과 버퍼층(BFL) 사이에는 제1 도전층이 위치할 수 있다. 제1 도전층은 도전 물질을 포함할 수 있다. 도전 물질은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 티타늄(Ti), 몰리브덴(Mo), 구리(Cu) 등을 비롯한 다양한 금속 물질 중 적어도 하나의 금속 또는 이들의 합금을 포함할 수도 있다. 제1 도전층은 단일막, 이중막, 또는 다중막으로 구성될 수 있다.
- [127] 제1 도전층은 하부 금속층(BML), 제1 전원 라인(PL1), 제2 전원 라인(PL2)을 포함할 수 있다. 하부 금속층(BML)과 제1 트랜지스터(T1)의 게이트 전극(GE)은 버퍼층(BFL)을 사이에 두고 서로 중첩될 수 있다. 하부 금속층(BML)은 제1 트

랜지스터(T1)의 반도체 패턴(SCP)의 하부에 배치될 수 있다. 이 때, 하부 금속층(BML)은 차광 패턴 역할을 하여, 제1 트랜지스터(T1)의 동작 특성을 안정화할 수 있다.

- [128] 실시예에 따라, 제1 트랜지스터(T1)는 하부 금속층(BML)을 포함하지 않을 수 있다. 이 때, 제1 기판(SUB1) 위에 직접 버퍼층(BFL)이 위치할 수 있다. 하부 금속층(BML)은 후술하는 제1 트랜지스터(T1)의 소스 전극(SE)과 절연층의 접촉홀을 통해 물리적 및/또는 전기적으로 연결될 수 있다. 이에 따라, 제1 트랜지스터(T1)의 문턱전압을 음의 방향 또는 양의 방향으로 이동시킬 수 있다.
- [129] 버퍼층(BFL)(또는, 제1 절연층)은 제1 도전층을 덮고, 제1 기판(SUB1) 상에 위치할 수 있다.
- [130] 버퍼층(BFL)은 화소 회로층(PCL)에 불순물이 확산되는 것을 방지할 수 있다. 버퍼층(BFL)은 무기 물질을 포함할 수 있다. 예를 들어, 무기 물질은 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x), 실리콘 산질화물(SiO_xN_y), 알루미늄 산화물(AlO_x)과 같은 금속 산화물 중 적어도 하나를 포함할 수 있다. 버퍼층(BFL)은 제1 기판(SUB1)의 재료 및 공정 조건 등에 따라 생략될 수도 있다.
- [131] 반도체 패턴(SCP)은 버퍼층(BFL) 상에 위치할 수 있다. 반도체 패턴(SCP)은 소스 전극(SE)에 연결되는 제1 영역(예를 들어, 소스 영역)과 드레인 전극(DE)에 연결되는 제2 영역(예를 들어, 드레인 영역), 및 제1 및 제2 영역들 사이의 채널 영역을 포함할 수 있다. 채널 영역은 제3 방향(DR3)(제1 기판(SUB1))의 두께 방향으로 제1 트랜지스터(T1)의 게이트 전극(GE)과 중첩할 수 있다. 반도체 패턴(SCP)은 다결정 실리콘(poly silicon), 비정질 실리콘(amorphous silicon), 산화물 반도체 등으로 이루어질 수 있다.
- [132] 게이트 절연층(GI)(또는, 제2 절연층)은 반도체 패턴(SCP) 상에 배치될 수 있다. 게이트 절연층(GI)은 반도체 패턴(SCP) 상에만 배치되거나, 제1 기판(SUB1) 상에 전면적으로 배치될 수 있다. 게이트 절연층(GI)은 무기 물질을 포함할 수 있다. 다만, 이에 한정되는 것은 아니며, 게이트 절연층(GI)은 유기 물질을 포함할 수도 있다. 예를 들어, 유기 물질은 아크릴계 수지(polyacrylates resin), 에폭시계 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides rein), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌 에테르계 수지(poly-phenylen ethers resin), 폴리페닐렌 설파이드계 수지(poly-phenylene sulfides resin), 및 벤조사이클로부텐 수지(benzocyclobutene resin) 중 적어도 하나를 포함할 수 있다.
- [133] 게이트 절연층(GI) 상에는 제2 도전층이 배치될 수 있다. 제2 도전층은 제1 도전층과 유사하게 도전 물질을 포함할 수 있다. 제2 도전층은 게이트 전극(GE), 제11 연결 패턴(CP11), 및 제21 연결 패턴(CP21)을 포함할 수 있다.
- [134] 게이트 전극(GE)은 반도체 패턴(SCP)의 채널 영역과 제3 방향(DR3)으로 중첩하도록 게이트 절연층(GI) 상에 배치될 수 있다. 제11 연결 패턴(CP11)은 제1 전

원 라인(PL1)과 중첩하며, 제21 연결 패턴(CP21)은 제2 전원 라인(PL2)과 제3 방향(DR3)으로 중첩할 수 있다.

[135] 층간 절연층(ILD)(또는, 제1 층간 절연층, 제3 절연층)은 제2 도전층을 커버하며, 제1 기판(SUB1) 상에 전면적으로 배치될 수 있다. 층간 절연층(ILD)은 게이트 절연층(GI)과 유사하게, 무기 물질을 포함할 수 있다. 층간 절연층(ILD)은 유기 물질을 포함할 수도 있다.

[136] 층간 절연층(ILD) 상에는 제3 도전층이 배치될 수 있다. 제3 도전층은 제1 도전층과 유사하게 도전 물질을 포함할 수 있다. 제3 도전층은 소스 전극(SE), 드레인 전극(DE), 제12 연결 패턴(CP12), 및 제22 연결 패턴(CP22)을 포함할 수 있다.

[137] 소스 전극(SE)은 층간 절연층(ILD)을 관통하는 컨택홀을 통해 반도체 패턴(SCP)의 제1 영역에 접촉하거나 연결되며, 또한, 층간 절연층(ILD) 및 버퍼층(BFL)을 관통하는 컨택홀을 통해 하부 금속층(BML)에 접촉하거나 연결될 수 있다. 드레인 전극(DE)은 층간 절연층(ILD)을 관통하는 컨택홀을 통해 반도체 패턴(SCP)의 제2 영역에 접촉하거나 연결될 수 있다. 소스 전극(SE)과 유사하게, 제12 연결 패턴(CP12)은 제1 전원 라인(PL1) 및 제11 연결 패턴(CP11)에 접촉하거나 연결되며, 제22 연결 패턴(CP22)은 제2 전원 라인(PL2) 및 제21 연결 패턴(CP21)에 접촉하거나 연결될 수 있다. 제11 연결 패턴(CP11) 및 제12 연결 패턴(CP12)은 제1 전원 라인(PL1)에 연결되어, 제1 전원 라인(PL1)의 저항을 감소시킬 수 있다. 유사하게, 제21 연결 패턴(CP21) 및 제22 연결 패턴(CP22)은 제2 전원 라인(PL2)에 연결되어, 제2 전원 라인(PL2)의 저항을 감소시킬 수 있다.

[138] 보호층(PSV)(또는, 제2 층간 절연층)은 제3 도전층을 덮도록, 제1 기판(SUB1) 상에 전면적으로 배치될 수 있다. 보호층(PSV)은 무기 물질을 포함할 수 있다. 보호층(PSV)은 단일막, 또는 이중막 이상의 다중막으로 제공될 수도 있다. 실시예에 따라, 보호층(PSV)은 생략될 수도 있다.

[139] 보호층(PSV) 상에는 비아층(VIA)(또는, 패시베이션층)이 배치될 수 있다. 비아층(VIA)은 제1 기판(SUB1) 상에 전면적으로 배치될 수 있다. 비아층(VIA)은 유기 물질을 포함할 수 있다. 비아층(VIA)은 상부에 평탄면을 제공할 수 있다.

[140] 비아층(VIA) 상에는 표시 소자층(DPL)이 위치할 수 있다.

[141] 표시 소자층(DPL)은 제1 및 제2 बैं크 패턴들(BNP1, BNP2), 제1 및 제2 전극들(ELT1, ELT2)(또는, 정렬 전극들, 반사 전극들), 제1 बैं크(BNK1), 발광 소자(LD), 제1 및 제2 화소 전극들(CNE1, CNE2)(또는, 컨택 전극들), 및 복수의 절연층들(INS1~INS3)을 포함할 수 있다.

[142] 제1 및 제2 बैं크 패턴들(BNP1, BNP2)은 비아층(VIA) 상에 배치될 수 있다.

[143] 제1 및 제2 बैं크 패턴들(BNP1, BNP2) 각각은 단면도 상에서 비아층(VIA)의 일면(일 예로, 상부면)으로부터 제3 방향(DR3)을 따라 상부로 향할수록 폭이 좁아지는 사다리꼴의 형상을 가질 수 있다. 실시예에 따라, 제1 및 제2 बैं크 패턴들(BNP1, BNP2) 각각은 단면도 상에서 비아층(VIA)의 일면으로부터 제3 방향(DR3)을 따라 상부로 향할수록 폭이 좁아지는 반타원 형상, 반원 형상(또는 반구

형상)을 가지는 곡면을 포함할 수도 있다. 그러나, 제1 및 제2 बैं크 패턴들(BNP1, BNP2) 각각의 단면 형상은 상술한 실시예들에 한정되는 것은 아니며, 발광 소자(LD)들 각각에서 방출되는 광의 효율을 향상시킬 수 있는 범위 내에서 다양하게 변경될 수 있다.

- [144] 제1 및 제2 बैं크 패턴들(BNP1, BNP2)은 무기 물질 및/또는, 유기 물질을 포함하며, 단일막 또는 다중막으로 구성될 수 있다. 실시예에 따라, 제1 및 제2 बैं크 패턴들(BNP1, BNP2)은 생략될 수도 있다. 예를 들어, 비아층(VIA)에 제1 및 제2 बैं크 패턴들(BNP1, BNP2)에 대응하는 구조가 형성될 수도 있다.
- [145] 제1 및 제2 전극들(ELT1, ELT2)은 비아층(VIA) 및 제1 및 제2 बैं크 패턴들(BNP1, BNP2) 상에 배치될 수 있다.
- [146] 제1 전극(ELT1)은 제1 बैं크 패턴(BNP1) 상에 배치되며, 제2 전극(ELT2)은 제2 बैं크 패턴(BNP2) 상에 배치될 수 있다. 단면도 상에서, 제1 및 제2 전극들(ELT1, ELT2)은 제1 및 제2 बैं크 패턴들(BNP1, BNP2)의 형상에 각각 대응하는 표면 프로파일을 가질 수 있다.
- [147] 제1 및 제2 전극들(ELT1, ELT2)은 각각 발광 소자(LD)에서 방출되는 광을 표시 장치의 화상 표시 방향(일 예로, 제3 방향(DR3))으로 진행되도록 하기 위하여 반사율을 갖는 도전 물질을 포함할 수 있다. 제1 및 제2 전극들(ELT1, ELT2)은 단일막 또는 다중막으로 구성될 수 있다.
- [148] 제2 전극(ELT2)(또는, 제1 전극(ELT1))은 비아층(VIA) 및 보호층(PSV)을 관통하는 제1 컨택홀(CNT1)을 통해 제12 연결 패턴(CP12)에 접촉하거나 연결될 수 있다. 제2 전극(ELT2)(또는, 제1 전극(ELT1))은 제1 전원 라인(PL1)에 전기적으로 연결될 수 있다. 제2 전극(ELT2)은 제12 연결 패턴(CP12)에 직접적으로 연결될 수 있으나, 이에 한정되는 것은 아니며, 예를 들어, 제2 전극(ELT2)은 브릿지 전극을 통해 제12 연결 패턴(CP12)(또는, 제11 연결 패턴(CP11), 제1 전원 라인(PL1))에 연결될 수 있다.
- [149] 제1 및 제2 전극들(ELT1, ELT2)은 표시 장치의 제조 과정에서 발광 소자(LD)를 정렬하기 위한 정렬 전극으로 이용될 수 있다.
- [150] 제1 절연층(INS1)은 제1 및 제2 전극들(ELT1, ELT2)의 적어도 일부를 덮도록, 비아층(VIA) 상에 배치될 수 있다. 제1 절연층(INS1)은 제1 전극(ELT1)과 제2 전극(ELT2) 사이에 위치하며, 제1 전극(ELT1)과 제2 전극(ELT2) 간의 단락(예를 들어, short circuit)을 방지할 수 있다. 제1 절연층(INS1)은 무기 물질 또는 무기 물질을 포함할 수 있다.
- [151] 제1 절연층(INS1) 상에는 발광 소자(LD)가 배치될 수 있다. 발광 소자(LD)의 제1 단부(EP1)는 제1 전극(ELT1)을 향하며 발광 소자(LD)의 제2 단부(EP2)는 제2 전극(ELT2)을 향하도록, 발광 소자(LD)는 제1 전극(ELT1) 및 제2 전극(ELT2) 사이에 정렬될 수 있다.

- [152] 발광 소자(LD)의 제1 단부(EP1)는 제3 방향(DR3)에서 제1 전극(ELT1)과 부분적으로 중첩하고, 발광 소자(LD)의 제2 단부(EP2)는 제3 방향(DR3)에서 제2 전극(ELT2)과 부분적으로 중첩할 수 있다. 다만, 이에 한정되는 것은 아니다.
- [153] 제1 बैं크(BNK1)는 제1 절연층(INS1) 상에 배치될 수 있다. 제1 बैं크(BNK1)는 제1 절연층(INS1) 상에 발광 소자(LD)를 공급하는 단계에서, 발광 소자(LD)를 포함하는 용액이 인접한 서브 화소(SPXL)로 유입되는 것을 방지하거나, 각각의 서브 화소(SPXL)에 일정량의 용액이 공급되도록 제어하는 댐 구조물일 수 있다. 또한, 제1 बैं크(BNK1)는 발광 영역(EA)을 정의할 수 있다. 예를 들어, 발광 영역(EA)은 제1 बैं크(BNK1)의 개구(OPA1)에 대응할 수 있다.
- [154] 제1 बैं크(BNK1)는 유기 물질을 포함할 수 있다. 실시예에 따라, 제1 बैं크(BNK1)는 차광 물질 및/또는 반사 물질을 포함할 수 있다. 이 경우, 제1 बैं크(BNK1)는 인접한 서브 화소(SPXL)들 사이에서 광(또는, 빛)이 새는 빛샘 불량을 방지할 수 있다. 예를 들어, 제1 बैं크(BNK1)는 컬러 필터 물질 또는 블랙 매트릭스 물질을 포함할 수 있다. 다른 예로, 서브 화소(SPXL)에서 외부로 발산되는 광의 효율을 더욱 향상시키기 위해 제1 बैं크(BNK1) 상에는 반사 층이 별도로 제공 및/또는 형성될 수도 있다.
- [155] 발광 소자(LD) 상에는 제2 절연층(INS2)(또는, 제2 절연 패턴)이 배치될 수 있다. 제2 절연층(INS2)은 발광 소자(LD)의 제1 단부(EP1)와 제2 단부(EP2)가 제2 절연층(INS2)에 의해 커버되지 않도록, 발광 소자(LD)의 상면의 일부분 상에 위치할 수 있다. 실시예에 따라, 제2 절연층(INS2)은 제1 절연층(INS1) 및 제1 बैं크(BNK1) 상에도 배치될 수 있다.
- [156] 발광 소자(LD)를 포함하는 표시 장치의 설계 조건 등에 따라 제2 절연층(INS2)은 무기 물질 또는 유기 물질을 포함할 수 있다. 제1 절연층(INS1) 상에 발광 소자(LD)가 정렬된 이후, 발광 소자(LD) 상에 제2 절연층(INS2)을 형성함으로써, 발광 소자(LD)가 정렬된 위치에서 이탈하는 것을 방지할 수 있다. 제2 절연층(INS2)의 형성 이전에 제1 절연층(INS1)과 발광 소자(LD) 사이에 빈 틈(또는 공간)이 존재할 경우, 빈 틈은 제2 절연층(INS2)을 형성하는 과정에서 제2 절연층(INS2)으로 채워질 수 있다.
- [157] 제1 화소 전극(CNE1)은 제1 전극(ELT1) 상에 배치될 수 있다. 제1 화소 전극(CNE1)은 발광 소자(LD)의 제1 단부(EP1)와 직접 접촉할 수 있다. 제1 화소 전극(CNE1)은 제2 절연층(INS2), 제1 절연층(INS1), 비아층(VIA), 및 보호층(PDV)을 관통하는 제2 컨택홀(CNT2)을 통해 제1 트랜지스터(T1)의 소스 전극(SE)에 접촉하거나 연결될 수 있다. 예를 들어, 제1 화소 전극(CNE1)은 발광 소자(LD)의 제1 단부(EP1)와 제1 트랜지스터(T1)의 소스 전극(SE)을 전기적으로 연결할 수 있다.
- [158] 제1 화소 전극(CNE1) 및 제2 화소 전극(CNE2)은 인듐 주석 산화물(indium tin oxide, ITO), 인듐 아연 산화물(indium zinc oxide, IZO), 아연 산화물(zinc oxide, ZnOx), 및 인듐 갈륨 아연 산화물(indium gallium zinc oxide, IGZO) 등과 같은 투명 도전성 물질을 포함할 수 있다.

- [159] 제3 절연층(INS3)은 제2 절연층(INS2) 및 제1 화소 전극(CNE1)을 덮도록, 제2 절연층(INS2) 및 제1 화소 전극(CNE1) 상에 위치할 수 있다. 제3 절연층(INS3)은 발광 소자(LD)의 제2 단부(EP2)가 노출되도록, 제2 절연층(INS2)의 일단과 가장자리가 맞닿도록 위치할 수 있다.
- [160] 제3 절연층(INS3)은 무기 물질 또는 유기 물질을 포함할 수 있다.
- [161] 제2 화소 전극(CNE2)은 제2 전극(ELT2) 상에 배치될 수 있다. 제2 화소 전극(CNE2)은 발광 소자(LD)의 제2 단부(EP2)와 직접 접촉할 수 있다. 제2 화소 전극(CNE2)은 제3 절연층(INS3), 제2 절연층(INS2), 제1 절연층(INS1), 비아층(VIA), 및 보호층(PSV)을 관통하는 제3 컨택홀(CNT3)을 통해 제22 연결 패턴(CP22)에 접촉하거나 연결될 수 있다. 예를 들어, 제2 화소 전극(CNE2)은 발광 소자(LD)의 제2 단부(EP2)와 제2 전원 라인(PL2)을 전기적으로 연결할 수 있다.
- [162] 투명 도전성 물질(예를 들어, ITO)은, 특정 반사율을 갖는 도전 물질(또는, 금속 물질)보다, 화소 회로층(PCL) 내 도전층(예를 들어, 소스 전극(SE), 제22 연결 패턴(CP22))과의 결합력이 우수하고, 낮은 컨택 저항을 가질 수 있다. 따라서, 제1 및 제2 화소 전극들(CNE1, CNE2)은 제1 및 제2 전극들(ELT1, ELT2)과의 연결 없이, 화소 회로층(PCL) 내 구성과 직접적으로 연결될 수 있다. 다만, 이에 한정되는 것은 아니다.
- [163] 도 6에서 제1 화소 전극(CNE1)과 제2 화소 전극(CNE2)이 제3 절연층(INS3)을 사이에 두고 서로 상이한 층에 위치하는 것으로 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 제1 화소 전극(CNE1)과 제2 화소 전극(CNE2)은 동일한 공정을 통해 동일한 층(일 예로, 제2 절연층(INS2)) 상에 배치될 수도 있다.
- [164] 도 7a는 도 3의 표시 장치 내 서브 화소의 일 실시예를 나타내는 개략적인 단면도이다. 도 7b 및 도 7c는 도 3의 표시 장치 내 서브 화소의 일 실시예를 각각 나타내는 개략적인 단면도들이다. 도 7c는 도 7b와 비교하여 색 변환층(CCL)의 변형된 위치를 가진 화소의 다른 실시예를 나타낸다. 예를 들어, 도 7b에서는 연속적인 공정을 통해 표시 소자층(DPL) 상부에 색 변환층(CCL)이 위치한 실시예를 개시하고, 도 7c에서는 색 변환층(CCL)을 포함한 제2 기관(SUB2)이 접착 공정을 통해 표시 소자층(DPL) 상에 위치하는 실시예를 개시한다. 도 7a, 도 7b, 및 도 7c의 실시예들과 관련하여, 중복된 설명을 피하기 위하여 상술한 실시예들(예를 들어, 도 6의 실시예)과 상이한 점을 위주로 설명한다.
- [165] 도 6 및 도 7a를 참조하면, 서브 화소(SPXL)(또는, 표시 장치)는 표시 소자층(DPL) 상에 배치된 광변환층(LCPL)을 포함할 수 있다.
- [166] 광변환층(LCPL)은 제2 बैं크(BNK2), 색 변환층(CCL), 및 컬러 필터들(CF1~CF3)을 더 포함할 수 있다.
- [167] 제2 बैं크(BNK2)는 표시 소자층(DPL) 상에 배치될 수 있다. 제2 बैं크(BNK2)는 비발광 영역(NEA, 도 7b 참고)에 위치하며, 색 변환층(CCL)이 공급되어야 할 위치를 정의하는 구조물일 수 있다.

- [168] 제2 बैं크(BNK2)는 유기 물질을 포함할 수 있다. 실시예에 따라, 제2 बैं크(BNK2)는 차광 물질을 포함할 수 있다. 일 실시예에서, 제2 बैं크(BNK2)는 블랙 매트릭스일 수 있다. 실시예에 따라, 제2 बैं크(BNK2)는 적어도 하나의 차광 물질 및/또는 반사 물질을 포함할 수 있다. 따라서, 색 변환층(CCL)에서 방출되는 광을 표시 장치의 화상 표시 방향(또는 제3 방향(DR3))으로 더욱 진행되게 하여 서브 화소(SPXL)의 출광 효율을 향상시킬 수 있다.
- [169] 색 변환층(CCL)은 제2 बैं크(BNK2)에 의해 둘러싸인 영역 내에서 표시 소자층(DPL)(또는, 발광 소자(LD)) 상에 배치될 수 있다.
- [170] 색 변환층(CCL)은 특정 색상에 대응하는 색 변환 입자들(QD)(또는, 파장 변환 입자)을 포함할 수 있다. 일 실시예에서, 색 변환층(CCL)은 발광 소자(LD)로부터 입사된 제1 색(또는, 제1 파장 대역)의 광을 제2 색(또는 특정 색, 제2 파장 대역)의 광으로 변환하여 발산하는 색 변환 입자들(QD)을 포함할 수 있다.
- [171] 도 7b를 참조하면, 제1 서브 화소(SPXL1)가 적색 화소(또는 적색 서브 화소)인 경우, 제1 서브 화소(SPXL1)의 제1 색 변환층(CCL1)은 발광 소자(LD)에서 방출되는 제1 색의 광을 제2 색의 광, 일 예로, 적색의 광으로 변환하는 적색 쿼텀 닷의 제1 색 변환 입자들(QDr)을 포함할 수 있다.
- [172] 제2 서브 화소(SPXL2)가 녹색 화소(또는 녹색 서브 화소)인 경우, 제2 서브 화소(SPXL2)의 제2 색 변환층(CCL2)은 발광 소자(LD)에서 방출되는 제1 색의 광을 제3 색의 광, 일 예로, 녹색의 광으로 변환하는 녹색 쿼텀 닷의 제2 색 변환 입자들(QDg)을 포함할 수 있다.
- [173] 제3 서브 화소(SPXL3)가 청색 화소(또는 청색 서브 화소)인 경우, 제3 서브 화소(SPXL3)의 제3 색 변환층(CCL3)은 발광 소자(LD)에서 방출되는 제1 색의 광을 제4 색의 광, 일 예로, 청색의 광으로 변환하는 청색 쿼텀 닷의 색 변환 입자들을 포함할 수도 있다.
- [174] 실시예에 따라, 제3 서브 화소(SPXL3)가 청색 화소(또는 청색 서브 화소)이고 발광 소자(LD)가 청색 계열의 광을 방출하는 경우, 제3 서브 화소(SPXL3)는 광 산란 입자들(SCT)을 포함하는 광 산란층을 포함할 수도 있다. 상술한 광 산란층은 실시예에 따라 생략될 수도 있다. 다른 실시예에 따라, 제3 서브 화소(SPXL3)가 청색 화소(또는 청색 서브 화소)인 경우, 제3 색 변환층(CCL3)을 대신하여 투명 폴리머가 제공될 수도 있다.
- [175] 다시 도 7a를 참조하면, 색 변환층(CCL) 및 제2 बैं크(BNK2) 상에는 제4 절연층(INS4)이 배치될 수 있다.
- [176] 제4 절연층(INS4)은 제2 बैं크(BNK2) 및 색 변환층(CCL)을 덮도록 제1 기판(SUB1) 상에 전면적으로 제공될 수 있다. 제4 절연층(INS4)은 무기 물질 또는 유기 물질을 포함할 수 있다. 실시예에 따라, 제4 절연층(INS4)은 인접한 구성과의 굴절률 차이를 이용하여 색 변환층(CCL)로부터 방출되는 광(예를 들어, 사선 방향으로 진행하는 광)을 전반사시키고, 서브 화소(SPXL)의 출광 효율을 향상시킬

수 있다. 이를 위해, 제4 절연층(INS4)은 색 변환층(CCL)에 비해 상대적으로 낮은 굴절률을 가질 수 있다.

[177] 실시예에 따라, 제4 절연층(INS4)은 그 하부에 배치된 구성 요소들에 의한 단차를 완화시키며 평탄한 표면을 가질 수 있다.

[178] 일 실시예에서, 제4 절연층(INS4)의 상부 및 하부에는 제1 및 제2 캡핑층들(CAP1, CPA2)이 각각 배치될 수 있다.

[179] 제1 캡핑층(CAP1)은 색 변환층(CCL) 상에 배치되며, 하부의 색 변환층(CCL)으로 수분(또는, 후속 공정에서 사용되는 용액)이 침투되는 것을 방지할 수 있다. 제1 캡핑층(CAP1)은 무기 물질을 포함할 수 있다.

[180] 제1 캡핑층(CAP1)은 색 변환층(CCL) 상에 배치되며, 하부의 색 변환층(CCL)으로 수분(또는, 후속 공정에서 사용되는 용액)이 침투되는 것을 방지할 수 있다. 제1 캡핑층(CAP1)은 무기 물질을 포함할 수 있다.

[181] 제2 캡핑층(CAP2)은 제4 절연층(INS4) 상에 배치되며, 무기 물질을 포함할 수 있다. 제2 캡핑층(CAP2)은 제4 절연층(INS4)으로 수분이 침투되는 것을 방지할 수 있다. 실시예에 따라, 제2 캡핑층(CAP2)은 제4 절연층(INS4) 및 컬러 필터층간의 접착력을 향상시킬 수 있다.

[182] 제4 절연층(INS4) 상에는 컬러 필터층이 배치될 수 있다.

[183] 도 7b를 참조하면, 컬러 필터층은 인접한 서브 화소들 각각의 색에 대응하는 컬러 필터(CF)를 포함할 수 있다. 예를 들어, 제1 서브 화소(SPXL1)의 제1 색 변환층(CCL1) 상에 제1 컬러 필터(CF1)가 배치되고, 제2 서브 화소(SPXL2)의 제2 색 변환층(CCL2) 상에 제2 컬러 필터(CF2)가 배치되며, 제3 서브 화소(SPXL3)의 제3 색 변환층(CCL3) 상에 제3 컬러 필터(CF3)가 배치될 수 있다. 제1, 제2, 및 제3 컬러 필터들(CF1, CF2, CF3) 각각은 색 변환층(CCL)에서 변환된 특정 색의 광을 선택적으로 투과시키는 컬러 필터 물질을 포함할 수 있다. 일 실시예에서, 제1 컬러 필터(CF1)는 적색 컬러 필터일 수 있고, 제2 컬러 필터(CF2)는 녹색 컬러 필터일 수 있으며, 제3 컬러 필터(CF3)는 청색 컬러 필터일 수 있다. 상술한 컬러 필터(CF)는 색 변환층(CCL)과 대응하도록 제4 절연층(INS4)의 일면 상에 제공될 수 있다.

[184] 제1, 제2, 및 제3 컬러 필터들(CF1, CF2, CF3)은 비발광 영역(NEA)에서 서로 중첩되도록 배치되어, 인접한 서브 화소들 사이의 광 간섭을 차단할 수 있다. 실시예에 따라, 비발광 영역(NEA)에서 제1, 제2, 및 제3 컬러 필터들(CF1, CF2, CF3)의 적층 구조물 대신에, 별도의 차광 패턴이 배치될 수도 있다.

[185] 컬러 필터층 상에는 제5 절연층(INS5)이 배치될 수 있다. 제5 절연층(INS5)은 무기 물질 또는 유기 물질을 포함할 수 있다. 제5 절연층(INS5)은 그 하부에 위치한 구성들을 전체적으로 커버하여 외부로부터 수분 또는 습기 등이 컬러 필터층 및 표시 소자층(DPL)으로 유입되는 것을 차단할 수 있다. 실시예에서, 제5 절연층(INS5)은 다중 층으로 형성될 수 있다. 예를 들어, 제5 절연층(INS5)은, 적어도 두 층의 무기막들과, 상기 적어도 두 층의 무기막들의 사이에 개재된 적어도 한

층의 유기막을 포함할 수 있다. 다만, 제5 절연층(INS5)의 구성 물질 및/또는 구조는 다양하게 변경될 수 있다. 또한, 실시예에 따라서는, 제5 절연층(INS5)의 상부에 적어도 한 층의 오버 코트층, 충전재층 및/또는 상부 기판 등이 더 배치될 수도 있다.

- [186] 상술한 실시예에서는, 색 변환층(CCL)이 표시 소자층(DPL) 상에 직접 형성되는 것으로 설명하였으나, 이에 한정되는 것은 아니다. 실시예에 따라, 색 변환층(CCL)은 도 7c에 도시된 바와 같이 별도의 기판, 일 예로, 제2 기판(SUB2) 상에 형성되어 접착 물질을 통해 표시 소자층(DPL)과 결합할 수도 있다. 예를 들어, 접착 물질은 광학용 투명 접착층(Otically Clear Adhesive)일 수 있으나, 이에 한정되는 것은 아니다.
- [187] 제2 기판(SUB2)(또는, 상부 기판)은, 표시 장치의 봉지 기판 및/또는 윈도우 부재를 구성할 수 있다. 제2 기판(SUB2)은 제1 기판(SUB1)과 동일한 물질, 또는 상이한 물질로 구성될 수도 있다.
- [188] 도 7c를 참조하면, 색 변환층(CCL)과 컬러 필터(CF)는 표시 소자층(DPL)과 마주보도록 제2 기판(SUB2)의 하부에 배치될 수 있다.
- [189] 색 변환층(CCL) 및 컬러 필터(CF)에 인접하게 차광 패턴(LBP)이 위치할 수 있다. 상기 차광 패턴(LBP)은 비발광 영역(NEA)에 대응하도록 제2 기판(SUB2)의 하부에 배치될 수 있다. 차광 패턴(LBP)은 블랙 매트릭스일 수 있다.
- [190] 서브 화소(SPXL)가 표시 소자층(DPL) 상에 광변환층(LCPL)을 포함하는 경우, 즉, 발광 소자(LD) 상에 배치된 색 변환층(CCL) 및 컬러 필터(CF)를 포함하는 경우, 상기 색 변환층(CCL) 및 상기 컬러 필터(CF)를 통해 우수한 색 재현성을 갖는 광이 출사되고, 서브 화소(SPXL)의 출광 효율이 향상될 수 있다.
- [191] 도 8은 도 3의 표시 장치 내 화소의 일 실시예를 나타내는 레이아웃도이다. 도 8에는 화소 회로(PXC, 도 4a 참고)를 중심으로, 화소(PXL)의 일 실시예가 도시되었다. 도 9a 및 도 9b는 일 실시예에 따른 도 8의 화소 내 제3 화소 회로를 각각 확대한 도면들이다. 도 10은 도 9a의 I-I'선에 따른 스토리지 커패시터의 일 실시예를 나타내는 개략적인 단면도이다.
- [192] 도 3, 도 8, 도 9a, 및 도 10을 참조하면, 화소(PXL)는 제1 서브 화소(SPXL1, 도 3 참고)를 위한 제1 화소 회로(PXC1), 제2 서브 화소(SPXL2, 도 3 참고)를 위한 제2 화소 회로(PXC2), 및 제3 서브 화소(SPXL3, 도 3 참고)를 위한 제3 화소 회로(PXC3)를 포함할 수 있다. 제1 화소 회로(PXC1)는 제3 화소 회로(PXC3)와 제2 방향(DR2)으로 대칭되는 구조를 가지며, 제2 화소 회로(PXC2)는 제3 화소 회로(PXC3)와 실질적으로 동일하거나 유사한 구조를 가질 수 있다. 따라서, 화소 회로들(PXC1~PXC3)(또는, 서브 화소들(SPXL1~SPXL3))의 공통된 구성에 대해서는 제3 화소 회로(PXC3)(또는, 제3 서브 화소(SPXL3))를 중심으로 설명하며, 중복되는 설명은 반복하지 않기로 한다.
- [193] 제1 수직 전원 라인(PL1_V), 센싱 라인(SEN), 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 제3 데이터 라인(DL3), 제2 수직 전원 라인(PL2_V), 및 제1 수직 스

캔 라인(SL1_V) 각각은 대체로 제2 방향(DR2)으로 연장하며, 제1 방향(DR1)을 따라 배열될 수 있다. 제2 수직 스캔 라인(SL2_V)은 제1 수직 스캔 라인(SL1_V)에 대응되며, 예를 들어, 제1 수직 스캔 라인(SL1_V)은 화소(PXL)를 위한 구성이며, 제2 수직 스캔 라인(SL2_V)은 화소(PXL)에 제1 방향(DR1)(또는, 제1 방향(DR1)의 반대 방향)으로 인접한 화소를 위한 구성일 수 있다. 제1 및 제2 수직 스캔 라인들(SL1_V, SL2_V)과 유사하게, 제1 수직 전원 라인(PL1_V), 센싱 라인(SEN), 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 제3 데이터 라인(DL3), 및 제2 수직 전원 라인(PL2_V)은 화소(PXL)와 동일한 행에 포함된 다른 화소들을 위해 제1 방향(DR1)을 따라 반복적으로 배열될 수 있다. 제1 수직 전원 라인(PL1_V), 센싱 라인(SEN), 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 제3 데이터 라인(DL3), 제2 수직 전원 라인(PL2_V), 및 제1 수직 스캔 라인(SL1_V)은 도 6을 참조하여 설명한 제1 도전층에 포함되며, 예를 들어, 도 6의 하부 금속층(BML)과 동일한 공정을 통해 동일한 층에 배치될 수 있다.

[194] 제1 수평 전원 라인(PL1_H), 제1 수평 스캔 라인(SL1_H), 및 제2 수평 전원 라인(PL2_H)은 대체로 제1 방향(DR1)으로 연장하며, 제2 방향(DR2)을 따라 배열될 수 있다. 제1 수평 전원 라인(PL1_H), 제1 수평 스캔 라인(SL1_H), 및 제2 수평 전원 라인(PL2_H)은 도 6을 참조하여 설명한 제3 도전층에 포함되며, 예를 들어, 도 6의 소스 전극(SE) 및 드레인 전극(DE)과 동일한 공정을 통해 동일한 층에 배치될 수 있다.

[195] 제1 수직 스캔 라인(SL1_V) 및 제1 수평 스캔 라인(SL1_H)은 하나의 스캔 라인(예를 들어, 도 4a의 스캔 라인(SLi))을 구성할 수 있다. 스캔 라인에 스캔 신호를 공급하는 스캔 구동부의 배치에 따라 제1 수직 스캔 라인(SL1_V)은 생략될 수도 있다. 제1 수직 전원 라인(PL1_V) 및 제1 수평 전원 라인(PL1_H)은 제1 전원 라인(PL1, 도 4a 참고)을 구성하고, 제2 수직 전원 라인(PL2_V) 및 제2 수평 전원 라인(PL2_H)은 제2 전원 라인(PL2, 도 4a 참고)을 구성할 수 있다. 제1 전원 라인(PL1)은 제1 수직 전원 라인(PL1_V) 및 제1 수평 전원 라인(PL1_H)을 통해 표시 패널(PNL, 도 3 참고) 전체에 걸쳐 메쉬 구조를 가지고, 유사하게, 제2 전원 라인(PL2)은 제2 수직 전원 라인(PL2_V) 및 제2 수평 전원 라인(PL2_H)을 통해 표시 패널(PNL, 도 3 참고) 전체에 걸쳐 메쉬 구조를 가질 수 있다. 도 6을 참조하여 설명한 바와 같이, 제1 수평 전원 라인(PL1_H)은 제1 컨택홀(CNT1)을 통해 제2 전극(ELT2, 도 6 참고)에 연결될 수 있다.

[196] 도 6을 참조하여 설명한 바와 같이, 제21 연결 패턴(CP21) 및 제22 연결 패턴(CP22)은 제2 수직 전원 라인(PL2_V)과 중첩하며, 컨택홀(CH)을 통해 제2 수직 전원 라인(PL2_V)에 연결될 수 있다. 유사하게, 제1 서브 패턴(CP_S1) 및 제2 서브 패턴(CP_S2)은 제1 수직 스캔 라인(SL1_V)과 중첩하며, 컨택홀(CH)을 통해 제1 수직 스캔 라인(SOL1_V)에 연결될 수 있다.

[197] 화소(PXL)의 화소 회로들(PXC1~PXC3)은 제1 수직 전원 라인(PL1_V), 제1 수평 전원 라인(PL1_H), 제2 수직 전원 라인(PL2_V), 및 제2 수평 전원 라인(PL2_H)

중 적어도 일부에 의해 구획된 영역(또는, 화소 영역)에 위치할 수 있다. 제1 화소 회로(PXC1)는 제3 화소 회로(PXC3)와 제2 방향(DR2)으로 인접하여 위치하며, 제2 화소 회로(PXC2)는 제3 화소 회로(PXC3)와 제2 방향(DR2)의 반대 방향으로 인접하여 위치할 수 있다.

- [198] 제3 화소 회로(PXC3)에서, 제1 반도체 패턴(SCP1)은 제1 수직 전원 라인(PL1_V)으로부터 제1 방향(DR1)으로 연장할 수 있다. 제1 반도체 패턴(SCP1)은 제1 트랜지스터(T1)를 구성할 수 있다. 제1 반도체 패턴(SCP1)의 일단은 컨택홀(CH)을 통해 제1 수직 전원 라인(PL1_V)과 연결될 수 있다. 제1 반도체 패턴(SCP1)의 타단은 커패시터 전극들(CE1~CE3)과 중첩하며, 컨택홀(CH)을 통해 제1 커패시터 전극(CE1) 및 제3 커패시터 전극(CE3)에 연결될 수 있다.
- [199] 제1 커패시터 전극(CE1) 및 제3 커패시터 전극(CE3)은 "L"자의 평면 형상을 가지며, 돌출부를 제외하고는 실질적으로 동일하거나 유사한 면적을 가질 수 있다. 제2 커패시터 전극(CE2)(또는, 제1 트랜지스터(T1)의 게이트 전극)은 돌출부들을 제외하고는 평면도 상에서 제1 커패시터 전극(CE1)에 의해 커버될 수 있다. 예를 들어, 평면도 상에서 제2 커패시터 전극(CE2)은 제1 커패시터 전극(CE1)(또는, 제3 커패시터 전극(CE3))의 가장자리로부터 전체적으로 특정 거리(예를 들어, 약 1 μ m 내지 약 2 μ m)만큼 내측에 위치할 수 있다. 제2 커패시터 전극(CE2)은 컨택홀(CH)이 형성된 영역을 제외한 나머지 영역 대부분에서 제1 및 제3 커패시터 전극들(CE1, CE3)과 중첩할 수 있다. 예를 들어, 제2 커패시터 전극(CE2)은 "W"자의 평면 형상을 가질 수 있다. 다만, 이에 한정되는 것은 아니며, 제2 커패시터 전극(CE2)의 형상은 제2 커패시터 전극(CE2)에 인접한 컨택홀(CH)의 위치에 따라 달라질 수 있다.
- [200] 도 6 및 도 10을 참조하면, 제1 커패시터 전극(CE1)은 제1 기판(SUB1) 및 버퍼층(BFL) 사이의 제1 도전층에 포함되고, 제2 커패시터 전극(CE2)은 게이트 절연층(GI) 및 층간 절연층(ILD) 사이의 제2 도전층에 포함되며, 제3 커패시터 전극(CE3)은 층간 절연층(ILD) 상의 제3 도전층에 포함될 수 있다. 제1 커패시터 전극(CE1) 및 제2 커패시터 전극(CE2)이 중첩하여 제1 서브 커패시터를 구성하며, 제2 커패시터 전극(CE2) 및 제3 커패시터 전극(CE3)이 중첩하여 제2 서브 커패시터를 구성할 수 있다. 도 8 및 도 9a에 도시된 바와 같이 제3 커패시터 전극(CE3)은 컨택홀(CH)(즉, 도 10의 버퍼층(BFL), 게이트 절연층(GI), 및 층간 절연층(ILD)을 관통하는 컨택홀(CH))을 통해 제1 커패시터 전극(CE1)에 연결되며, 이에 따라 제1 서브 커패시터 및 제2 서브 커패시터는 병렬 연결되어 스토리지 커패시터(Cst)를 구성할 수 있다. 스토리지 커패시터(Cst)가 커패시터 전극들(CE1~CE3)에 의해 형성된 제1 및 제2 서브 커패시터들을 포함하는 경우, 제1 서브 커패시터 또는 제2 서브 커패시터만을 포함하는 스토리지 커패시터에 비해, 스토리지 커패시터(Cst)의 용량이 충분히 확보될 수 있다. 따라서, 도 5를 참조하여 설명한 기생 커패시터(Cpara)의 영향성이 완화되거나 배제될 수 있다.

- [201] 다시 도 8 및 도 9a를 참조하면, 제2 커패시터 전극(CE2)의 일단은 제1 반도체 패턴(SCP1)의 채널 영역과 중첩하며, 제2 커패시터 전극(CE2)은 제1 트랜지스터(T1)의 게이트 전극을 구성할 수 있다. 평면도 상에서, 제2 커패시터 전극(CE2)의 타단은 제1 및 제3 커패시터 전극들(CE1, CE3)보다 제2 방향(DR2)으로 연장할 수 있다. 제2 커패시터 전극(CE2)의 타단은 컨택홀(CH)을 통해 제1 브릿지 패턴(BRP1)(또는, 제2 트랜지스터(T2))에 연결될 수 있다. 제1 및 제3 커패시터 전극들(CE1, CE3)과 중첩하는 제2 커패시터 전극(CE2)의 일 부분을 본체부(BODY)라 할 수 있고, 본체부(BODY)로부터 연장되고 제1 및 제3 커패시터 전극들(CE1, CE3)(또는, 이들의 가장자리)보다 돌출된 일 부분을 제1 돌출부(PRT1)(또는, 제1 돌출 패턴)라 할 수 있다. 제1 돌출부(PRT1)는 제2 트랜지스터(T2)를 향해 돌출될 수 있다. 본체부(BODY)로부터 제1 돌출부(PRT1)가 돌출되거나 연장된 방향을 연장 방향(EDR)이라 정의할 수 있으며, 도 9a의 실시예에서, 상기 연장 방향(EDR)은 제2 방향(DR2)과 평행할 수 있다. 제1 돌출부(PRT1)의 제1 섹션(W1)(즉, 연장 방향(EDR)에 수직하는 방향으로의 폭, 너비)은 본체부(BODY)의 폭(즉, 제1 방향(DR1)으로의 폭)보다 작을 수 있다.
- [202] 실시예들에서, 제2 커패시터 전극(CE2)은 본체부(BODY)로부터 연장되며 제1 및 제3 커패시터 전극들(CE1, CE3)(또는, 이들의 가장자리)보다 연장 방향(EDR)의 반대 방향으로 돌출된 제2 돌출부(PRT2)(또는, 제2 돌출 패턴)를 더 포함할 수 있다. 제2 돌출부(PRT2)는 본체부(BODY)를 제외한 구성 요소와 직접적으로 연결되지 않는다. 제2 돌출부(PRT2)의 제2 섹션(W2)(즉, 연장 방향(EDR)에 수직하는 방향으로의 폭)은 제1 돌출부(PRT1)의 제1 섹션(W1)과 실질적으로 동일하거나 유사할 수 있다.
- [203] 참고로, 커패시터 전극들(CE1~CE3)의 형성 과정에서 커패시터 전극들(CE1~CE3) 사이에는 정렬(alignment) 오차가 발생할 수 있다. 스토리지 커패시터(Cst)의 일 전극인 제2 커패시터 전극(CE2)과 스토리지 커패시터(Cst)의 타 전극인 제1 및 제3 커패시터 전극들(CE1, CE3) 사이에 정렬 오차가 발생할 수 있다. 예를 들어, 제1 및 제3 커패시터 전극들(CE1, CE3)을 기준으로 제2 커패시터 전극(CE2)이 제2 방향(DR2)으로 1 μ m만큼 틀어질 수 있다. 이 경우, 제1 및 제3 커패시터 전극들(CE1, CE3)에 대한 제1 돌출부(PRT1)의 중첩 면적이 감소하거나 증가할 수 있으나, 이와 반대로, 제1 및 제3 커패시터 전극들(CE1, CE3)에 대한 제2 돌출부(PRT2)의 중첩 면적이 증가하거나 감소할 수 있다. 즉, 제2 돌출부(PRT2)의 중첩 면적의 증가분/감소분이 제1 돌출부(PRT1)의 중첩 면적의 감소/증가분을 상쇄할 수 있다. 따라서, 커패시터 전극들(CE1~CE3) 간의 정렬 오차에도 불구하고, 제1 및 제3 커패시터 전극들(CE1, CE3)에 대한 제2 커패시터 전극(CE2)의 중첩 면적은 일정하게 유지되며, 스토리지 커패시터(Cst)의 용량이 일정하게 유지될 수 있다. 이 경우, 표시 장치 내 화소(PXL)들이 동일하거나 균일한 용량의 스토리지 커패시터(Cst)를 갖을 수 있고, 스토리지 커패시터(Cst)의 용량 편차에

기인한 표시 품질의 저하(예를 들어, 휘도 편차, 얼룩)가 완화되거나 방지될 수 있다.

[204] 제2 돌출부(PRT2)를 포함하지 않는 제2 커패시터 전극에 비해, 제2 돌출부(PRT2)를 포함하는 제2 커패시터 전극(CE2)이 제1 및 제3 커패시터 전극들(CE1, CE3)과 중첩하는 면적이 증가되고, 이에 따라, 스토리지 커패시터(Cst)의 용량이 보다 충분히 확보될 수 있다. 따라서, 도 5를 참조하여 설명한 기생 커패시터(Cpara)의 영향성이 보다 완화되거나 배제될 수 있다.

[205] 일 실시예에서, 제2 커패시터 전극(CE2)의 제2 돌출부(PRT2)는 본체부(BODY)로부터 약 $2\mu\text{m}$ 내지 약 $4\mu\text{m}$, 또는, 약 $3\mu\text{m}$ 만큼 돌출될 수 있다. 예를 들어, 제2 돌출부(PRT2)의 길이 또는 마진(MR)은 약 $2\mu\text{m}$ 내지 약 $4\mu\text{m}$, 또는, 약 $3\mu\text{m}$ 일 수 있다. 예를 들어, 공정 오차(예를 들어, 커패시터 전극들(CE1~CE3) 간의 정렬 오차)가 약 $2\mu\text{m}$ 임을 고려하여, 제2 돌출부(PRT2)는 본체부(BODY)로부터 약 $2\mu\text{m}$ 이상 돌출될 수 있다. 제2 돌출부(PRT2)의 배치 위치에 따라 다를 수 있으나, 커패시터 전극들(CE1~CE3), 예를 들어, 제1 및 제3 커패시터 전극들(CE1, CE3)의 코너부가 라운드 형상을 가지는 경우 제2 커패시터 전극(CE2)의 중첩 면적이 추가적으로 변동될 수 있으며, 이를 고려하여, 제2 커패시터 전극(CE2)은 약 $1\mu\text{m}$ 이상 추가로 더 돌출될 수 있다. 인접한 화소 회로들(예를 들어, 제3 화소 회로(PXC3) 및 제2 화소 회로(PXC2)) 간의 간격을 고려하여, 제2 돌출부(PRT2)는 본체부(BODY)로부터 약 $4\mu\text{m}$ 이하로 돌출될 수 있다. 다만, 이에 한정되는 것은 아니다.

[206] 일 실시예에서, 제1 돌출부(PRT1) 및 제2 돌출부(PRT2)는 연장 방향(EDR)으로 정렬되거나 정렬되지 않을 수 있다. 예를 들어, 도 9a에 도시된 바와 같이, 제1 돌출부(PRT1) 및 제2 돌출부(PRT2)는 연장 방향(EDR)을 따라 연장하는 다른 선들 상에 위치할 수 있다. 다른 예로, 도 9b에 도시된 바와 같이, 제1 돌출부(PRT1) 및 제2 돌출부(PRT2)는 연장 방향(EDR)을 따라 연장하는 동일한 선 상에 위치할 수도 있다.

[207] 제3 화소 회로(PXC3)의 제3 커패시터 전극(CE3)의 일 부분은 제2 데이터 라인(DL2)을 향해 연장하며, 제2 데이터 라인(DL2)과 중첩하는 제3 브릿지 전극(BRE3)과 연결될 수 있다. 제3 브릿지 전극(BRE3)은 제1 컨택홀(CNT1)을 통해 제3 서브 화소(SPXL3)의 제1 화소 전극(CNE1, 도 6 참고)에 연결될 수 있다. 도 8에 도시된 바와 같이, 제1 화소 회로(PXC1)의 제3 커패시터 전극(CE3)의 일 부분은 제1 수직 전원 라인(PL1_V)을 향해 연장하며, 제1 브릿지 전극(BRE1)과 연결될 수 있다. 제1 브릿지 전극(BRE1)은 제1 컨택홀(CNT1)을 통해 제1 서브 화소(SPXL1)의 제1 화소 전극(CNE1, 도 6 참고)에 연결될 수 있다. 유사하게, 제2 화소 회로(PXC2)의 제3 커패시터 전극(CE3)의 일 부분은 제1 수직 전원 라인(PL1_V)을 향해 연장하며, 제2 브릿지 전극(BRE2)과 연결될 수 있다. 제2 브릿지 전극(BRE2)은 제1 컨택홀(CNT1)을 통해 제2 서브 화소(SPXL2)의 제1 화소 전극(CNE1, 도 6 참고)에 연결될 수 있다. 제4 브릿지 전극(BRE4)은 제2 수직 전

원 라인(PL2_V) 또는 제2 수평 전원 라인(PL2_H)과 연결되며, 또한, 제3 컨택홀(CNT3)을 통해 제2 화소 전극(CNE2, 도 6 참고)에 연결될 수 있다. 브릿지 전극들(BRE1~BRE4)은 제2 커패시터 전극(CE2)과 함께 제2 도전층에 포함될 수 있다.

- [208] 제3 화소 회로(PXC3)에서, 제2 반도체 패턴(SCP2)은 제1 반도체 패턴(SCP1)으로부터 사선 방향(예를 들어, 제1 방향(DR1) 및 제2 방향(DR2) 사이의 방향)으로 이격되어 위치하며 제1 방향(DR1)으로 연장할 수 있다. 제2 반도체 패턴(SCP2)은 제2 트랜지스터(T2)를 구성할 수 있다. 제2 반도체 패턴(SCP2)의 일단은 컨택홀(CH)을 통해 제1 브릿지 패턴(BRP1)과 연결될 수 있다. 제2 반도체 패턴(SCP2)의 타단은 제3 데이터 라인(DL3)과 중첩하며, 브릿지 패턴(예를 들어, 제2 브릿지 패턴(BRP2))을 통해 제3 데이터 라인(DL3)에 연결될 수 있다.
- [209] 제3 화소 회로(PXC3)에서, 제3 반도체 패턴(SCP3)은 제2 반도체 패턴(SCP2)으로부터 제2 방향(DR2)의 반대 방향으로 이격되어 위치하며 제1 방향(DR1)으로 연장할 수 있다. 제3 반도체 패턴(SCP3)은 제3 트랜지스터(T3)를 구성할 수 있다. 제3 반도체 패턴(SCP3)의 일단은 컨택홀(CH)을 통해 제1 및 제3 커패시터 전극들(CE1, CE3)과 연결될 수 있다. 제3 반도체 패턴(SCP3)의 타단은 센싱 라인(SEN)과 중첩하며, 브릿지 패턴(예를 들어, 제3 브릿지 패턴(BRP3))을 통해 센싱 라인(SEN)에 연결될 수 있다. 브릿지 패턴들(BRP1~BPR3)은 제3 커패시터 전극(CE3)과 함께 제3 도전층에 포함될 수 있다.
- [210] 제1 스캔 연결 라인(SL1_C)의 일단은 제1 수평 스캔 라인(SL1_H)과 연결되고, 제1 수평 스캔 라인(SL1_H)으로부터 제2 방향(DR2)으로 연장하며, 화소 회로들(PXC1~PXC3) 각각의 제2 및 제3 반도체 패턴(SCP2, SPC3)과 중첩하여 제2 및 제3 트랜지스터들(T2, T3) 각각의 게이트 전극을 구성할 수 있다.
- [211] 상술한 바와 같이, 스토리지 커패시터(Cst)는 상호 중첩하는 제1, 제2, 및 제3 커패시터 전극들(CE1, CE2, CE3)로 구성된 제1 및 제2 서브 커패시터들을 포함하며, 제1 서브 커패시터 또는 제2 서브 커패시터만을 포함하는 스토리지 커패시터에 비해 스토리지 커패시터(Cst)의 용량이 충분히 확보될 수 있다.
- [212] 제2 커패시터 전극(CE2)은, 제1 돌출부(PRT1)(즉, 제1 및 제3 커패시터 전극들(CE1, CE3)로부터 연장 방향(EDR)으로 돌출되고 제2 트랜지스터(T2)와의 연결을 위한 제1 돌출부(PRT1))에 대응하여, 제1 및 제3 커패시터 전극들(CE1, CE3)로부터 연장 방향(EDR)의 반대 방향으로 돌출된 제2 돌출부(PRT2)를 포함할 수 있다. 커패시터 전극들(CE1~CE3) 간의 정렬 오차에도 불구하고, 제2 돌출부(PRT2)에 의해 제1 및 제3 커패시터 전극들(CE1, CE3)에 대한 제2 커패시터 전극(CE2)의 중첩 면적은 일정하게 유지되며, 스토리지 커패시터(Cst)의 용량이 일정하게 유지될 수 있다. 따라서, 화소(PXL)들간의 스토리지 커패시터(Cst)의 용량 편차 및 이에 기인한 표시 품질의 저하(예를 들어, 휘도 편차, 얼룩)가 완화되거나 방지될 수 있다.
- [213] 나아가, 제2 돌출부(PRT2)를 포함하지 않는 제2 커패시터 전극에 비해, 제2 돌출부(PRT2)를 포함하는 제2 커패시터 전극(CE2)이 제1 및 제3 커패시터 전극들

(CE1, CE3)과 중첩하는 면적이 증가되고, 스토리지 커패시터(Cst)의 용량이 보다 충분히 확보될 수 있다. 따라서, 도 5를 참조하여 설명한 기생 커패시터(Cpara)의 영향성이 보다 완화되거나 배제될 수 있다.

- [214] 도 11은 비교 실시예에 따른 화소 회로를 나타내는 도면이다. 도 12는 도 11의 II-II'선에 따른 스토리지 커패시터의 비교 실시예를 나타내는 개략적인 단면도이다.
- [215] 도 9a, 도 10, 도 11, 및 도 12를 참조하면, 제2 돌출부(PRT2)를 제외하고, 도 11의 화소 회로(PXC_C)는 도 9a의 제3 화소 회로(PXC3)와 실질적으로 동일하거나 유사하므로, 중복되는 설명은 반복하지 않기로 한다.
- [216] 도 11 및 도 12의 스토리지 커패시터(Cst_C)의 제2 커패시터 전극(CE2_C)은 도 9a 및 도 10의 제2 돌출부(PRT2)를 포함하지 않는다.
- [217] 표시 장치의 제조 과정에서, 스토리지 커패시터(Cst_C)의 일 전극인 제2 커패시터 전극(CE2_C)과 스토리지 커패시터(Cst_C)의 타 전극인 제1 및 제3 커패시터 전극들(CE1, CE3) 사이에 정렬 오차가 발생할 수 있다. 예를 들어, 제1 및 제3 커패시터 전극들(CE1, CE3)을 기준으로 제2 커패시터 전극(CE2_C)이 제2 방향(DR2)으로 1 μ m 만큼 이동할 수 있다. 이 경우, 제1 및 제3 커패시터 전극들(CE1, CE3)에 대한 제1 돌출부(PRT1)의 중첩 면적이 감소하며, 스토리지 커패시터(Cst_C)의 용량이 감소할 수 있다. 다른 예로, 제1 및 제3 커패시터 전극들(CE1, CE3)을 기준으로 제2 커패시터 전극(CE2_C)이 제2 방향(DR2)의 반대 방향으로 1 μ m 만큼 이동할 수 있다. 이 경우, 제1 및 제3 커패시터 전극들(CE1, CE3)에 대한 제1 돌출부(PRT1)의 중첩 면적이 증가하며, 스토리지 커패시터(Cst_C)의 용량이 증가할 수 있다. 이러한 공정 오차에 기인한 스토리지 커패시터(Cst_C)의 용량 변화 또는 용량 편차는 화소들간의 휘도 편차를 발생시킬 수 있다.
- [218] 따라서, 도 8 내지 도 10에 도시된 제2 커패시터 전극(CE2)은, 제1 돌출부(PRT1)의 연장 방향(EDR)과 반대 방향으로 제1 및 제3 커패시터 전극들(CE1, CE3)로부터 돌출된 제2 돌출부(PRT2)를 포함하고, 이를 통해, 스토리지 커패시터(Cst)의 용량 편차 및 이에 기인한 표시 품질의 저하를 방지할 수 있다.
- [219] 도 13은 도 3의 표시 장치 내 화소의 일 실시예를 나타내는 평면도이다. 도 13에는 발광부(EMU, 도 4c 참고)를 중심으로, 화소(PXL)가 간략하게 도시되었다.
- [220] 도 3 및 도 13을 참조하면, 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3)는 상호 실질적으로 동일하거나 유사한 구조(또는, 발광부(EMU, 도 4c 참고))를 가질 수 있다. 따라서, 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3)의 공통된 구성에 대해서는 제1 서브 화소(SPXL1)를 중심으로 설명하며, 중복되는 설명은 반복하지 않기로 한다.
- [221] 화소(PXL)는 제1 기판(SUB1)(또는, 비아층(VIA))에 제공된 화소 영역에 형성될 수 있다. 화소 영역은 발광 영역(EA)과 발광 영역(EA)을 제외한 비발광 영역(NEA)을 포함할 수 있다. 비발광 영역(NEA)은 발광 영역(EA)과 인접한 영역이

며, 발광 영역(EA)은 제1 बैं크(BNK1)에 의해 정의될 수 있으나, 이에 한정되는 것은 아니다.

- [222] 화소(PXL)는 제1 및 제2 전극들(ELT1, ELT2), 발광 소자(LD), 및 제1 및 제2 화소 전극들(CNE1, CNE2), 및 중간 전극들(CTE1~CTE3)을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [223] 제1 및 제2 전극들(ELT1, ELT2) 각각은 제2 방향(DR2)으로 연장하며, 제1 및 제2 전극들(ELT1, ELT2)은 제1 방향(DR1)으로 상호 이격되고, 제1 및 제2 전극들(ELT1, ELT2)은 제1 방향(DR1)을 따라 교대로 배열될 수 있다.
- [224] 제1 및 제2 전극들(ELT1, ELT2)은 제2 방향(DR2)으로 인접한 화소에 포함된 제1 및 제2 전극들(ELT1, ELT2)과 각각 분리될 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 화소(PXL)의 제1 및 제2 전극들(ELT1, ELT2) 중 적어도 하나는 제2 방향(DR2)으로 인접한 화소의 대응되는 전극에 연결될 수도 있다.
- [225] 제1 및 제2 전극들(ELT1, ELT2)은 발광 소자(LD)를 포함한 혼합액(일 예로, 잉크)이 발광 영역(EA)에 투입된 이후, 정렬 전압이 인가됨으로써, 정렬 전극으로 사용될 수 있다. 제1 전극(ELT1)은 제1 정렬 전극이 될 수 있고, 제2 전극(ELT2)은 제2 정렬 전극이 될 수 있다. 이 때, 제1 정렬 전극과 제2 정렬 전극 사이에 형성된 전계에 의해 발광 소자(LD)가 원하는 방향 및/또는 위치로 정렬될 수 있다.
- [226] 제1 및 제2 전극들(ELT1, ELT2)은 평면상에서 볼 때, 제2 방향(DR2)을 따라 연장된 바(bar) 형상을 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 제1 및 제2 전극들(ELT1, ELT2)의 형상은 다양하게 변경될 수 있다.
- [227] 발광 소자(LD)들은 각각의 길이(L, 도 1 참고) 방향이 제1 방향(DR1)과 실질적으로 나란하도록 제1 및 제2 전극들(ELT1, ELT2) 사이에 배치될 수 있다. 예를 들어, 제1 서브 화소(SPXL1)에서, 제1 발광 소자(LD1)는 평면도 상에서 좌측의 제1 전극(ELT1)과 제2 전극(ELT2) 사이의 제1 영역(또는, 제1 사로) 중에서 상측의 영역에 배치되고, 제2 발광 소자(LD2)는 평면도 상에서 상기 제1 영역 중에서 하측의 영역에 배치되며, 제3 발광 소자(LD3)는 평면도 상에서 제2 전극(ELT2)과 우측의 제1 전극(ELT1) 사이의 제2 영역(또는, 제2 사로) 중에서 하측의 영역에 배치되고, 제4 발광 소자(LD4)는 평면도 상에서 상기 제2 영역 중에서 상측의 영역에 배치될 수 있다.
- [228] 제1 화소 전극(CNE1)은 제1 발광 소자(LD1)의 제1 단부 및 제1 전극(ELT1)과 중첩하도록 위치할 수 있다. 제1 화소 전극(CNE1)은 제1 발광 소자(LD1)의 제1 단부와 연결될 수 있다. 제1 화소 전극(CNE1)은 발광부(EMU, 도 4c 참고)의 애노드를 구성하고, 제2 컨택홀(CNT2) 등을 통해 제1 트랜지스터(T1, 도 4c 및 도 8 참고)에 연결될 수 있다. 제1 화소 전극(CNE1)은 제1 전극(ELT1)으로부터 전기적으로 분리될 수 있다. 제1 화소 전극(CNE1)은 제1 전극(ELT1)에 대응하여 제2 방향(DR2)으로 연장할 수 있다.
- [229] 제1 중간 전극(CTE1)은 제1 발광 소자(LD1)의 제2 단부 및 제2 전극(ELT2)과 중첩하도록 위치할 수 있다. 또한, 제1 중간 전극(CTE1)은 제2 발광 소자(LD2)의

제1 단부 및 제1 전극(ELT1)과 중첩하도록 위치할 수 있다. 제1 중간 전극(CTE1)의 일부는 굴곡진 형상을 가질 수 있다. 제1 중간 전극(CTE1)은 제1 발광 소자(LD1)의 제2 단부와 제2 발광 소자(LD2)의 제1 단부를 물리적 및/또는 전기적으로 연결할 수 있다.

[230] 제2 중간 전극(CTE2)은 제2 발광 소자(LD2)의 제2 단부 및 제2 전극(ELT2)과 중첩하도록 위치할 수 있다. 또한, 제2 중간 전극(CTE2)은 제3 발광 소자(LD3)의 제1 단부 및 제1 전극(ELT1)과 중첩하도록 위치할 수 있다. 제2 중간 전극(CTE2)은 제3 중간 전극(CTE3)을 우회하는 형상을 가질 수 있다. 제2 중간 전극(CTE2)은 제2 발광 소자(LD2)의 제2 단부와 제3 발광 소자(LD3)의 제1 단부를 물리적 및/또는 전기적으로 연결할 수 있다.

[231] 제3 중간 전극(CTE3)은 제3 발광 소자(LD3)의 제2 단부 및 제2 전극(ELT2)과 중첩하도록 위치할 수 있다. 또한, 제3 중간 전극(CTE3)은 제4 발광 소자(LD4)의 제1 단부 및 제1 전극(ELT1)과 중첩하도록 위치할 수 있다. 제3 중간 전극(CTE3)의 일부는 굴곡진 형상을 가질 수 있다. 제3 중간 전극(CTE3)은 제3 발광 소자(LD3)의 제2 단부와 제4 발광 소자(LD4)의 제1 단부를 물리적 및/또는 전기적으로 연결할 수 있다.

[232] 제2 화소 전극(CNE2)은 제4 발광 소자(LD4)의 제2 단부 및 제2 전극(ELT2)과 중첩하도록 위치할 수 있다. 제2 화소 전극(CNE2)은 제4 발광 소자(LD4)의 제2 단부와 연결될 수 있다. 제2 화소 전극(CNE2)은 발광부(EMU, 도 4c 참고)의 캐소드를 구성하고, 제3 컨택홀(CNT3, 도 8 참고) 등을 통해 제2 전원 라인에 연결될 수 있다. 서브 화소들(SPXL1~SPLX3)의 제2 화소 전극(CNE2)들은 상호 연결될 수 있으나, 이에 한정되는 것은 아니다. 제2 화소 전극(CNE2)은 제2 전극(ELT2)에 대응하여 제2 방향(DR2)으로 연장할 수 있다.

[233] 도 14 및 도 15는 도 8의 화소에 포함된 화소 회로의 일 실시예를 나타낸 도면들이다.

[234] 도 8, 도 9a, 도 14, 및 도 15를 참조하면, 제1 돌출부(PRT1) 및 제2 돌출부(PRT2)의 배치를 제외하고, 도 14의 화소 회로(PXC_1) 및 도 15의 화소 회로(PXC_2) 각각은 도 9a의 제3 화소 회로(PXC3)와 실질적으로 동일하거나 유사할 수 있다. 도 14의 III-III'선에 따른 단면 및 도 15의 IV-IV'선에 따른 단면은 도 10의 단면도와 실질적으로 동일하거나 유사할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.

[235] 도 14에 도시된 바와 같이, 화소 회로(PXC_1)의 스토리지 커패시터(Cst_1)는 제2 커패시터 전극(CE2_1)을 포함할 수 있다. 제2 커패시터 전극(CE2_1)의 제1 돌출부(PRT1)는 본체부(BODY)로부터 제1 방향(DR1)으로 연장하며, 제1 및 제3 커패시터 전극들(CE1, CE3)(또는, 이들의 가장자리)보다 돌출될 수 있다. 제2 돌출부(PRT2)는 본체부(BODY)로부터 연장되며 제1 및 제3 커패시터 전극들(CE1, CE3)(또는, 이들의 가장자리)보다 제1 방향(DR1)의 반대 방향으로 돌출될 수 있

다. 즉, 도 14의 실시예에서, 제1 돌출부(PRT1)가 연장하는 연장 방향(EDR)은 제1 방향(DR1)과 평행할 수 있다.

[236] 도 15에 도시된 바와 같이, 화소 회로(PXC_2)의 스토리지 커패시터(Cst_2)는 제2 커패시터 전극(CE2_2)을 포함할 수 있다. 제2 커패시터 전극(CE2_2)의 제1 돌출부(PRT1)는 본체부(BODY)로부터 제1 및 제2 방향들(DR1, DR2) 사이의 사선 방향으로 연장하며, 제1 및 제3 커패시터 전극들(CE1, CE3)(또는, 이들의 가장자리)보다 돌출될 수 있다. 제2 돌출부(PRT2)는 본체부(BODY)로부터 연장되며 제1 및 제3 커패시터 전극들(CE1, CE3)(또는, 이들의 가장자리)보다 상기 사선 방향의 반대 방향으로 돌출될 수 있다. 예를 들어, 도 15의 실시예에서, 연장 방향(EDR)은 사선 방향일 수 있다.

[237] 상술한 바와 같이, 제2 커패시터 전극(CE2_1, CE2_2)의 제1 돌출부(PRT1)는 특정 방향으로 연장하거나 돌출될 수 있으며, 제2 커패시터 전극(CE2_1, CE2_2)의 제2 돌출부(PRT2)는 상기 특정 방향의 반대 방향으로 연장하거나 돌출될 수 있다.

[238] 상세한 설명은 본 발명의 기술적 특징의 예이며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 다양한 수정 및 변형을 가할 수 있을 것이다. 따라서, 상술한 본 발명의 실시예들은 개별적으로 또는 조합하여 구현될 수 있다.

[239] 따라서, 본 발명에 개시된 실시예는 본 발명의 기술적 사상을 제한하기 위한 것이 아니라, 본 발명의 기술적 사상을 설명하기 위한 것이며, 본 발명의 기술적 사상의 범위는 이러한 실시예들에 의해 제한되지 않는다. 본 발명의 보호 범위는 다음의 특허청구범위에 의해 해석되어야 하며, 동등한 범위 내의 모든 기술적 사상이 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

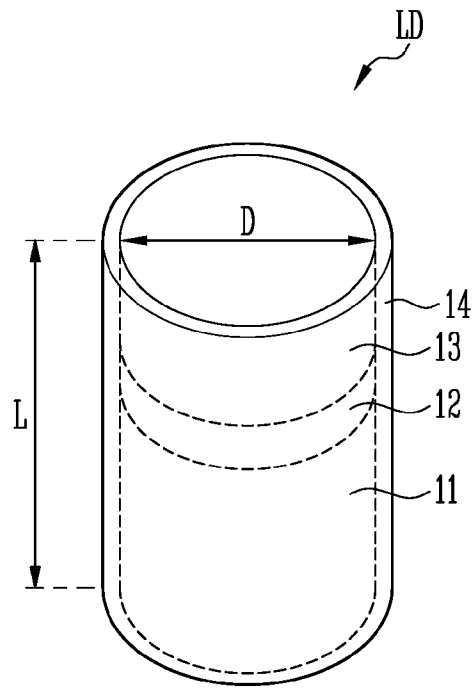
청구범위

- [청구항 1] 서브 화소를 포함하며,
 상기 서브 화소는,
 제1 노드에 전기적으로 연결되는 게이트 전극, 제1 전원 라인에 전기적으로 연결되는 제1 단자, 제2 노드에 전기적으로 연결되는 제2 단자를 포함하는 제1 트랜지스터;
 상기 제2 노드 및 제2 전원 라인 사이에 연결되며 적어도 하나의 발광 소자를 포함하는 발광부; 및
 상기 제1 노드 및 제2 노드 사이에 형성되는 커패시터를 포함하고,
 상기 커패시터는,
 제1 커패시터 전극;
 평면도 상에서 제1 커패시터 전극과 중첩하는 제2 커패시터 전극; 및
 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극 사이에 배치되는 절연층을 포함하며,
 상기 제2 커패시터 전극은,
 평면도 상에서, 데이터 신호를 수신하기 위해 상기 제1 커패시터 전극의 가장자리보다 연장 방향으로 돌출된 제1 돌출부; 및
 평면도 상에서, 상기 제2 커패시터 전극의 가장자리의 일부보다 상기 연장 방향의 반대 방향으로 돌출된 제2 돌출부를 포함하는, 표시 장치.
- [청구항 2] 제1 항에 있어서, 평면도 상에서, 상기 제1 및 제2 돌출부들을 제외한 상기 제2 커패시터 전극은 상기 제1 커패시터 전극에 의해 커버되는, 표시 장치.
- [청구항 3] 제2 항에 있어서, 상기 제2 돌출부는 외부 구성 요소와 직접적으로 연결되지 않는, 표시 장치.
- [청구항 4] 제1 항에 있어서, 상기 연장 방향에 수직하는 방향으로, 상기 제1 돌출부의 제1 폭 및 상기 제2 돌출부의 제2 폭은 동일한, 표시 장치.
- [청구항 5] 제4 항에 있어서, 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극 간의 정렬(alignment) 오차와 무관하게, 평면도 상에서 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극 간의 중첩 면적은 상기 제1 돌출부에 대응하는 상기 제2 돌출부에 의해 일정하게 유지되는, 표시 장치.
- [청구항 6] 제1 항에 있어서, 상기 제1 돌출부 및 제2 돌출부는 상호 동일 선 상에 있지 않은, 표시 장치.
- [청구항 7] 제1 항에 있어서, 상기 제1 돌출부 및 제2 돌출부는 상호 동일 선 상에 있는, 표시 장치.
- [청구항 8] 제1 항에 있어서, 상기 제2 커패시터 전극은 평면도 상에서 상기 제1 커패시터 전극과 중첩하는 본체부를 더 포함하고,

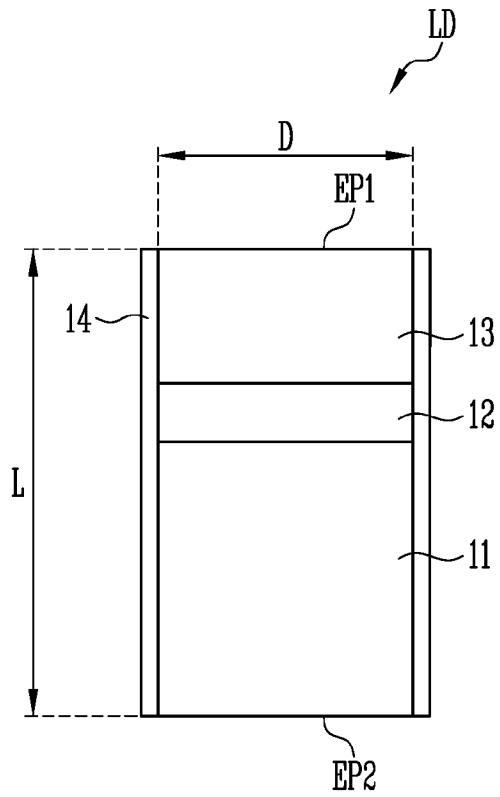
- 상기 본체부의 폭은 상기 연장 방향과 평행한 방향으로 상기 제2 돌출부의 폭보다 크며,
 상기 제2 돌출부는 상기 본체부로부터 상기 반대 방향으로 약 3 μ m만큼 돌출되는, 표시 장치.
- [청구항 9] 제1 항에 있어서, 상기 제1 커패시터 전극은 단면도 상에서 상기 제1 트랜지스터의 반도체 패턴의 하부에 배치되고,
 제1 절연층은 상기 제1 커패시터 전극 및 상기 반도체 패턴 사이에 배치되며,
 상기 제2 커패시터 전극은 단면도 상에서 상기 반도체 패턴의 상부에 배치되고,
 제2 절연층은 상기 제2 커패시터 전극 및 상기 반도체 패턴 사이에 배치되는, 표시 장치.
- [청구항 10] 제9 항에 있어서, 평면도 상에서 상기 커패시터는 상기 제2 커패시터 전극과 중첩하는 제3 커패시터 전극을 더 포함하고,
 제3 절연층은 상기 제2 커패시터 전극 및 상기 제3 커패시터 전극 사이에 배치되는, 표시 장치.
- [청구항 11] 제10 항에 있어서, 상기 제3 커패시터 전극은 상기 제1, 제2, 및 제3 절연층들을 관통하는 컨택홀을 통해 상기 제1 커패시터 전극과 전기적으로 연결되는, 표시 장치.
- [청구항 12] 제1 항에 있어서, 상기 제2 커패시터 전극은 상기 제1 트랜지스터의 반도체 패턴의 상부에 배치되고,
 상기 제1 커패시터 전극은 상기 제2 커패시터 전극의 상부에 배치되며,
 절연층은 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극 사이에 배치되는, 표시 장치.
- [청구항 13] 제1 항에 있어서, 상기 서브 화소는 데이터 라인 및 상기 제1 노드 사이에 전기적으로 연결된 제2 트랜지스터를 더 포함하고,
 평면도 상에서 상기 제1 돌출부는 상기 제2 트랜지스터를 향해 돌출된, 표시 장치.
- [청구항 14] 제13 항에 있어서, 상기 데이터 라인은 상기 연장 방향으로 연장하는, 표시 장치.
- [청구항 15] 제13 항에 있어서, 상기 데이터 라인은 상기 연장 방향과 교차하는 방향으로 연장하는, 표시 장치.
- [청구항 16] 제1 항에 있어서, 상기 발광부는,
 상호 이격된 제1 전극 및 제2 전극;
 상기 제1 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 일단에 전기적으로 연결되는 제1 화소 전극; 및
 상기 제2 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 타단에 전기적으로 연결되는 제2 화소 전극을 더 포함하며,

- 상기 적어도 하나의 발광 소자는 상기 제1 전극 및 상기 제2 전극 사이에 배치되는, 표시 장치.
- [청구항 17] 제16 항에 있어서, 상기 제1 화소 전극은 상기 제1 및 제2 전극들 하부에 배치된 절연층을 관통하는 컨택홀을 통해 상기 제1 트랜지스터의 상기 제2 단자에 전기적으로 연결되는, 표시 장치.
- [청구항 18] 제16 항에 있어서, 상기 서브 화소는 상기 발광 소자 상에 배치되며 상기 적어도 하나의 발광 소자로부터 입사된 광의 파장을 변환하여 발산하는 색 변환층을 더 포함하는, 표시 장치.
- [청구항 19] 제1 항에 있어서, 상기 제1 전원 라인은,
제1 방향으로 연장하는 제1 수직 전원 라인; 및
제2 방향으로 연장하는 제2 수직 전원 라인을 포함하고,
평면도 상에서, 상기 제1 수직 전원 라인, 상기 제2 수직 전원 라인, 및 상기 제2 전원 라인에 의해 구획된 영역에 하나의 화소를 구성하는 복수의 서브 화소들의 화소 회로들이 배치되며,
상기 화소 회로들 각각은 상기 제1 트랜지스터 및 상기 커패시터를 포함하는, 표시 장치.
- [청구항 20] 제19 항에 있어서, 상기 영역 내에서 상기 화소 회로들은 상기 제1 방향을 따라 배열되고,
상기 서브 화소들을 위한 데이터 라인들은 상기 제1 방향으로 연장하며 상호 인접하여 배치되는, 표시 장치.

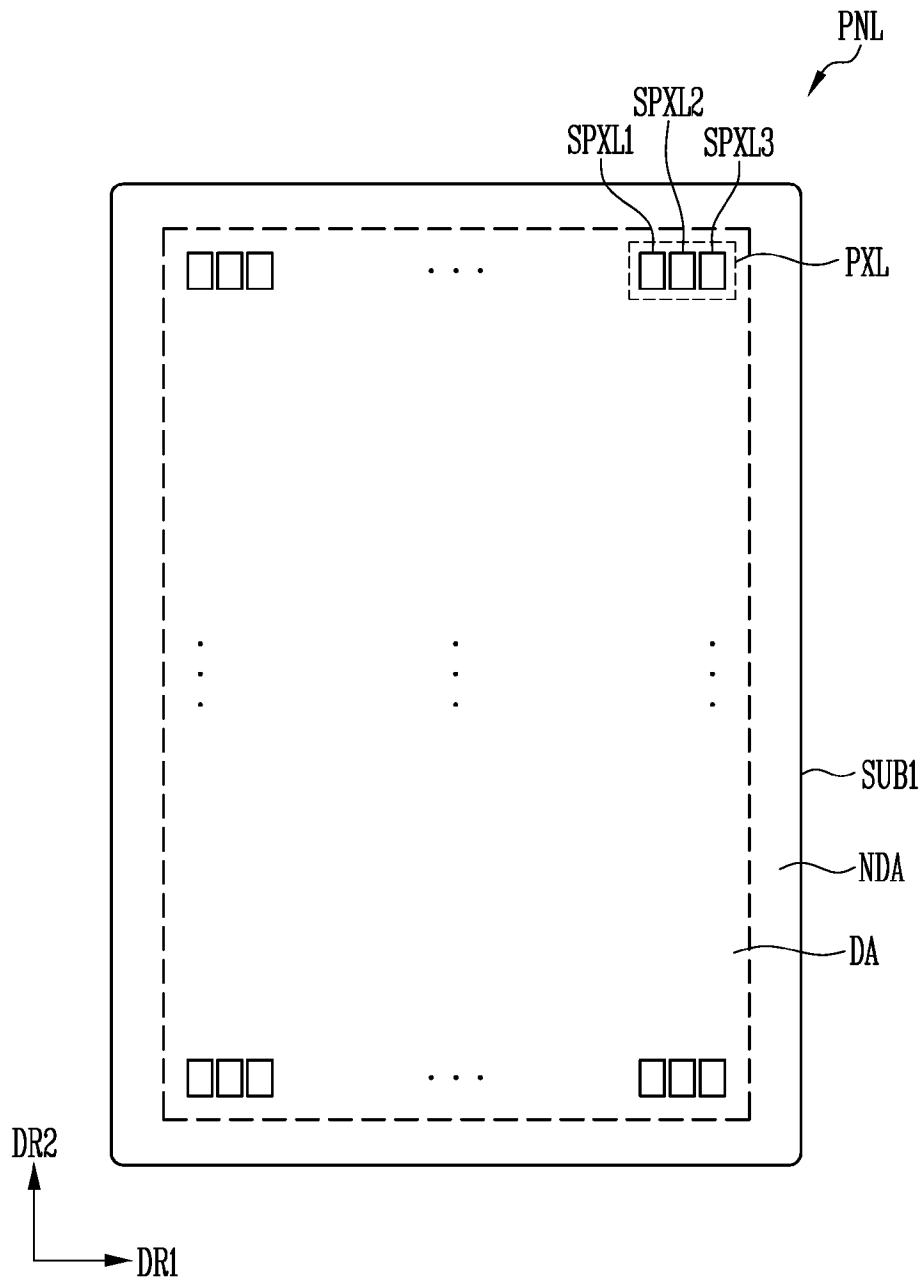
[도1]



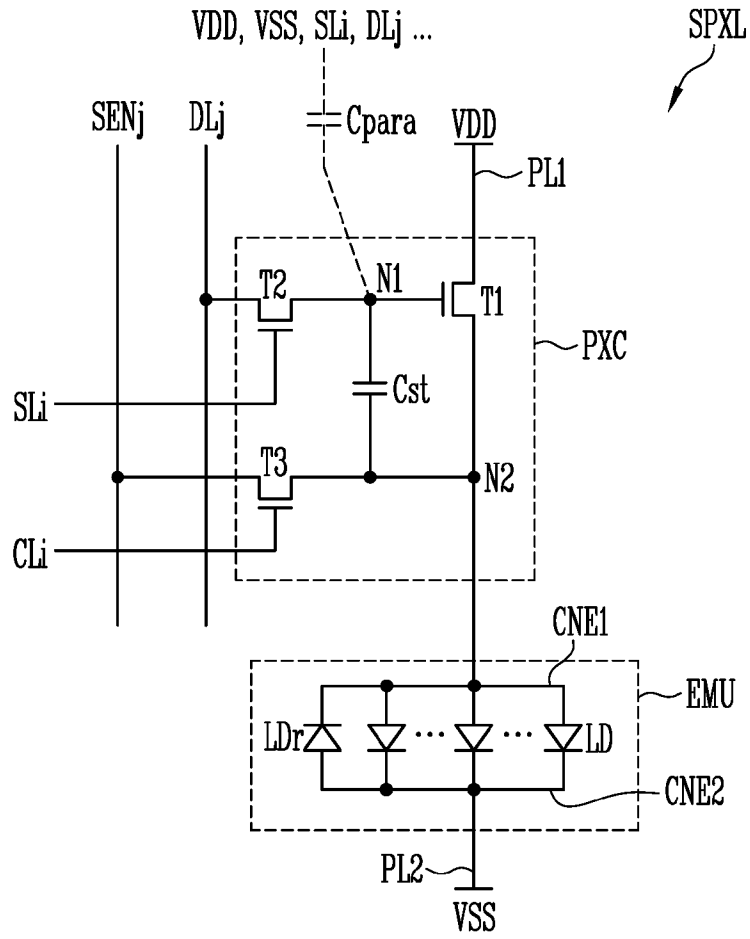
[도2]



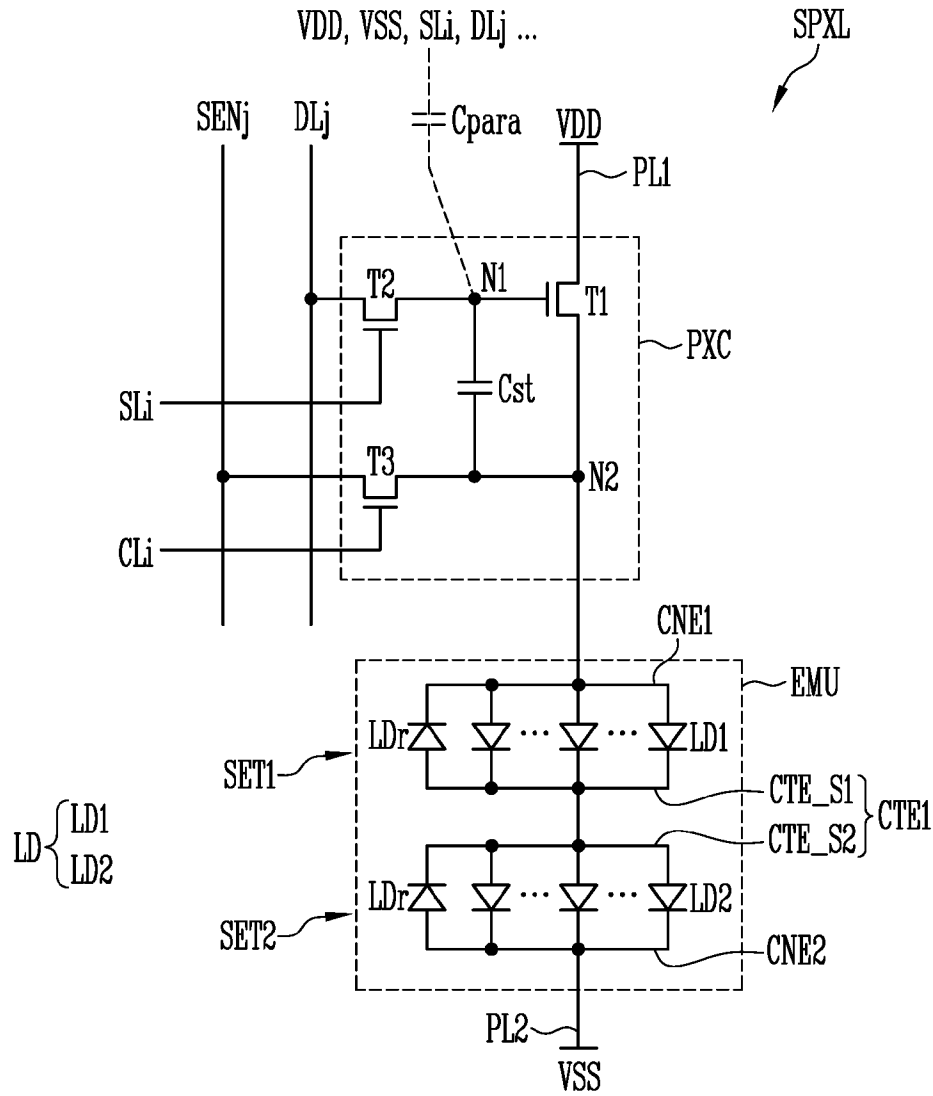
[도3]



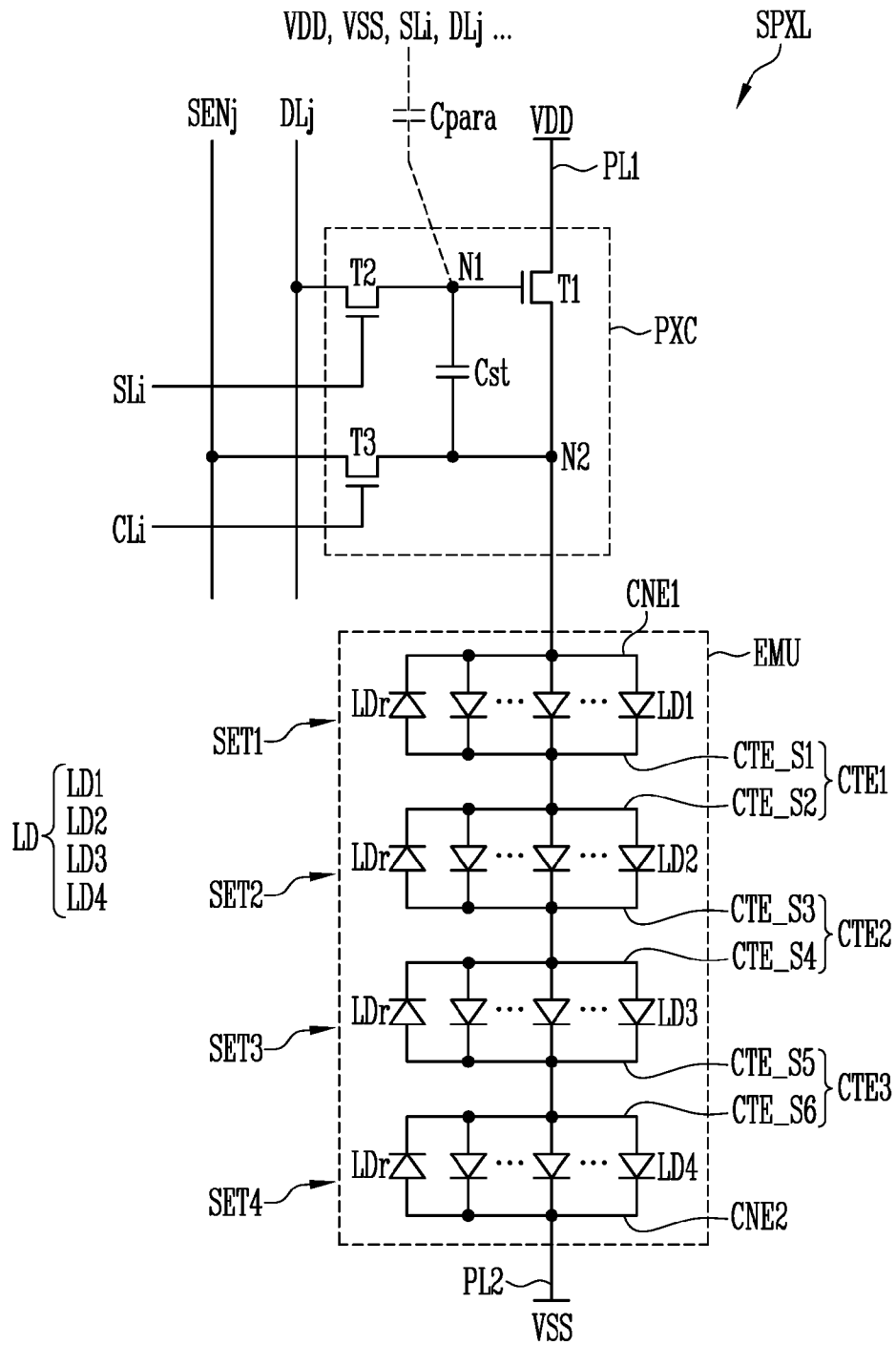
[도4a]



[도4b]

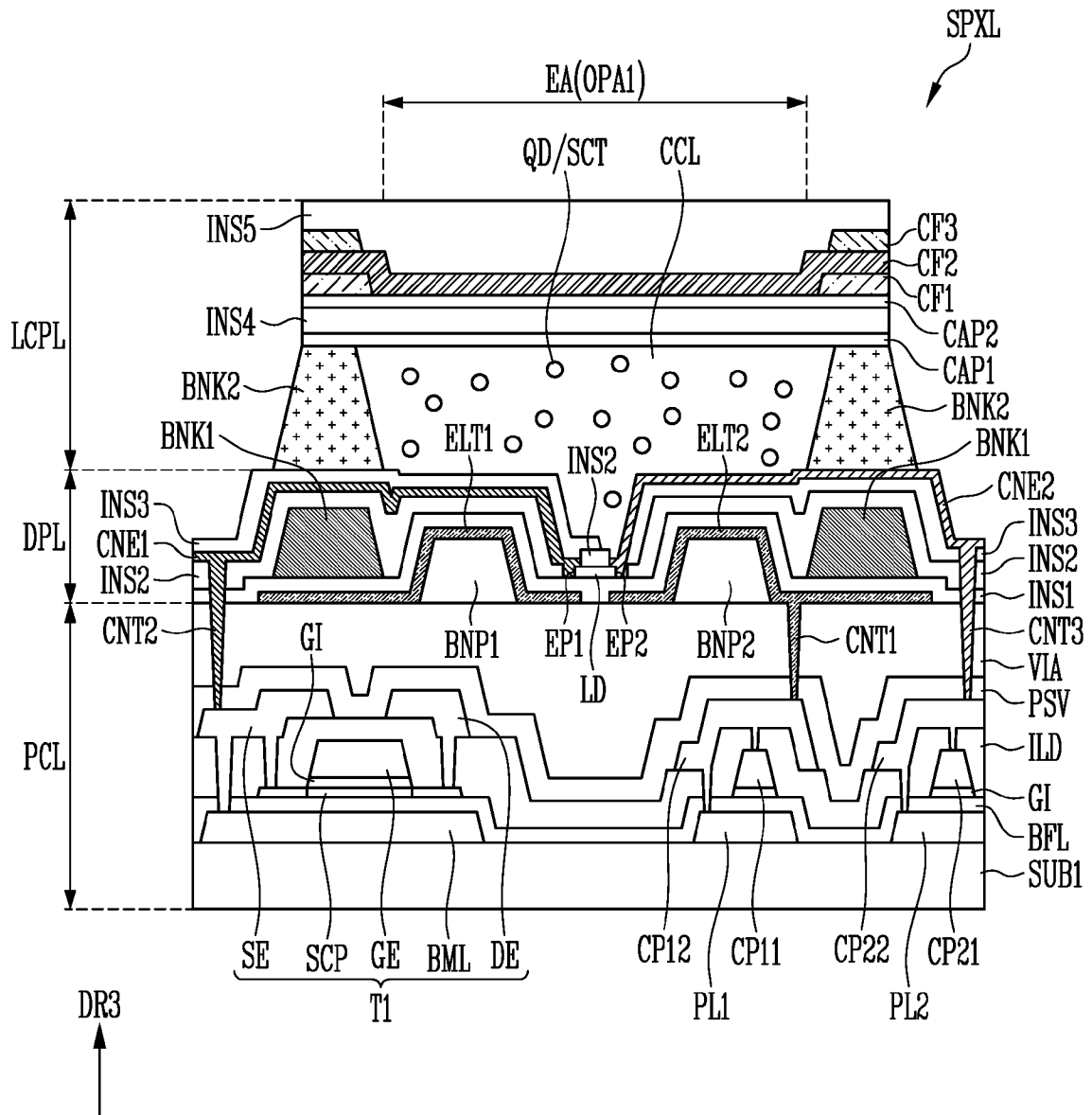


[54c]

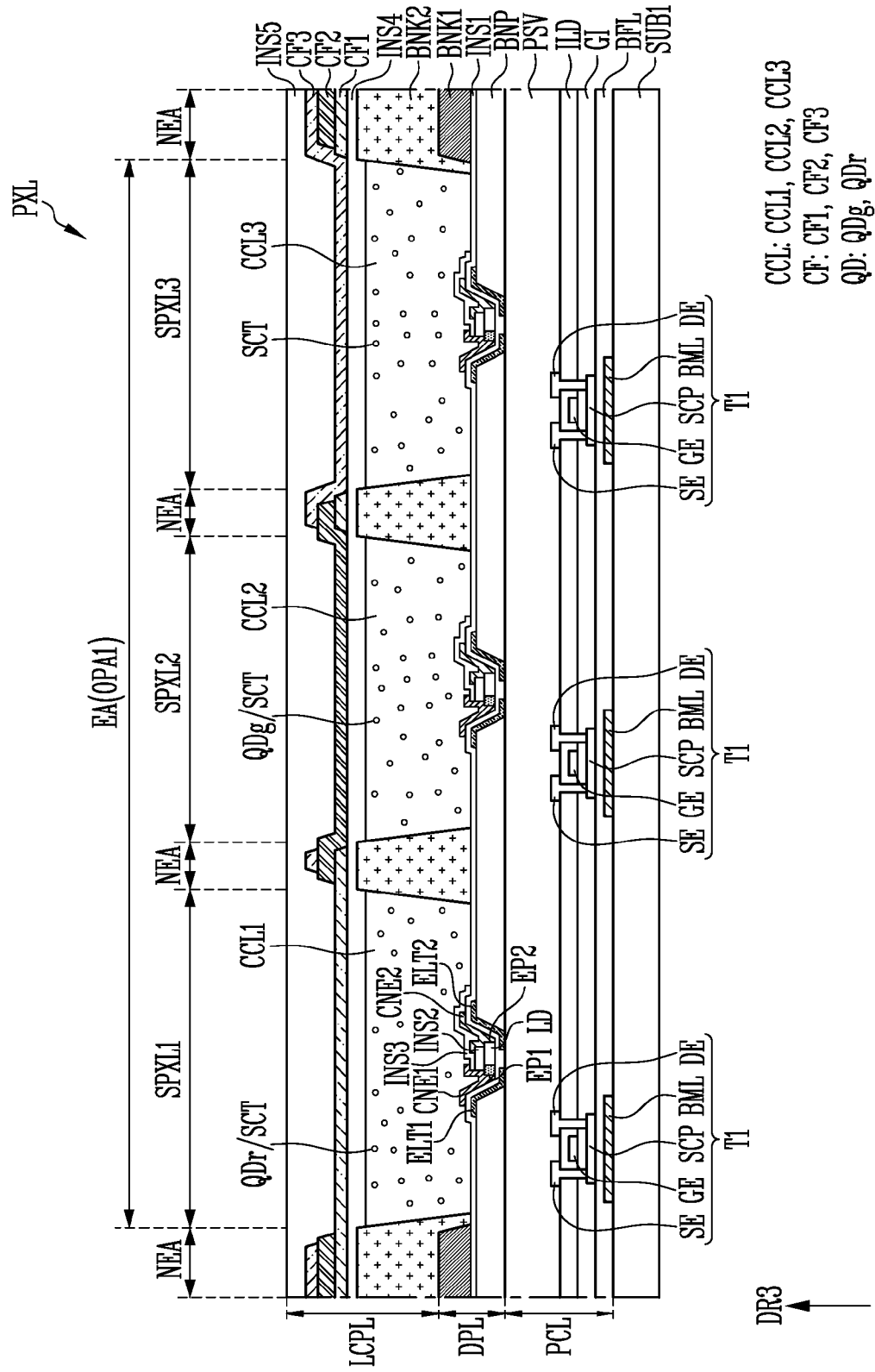


Timing diagram for a 1T1C1D1S architecture. The diagram shows the signals SL_i (SC), CL_i (SS), $N1$ (V_{N1}), and $N2$ (V_{N2}) over a FRAME period. The signals SL_i and CL_i are high during the P1 period. The signals $N1$ and $N2$ are high during the P1 period and then transition to a lower level. The gate voltages V_{gs1} , V_{gs2} , and V_{gs3} are indicated for the $N1$ and $N2$ signals.

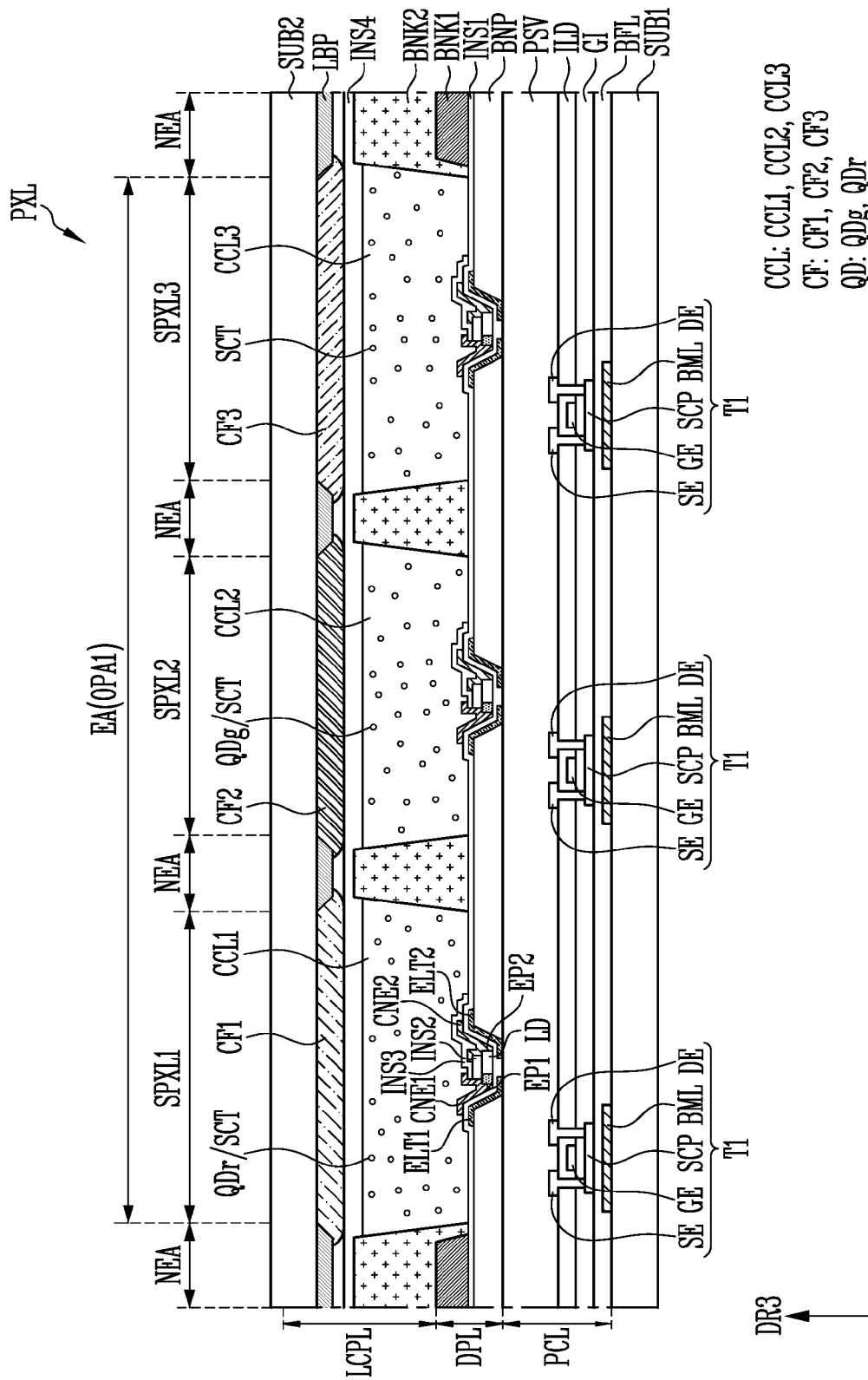
[도7a]



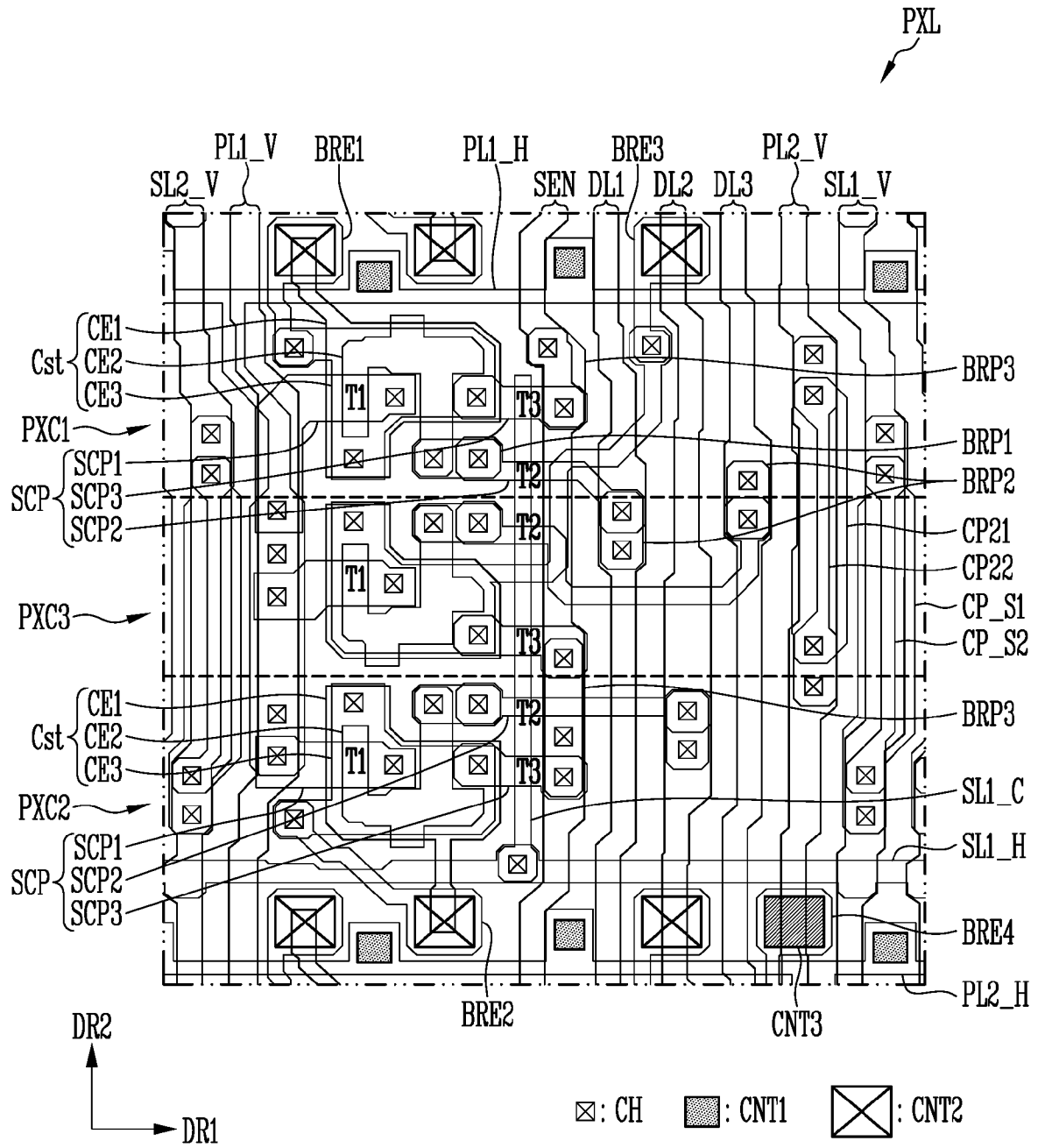
[도 7b]



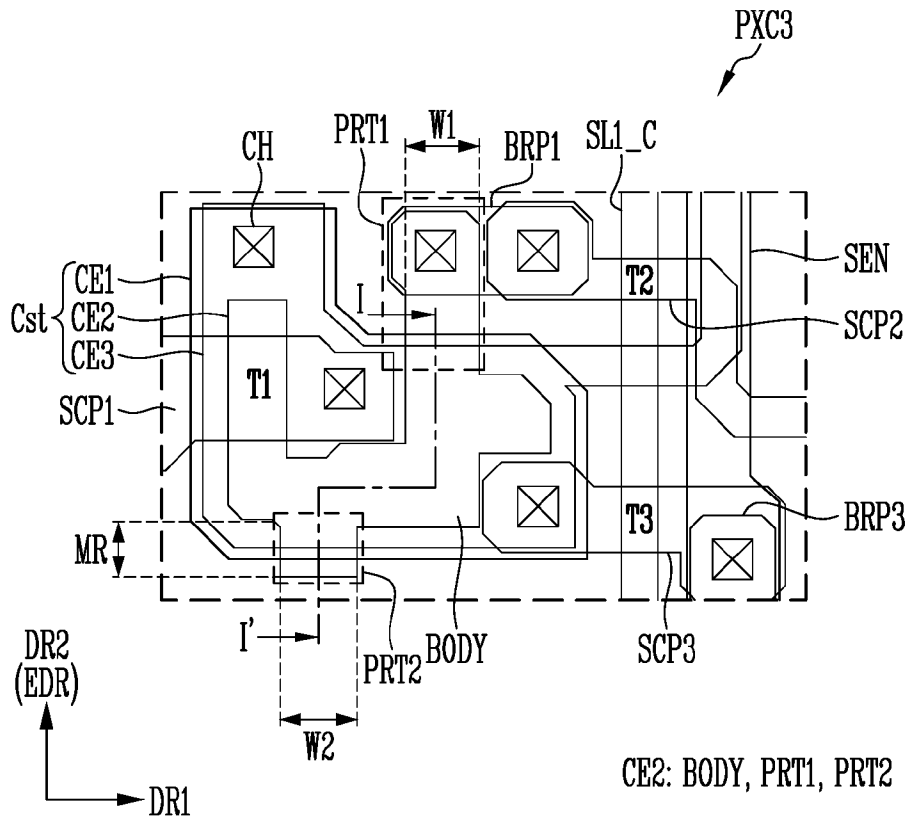
[도7c]



[도8]



[도9a]



[도9b]

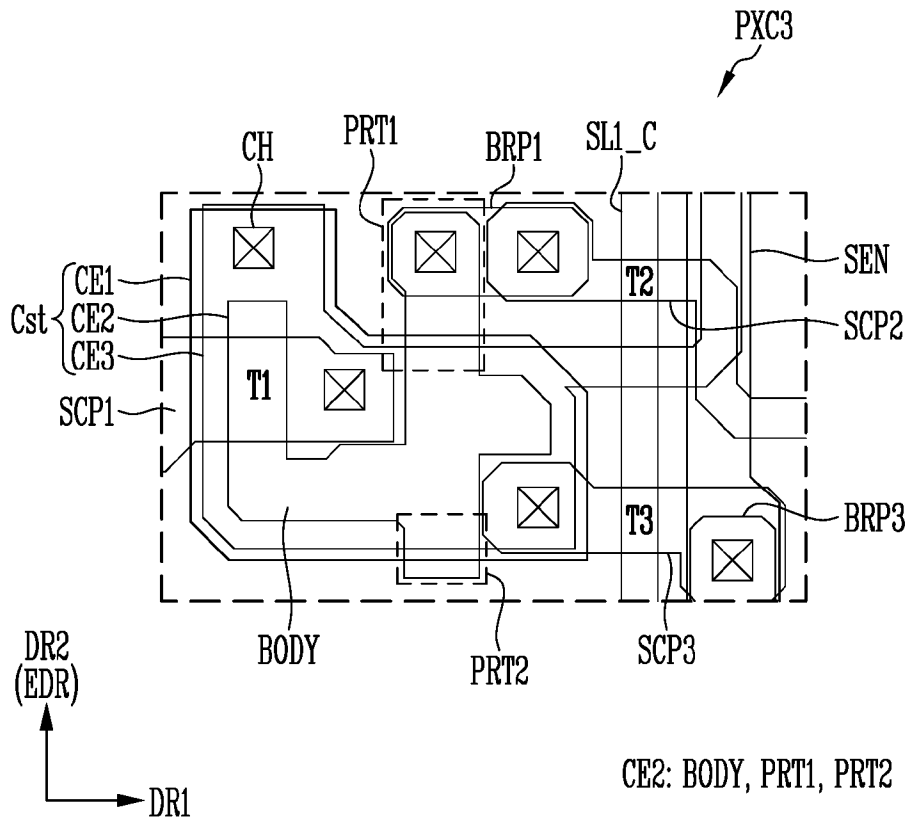
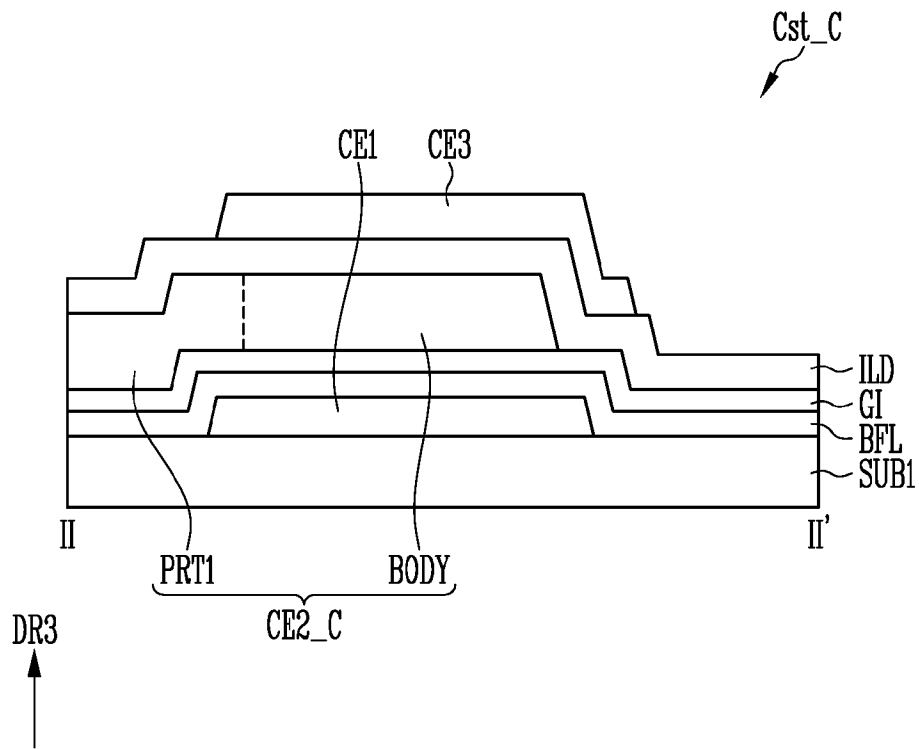
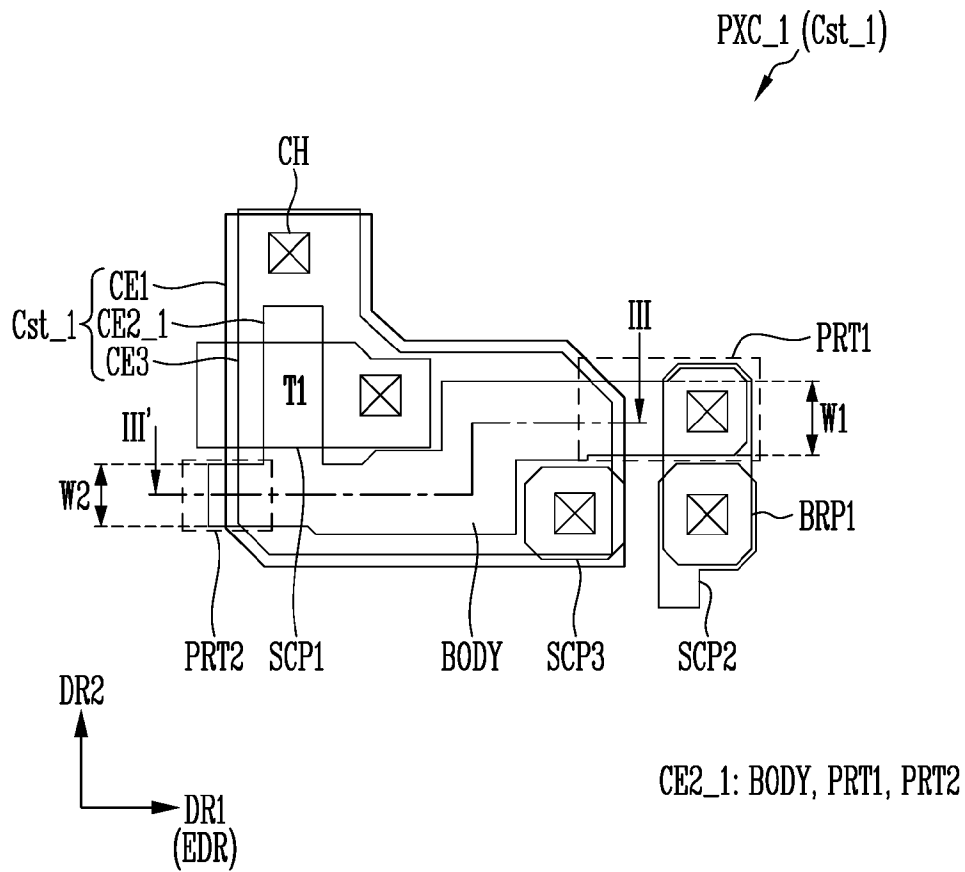


Diagram illustrating a cross-sectional view of a semiconductor device structure. The structure consists of a substrate (SUB1) with layers BFL, CI, and ILD. A central body (BODY) is flanked by two regions, PRT1 and PRT2, which are part of a larger structure labeled CE2. Above the body, there are three more layers: CE1, CE3, and a top layer. A dashed line indicates a vertical boundary. A label 'Cst' with an arrow points to the top right corner.

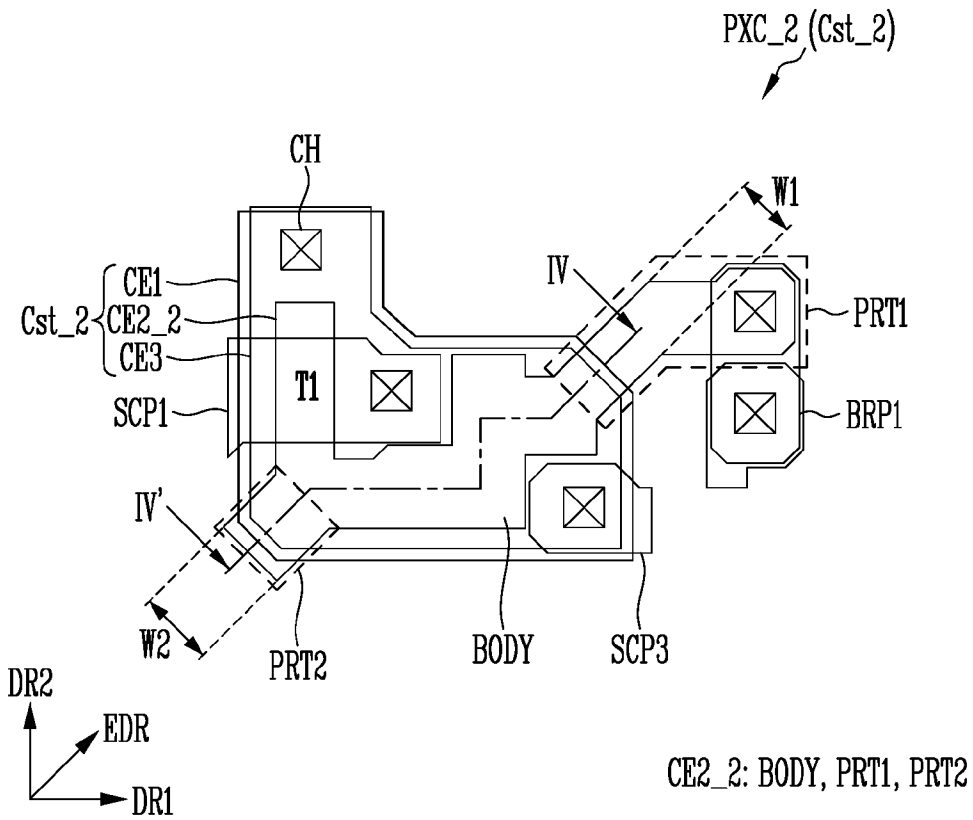
[도 12]



[도14]



[도15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/007767

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/15**(2006.01)i; **H01L 27/12**(2006.01)i; **H01L 33/36**(2010.01)i; **H01L 33/50**(2010.01)i; **H01L 25/075**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/15(2006.01); G09G 3/32(2006.01); G09G 3/36(2006.01); H01L 21/768(2006.01); H01L 25/075(2006.01);
H01L 25/16(2006.01); H01L 27/32(2006.01); H01L 33/48(2010.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 디스플레이(display), 화소(pixel), 발광소자(LED), 커패시터 전극(capacitor electrode), 중첩(overlap), 돌출(protrusion), 정렬(align)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106920529 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 04 July 2017 (2017-07-04) See paragraphs [0003] and [0032]-[0039]; claim 1; and figures 4a-4c.	1-8
Y		9-20
Y	KR 10-2021-0107208 A (SAMSUNG DISPLAY CO., LTD.) 01 September 2021 (2021-09-01) See paragraphs [0123]-[0127]; and figures 6-11c.	9-15
Y	KR 10-2021-0059075 A (SAMSUNG DISPLAY CO., LTD.) 25 May 2021 (2021-05-25) See paragraphs [0078], [0101], [0137], [0167], [0190] and [0233]; and figures 8-16a.	16-20
A	KR 10-2022-0043993 A (SAMSUNG DISPLAY CO., LTD.) 06 April 2022 (2022-04-06) See paragraphs [0080]-[0163]; and figures 3-5.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 September 2023

Date of mailing of the international search report

19 September 2023

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/007767

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2020-0079894 A (LG DISPLAY CO., LTD.) 06 July 2020 (2020-07-06) See paragraphs [0051]-[0209]; and figures 1-11.	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/007767

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106920529	A	04 July 2017	CN	106920529	B	05 March 2019
				US	10916612	B2	09 February 2021
				US	2019-0393296	A1	26 December 2019
				WO	2018-205311	A1	15 November 2018
KR	10-2021-0107208	A	01 September 2021	CN	113299676	A	24 August 2021
				US	2021-0265329	A1	26 August 2021
KR	10-2021-0059075	A	25 May 2021	CN	114766063	A	19 July 2022
				US	2022-0392923	A1	08 December 2022
				WO	2021-096070	A1	20 May 2021
KR	10-2022-0043993	A	06 April 2022	CN	116210085	A	02 June 2023
				US	2022-0102422	A1	31 March 2022
				WO	2022-065873	A1	31 March 2022
KR	10-2020-0079894	A	06 July 2020	CN	111403419	A	10 July 2020
				US	10978499	B2	13 April 2021
				US	11658189	B2	23 May 2023
				US	2020-0212077	A1	02 July 2020
				US	2021-0193699	A1	24 June 2021

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/15(2006.01)i; H01L 27/12(2006.01)i; H01L 33/36(2010.01)i; H01L 33/50(2010.01)i; H01L 25/075(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/15(2006.01); G09G 3/32(2006.01); G09G 3/36(2006.01); H01L 21/768(2006.01); H01L 25/075(2006.01);
H01L 25/16(2006.01); H01L 27/32(2006.01); H01L 33/48(2010.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 디스플레이(display), 화소(pixel), 발광소자(LED), 커패시터 전극
(capacitor electrode), 중첩(overlap), 돌출(protrusion), 정렬(align)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	CN 106920529 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 2017.07.04 단락 [0003], [0032]-[0039]; 청구항 1; 및 도면 4a-4c	1-8
Y		9-20
Y	KR 10-2021-0107208 A (삼성디스플레이 주식회사) 2021.09.01 단락 [0123]-[0127]; 및 도면 6-11c	9-15
Y	KR 10-2021-0059075 A (삼성디스플레이 주식회사) 2021.05.25 단락 [0078], [0101], [0137], [0167], [0190], [0233]; 및 도면 8-16a	16-20
A	KR 10-2022-0043993 A (삼성디스플레이 주식회사) 2022.04.06 단락 [0080]-[0163]; 및 도면 3-5	1-20
A	KR 10-2020-0079894 A (엔지디스플레이 주식회사) 2020.07.06 단락 [0051]-[0209]; 및 도면 1-11	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2023년09월19일(19.09.2023)

국제조사보고서 발송일

2023년09월19일(19.09.2023)

ISA/KR의 명칭 및 우편주소

대한민국 특허청

(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

장기정

전화번호 +82-42-481-8364

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
CN 106920529 A	2017/07/04	CN 106920529 B	2019/03/05
		US 10916612 B2	2021/02/09
		US 2019-0393296 A1	2019/12/26
		WO 2018-205311 A1	2018/11/15
KR 10-2021-0107208 A	2021/09/01	CN 113299676 A	2021/08/24
		US 2021-0265329 A1	2021/08/26
KR 10-2021-0059075 A	2021/05/25	CN 114766063 A	2022/07/19
		US 2022-0392923 A1	2022/12/08
		WO 2021-096070 A1	2021/05/20
KR 10-2022-0043993 A	2022/04/06	CN 116210085 A	2023/06/02
		US 2022-0102422 A1	2022/03/31
		WO 2022-065873 A1	2022/03/31
KR 10-2020-0079894 A	2020/07/06	CN 111403419 A	2020/07/10
		US 10978499 B2	2021/04/13
		US 11658189 B2	2023/05/23
		US 2020-0212077 A1	2020/07/02
		US 2021-0193699 A1	2021/06/24