

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-199441

(P2012-199441A)

(43) 公開日 平成24年10月18日(2012.10.18)

(51) Int.Cl.	F I	テーマコード (参考)
<i>H O 1 L 27/105 (2006.01)</i>	<i>H O 1 L 27/10 4 4 8</i>	<i>5 F 0 8 3</i>
<i>H O 1 L 27/10 (2006.01)</i>	<i>H O 1 L 27/10 4 8 1</i>	
<i>H O 1 L 45/00 (2006.01)</i>	<i>H O 1 L 45/00 Z</i>	
<i>H O 1 L 49/00 (2006.01)</i>	<i>H O 1 L 49/00 Z</i>	

審査請求 未請求 請求項の数 4 O L (全 23 頁)

(21) 出願番号	特願2011-63353 (P2011-63353)	(71) 出願人	000003078
(22) 出願日	平成23年3月22日 (2011. 3. 22)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 記憶装置

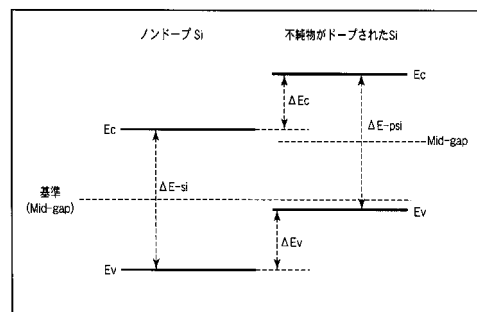
(57) 【要約】

【課題】アモルファスシリコンを記憶部に用いる記憶装置の動作電圧を低減し、かつ、それを低温プロセスで形成する。

【解決手段】実施形態に係わる記憶装置は、結晶化された $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) 層を含む第1の電極EL1と、金属元素を含む第2の電極EL2と、第1及び第2の電極EL1, EL2間に配置され、アモルファスSi層を含む可変抵抗部VRと、アモルファスSi層内の金属元素を含むフィラメントの長さを制御する制御回路とを備える。

【選択図】図5

図5



【特許請求の範囲】

【請求項 1】

結晶化された $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) 層を含む第 1 の電極と、金属元素を含む第 2 の電極と、前記第 1 及び第 2 の電極間に配置され、アモルファス Si 層を含む可変抵抗部と、前記第 1、第 2 の電極に電圧を印加する制御回路とを具備する記憶装置。

【請求項 2】

前記第 1 の電極及び前記アモルファス Si 層間に、 Si もしくは金属の酸化物、酸窒化物もしくは窒化物絶縁層をさらに具備する請求項 1 に記載の記憶装置。

【請求項 3】

前記第 1 の電極は、前記 $\text{Si}_x\text{Ge}_{1-x}$ 層及び前記アモルファス Si 層間に、結晶化された Si 層を有する請求項 1 または 2 に記載の記憶装置。

10

【請求項 4】

前記 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0$ を除く) 層は、その組成に濃度勾配を有し、前記アモルファス Si に最も近い部分で Si 濃度が最も高い請求項 1 乃至 3 のいずれか 1 項に記載の記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、記憶装置に関する。

【背景技術】

20

【0002】

従来、大容量の電氣的書き換えが可能な不揮発性メモリとして、フラッシュメモリが周知である。フラッシュメモリは微細化により大容量化を実現してきたが、微細化の限界によって今後更なる大容量化が困難になる。一方、フラッシュメモリの後継候補として、可変抵抗素子を使用した抵抗変化型メモリが提案されている。抵抗変化型メモリは、ビット線とワード線の交差部に可変抵抗素子を配置した、いわゆるクロスポイント型メモリで構成できる。故に、積層が容易で 3 次元構造化することにより、大容量化が図れるという利点がある。

【0003】

可変抵抗素子の種類には、相変化型メモリ (Phase Change RAM: 以下、PRAM)、酸化物を用いた抵抗変化型メモリ (Resistance RAM: 以下、ReRAM)、そして、固体電解質メモリ (Electrochemical Metallization memory: 以下、ECM) 等がある。ECMとしては、アモルファスシリコンを用いたメモリ (Amorphous Si memory: 以下、a-Siメモリ) 等が挙げられる。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】米国特許公開 2009/0014707

【非特許文献】

40

【0005】

【非特許文献 1】Nano Letters 8 (2008) 392

【発明の概要】

【発明が解決しようとする課題】

【0006】

実施形態は、アモルファスシリコンを記憶部に用いる記憶装置のセット電圧を低減可能な技術を提案する。

【課題を解決するための手段】

【0007】

実施形態によれば、記憶装置は、結晶化された $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) 層を

50

含む第 1 の電極と、金属元素を含む第 2 の電極と、前記第 1 及び第 2 の電極間に配置され、アモルファス Si 層を含む可変抵抗部と、前記アモルファス Si 層内の前記金属元素を含むフィラメントの長さを制御する制御回路とを備える。

【図面の簡単な説明】

【0008】

【図 1】不揮発性半導体記憶装置を示す図。

【図 2】メモリセルアレイを示す図。

【図 3】図 2 の I I I - I I I 線に沿う断面図。

【図 4】メモリセルの比較例を示す図。

【図 5】図 4 のメモリセルのバンド図。

【図 6】メモリセルの実施例を示す図。

【図 7】図 6 のメモリセルのバンド図。

【図 8】図 6 のメモリセルの動作を説明する図。

【図 9】メモリセルの実施例を示す図。

【図 10】図 9 のメモリセルのバンド図。

【図 11】図 9 のメモリセルの動作を説明する図。

【図 12】メモリセルの実施例を示す図。

【図 13】図 12 のメモリセルの動作を説明する図。

【図 14】実施例に係わる可変抵抗素子の電圧 - 電流特性を示す図。

【図 15】三次元化されたクロスポイント型メモリへの適用例を示す図。

【図 16】図 15 のメモリセル構造の例を示す図。

【図 17】三次元化された 1 トランジスタ - n 素子型メモリへの適用例を示す図。

【図 18】図 17 の X V I I I - X V I I I 線に沿う断面図。

【図 19】三次元化された 1 トランジスタ - n 素子型メモリへの適用例を示す図。

【図 20】図 19 の X X - X X 線に沿う断面図。

【発明を実施するための形態】

【0009】

a - Si メモリは、p 型シリコン電極と、Ag や Cu 等の金属電極とにより、可変抵抗部となるアモルファスシリコンを挟んだ 2 端子素子のメモリである。a - Si メモリにおいては、アモルファスシリコンと p 型シリコン電極との間に伝導帯オフセットが生じている。その結果、p 型シリコン電極を固定電位とし、Ag 等の金属電極に正電圧を印加すると、p 型シリコン電極は空乏化し、電圧が分配される。つまり、p 型シリコン電極が空乏化された分の電圧だけ a - Si メモリのスイッチングには高電圧が必要となる。

【0010】

また、a - Si メモリのメモリセルは、可変抵抗部にアモルファスシリコン、p 型シリコン電極に単結晶シリコン又は多結晶シリコン、と 2 種類の結晶相の Si を積層する構造をとる。この場合、p 型シリコン電極の活性化アニール時に、可変抵抗部のアモルファスシリコンが結晶化し、メモリセルの体積変化と導電性変化により、メモリセルの特性が変化する、という問題が発生する。

【0011】

以下、図面を参照しながら実施形態を説明する。

【0012】

[基本構成]

実施形態は、アモルファス Si を記憶部（可変抵抗部）に用いる記憶装置（例えば、抵抗変化メモリ等の不揮発性半導体記憶装置、プローブ等のアクセス機構により記録部をアクセスする次世代記憶装置等）に適用される。

【0013】

このような記憶装置において、記憶部を、結晶化された Si_xGe_{1-x} ($0 < x < 1$) 層を含む第 1 の電極と、金属元素を含む第 2 の電極と、第 1 及び第 2 の電極間に配置され、アモルファス Si 層を含む可変抵抗部とにより構成する。

【 0 0 1 4 】

そして、第 1 及び第 2 の電極間に印加する電圧により、アモルファス S i 層内に発生する、第 2 の電極内に含まれる金属元素から構成されるフィラメントの長さや太さ等の形状を制御し、書き込み（セット）／消去（リセット）動作を行う。

【 0 0 1 5 】

従来は、図 4、5 に示すように、第 1 の電極に、結晶化された S i 層を用いていたため、第一に、その結晶化された S i 層とアモルファス S i 層との伝導帯オフセットが大きく、セット動作時に大きなセット電圧が必要とされた。また、第二に、その結晶化された S i 層を形成するときのアニールにより、意図せず、可変抵抗部としてのアモルファス S i 層が結晶化され、特性が変化することがあった。

10

【 0 0 1 6 】

これに対し、図 6、7 に示すように、第 1 の電極に、不純物がドーブされかつ結晶化された $S i_x G e_{1-x}$ ($0 < x < 1$) 層を使用すれば、第一に、その結晶化された $S i_x G e_{1-x}$ 層とアモルファス S i との伝導帯オフセットが小さくなるため、セット電圧を小さくし、高速書き込みを実現できる。また、第二に、その結晶化された $S i_x G e_{1-x}$ 層を形成するときのアニール温度が、アモルファス S i 層が結晶化する温度（約 600）よりも低いため、アモルファス S i の結晶化を防止し、特性の変化を抑えることができる。

【 0 0 1 7 】

これにより、アモルファス S i を記憶部（可変抵抗部）に用いる記憶装置の動作電圧を低減し、かつ、それを低温プロセスで形成可能とする。

20

【 0 0 1 8 】

[記憶装置の構成例]

図 1 は、不揮発性半導体記憶装置のブロック図である。

【 0 0 1 9 】

メモリセルアレイ 1 は、クロスポイント型、1 トランジスタ - 1 可変抵抗素子型等の構造を有する。クロスポイント型では、ワード線 W L とビット線 B L との間に配置されるメモリセル M C を備える。メモリセル M C は、可変抵抗素子と、セレクトの役割をする整流素子とを備える。可変抵抗素子と整流素子は、直列接続される。なお、可変抵抗素子が整流機能を有していれば、整流素子はなくともかまわない。

30

【 0 0 2 0 】

カラム制御回路 2 は、ビット線 B L が延びる方向のメモリセルアレイ 1 の端部に配置される。カラム制御回路 2 は、メモリセル M C に対するデータの読み出し、書き込み及び消去において、ビット線 B L の電圧を制御する。

【 0 0 2 1 】

ロウ制御回路 3 は、ワード線 W L が延びる方向のメモリセルアレイ 1 の端部に配置される。ロウ制御回路 3 は、メモリセル M C に対するデータの読み出し、書き込み及び消去において、ワード線 W L の電圧を制御する。

【 0 0 2 2 】

データ入出力バッファ 4 は、外部ホストとの間でデータのやりとりを行う。このデータには、読み出し、書き込み及び消去のコマンドデータ、アドレスデータや、読み出し／書き込みデータなどが含まれる。データ入出力バッファ 4 は、書き込みデータをカラム制御回路 2 に転送し、カラム制御回路 2 からの読み出しデータを外部に出力する。

40

【 0 0 2 3 】

アドレスデータは、データ入出力バッファ 4 を経由して、アドレスレジスタ 5 に一時記憶される。また、アドレスデータは、カラム制御回路 2 及びロウ制御回路 3 に転送される。コマンドデータは、データ入出力バッファ 4 を経由して、コマンドインタフェース 6 に転送される。コマンドインタフェース 6 は、外部ホストからの制御信号を受け、データ入出力バッファ 4 に入力されたデータの種別を判断し、それがコマンドデータであれば、コマンドデータをステートマシン 7 に転送する。

50

【 0 0 2 4 】

ステートマシン 7 は、不揮発性半導体記憶装置全体の動作、例えば、読み出し、書き込み、消去、データの入出力等の管理を行う。また、外部ホストは、ステートマシン 7 が管理するステータス情報を受け取り、動作結果を判断することも可能である。このステータス情報は、書き込み及び消去の制御にも利用される。

【 0 0 2 5 】

また、ステートマシン 7 によって制御回路の一部であるパルスジェネレータ 8 が制御される。この制御により、パルスジェネレータ 8 は、任意の電圧、任意のタイミングのパルスを出力することが可能となる。

【 0 0 2 6 】

例えば、アドレスデータがアドレスレジスタ 5 からステートマシン 7 に供給されるため、ステートマシン 7 は、読み出し / 書き込みの対象となるメモリセルアレイ 1 内の選択メモリセルを判別可能である。パルスジェネレータ 8 は、この選択メモリセルに対する電圧パルスを生成する。また、生成された電圧パルスは、カラム制御回路 2 及びロウ制御回路 3 により、所定のワード線 W L 及びビット線 B L に転送可能である。

【 0 0 2 7 】

尚、メモリセルアレイ 1 は、クロスポイント型、1 トランジスタ - 1 素子型等の構造に係わらず、三次元構造にすることが可能である。この場合、メモリセルアレイ 1 以外の周辺回路は、メモリセルアレイ 1 の直下のシリコン基板に形成することができる。これにより、不揮発性半導体記憶装置のチップ面積を、メモリセルアレイ 1 の面積にほぼ等しくすることも可能である。

【 0 0 2 8 】

図 2 は、メモリセルアレイ 1 の例を示している。図 3 は、図 2 の I I I - I I I 線に沿う断面図である。

【 0 0 2 9 】

ビット線 B L 0 ~ B L 2 は、カラム方向に延び、ワード線 W L 0 ~ W L 2 は、ロウ方向に延びる。メモリセル M C は、ビット線 B L 0 ~ B L 2 とワード線 W L 0 ~ W L 2 の交差部に配置される。ビット線 B L 及びワード線 W L は、熱に強く、かつ、抵抗値の低い材料が望ましく、例えば、W、W S i、M o、M o S i、N i S i、C o S i 等の金属材料や、カーボンナノチューブ、グラフェンといったカーボン材料等を用いることができる。

【 0 0 3 0 】

メモリセル M C は、直列接続される可変抵抗素子 V R 及び整流素子 R D から構成される。可変抵抗素子 V R の上下には、バリアメタル及び接着層として機能する電極 E L 2 , E L 1 が配置される。同様に、整流素子 R D の上下にも、バリアメタル及び接着層として機能する電極 E L 3 , E L 2 が配置される。

【 0 0 3 1 】

尚、整流素子 R D と可変抵抗素子 V R の位置関係は、逆でも良い。また、電極 E L 2 は、整流素子 R D に接触する電極と可変抵抗素子 V R に接触する電極との積層から構成されていても良い。さらに、ワード線 W L 1 / 可変抵抗素子 V R / ビット線 B L 0 の積層であってもかまわない。

【 0 0 3 2 】

電極 E L 1 , E L 2 , E L 3 は、例えば、P t、A u、A g、C u、Z n、T i A l N、S r R u O、R u、R u N、I r、C o、T i、T i N、T a N、L a N i O、A l、P t I r O_x、P t R h O_x、R h、T a A l N 等が用いられる。

【 0 0 3 3 】

また、電極 E L 1 , E L 2 , E L 3 は、配向性を一様にするためのメタル膜を含んでも良いし、バッファ層、バリアメタル層、接着層等を含んでも良い。

【 0 0 3 4 】

可変抵抗素子 V R は、アモルファスシリコンを含み、かつ、電圧印加によって、電流、熱、化学エネルギー等を介して抵抗値を変化させることができるものが用いられる。また

10

20

30

40

50

、整流素子 R D は、M I M ダイオード、P I N ダイオード等の整流機能を有するものが用いられる。

【 0 0 3 5 】

[比較例]

図 4 は、メモリセルの比較例を示している。

【 0 0 3 6 】

同図 (a) は、電極 (下部電極) E L 1 上に可変抵抗素子 V R が形成され、可変抵抗素子 V R 上に電極 (上部電極) E L 2 が形成される。同図 (b) は、電極 (下部電極) E L 2 上に可変抵抗素子 V R が形成され、可変抵抗素子 V R 上に電極 (上部電極) E L 1 が形成される。

10

【 0 0 3 7 】

可変抵抗素子 V R は、ノンドープアモルファスシリコンを本体とし、可変抵抗体として機能する。電極 E L 1 は、少なくとも可変抵抗素子 V R に接触する部分に、結晶化されたシリコン層、例えば、多結晶シリコン層を有する。電極 E L 2 は、少なくとも可変抵抗素子 V R に接触する部分に、金属層、例えば、A g 層を有する。

【 0 0 3 8 】

図 5 は、図 4 のメモリセルのエネルギーバンド図を示している。

【 0 0 3 9 】

ノンドープアモルファスシリコン (S i) の価電子帯の極大エネルギー値 E v と伝導帯の極小エネルギー E c との間のバンドギャップ $\Delta E - s i$ は、約 1 . 1 2 e V であり、不純物 (例えば、p 型不純物) がドープされた多結晶シリコンの価電子帯の極大エネルギー値 E v と伝導帯の極小エネルギー E c との間のバンドギャップ $\Delta E - p s i$ も、約 1 . 1 2 e V である。

20

【 0 0 4 0 】

また、ノンドープアモルファスシリコンと不純物がドープされた多結晶シリコンの価電子帯オフセット $\Delta E v$ は、約 0 . 5 e V となるため、両者の伝導帯オフセット $\Delta E c$ も、約 0 . 5 e V となる。

【 0 0 4 1 】

ここで、M i d - g a p は、価電子帯の極大エネルギー値 E v と伝導帯の極小エネルギー E c との中間値 (バンドギャップ $\Delta E - s i$, $\Delta E - p s i$ の中間値) である。

30

【 0 0 4 2 】

しかし、比較例の構造では、可変抵抗素子 V R を高抵抗状態から低抵抗状態に変化させる書き込み動作 (セット動作) において、書き込みに必要なセット電圧が大きく、高速書き込みに不利となる問題がある。

【 0 0 4 3 】

また、図 4 (b) の構造の場合、可変抵抗素子 V R としてのアモルファスシリコンを形成した後に、上部電極 E L 1 としての結晶化シリコンを形成する必要がある。この時、上部電極 E L 1 の活性化アニール時に、可変抵抗素子 V R としてのアモルファスシリコンが結晶化し、可変抵抗素子 V R の体積変化と導電性変化により、メモリセルの特性が変化するという問題が発生する。

40

【 0 0 4 4 】

また、図 4 (a) の構造の場合、例えば、メモリセルアレイの構造をクロスポイント型とし、かつ、メモリセルアレイを 3 次元化すると、上層にあるメモリセルの下部電極 E L 1 の活性化アニール時に、下層にあるメモリセルの可変抵抗素子 V R としてのアモルファスシリコンが結晶化し、下層にあるメモリセルの体積変化と導電性変化により、そのメモリセルの特性が変化するという問題が発生する。

【 0 0 4 5 】

以下の実施例では、以上の問題を同時に解決する。

【 0 0 4 6 】

[第 1 の実施例]

50

図 6 は、メモリセルの第 1 の実施例を示している。

【 0 0 4 7 】

同図 (a) は、電極 (下部電極) $E L 1$ 上に可変抵抗素子 $V R$ が形成され、可変抵抗素子 $V R$ 上に電極 (上部電極) $E L 2$ が形成される。同図 (b) は、電極 (下部電極) $E L 2$ 上に可変抵抗素子 $V R$ が形成され、可変抵抗素子 $V R$ 上に電極 (上部電極) $E L 1$ が形成される。

【 0 0 4 8 】

可変抵抗素子 $V R$ は、ノンドープアモルファスシリコンを本体とし、可変抵抗体として機能する。電極 $E L 1$ は、少なくとも可変抵抗素子 $V R$ に接触する部分に、結晶化されたゲルマニウム ($G e$) 層、又は、結晶化されたシリコンゲルマニウム ($S i G e$) 層を有する。電極 $E L 2$ は、少なくとも可変抵抗素子 $V R$ に接触する部分に、金属原子を含む導電層を有する。

10

【 0 0 4 9 】

金属原子を含む導電層は、例えば、 $A g$ 、 $F e$ 、 $C o$ 、 $N i$ 、 $C u$ 、 $A u$ 、 $Z n$ の群から選択される少なくとも 1 つの原子を含む。

【 0 0 5 0 】

図 7 は、図 6 のメモリセルのエネルギーバンド図を示している。

【 0 0 5 1 】

ノンドープアモルファスシリコン ($S i$) の価電子帯の極大エネルギー値 $E v$ と伝導帯の極小エネルギー $E c$ との間のバンドギャップ $\Delta E - s i$ は、約 $1.12 e V$ である。

20

【 0 0 5 2 】

また、不純物 (例えば、 p 型不純物) がドーブされ、結晶化された $G e$ 又は $S i G e$ ($S i_x G e_{1-x}$: $0 < x < 1$) の価電子帯の極大エネルギー値 $E v$ と伝導帯の極小エネルギー $E c$ との間のバンドギャップ $\Delta E - g e$ は、

約 $0.66 e V$ ($S i_x G e_{1-x}$: $x = 0$) $\Delta E - g e < 約 1.12 e V$ ($S i_x G e_{1-x}$: $x = 1$)、

の範囲内にある。

【 0 0 5 3 】

また、ノンドープアモルファスシリコンと、不純物がドーブされ、結晶化された $G e$ 又は $S i G e$ の価電子帯オフセット $\Delta E v$ は、約 $0.5 e V$ となるため、両者の伝導帯オフセット $\Delta E c$ は、

30

約 $0.04 e V$ $\Delta E c < 約 0.5 e V$

の範囲内にある。

【 0 0 5 4 】

ここで、 $M i d - g a p$ は、価電子帯の極大エネルギー値 $E v$ と伝導帯の極小エネルギー $E c$ との中間値 (バンドギャップ $\Delta E - s i$, $\Delta E - g e$ の中間値) である。

【 0 0 5 5 】

即ち、第 1 の実施例の構造では、伝導帯オフセット $\Delta E c$ を従来よりも低減することができるため、可変抵抗素子 $V R$ を高抵抗状態から低抵抗状態に変化させる書き込み動作 (セット動作) において、電子電流を増加させることができる。このため、書き込みに必要なセット電圧を小さくし、高速書き込みを実現することができる。

40

【 0 0 5 6 】

この効果を図 1 4 に示す。同図では、伝導帯オフセット $\Delta E c$ をパラメータに、可変抵抗素子 (高抵抗状態) $V R$ にかかる電圧 $V g$ とそれに流れる電流 I がどのように変化するかを示している。同図によれば、電圧 $V g$ を固定したとき、電極 $E L 1$ に $G e$ 又は $S i G e$ を使用した場合の電流 I は、電極 $E L 1$ に $S i$ を使用した場合の電流 I よりも大きくなることが分かる。

【 0 0 5 7 】

また、価電子帯オフセット $\Delta E v$ は、従来と変わらないため、可変抵抗素子 $V R$ を低抵抗状態から高抵抗状態に変化させる消去動作 (リセット動作) において、選択メモリセル

50

と非選択メモリセルとの電圧マージンを十分に確保できる。

【0058】

さらに、Ge及びSiGeが結晶化する温度は、Siが結晶化する温度よりも低い。即ち、Ge及びSiGeは、Siに比べて、低温での活性化アニールが可能であるため、不揮発性半導体記憶装置の製造プロセスにおいて、可変抵抗素子VRとしてのアモルファスシリコンが結晶化する、という事態を回避できる。このため、メモリセルの特性を向上させることが可能になる。この点は、製造方法の項目において説明する。

【0059】

[セット/リセット動作]

図8は、メモリセルの動作の一例を示す模式図である。

10

【0060】

可変抵抗素子(ノンドープアモルファスSi)VRは、初期状態においてリセット状態(高抵抗状態)にあるものとする。また、電極EL1は、p型不純物がドーブされた多結晶Ge層とし、電極EL2は、Ag層とする。

【0061】

書き込み動作(セット動作)では、例えば、電極EL2に正電圧、電極EL1に固定電圧(例えば、接地電圧)を印加すると、電極EL2内のAg原子がイオン化され、可変抵抗素子VR内を拡散し、電極EL1側に移動する。電極EL1側に移動したイオン化されたAg原子は、電極EL1から電子を受け取り、金属として析出するため、金属フィラメントMFを形成する。

20

【0062】

この金属フィラメントMFは、電極EL1から電極EL2に向かって次第に延びていくため、電極EL1、EL2間の抵抗値は、この金属フィラメントMFの長さや太さ等の形状に反比例して低下する。そして、最終的には、例えば、金属フィラメントMFの先端は、電極EL2に接触するため、可変抵抗素子VRは、高抵抗状態から低抵抗状態へ遷移する。これがセット動作である。

【0063】

ここで、電極EL1に多結晶Ge層を用いることで、図14に示すように、ノンドープアモルファスSiとp型不純物がドーブされた多結晶Geとの伝導帯オフセット ΔE_c を約0.04 eVにすることができ、セット電圧の低減と高速動作に貢献することができる。

30

【0064】

これに対し、可変抵抗素子VRを低抵抗状態から高抵抗状態に遷移させる消去(リセット)動作は、可変抵抗素子VRの本体に逆極性の電場を印加することにより行われる。この時、金属フィラメントMFは、次第に短くなり、電極EL2から切断される。これにより、可変抵抗素子VRは、低抵抗状態から高抵抗状態へ遷移する。

【0065】

[製造方法]

第1の実施例に係わるメモリセルの製造方法について説明する。

【0066】

本例では、メモリセルのうち可変抵抗部の製造方法について示し、整流素子部についての説明は省略する。また、メモリセルは、図6(a)に示す構造を対象とし、配線部については、一般的なBEOL工程(Back End Of Line)により形成可能であるため、その説明は省略する。

40

【0067】

まず、PE-CVD(Plasma Enhanced Chemical Vapor Deposition)により、下部電極EL1として、ボロン(B)をドーブしたアモルファスゲルマニウム(a-Ge)層を形成する。この時のボロンのドーブ濃度は、例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ である。この後、結晶化のためのアニールを施すことにより、下部電極EL1としてのp型多結晶Ge層を形成する。この時のアニール温度は、例

50

えば、300 である。

【0068】

次に、PE-CVDにより、下部電極EL1上に可変抵抗素子VRとしてのアモルファスシリコン(Si)層を形成する。この時の堆積温度は、例えば、300 である。

【0069】

本例では、ボロンをドーブしたアモルファスゲルマニウムの堆積時には、原料ガスとして、ジボランガスとゲルマンガスの混合ガスを用い、アモルファスシリコンの堆積時には、原料ガスとして、ジシランガスを用いる。但し、アモルファスシリコンの堆積に関しては、より高温で堆積したいときは、ジシランガスに代えて、シランガスを用いることも可能である。

10

【0070】

尚、本例では、アモルファスゲルマニウム層及びアモルファスシリコン層は、それぞれ、PE-CVDにより形成したが、これに代えて、LP-CVD(Low Pressure Chemical Vapor Deposition)を用いてもよい。また、スパッタリング、電子線蒸着、又は、MBD(Molecular Beam Deposition)等のPVD(Physical Vapor Deposition)を用いてもよい。

【0071】

次に、抵抗加熱蒸着法により、可変抵抗素子VR上に、上部電極EL2として、Ag層を形成する。そして、PEP(Photo Engraving Process)により、Ag層上にレジストパターンを形成した後、このレジストパターンをマスクにして、RIE(Reactive Ion Etching)により、下部電極EL1、可変抵抗素子VR及び上部電極EL2の加工を行う。

20

【0072】

以上の工程により、メモリセルが完成する。

【0073】

尚、本例の製造プロセスにおいて、Geの活性化アニールは、Si層等のそれ以外の部材の活性化アニールとまとめて同時に行ってもよい。

【0074】

[第1の実施例の効果]

30

可変抵抗素子の本体を構成するアモルファスSi層の一端側に、アモルファスSi層内に電気伝導路(金属フィラメント)を形成する金属原子を含む電極を有するメモリセルにおいて、アモルファスSi層の他端側に、不純物がドーブされ、結晶化されたGe又はSiGeから構成される電極を設けることにより、セット電圧を低減できる。

【0075】

また、電極にSiGeを用いる場合、SiGeの組成に濃度勾配を設け、可変抵抗素子としてのアモルファスSiに最も近い部分でSi濃度を最も高くしてもよい。

【0076】

また、結晶化されたGe又はSiGeを形成するときのアニール温度は、アモルファスSi層を堆積するときの温度と同じ、又は、それ未満である。即ち、結晶化されたGe又はSiGeを形成するときのアニール温度を、アモルファスSi層が結晶化する温度(約600)よりも低くできるため、可変抵抗素子としてのアモルファスSiの結晶状態を維持できる。結果として、不揮発性半導体記憶装置の特性を向上できる。

40

【0077】

[第2の実施例]

図9は、メモリセルの第2の実施例を示している。

【0078】

同図(a)は、電極(下部電極)EL1上に結晶分離層ILが形成され、結晶分離層IL上に可変抵抗素子VRが形成され、可変抵抗素子VR上に電極(上部電極)EL2が形成される。同図(b)は、電極(下部電極)EL2上に可変抵抗素子VRが形成され、可

50

変抵抗素子VR上に結晶分離層ILが形成され、結晶分離層IL上に電極（上部電極）EL1が形成される。

【0079】

可変抵抗素子VRは、ノンドープアモルファスシリコンを本体とし、可変抵抗体として機能する。電極EL1は、少なくとも可変抵抗素子VR側の部分に、結晶化されたゲルマニウム（Ge）層、又は、結晶化されたシリコンゲルマニウム（SiGe）層を有する。電極EL2は、少なくとも可変抵抗素子VRに接触する部分に、金属原子を含む導電層を有する。

【0080】

金属原子を含む導電層は、例えば、Ag、Fe、Co、Ni、Cu、Ag、Au、Znの群から選択される少なくとも1つの原子を含む。

10

【0081】

また、電極EL1と可変抵抗素子VRとの間には、結晶分離層ILが配置される。結晶分離層ILは、電極EL1を構成する結晶化された Si_xGe_{1-x} （ $0 < x < 1$ ）の結晶構造と、可変抵抗素子VRを構成するアモルファスシリコンの結晶構造とを分離する機能を有する。

【0082】

結晶分離層ILは、Siもしくは金属の酸化物、酸窒化物もしくは窒化物が用いられる。例えば、シリコン酸化物、シリコン酸窒化物、シリコン窒化物、アルミニウム酸化物、ハフニウム酸化物、ジルコニウム酸化物、チタン酸化物、ランタン酸化物、プロセオジム酸化物、ジスプロシウム酸化物の群から選択される1つ、又は、これら酸化物又は窒化物のシリケート、アルミネート又は窒素混合膜、例えば、HfSiO、ZrSiO、TiSiO、LaSiO、PrSiO、DySiO、HfAlO、ZrAlO、TiAlO、LaAlO、PrAlO、DyAlO、LaAlSiO、PrAlSiO、DyAlSiO、HfSiON、ZrSiON、TiSiONの群から選択される1つである。

20

【0083】

なお、結晶分離層ILは、結晶を分離しやすくするため、また、電極EL2から拡散してくる金属層をブロックするために、アモルファスであることが望ましい。

【0084】

また、結晶分離層ILとして、高誘電率材料（いわゆるHigh-k材料）を用いると、結晶分離層ILでの電位降下を低減することができる。また、結晶分離層ILとして、SiO₂を用い、電極EL1として、SiGeを用いるとき、SiO₂は、SiGeを酸化することによって形成してもよい。

30

【0085】

また、結晶分離層ILの厚さは、可変抵抗素子VRに流れる電流量を稼ぐために、直接トンネル電流が発生する条件下で決めるのが望ましい。直接トンネル電流を流すのに望ましい結晶分離層ILの厚さは、3nm以下である。また、電極EL1の結晶情報を可変抵抗素子VRに引き継がないようにするには、結晶分離層ILの厚さは、1原子層に相当する0.3nm以上であることが望ましい。

【0086】

従って、望ましい結晶分離層ILの厚さは、0.3nm以上、3nm以下の範囲内となる。

40

【0087】

図10は、図9のメモリセルのエネルギーバンド図を示している。

【0088】

ノンドープアモルファスシリコン（Si）の価電子帯の極大エネルギー値Evと伝導帯の極小エネルギーEcとの間のバンドギャップΔE-siは、約1.12eVである。

【0089】

また、不純物（例えば、p型不純物）がドーパされ、結晶化されたGe又はSiGe（ Si_xGe_{1-x} ： $0 < x < 1$ ）の価電子帯の極大エネルギー値Evと伝導帯の極小工

50

エネルギー E_c との間のバンドギャップ $\Delta E - g_e$ は、

約 0.66 eV ($\text{Si}_x \text{Ge}_{1-x}$: $x = 0$) $\Delta E - g_e < \text{約 } 1.12 \text{ eV}$ ($\text{Si}_x \text{Ge}_{1-x}$: $x = 1$)

の範囲内にある。

【0090】

また、ノンドープアモルファスシリコンと、不純物がドーブされ、結晶化された Ge 又は SiGe の価電子帯オフセット ΔE_v は、約 0.5 eV となるため、両者の伝導帯オフセット ΔE_c は、

約 0.04 eV $\Delta E_c < \text{約 } 0.5 \text{ eV}$

の範囲内にある。

10

【0091】

ここで、 Mid-gap は、価電子帯の極大エネルギー値 E_v と伝導帯の極小エネルギー E_c との中間値 (バンドギャップ $\Delta E - s_i$, $\Delta E - g_e$ の中間値) である。

【0092】

結晶分離層のバンドギャップ $\Delta E - i$ に関し、例えば、結晶分離層が SiO_2 のとき、 $\Delta E - i$ は、約 8.9 eV であり、結晶分離層が SiN のとき、 $\Delta E - i$ は、約 4.8 eV であり、結晶分離層が LaO のとき、 $\Delta E - i$ は、約 6.5 eV である。

【0093】

また、ノンドープアモルファスシリコンと結晶分離層の伝導帯オフセット $\Delta E_c'$ に関し、例えば、結晶分離層が SiO_2 のとき、 $\Delta E_c'$ は、約 3.2 eV であり、結晶分離層が SiN のとき、 $\Delta E_c'$ は、約 2.0 eV であり、結晶分離層が LaO のとき、 $\Delta E_c'$ は、約 3.1 eV である。

20

【0094】

即ち、第2の実施例の構造でも、伝導帯オフセット ΔE_c を従来よりも低減することができるため、可変抵抗素子 VR を高抵抗状態から低抵抗状態に変化させる書き込み動作 (セット動作) において、電子電流を増加させることができる。このため、書き込みに必要なセット電圧を小さくし、高速書き込みを実現することができる。

【0095】

ここで、結晶分離層は、可変抵抗素子に流れる電流量を狭窄する恐れがあるが、伝導帯オフセット ΔE_c を低減することにより、従来と同様の電流量を確保することができる。これは、結晶分離層 IL が通すトンネル電流が大きいほど、顕著となる。また、セット時の電流 (I_{on}) を大きく取れるため、リセット時の電流 (I_{off}) との比を拡大し、メモリウィンドウを広げることができる。

30

【0096】

また、価電子帯オフセット ΔE_v は、従来と変わらないため、可変抵抗素子 VR を低抵抗状態から高抵抗状態に変化させる消去動作 (リセット動作) において、選択メモリセルと非選択メモリセルとの電圧マージンを十分に確保できる。

【0097】

さらに、 Ge 及び SiGe が結晶化する温度は、 Si が結晶化する温度よりも低い。即ち、 Ge 及び SiGe は、 Si に比べて、低温での活性化アニールが可能であるため、不揮発性半導体記憶装置の製造プロセスにおいて、可変抵抗素子 VR としてのアモルファスシリコンが結晶化する、という事態を回避できる。このため、メモリセルの特性を向上させることが可能になる。

40

【0098】

[セット / リセット動作]

図11は、メモリセルの動作の一例を示す模式図である。

【0099】

可変抵抗素子 (ノンドープアモルファス Si) VR は、初期状態においてリセット状態 (高抵抗状態) にあるものとする。また、電極 EL1 は、 p 型不純物がドーブされた多結晶 $\text{Si}_{0.5} \text{Ge}_{0.5}$ 層とし、電極 EL2 は、 Co 層とし、結晶分離層 IL は、シリコ

50

ン酸化膜とする。

【0100】

書き込み動作（セット動作）では、例えば、電極EL2に正電圧、電極EL1に固定電圧（例えば、接地電圧）を印加すると、電極EL2内のCo原子がイオン化され、可変抵抗素子VR内を拡散し、電極EL1側に移動する。電極EL1側に移動したイオン化されたCo原子は、結晶分離層ILのトンネル電流を介して、電極EL1から電子を受け取り、金属として析出するため、金属フィラメントMFを形成する。

【0101】

この金属フィラメントMFは、結晶分離層ILから電極EL2に向かって次第に延びていくため、電極EL1，EL2間の抵抗値は、この金属フィラメントMFの長さや太さ等の形状に反比例して低下する。そして、最終的には、例えば、金属フィラメントMFの先端は、電極EL2に接触するため、可変抵抗素子VRは、高抵抗状態から低抵抗状態へ遷移する。これがセット動作である。

10

【0102】

ここで、電極EL1に多結晶Si_{0.5}Ge_{0.5}層を用いることで、図14に示すように、ノンドープアモルファスSiとp型不純物がドーパされた多結晶SiGeとの伝導帯オフセットΔEcを約0.3eVにすることができるため、セット電圧の低減と高速動作に貢献することができる。

【0103】

また、イオン化されたCo原子が可変抵抗素子VR内を拡散し電極EL1に到達するとき、電極EL1としての多結晶SiGe層に深い準位が形成されるが、結晶分離層ILによってCo原子の電極EL1への拡散を防止できるため、電流量の制御が容易となる。

20

【0104】

これに対し、可変抵抗素子VRを低抵抗状態から高抵抗状態に遷移させる消去（リセット）動作は、可変抵抗素子VRの本体に逆極性の電場を印加することにより行われる。この時、金属フィラメントMFは、次第に短くなり、電極EL2から切断される。これにより、可変抵抗素子VRは、低抵抗状態から高抵抗状態へ遷移する。

【0105】

〔製造方法〕

第2の実施例に係わるメモリセルの製造方法について説明する。

30

【0106】

本例では、メモリセルのうち可変抵抗部の製造方法について示し、整流素子部についての説明は省略する。また、メモリセルは、図6(a)に示す構造を対象とし、配線部については、一般的なBEOL工程により形成可能であるため、その説明は省略する。

【0107】

まず、PE-CVDにより、下部電極EL1として、ボロン(B)をドーパしたアモルファスシリコンゲルマニウム(a-SiGe)層を形成する。この時のボロンのドーパ濃度は、例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ である。続けて、ALD(Atomic Layer Deposition)により、下部電極EL1上に結晶分離層ILとしてSiO₂層を形成する。この後、結晶化のためのアニールを施すことにより、下部電極EL1としてのp型多結晶SiGe層を形成する。この時のアニール温度は、例えば、500である。

40

【0108】

次に、LP-CVDにより、結晶分離層IL上に可変抵抗素子VRとしてのアモルファスシリコン(Si)層を形成する。この時の堆積温度は、例えば、520である。

【0109】

本例では、ボロンをドーパしたアモルファスシリコンゲルマニウムの堆積時には、原料ガスとして、ジボランガスとゲルマニウムガスの混合ガスを用い、アモルファスシリコンの堆積時には、原料ガスとして、ジシランガスを用いる。但し、アモルファスシリコンの堆積に関しては、より高温で堆積したいときは、ジシランガスに代えて、シランガスを用いる

50

ことも可能である。

【 0 1 1 0 】

尚、アモルファスシリコンゲルマニウム層及びアモルファスシリコン層は、それぞれ、P E - C V D、L P - C V D、スパッタリング、電子線蒸着、及び、M B D等のP V Dのうちの1つの方法により形成できる。

【 0 1 1 1 】

次に、電子線蒸着法により、可変抵抗素子V R上に、上部電極E L 2として、C o層を形成する。そして、P E Pにより、C o層上にレジストパターンを形成した後、このレジストパターンをマスクにして、R I Eにより、下部電極E L 1、結晶分離層I L、可変抵抗素子V R及び上部電極E L 2の加工を行う。

10

【 0 1 1 2 】

以上の工程により、メモリセルが完成する。

【 0 1 1 3 】

尚、本例の製造プロセスにおいて、S i G eの活性化アニールは、それ以外の部材の活性化アニールとまとめて同時に行ってもよい。

【 0 1 1 4 】

[第 2 の実施例の効果]

第 2 の実施例では、第 1 の実施例に示した効果の他、以下に示す効果が得られる。

【 0 1 1 5 】

結晶分離層I Lにより、電極E L 1の結晶情報を可変抵抗素子V Rに引き継がないようにすることが可能になるため、可変抵抗素子としてのアモルファスS i層の結晶状態をより安定化することができる。

20

【 0 1 1 6 】

[第 3 の実施例]

図 1 2 は、メモリセルの第 3 の実施例を示している。

【 0 1 1 7 】

同図 (a) は、電極 (下部電極) E L 1 , E L 1 ' 上に結晶分離層I Lが形成され、結晶分離層I L上に可変抵抗素子V Rが形成され、可変抵抗素子V R上に電極 (上部電極) E L 2が形成される。同図 (b) は、電極 (下部電極) E L 2上に可変抵抗素子V Rが形成され、可変抵抗素子V R上に結晶分離層I Lが形成され、結晶分離層I L上に電極 (上部電極) E L 1 , E L 1 ' が形成される。

30

【 0 1 1 8 】

可変抵抗素子V Rは、ノンドープアモルファスシリコンを本体とし、可変抵抗体として機能する。電極E L 1は、少なくとも可変抵抗素子V R側の部分に、結晶化されたゲルマニウム (G e) 層、又は、結晶化されたシリコンゲルマニウム (S i G e) 層を有する。電極E L 1 ' は、結晶化されたシリコン (S i) 層を有する。

【 0 1 1 9 】

電極E L 2は、少なくとも可変抵抗素子V Rに接触する部分に、金属原子を含む導電層を有する。金属原子を含む導電層は、例えば、A g、F e、C o、N i、C u、A g、A u、Z nの群から選択される少なくとも1つの原子を含む。

40

【 0 1 2 0 】

また、電極E L 1 ' と可変抵抗素子V Rとの間には、結晶分離層I Lが配置される。

【 0 1 2 1 】

結晶分離層I Lについては、第 2 の実施例と同様なので、説明を割愛する。

【 0 1 2 2 】

第 3 の実施例は、第 2 の実施例と比べると、電極E L 1と結晶分離層I Lとの間に、電極E L 1 ' を新たに設けた点に特徴を有する。例えば、電極E L 1を、結晶化されたG e又はS i G eとし、電極E L 1 ' を、結晶化されたS iとすることにより、結晶分離層I Lの両界面双方にS iが接することになり、金属イオン可動域における界面の均質性を向上させ、素子ばらつきを低減できる。なお、結晶分離層I Lがない場合にも、金属イオン

50

可動域における構成元素を低減することができ、素子ばらつきを低減できる。

【0123】

例えば、電極 $E L 1$, $E L 1'$ により、伝導帯の電位障壁の形状を階段状又はスロープ状とすることにより、トンネル電流を増加させ、セット時において、従来よりも大きな電流量 (I_{on}) を可変抵抗素子 $V R$ に流すことができる。このため、リセット時の電流 (I_{off}) との比を拡大し、メモリウィンドウを広げることができる。なお、トンネル電流を確保するために、電極 $E L 1'$ の厚さは 3 nm 以下が好ましい。

【0124】

また、価電子帯オフセットは、従来と変わらないため、可変抵抗素子 $V R$ を低抵抗状態から高抵抗状態に変化させる消去動作 (リセット動作) において、選択メモリセルと非選択メモリセルとの電圧マージンを十分に確保できる。

10

【0125】

さらに、 $G e$ 及び $S i G e$ が結晶化する温度は、 $S i$ が結晶化する温度よりも低い。即ち、 $G e$ 及び $S i G e$ は、 $S i$ に比べて、低温での活性化アニールが可能であるため、不揮発性半導体記憶装置の製造プロセスにおいて、可変抵抗素子 $V R$ としてのアモルファスシリコンが結晶化する、という事態を回避できる。このため、メモリセルの特性を向上させることが可能になる。

【0126】

[セット / リセット動作]

図 13 は、メモリセルの動作の一例を示す模式図である。

20

【0127】

可変抵抗素子 (ノンドープアモルファス $S i$) $V R$ は、初期状態においてリセット状態 (高抵抗状態) にあるものとする。また、電極 $E L 1$ は、 p 型不純物がドーブされた多結晶 $G e$ 層とし、電極 $E L 1'$ は、 p 型不純物がドーブされた多結晶 $S i$ 層とし、電極 $E L 2$ は、 $C u$ 層とし、結晶分離層 $I L$ は、 $S i N$ とする。

【0128】

書き込み動作 (セット動作) では、例えば、電極 $E L 2$ に正電圧、電極 $E L 1$, $E L 1'$ に固定電圧 (例えば、接地電圧) を印加すると、電極 $E L 2$ 内の $C u$ 原子がイオン化され、可変抵抗素子 $V R$ 内を拡散し、電極 $E L 1$, $E L 1'$ 側に移動する。電極 $E L 1$, $E L 1'$ 側に移動したイオン化された $C u$ 原子は、結晶分離層 $I L$ のトンネル電流を介して、電極 $E L 1$, $E L 1'$ から電子を受け取り、金属として析出するため、金属フィラメント $M F$ を形成する。

30

【0129】

この金属フィラメント $M F$ は、結晶分離層 $I L$ から電極 $E L 2$ に向かって次第に延びていくため、電極 $E L 1$, $E L 1'$ と電極 $E L 2$ との間の抵抗値は、この金属フィラメント $M F$ の長さに反比例して低下する。そして、最終的には、例えば、金属フィラメント $M F$ の先端は、電極 $E L 2$ に接触するため、可変抵抗素子 $V R$ は、高抵抗状態から低抵抗状態へ遷移する。これがセット動作である。

【0130】

ここで、電極 $E L 1$ に多結晶 $G e$ 層を用いることで、図 14 に示すように、ノンドープアモルファス $S i$ と p 型不純物がドーブされた多結晶 $G e$ との伝導帯オフセット ΔE_c を約 0.04 eV にすることができるため、セット電圧の低減と高速動作に貢献することができる。

40

【0131】

また、イオン化された $C u$ 原子が可変抵抗素子 $V R$ 内を拡散するとき、電極 $E L 1$, $E L 1'$ としての半導体層 (多結晶 $S i G e$ / 多結晶 $S i$) 層に深い準位が形成されるが、結晶分離層 $I L$ によって $C u$ 原子の電極 $E L 1$, $E L 1'$ への拡散を防止できるため、電流量の制御が容易となる。

【0132】

さらに、電極 $E L 1$, $E L 1'$ の積層構造により、伝導帯の電位障壁の形状の制御が容

50

易となる。このため、セット動作時における電流量と電圧量の制御が容易となる。

【0133】

これに対し、可変抵抗素子VRを低抵抗状態から高抵抗状態に遷移させる消去（リセット）動作は、可変抵抗素子VRの本体に逆極性の電場を印加することにより行われる。この時、金属フィラメントMFは、次第に短くなり、電極EL2から切断される。これにより、可変抵抗素子VRは、低抵抗状態から高抵抗状態へ遷移する。

【0134】

ところで、第3の実施例においても、第2の実施例と同様に、例えば、可変抵抗素子VRは、アモルファスシリコン内にそれよりも低抵抗の複数の低抵抗粒子を有していてもよい。この場合、金属フィラメントMFの長さを制御することにより、1つの可変抵抗素子VRに3値以上の複数の値を記憶する多値化を実現することが容易となる。

10

【0135】

〔製造方法〕

第3の実施例に係わるメモリセルの製造方法について説明する。

【0136】

本例では、メモリセルのうち可変抵抗部の製造方法について示し、整流素子部についての説明は省略する。また、メモリセルは、図6(a)に示す構造を対象とし、配線部については、一般的なBEOL工程により形成可能であるため、その説明は省略する。

【0137】

まず、PE-CVDにより、電極EL1として、ボロン(B)をドーブしたアモルファスゲルマニウム(a-Ge)層を形成する。この時のボロンのドーブ濃度は、例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ である。続けて、PE-CVDにより、電極EL1上に、電極EL1'として、ボロン(B)をドーブしたアモルファスシリコン(a-Si)層を形成する。この時のボロンのドーブ濃度は、例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ である。

20

【0138】

この後、結晶化のためのアニールを施すことにより、電極EL1としてのp型多結晶Ge層を形成すると共に、電極EL1'としてのp型多結晶Si層を形成する。この時のアニール温度は、例えば、500である。

【0139】

ここで、アモルファスシリコンが結晶化される温度は、既に述べているように、約600であるが、この温度以上でアニールを行うと、例えば、メモリセルアレイを三次元化したときの下層のメモリセル内の可変抵抗素子（アモルファスシリコン）が結晶化されてしまう問題が発生する。

30

【0140】

そこで、ここでのアニール温度は、アモルファスシリコンが結晶化される通常温度である600未満、即ち、500とする。また、アニール温度を500としても、電極EL1'としてのアモルファスシリコンを多結晶シリコンに結晶化することができる。なぜなら、電極(Si)EL1'は、電極(Ge)EL1を結晶核として結晶化させることができるからである。即ち、電極EL1'としてのアモルファスシリコンは、アニール温度500でも十分に結晶化される。なお、この結晶化アニールにおいて、不純物の活性化も行われる。

40

【0141】

次に、ALDにより、電極EL1'上に、結晶分離層ILとしてSiN層を約1nmの厚さで形成する。続けて、LP-CVDにより、結晶分離層IL上に可変抵抗素子VRとしてのアモルファスシリコン(Si)層を形成する。この時の堆積温度は、例えば、520である。

【0142】

本例では、ボロンをドーブしたアモルファスGeの堆積時には、原料ガスとして、ジボランガスとゲルマンガスの混合ガスを用い、ボロンをドーブしたアモルファスSiの堆積時には、原料ガスとして、ジボランガスとジシランガスの混合ガスを用いる。但し、アモ

50

ルファス S i の堆積に関しては、より高温で堆積したいときは、ジシランガスに代えて、シランガスを用いることも可能である。

【 0 1 4 3 】

また、S i N の堆積時には、原料ガスとして、ジクロロシランおよびアンモニアを用い、可変抵抗素子 V R としてのアモルファス S i の堆積時には、原料ガスとして、ジシランガスを用いる。但し、アモルファス S i の堆積に関しては、より高温で堆積したいときは、ジシランガスに代えて、シランガスを用いることも可能である。

【 0 1 4 4 】

尚、G e 層及び S i 層は、それぞれ、P E - C V D、L P - C V D、スパッタリング、電子線蒸着、及び、M B D 等の P V D のうちの 1 つの方法により形成できる。

10

【 0 1 4 5 】

次に、スパッタリング法により、可変抵抗素子 V R 上に、上部電極 E L 2 として、C u 層を形成する。そして、P E P により、C u 層上にレジストパターンを形成した後、このレジストパターンをマスクにして、R I E により、下部電極 E L 1、E L 1'、結晶分離層 I L、可変抵抗素子 V R 及び上部電極 E L 2 の加工を行う。

【 0 1 4 6 】

以上の工程により、メモリセルが完成する。

【 0 1 4 7 】

尚、本例の製造プロセスにおいて、電極 E L 1、E L 1' としての G e 及び S i の活性化アニールは、両者同時に行っているが、別々に行ってもよい。また、これらの活性化アニールは、これら以外の部材の活性化アニールとまとめて同時に行ってもよい。

20

【 0 1 4 8 】

[第 3 の実施例の効果]

第 2 の実施例では、第 1 の実施例に示した効果の他、以下に示す効果が得られる。

【 0 1 4 9 】

結晶化された G e 又は S i G e と結晶分離層 I L との間に、結晶化された S i 層を形成することにより、結晶分離層 I L の両界面双方に S i が接することになり、金属イオン可動域における界面の均質性を向上させ、素子ばらつきを低減できる。しかも、この結晶化された S i 層は、結晶化された G e 又は S i G e の結晶状態を引き継ぐため、シリコンが結晶化する温度（約 6 0 0 ）よりも低い温度で、結晶化させることができる。

30

【 0 1 5 0 】

この電位障壁の形状の制御は、電極に S i G e を用いる場合、S i G e の組成に濃度勾配を設けることと併用して行ってもよい。この場合、S i G e の組成に濃度勾配は、可変抵抗素子としてのアモルファス S i に最も近い部分で S i 濃度を最も高くする。

【 0 1 5 1 】

なお、第 3 の実施例においては、結晶分離層 I L がなくてもかまわない。ただし、この場合、第 2 の実施例に記載された効果は伴わない。

【 0 1 5 2 】

[適用例]

以下、適用例について説明する。

40

【 0 1 5 3 】

図 1 5 は、実施形態のメモリセルをクロスポイント型抵抗変化メモリに適用した場合の斜視図を示している。図 1 6 (a) ~ (d) は、それぞれ、メモリセル構造の例を示し、図 1 5 の X V I - X V I 線に沿う断面図に相当する。

【 0 1 5 4 】

ビット線 B L 0 0 ~ B L 0 2、B L 1 0 ~ B L 1 2 は、カラム方向に延び、ワード線 W L 0 ~ W L 2 は、ロウ方向に延びる。ビット線 B L 1 0 ~ B L 1 2 は、ビット線 B L 0 0 ~ B L 0 2 よりも上に形成される。メモリセル M C 0、M C 1 は、ビット線 B L 0 0 ~ B L 0 2、B L 1 0 ~ B L 1 2 とワード線 W L 0 ~ W L 2 の交差部に配置される。

【 0 1 5 5 】

50

メモリセルMC0, MC1は、直列接続される可変抵抗素子VR及び整流素子RDから構成される。可変抵抗素子VRの上下には、電極EL2, EL1が配置される。同様に、整流素子RDの上下にも、電極EL3, EL2が配置される。

【0156】

図16(a)の場合、ビット線BL01及びワード線WL2間のメモリセルMC0、並びに、ワード線WL2及びビット線BL11間のメモリセルMC1は、共に、下から上に向かって、電極EL1、可変抵抗素子VR、電極EL2、整流素子RD、電極EL3の順番で形成される。

【0157】

図16(b)の場合、ビット線BL01及びワード線WL2間のメモリセルMC0、並びに、ワード線WL2及びビット線BL11間のメモリセルMC1は、ワード線WL2に対して対称に配置される。

【0158】

即ち、ビット線BL01及びワード線WL2間のメモリセルMC0は、下から上に向かって、電極EL1、可変抵抗素子VR、電極EL2、整流素子RD、電極EL3の順番で形成される。また、ワード線WL2及びビット線BL11間のメモリセルMC1は、下から上に向かって、電極EL3、整流素子RD、電極EL2、可変抵抗素子VR、電極EL1の順番で形成される。

【0159】

図16(c)の場合、ビット線BL01及びワード線WL2間のメモリセルMC0、並びに、ワード線WL2及びビット線BL11間のメモリセルMC1は、共に、下から上に向かって、電極EL3、整流素子RD、電極EL2、可変抵抗素子VR、電極EL1の順番で形成される。

【0160】

図16(d)の場合、ビット線BL01及びワード線WL2間のメモリセルMC0、並びに、ワード線WL2及びビット線BL11間のメモリセルMC1は、ワード線WL2に対して対称に配置される。

【0161】

即ち、ビット線BL01及びワード線WL2間のメモリセルMC0は、下から上に向かって、電極EL3、整流素子RD、電極EL2、可変抵抗素子VR、電極EL1の順番で形成される。また、ワード線WL2及びビット線BL11間のメモリセルMC1は、下から上に向かって、電極EL1、可変抵抗素子VR、電極EL2、整流素子RD、電極EL3の順番で形成される。

【0162】

図17及び図19は、実施形態のメモリセルを1トランジスタ・2可変抵抗素子型不揮発性メモリに適用した場合の斜視図を示している。図18は、図17のXVIIII-XVIIII線に沿う断面図であり、図20は、図19のXX-XX線に沿う断面図である。

【0163】

ビット線BL0, BL1は、カラム方向に延び、ワード線WL0は、ロウ方向に延びる。ビット線BL0, BL1は、ロウ方向に並んで配置される。メモリセルMC0, MC1は、ビット線BL0と、下部電極LE又は上部電極UEとの間に配置される。

【0164】

下部電極LE又は上部電極UEは、コンタクトプラグP1, P2を介して、セクタとしてのFET(Field Effect Transistor)のソース/ドレインの一端に接続される。

【0165】

本例では、メモリセルMC0, MC1は、例えば、電極EL1、可変抵抗素子VR及び電極EL2から構成される。

【0166】

図17及び図18の場合、下部電極LE及びビット線BL0間のメモリセルMC0、並

10

20

30

40

50

びに、ビット線 B L 0 及び上部電極 U E 間のメモリセル M C 1 は、ビット線 B L 0 に対して対称に配置される。

【 0 1 6 7 】

即ち、下部電極 L E 及びビット線 B L 0 間のメモリセル M C 0 は、下から上に向かって、電極 E L 2、可変抵抗素子 V R、電極 E L 1 の順番で形成される。また、ビット線 B L 0 及び上部電極 U E 間のメモリセル M C 1 は、下から上に向かって、電極 E L 1、可変抵抗素子 V R、電極 E L 2 の順番で形成される。

【 0 1 6 8 】

図 1 9 及び図 2 0 の場合、下部電極 L E 及びビット線 B L 0 間のメモリセル M C 0、M C 1 は、例えば、共に、下から上に向かって、電極 E L 2、可変抵抗素子 V R、電極 E L 1 の順番で形成される。

10

【 0 1 6 9 】

[むすび]

実施形態によれば、アモルファスシリコンを記憶部に用いる記憶装置の動作電圧を低減し、かつ、それを低温プロセスで形成できる。

【 0 1 7 0 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

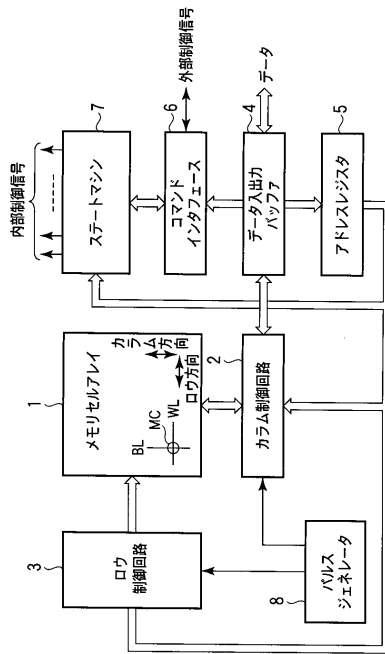
【 符号の説明 】

【 0 1 7 1 】

1 : メモリセルアレイ、 2 : カラム制御回路、 3 : ロウ制御回路、 4 : データ入出力バッファ、 5 : アドレスレジスタ、 6 : コマンドインタフェース、 7 : ステートマシン、 8 : パルスジェネレータ、 W L 0 ~ W L 3 : ワード線、 B L 0 ~ B L 3 : ビット線、 M C : メモリセル、 V R : 可変抵抗素子、 R D : 整流素子、 E L 1 ~ E L 3 : 電極層。

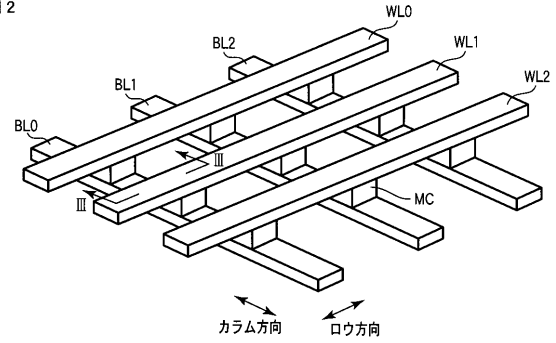
【図 1】

図 1



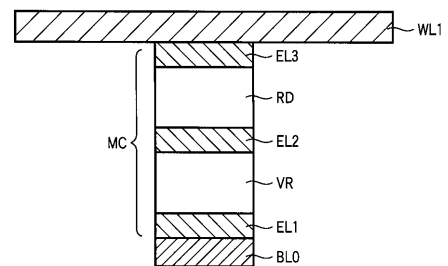
【図 2】

図 2



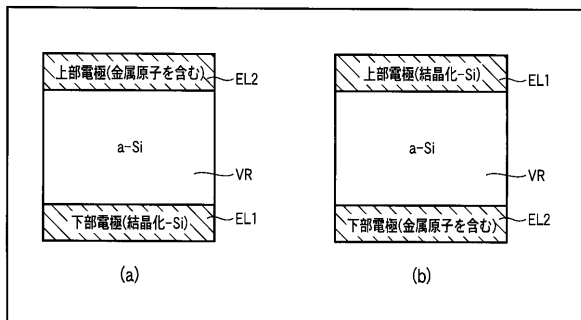
【図 3】

図 3



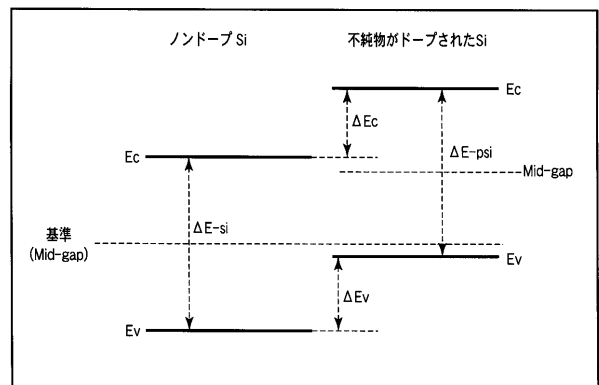
【図 4】

図 4



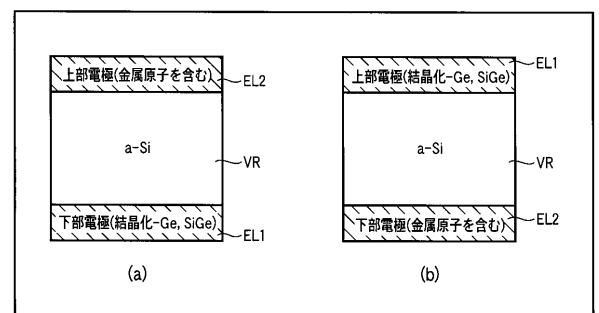
【図 5】

図 5



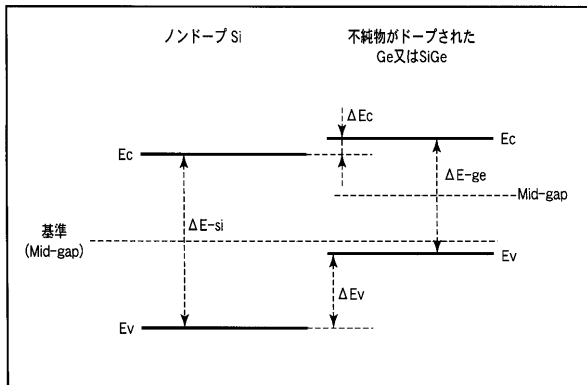
【図 6】

図 6



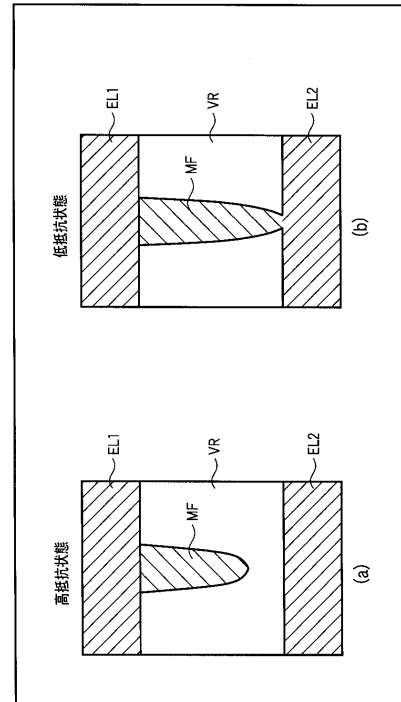
【図 7】

図 7



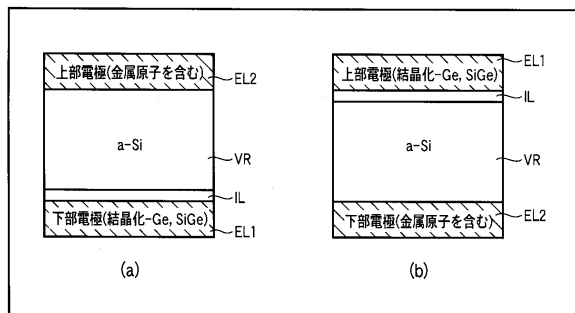
【図 8】

図 8



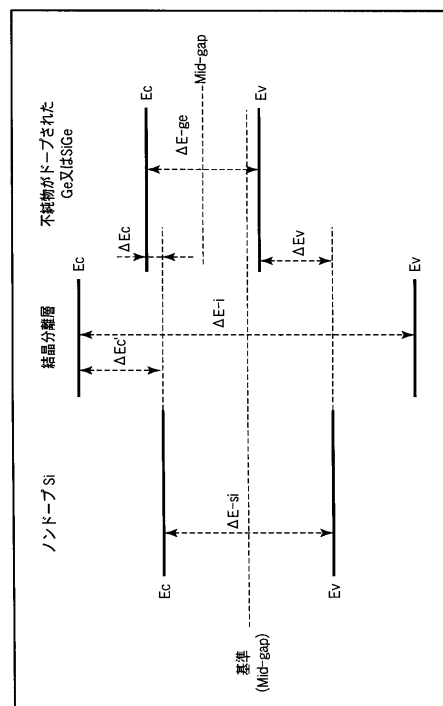
【図 9】

図 9



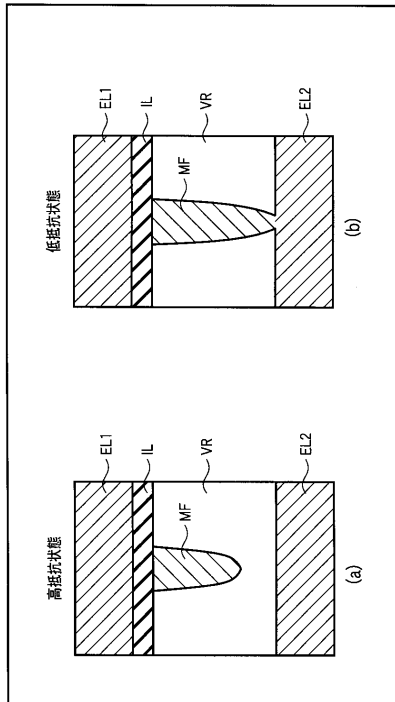
【図 10】

図 10



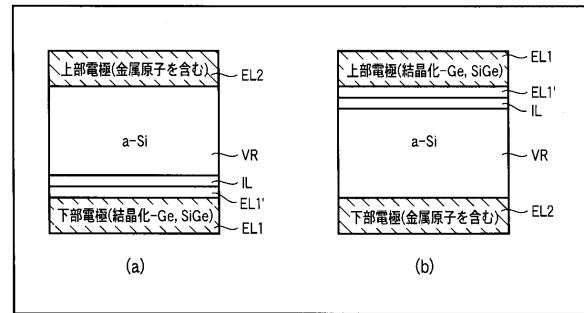
【図 1 1】

図 11



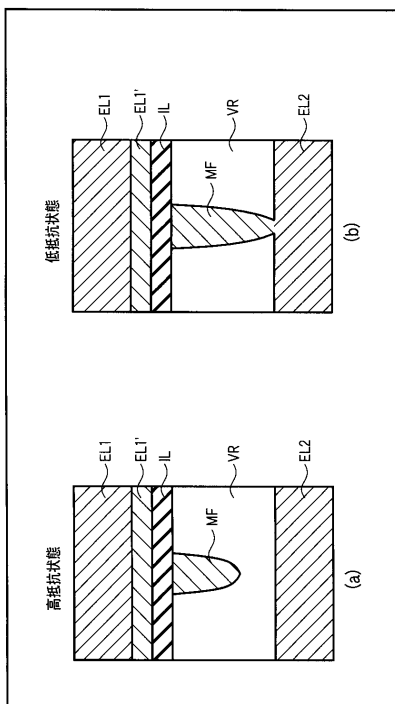
【図 1 2】

図 12



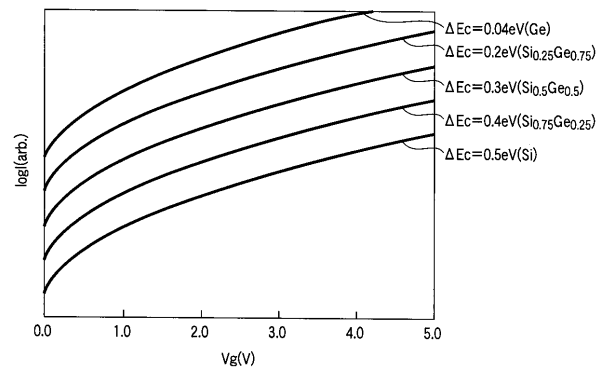
【図 1 3】

図 13



【図 1 4】

図 14



【図 1 5】

図 15

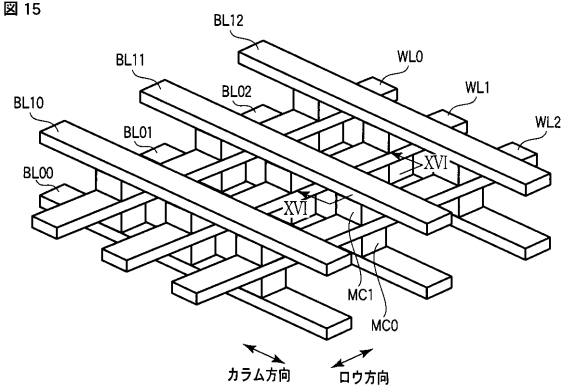


图 16



图 17



图 18



图 19



图 20



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 高島 章
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 松下 大介
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 山内 尚
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 宮川 英典
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 上牟田 雄一
東京都港区芝浦一丁目1番1号 株式会社東芝内

F ターム(参考) 5F083 FZ10 GA01 GA05 GA09 GA10 GA29 JA35 JA37 JA38 JA39
JA56 JA60 LA21 MA06 MA16 MA19 PR21