

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4515082号
(P4515082)

(45) 発行日 平成22年7月28日 (2010. 7. 28)

(24) 登録日 平成22年5月21日 (2010. 5. 21)

(51) Int. Cl.	F 1		
HO3F 3/45 (2006.01)	HO3F	3/45	Z
GO9G 3/20 (2006.01)	GO9G	3/20	611H
GO9G 3/30 (2006.01)	GO9G	3/20	624B
GO9G 3/36 (2006.01)	GO9G	3/20	641D
HO1L 21/822 (2006.01)	GO9G	3/20	642A
請求項の数 12 (全 35 頁) 最終頁に続く			

(21) 出願番号 特願2003-401634 (P2003-401634)
 (22) 出願日 平成15年12月1日 (2003. 12. 1)
 (65) 公開番号 特開2004-201297 (P2004-201297A)
 (43) 公開日 平成16年7月15日 (2004. 7. 15)
 審査請求日 平成18年12月1日 (2006. 12. 1)
 (31) 優先権主張番号 特願2002-351685 (P2002-351685)
 (32) 優先日 平成14年12月3日 (2002. 12. 3)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 宮本 秀一

最終頁に続く

(54) 【発明の名称】 アナログ回路並びにアナログ回路を用いた表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタのゲート端子は、第1の容量素子の一方の端子と電気的に接続されており、

前記第1のトランジスタのゲート端子は、第1のスイッチを介して第1の端子と電気的に接続されており、

前記第1のトランジスタのソース端子は、第2のスイッチを介して前記第1の容量素子の他方の端子に電気的に接続されており、

前記第1の容量素子の他方の端子は、第3のスイッチを介して第2の端子と電気的に接続されており、

第2のトランジスタのゲート端子は、第2の容量素子の一方の端子と電気的に接続されており、

前記第2のトランジスタのゲート端子は、第4のスイッチを介して第3の端子と電気的に接続されており、

前記第2のトランジスタのソース端子は、第5のスイッチを介して前記第2の容量素子の他方の端子に電気的に接続されており、

前記第2の容量素子の他方の端子は、第6のスイッチを介して第4の端子と電気的に接続されており、

前記第1のトランジスタのソース端子と前記第2のトランジスタのソース端子とが電気的に接続されており、

第3のトランジスタのドレイン端子は、前記第1のトランジスタのソース端子と電氣的に接続されており、

第4のトランジスタのドレイン端子は、第7のスイッチを介して前記第2のトランジスタのソース端子と電氣的に接続されており、

前記第3のトランジスタのソース端子と前記第4のトランジスタのソース端子が電氣的に接続されており、

前記第1のスイッチ及び第2のスイッチをオンし、前記第3のスイッチ乃至第6のスイッチをオフする第1の期間と、

前記第4のスイッチ及び第5のスイッチをオンし、前記第1のスイッチ乃至第3のスイッチ、及び前記第6のスイッチをオフする第2の期間と、

前記第3のスイッチ、前記第6のスイッチをオンし、前記第1のスイッチ、前記第2のスイッチ、前記第4のスイッチ、前記第5のスイッチをオフする第3の期間と、
を有し

前記第1の期間において、前記第7のスイッチをオフし、

前記第2の期間において、前記第7のスイッチをオフし、

前記第3の期間において、前記第7のスイッチをオンすることを特徴とするアナログ回路。

【請求項2】

請求項1において、

前記第3及び第4のトランジスタのトランジスタサイズが同一であることを特徴とするアナログ回路。

【請求項3】

第1のトランジスタのゲート端子は、第3のトランジスタのゲート端子と電氣的に接続されており、

前記第1のトランジスタのゲート端子は、第1のスイッチを介して第1の端子と電氣的に接続されており、

前記第1のトランジスタのソース端子は、第2のスイッチを介して前記第3のトランジスタのソース端子及びドレイン端子と電氣的に接続されており、

前記第3のトランジスタのソース端子及びドレイン端子は、第3のスイッチを介して第2の端子と電氣的に接続されており、

第2のトランジスタのゲート端子は、第4のトランジスタのゲート端子と電氣的に接続されており、

前記第2のトランジスタのゲート端子は、第4のスイッチを介して第3の端子と電氣的に接続されており、

前記第2のトランジスタのソース端子は、第5のスイッチを介して前記第4のトランジスタのソース端子及びドレイン端子と電氣的に接続されており、

前記第4のトランジスタのソース端子及びドレイン端子は、第6のスイッチを介して第4の端子と電氣的に接続されており、

前記第1のトランジスタのソース端子と前記第2のトランジスタのソース端子とが電氣的に接続されており、

第5のトランジスタのドレイン端子は、前記第1のトランジスタのソース端子と電氣的に接続されており、

第6のトランジスタのドレイン端子は、第7のスイッチを介して前記第2のトランジスタのソース端子と電氣的に接続されており、

前記第5のトランジスタのソース端子と前記第6のトランジスタのソース端子が電氣的に接続されており、

前記第1のスイッチ及び第2のスイッチをオンし、前記第3のスイッチ乃至第6のスイッチをオフする第1の期間と、

前記第4のスイッチ及び第5のスイッチをオンし、前記第1のスイッチ乃至第3のスイッチ、及び前記第6のスイッチをオフする第2の期間と、

10

20

30

40

50

前記第 3 のスイッチ、前記第 6 のスイッチをオンし、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 4 のスイッチ、前記第 5 のスイッチをオフする第 3 の期間と、
を有し

前記第 1 の期間において、前記第 7 のスイッチをオフし、
前記第 2 の期間において、前記第 7 のスイッチをオフし、
前記第 3 の期間において、前記第 7 のスイッチをオンすることを特徴とするアナログ回路。

【請求項 4】

請求項 3 において、
 前記第 5 及び第 6 のトランジスタのトランジスタサイズが同一であることを特徴とする
 アナログ回路。 10

【請求項 5】

請求項 3 において、
 前記第 1 及び第 3 のトランジスタは同一極性であり、
 前記第 2 及び第 4 のトランジスタは同一極性であることを特徴とするアナログ回路。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、
 前記第 1 及び第 2 のトランジスタは同一極性であることを特徴とするアナログ回路。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、
 前記第 1 のトランジスタに流れる電流を遮断する手段と、
 前記第 2 のトランジスタに流れる電流を遮断する手段と、
 を有していることを特徴とするアナログ回路。 20

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、
 前記第 1 及び第 2 のトランジスタは薄膜トランジスタであり、前記薄膜トランジスタの
 半導体層は、非晶質又は多結晶半導体で形成されていることを特徴とするアナログ回路。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、
 前記第 1 及び第 2 のトランジスタは、有機物又はカーボンナノチューブで形成されてい
 ることを特徴とするアナログ回路。 30

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項に記載のアナログ回路は、
 差動増幅回路、オペアンプ及び信号線駆動回路のいずれか一つを構成することを特徴と
 するアナログ回路。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項に記載のアナログ回路を具備することを特徴と
 する表示装置。

【請求項 12】

請求項 11 に記載の表示装置を具備することを特徴とする電子機器。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ回路の技術に関する。より詳細には、トランジスタの電流特性のバラツキの影響を低減する回路技術に関する。

【背景技術】

【0002】

近年、ガラス上に、薄膜トランジスタ (TFT) を形成した表示装置が広く普及している。例えば、アモルファス (非晶質) シリコンを用いた TFT を各画素に配置した液晶ディスプレイ (LCD) が、ノート型パーソナルコンピュータや携帯機器などに広く用いら 50

れている。

【 0 0 0 3 】

しかし、アモルファスシリコンを用いた T F T は、移動度が低いため、多くの電流を流すことが出来ない。そこで、ポリクリスタル（多結晶）シリコンを用いた T F T をガラス基板上に形成することが行われている。ポリクリスタルシリコンの T F T は、移動度が高い。よって、ガラス上に駆動回路も集積することが出来る。駆動回路には、主にデジタル回路が搭載されることが多い。しかし、最近では、ガラス上にあらゆる回路を搭載した、システムオンパネルの実現に向けて、研究が進められている。つまり、デジタル回路だけでなく、アナログ回路を搭載することも検討されている。

【 0 0 0 4 】

そこで、アナログ回路の一つとして、ソースフォロワ回路の構成について述べる。図21に、ソースフォロワ回路の回路図を示す。トランジスタTR1のゲート端子4308には、入力電圧 V_i が入力される。トランジスタTR2のゲート端子4309には、バイアス電圧 V_b が加えられる。そして、トランジスタTR1のゲート・ソース間電圧を V_{gs1} とする。なお、簡単のため、低電位側電源（ V_{ss} ）の電位は、0Vであるとする。すると、トランジスタTR1のソース端子4310の電圧（出力電圧 V_o ）は、以下の式（1）を満たす。

【 0 0 0 5 】

【数1】

$$V_o = V_i - V_{gs1} \cdots (1)$$

【 0 0 0 6 】

ここで、簡単のため、トランジスタTR1とトランジスタTR2の電流特性やトランジスタサイズ（ゲート長 L 、ゲート幅 W ）などが同一であるとする。ここで、トランジスタTR1とトランジスタTR2は、直列に接続されているため、各々のトランジスタには、同量の電流が流れる。よって、トランジスタTR1とトランジスタTR2とが、両方とも飽和領域で動作する場合は、トランジスタTR1のゲート・ソース間電圧 V_{gs1} が、トランジスタTR2のゲート・ソース間電圧、すなわち、バイアス電圧 V_b と等しくなる。従って、以下の式（2）を満たす。

【 0 0 0 7 】

【数2】

$$V_o = V_i - V_b \cdots (2)$$

【 0 0 0 8 】

しかしながら、トランジスタTR1とトランジスタTR2のトランジスタサイズ（ゲート長 L 、ゲート幅 W ）を同一にして設計しても、実際に製造すると、各々のサイズがばらついてしまう。また、ゲート絶縁膜の膜厚のバラツキや、チャネル形成領域の結晶状態のバラツキなどが要因となって、トランジスタの電流特性、例えば、しきい値電圧や移動度などが、ばらついてしまう。

【 0 0 0 9 】

ここで、一例として、トランジスタTR1のしきい値電圧が2Vであり、トランジスタTR2のしきい値電圧は、ばらついて、3Vになっているとする。なお、トランジスタに流れる電流は、ゲート・ソース間電圧からしきい値電圧を差し引いた値に応じて変化する。したがって、トランジスタTR2に流れる電流と同量の電流をトランジスタTR1に流すためには、しきい値電圧が1V小さいため、トランジスタTR1のゲート・ソース間電圧も1V小さくなってしまふ。その結果、トランジスタTR1とトランジスタTR2のしきい値電圧が同じ場合と比較すると、式（1）、式（2）より、出力電圧 V_o が1V高くなってしまふことが分かる。

【 0 0 1 0 】

10

20

30

40

50

以上のように、トランジスタTR1とトランジスタTR2の電流特性やトランジスタサイズなどがばらつくと、出力電圧Voもばらついてしまう。

【0011】

そこで、ばらつきの影響を少なくできるように、補正を行う技術が検討されている。例えば、ばらつきを補正したソースフォロワ回路が報告されている（非特許文献1参照。）

【0012】

図24に、その回路図を示す。次に、その回路の動作について述べる。まず、スイッチ4401から4406のうち、スイッチ4401、4406、4404をオンにする。なお、スイッチは、オンにすると、導通状態になるものとする。そして、入力端子4407入力電圧Viが加えられる。次に、スイッチ4401、4406をオフにして、スイッチ4402をオンにする。すると、容量4409に、最初のオフセット電圧が保存される。次に、スイッチ4402、4404をオフにして、スイッチ4403をオンにする。すると、容量4410に、2番目のオフセット電圧が保存される。以上の動作の結果、出力電圧Voのばらつきは、補正される。

【非特許文献1】Euro Display 2002 : p831 : LN-4:A 3.8 inch Half-VGA Transflective Color TFT-LCD with Completely Integrated 6-bit RGB Parallel Interface Drivers

【発明の開示】

【発明が解決しようとする課題】

【0013】

上述した図24のソースフォロワ回路において、補正を行う場合、非常に多くのステップを必要とする。つまり、スイッチ4401から4406のオンオフを何回も繰り返し、ようやく、補正が完了する。そのため、通常の動作を開始させるためには、補正を行うための多くの時間が必要となってしまふ。

【0014】

また、数多くのスイッチや容量が必要になる。そのため、レイアウト面積が増大し、製造上の歩留まりを低下させる要因にもなる。

【0015】

また、ソースフォロワ以外のアナログ回路においても、トランジスタの電流特性などがばらつくと、正常に動作しなかったり、出力結果がばらついたりしてしまう。

【0016】

本発明は上記の問題点を鑑みてなされたものであり、トランジスタの特性バラツキの影響を抑制した電気回路を提供することを課題とする。より詳しくは、アナログ信号を取り扱う電気回路において、トランジスタの特性バラツキの影響を抑制して、所望の動作を行うことができる電気回路を提供することを課題とする。

【課題を解決するための手段】

【0017】

本発明は、上記の問題点を解決するために、以下に示す構成のアナログ回路を用いる。

【0018】

本発明は上記構成によって、第1のトランジスタと第1の容量素子と第1のスイッチと第1の端子と第2の端子と第2のトランジスタと第2の容量素子と第2のスイッチと第3の端子と第4の端子とを有するアナログ回路であって、前記第1のトランジスタのゲート端子と前記第1の容量素子の一方の端子とが電氣的に接続され、前記第2のトランジスタのゲート端子と前記第2の容量素子の一方の端子とが電氣的に接続され、前記第1のトランジスタのソース端子と第2のトランジスタのソース端子とが電氣的に接続され、前記第1の端子と、前記第1の容量素子の一方の端子とは、前記第1のスイッチを介して電氣的に接続され、前記第3の端子と、前記第2の容量素子の一方の端子とは、前記第2のスイッチを介して電氣的に接続され、前記第1の容量素子の他方の端子と、前記第2の端子または前記第1のトランジスタのソース端子のいずれか一つの端子とが電氣的に接続される手段を有し、前記第2の容量素子の他方の端子と、前記第4の端子または前記第2のトランジスタのソース端子のいずれか一つの端子と電氣的に接続される手段を有していること

10

20

30

40

50

を特徴とするアナログ回路が提供される。

【0019】

上記構成のアナログ回路において、動作方法として、2つの動作状態に分けられる。1つが、補正動作であり、もう1つが、通常動作である。補正動作においては、バラツキの影響を補正するための情報を取得する。そして、通常動作において、補正動作で得た情報を入力信号に上乗せし、本来の回路の動作を行う。このように、補正動作で得た情報を入力信号に上乗せするため、通常動作においては、バラツキの影響が低減されている。

【0020】

また、補正動作によって得た情報は、保存しておく。そして、通常動作を行う時には、前記保存しておいた情報を用いる。その結果、通常動作を行う度に補正動作を行う必要はない。

10

【0021】

そこで次に、各動作状態における回路の接続状態を示す。

【0022】

まず、図22に、補正動作を行っている場合の回路の接続状態を示す。トランジスタTR1のゲート端子とソース端子との間に、容量素子104が配置されている。容量素子104の一方の端子とトランジスタTR1のゲート端子とは、電気的に接続されており、容量素子104の他方の端子とトランジスタTR1のソース端子とは、電気的に接続されている。ここで、各端子は電気的に接続されているため、端子間の配線上には、オン状態のスイッチや受動素子や能動素子などが配置されていてもよい。なお、以後、本明細書において、接続されているとは、電気的に接続されていることと同じであるとする。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子（例えば、別の素子やスイッチなど）が配置されていてもよい。また、トランジスタTR1のゲート端子、ドレイン端子、ソース端子は、各々、別の素子（スイッチ、トランジスタのような能動素子、受動素子等）や配線などに電気的に接続されている。

20

【0023】

この接続状態は、前記第1のトランジスタのゲート端子と前記第1の容量素子の一方の端子とが接続され、前記第1の端子と前記第1の容量素子の一方の端子とが接続され、前記第1の容量素子の他方の端子と前記第2の端子とが非接続になり、前記第1の容量素子の他方の端子と前記第1のトランジスタのソース端子とが接続されていることに相当する。

30

【0024】

このような接続状況において、トランジスタTR1のドレイン・ソース間には、ある値の電流が流れている。なお、その電流の値は、ゼロを含み、任意である。そして、容量素子104には、前記電流が流れているときのトランジスタTR1のゲート・ソース間電圧 V_{gs} が保存される。トランジスタTR1のゲート・ソース間電圧 V_{gs} の大きさは、トランジスタTR1のドレイン・ソース間に流れる電流の大きさに応じた大きさとなる。したがって、トランジスタTR1の電流特性やトランジスタサイズなどがばらつけば、トランジスタTR1のゲート・ソース間電圧 V_{gs} の大きさも、それによって、異なった値となる。ただし、トランジスタがばらついていても、トランジスタTR1のゲート・ソース間電圧 V_{gs} の大きさは、トランジスタTR1のドレイン・ソース間に流れる電流の大きさに応じた大きさとなることには、変わりはない。

40

【0025】

このようにして、補正動作において、バラツキの影響を補正するための情報、つまり、トランジスタTR1のゲート・ソース間電圧を取得する。

【0026】

次に、図23に、通常動作を行っている場合の回路の接続状態を示す。トランジスタTR1のゲート端子と入力端子108との間に、容量素子104が配置されている。容量素子104の一方の端子とトランジスタTR1のゲート端子とは電気的に接続されており、容量素子104の他方の端子と入力端子108とは、電気的に接続されている。そして、入力端子108には、入力

50

電圧 V_i が加えられる。ここで、容量素子104には、補正動作の時に得た電荷が、保存されている。したがって、トランジスタTR1のゲート端子には、入力電圧 V_i に、容量素子104に保存されている電圧を上乗せした電圧が加わることになる。

【0027】

この接続状態は、前記第1のトランジスタのゲート端子と前記第1の容量素子の一方の端子とが接続され、前記第1の端子と前記第1の容量素子の一方の端子とが非接続になり、前記第1の容量素子の他方の端子と前記第2の端子とが接続され、前記第1の容量素子の他方の端子と前記第1のトランジスタのソース端子とが非接続になっていることに相当する。

【0028】

このように、トランジスタTR1のゲート端子には、入力電圧 V_i がそのまま加わるのではなく、容量素子104に保存されている電圧が上乗せされて、加えられる。容量素子104に保存されている電圧の大きさは、トランジスタTR1の電流特性やトランジスタサイズなどに応じた大きさになる。つまり、トランジスタTR1の電流特性やトランジスタサイズなどがばらついても、それに応じて、容量素子104に保存されている電圧の大きさが変わるため、結果として、トランジスタTR1のバラツキの影響を低減することが可能となる。

【0029】

このような補正を、各々のトランジスタに対して行うことにより、回路全体のばらつきを補正することができるようになる。つまり、前記第1のトランジスタや前記第2のトランジスタや、回路を構成する様々なトランジスタに対して、適用することにより、ばらつきを補正することが可能となる。

【0030】

なお、補正動作の時には図22のように電氣的に接続され、通常動作の時には図23のように電氣的に接続されるためには、ある端子とある端子との間にスイッチを配置すれば実現できる。そのようなスイッチは、数個あればよい。

【0031】

なお、図22、図23においては、トランジスタTR1はnチャネル型としているが、これに限定されず、pチャネル型で構成することも可能である。pチャネル型で構成する場合も、補正動作を行うときには、容量素子104をトランジスタTR1のゲート・ソース間に配置することに注意すれば、容易に、変形できる。

【0032】

なお、補正動作は、通常動作を行う前に、すくなくとも1度行えばよい。つまり、容量素子104に、適切な電圧が保持されていれば、通常動作を行うことができる。ただし、容量素子104に保存されている電荷は、ノイズやもれ電流などが原因となって、徐々に、変化してしまう場合がある。その時には、容量素子104に保存されている電荷が、大きく変化してしまう前に、再び、補正動作を行えばよい。

【0033】

上述したように、少なくとも、1度、補正動作を行うだけで、その後の通常動作において、トランジスタの特性ばらつきの影響を低減することが出来る。そのため、駆動タイミングが複雑になることもなく、動作が簡単になる。

【0034】

また、容量は、容量素子104だけでよく、スイッチも数個あればよい。よって、レイアウト面積が小さくできる。その結果、製造上の歩留まりが低下することを防いだり、小型化させたりすることが出来る。

【0035】

なお、本発明におけるトランジスタは、どのような材料、手段、製造方法によりできたトランジスタでもよいし、どのようなタイプのトランジスタでもよい。例えば、薄膜トランジスタ(TFT)でもよい。TFTのなかでも、半導体層が非晶質(アモルファス)のものでよいし、多結晶(ポリクリスタル)でも、単結晶のものでよい。その他のトランジスタとして、単結晶基板において作られたトランジスタでもよいし、SOI基板に

10

20

30

40

50

において作られたトランジスタでもよいし、プラスチック基板の上に形成されたトランジスタでもよいし、ガラス基板上に形成されたトランジスタでもよい。その他にも、有機物やカーボンナノチューブで形成されたトランジスタでもよい。また、MOS型トランジスタでもよいし、バイポーラ型トランジスタでもよい。

【0036】

また、本発明は上記構成によって、電流を供給する手段を有し、前記第1のトランジスタのソース端子と、前記電流を供給する手段とが電氣的に接続されていることを特徴とするアナログ回路が提供される。

【0037】

このように、電流を供給する手段を設けることにより、アナログ回路のバイアスを設定することが可能となる。

10

【0038】

また、本願発明は上記構成によって、第1のトランジスタに流れる電流を遮断する手段と、第2のトランジスタに流れる電流を遮断する手段とを有していることを特徴とするアナログ回路が提供される。

【0039】

この構成により、第1のトランジスタと第2のトランジスタに関して、別々に補正を行うことが可能となる。

【0040】

また、本願発明は上記構成によって、前記第1の端子と前記第2の端子とが、電氣的に接続され、前記第3の端子と前記第4の端子とが、電氣的に接続されていることを特徴とするアナログ回路が提供される。

20

【0041】

この構成により、第1の端子と第3の端子とに、電圧を供給するための配線を省略することが可能となる。

【発明の効果】

【0042】

本発明では、トランジスタのゲート端子に、入力電圧がそのまま加わるのではなく、容量素子に保存されている電圧が上乘せされて、加えられる。前記容量素子に保存されている電圧の大きさは、前記トランジスタの電流特性やトランジスタサイズなどに応じた大きさになる。そのため、トランジスタの電流特性やトランジスタサイズなどがばらついて、それに依りて、前記容量素子に保存されている電圧の大きさが変わるため、結果として、前記トランジスタのパラツキの影響を低減することが可能となる。

30

【0043】

また、容量素子に電圧を保存する動作、つまり、補正動作は、少なくとも、1度だけ行えばよい。すると、その後の通常動作において、トランジスタの特性ばらつきの影響を低減することが出来る。そのため、駆動タイミングが複雑になることもなく、動作が簡単になる。

【0044】

また、容量素子の個数やスイッチの個数も少ないため、レイアウト面積が小さくできる。その結果、製造上の歩留まりが低下することを防いだり、小型化させたりすることが出来る。

40

【発明を実施するための最良の形態】

【0045】

(実施の形態1)

本発明は、アナログ回路、例えば、差動回路、増幅回路、オペアンプなどに代表される演算回路など、さまざまな回路に適用することが出来る。そこで、本実施の形態では、一例として、本発明を適用した差動回路について説明する。

【0046】

まず、本発明を適用した差動回路について、図1に、回路構成を示す。従来の差動回路

50

では、電流源として動作し、回路のバイアスを設定するトランジスタTR21が配置され、差動動作するためのトランジスタTR11のソース端子と、トランジスタTR12のソース端子とが、トランジスタTR21のドレイン端子に接続されている。トランジスタTR11のドレイン端子は、負荷1812などを介して高電位側電源（Vdd）に接続され、トランジスタTR12のドレイン端子も、負荷1813などを介して高電位側電源（Vdd）に接続される。

【0047】

それに対し、本発明を適用した差動回路では、スイッチ1801～1811、容量素子1812、1813などを追加している。

【0048】

なお、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、例えば、容量素子1812、1813に接続されているスイッチなどでは、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（Vss、Vgnd、0Vなど）に近い状態で動作する場合はnチャネル型を、反対に、ソース端子の電位が、高電位側電源（Vddなど）に近い状態で動作する場合はpチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用いて、CMOS型にしてもよい。

【0049】

またスイッチは、電氣的スイッチでも機械的なスイッチでも何でも良い。電流の流れを制御できるものなら、何でも良い。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。

【0050】

そこで次に、図1の差動回路の動作について、図2～図6を用いて説明する。

【0051】

まず、補正動作を行う。その時、トランジスタTR11とトランジスタTR12とに関して、同時に補正動作を行ってもよい。しかし、電流源として動作するトランジスタTR21は1個だけであり、同じトランジスタを用いて補正動作を行う方が精度が高いと考えられる。したがって、まず、トランジスタTR11とトランジスタTR21を用いて補正動作を行い、その後、トランジスタTR12とトランジスタTR21を用いて補正動作を行う。なお、この順序は、逆にしてもよい。

【0052】

まず、図2に示すように、トランジスタTR11とトランジスタTR21を用いて補正動作を行う。この時、トランジスタTR21を流れる電流が、トランジスタTR11の方には流れて、トランジスタTR12の方には流れないようにする。もし、トランジスタTR12の方にも流れてしまったら、その分だけ、誤差が生じてしまうことになるからである。そこで、トランジスタTR21を流れる電流が、トランジスタTR12の方には流れないようにするため、スイッチ1801～1804を用いて、電流を制御する。

【0053】

図2では、スイッチ1801をオンにして、スイッチ1802～1804をオフにしている。スイッチ1801は、第2高電位側電源（Vdd2）に接続されている。ただし、スイッチ1801は、負荷1812などが接続されている第1高電位側電源（Vdd1）に接続されていてもよい。つまり、トランジスタTR11に電流が流れて、トランジスタTR12に電流が流れないようにしていればよい。従って、スイッチ1802やスイッチ1803の配置を変更し、例えば、トランジスタTR11のソース端子とトランジスタTR21のドレイン端子との間にスイッチ1802を配置するなどのようにしてもよい。あるいは、負荷1812、1813の中に、電流を制御する機能を入れてもよい。あるいは、スイッチ1801と第2高電位側電源（Vdd2）を削除し、スイッチ1802を制御するようにしてもよい。その場合は、負荷1812が、電流を流すことが可能な状態になっ

10

20

30

40

50

ている必要がある。

【0054】

このようにして、容量素子1812に、トランジスタTR11のゲート・ソース間電圧 V_{a1} が保存される。図3に示すように、スイッチ1806や1808などをオフにすれば、容量素子1812に蓄積された電荷は、保持される。

【0055】

次に、図4、図5に示すように、トランジスタTR12とトランジスタTR21を用いて補正動作を行う。各スイッチのオンオフは、図2、図3と同様に行えばよい。容量素子1813に、トランジスタTR12のゲート・ソース間電圧 V_{a2} が保存される。以上により、補正動作が終了する。

10

【0056】

なお、補正動作は、通常動作を行う前に、すくなくとも1度行えばよい。つまり、容量素子1812、1813に、適切な電圧が保持されていれば、何回でも通常動作を行うことができる。ただし、容量素子1812、1813に保存されている電荷は、ノイズやもれ電流などが原因となって、徐々に、変化してしまう場合がある。その時には、容量素子1812、1813に保存されている電荷が、大きく変化してしまう前に、再び、補正動作を行えばよい。

【0057】

次に、図6に示すように、通常動作を行う。つまり、スイッチ1801、1804、1806、1808、1809、1811をオフにし、スイッチ1802、1803、1805、1807、1810をオンにする。すると、トランジスタTR11とトランジスタTR12の特性がばらついていても、それが、ゲート・ソース間電圧 V_{a1} 、 V_{a2} に反映されるため、ばらつきの影響を低減できる。なお、通常動作時において、トランジスタTR11及びトランジスタTR12に流れる電流量によっては、各トランジスタのゲート・ソース間電圧は、変化する場合がある。その場合、ゲート・ソース間電圧が、 V_{a1} や V_{a2} とは、等しくならない場合がある。しかしながら、特性バラツキに反映された値が、トランジスタのゲート端子に加えられるため、トランジスタのばらつきの影響は低減される。

20

【0058】

なお、スイッチ1805は、その先の出力電圧 V_{o1} を出力する部分の入カインピーダンスが高い場合は、省略してもよい。あるいは、負荷1812、1813の構成によっては、スイッチ1805などが必要ない場合もある。

30

【0059】

このような差動回路を用いれば、さまざまな回路を構成することが可能となる。例えば、負荷1812、1813として、抵抗素子や能動負荷回路を用いれば、差動増幅回路を構成することができる。また、負荷1812、1813として、ダイオード接続（ゲート端子とドレイン端子を接続）されたトランジスタを配置することにより、OTA(Operational Transconductance Amplifier)の回路の一部を構成することが出来る。また、さらに、これらの回路を組み合わせれば、オペアンプやセンスアンプ、コンパレータなどの回路を構成することも可能となる。

【0060】

そこで次に、負荷1812、1813として、能動負荷回路を用いた場合の差動増幅回路を対象として、構成に関して工夫した例を述べる。

40

【0061】

まず、補正動作時と通常動作時とで、動作点を近くすることにより、誤差を小さくする例について述べる。

【0062】

差動増幅回路のもっとも標準的な動作条件としては、入力電圧 V_{i1} 、 V_{i2} の大きさが等しい場合が挙げられる。その場合、トランジスタTR21を流れる電流は、トランジスタTR11とトランジスタTR12とに、各々半分づつの量で電流が流れる。

【0063】

一方、補正動作を行うときと、通常動作を行う時とでは、動作点などの動作状態に近い

50

方が望ましい。そこで、動作点を近づけるため、補正動作を行う時の電流量を、通常動作の時の電流量の半分にしてもよい。その場合の例を図25と図26に示す。

【0064】

図25では、電流源として動作させるトランジスタとして、トランジスタTR22を追加している。トランジスタTR21とトランジスタTR22のトランジスタサイズは同一にすることが望ましい。そして、各々のゲート端子には、同一のバイアス電圧 V_b を加える。そして、トランジスタTR22には、直列にスイッチ2501を配置する。そして、スイッチ2501のオンオフを切り替えることにより、補正動作を行う時の電流量を、通常動作の時の電流量の半分にする。なお、スイッチ2501は、電流量を制御できるなら、どこに配置しても良い。

【0065】

図26では、電流源として動作させるトランジスタとして、トランジスタTR22を追加する。トランジスタTR21とトランジスタTR22のトランジスタサイズは同一にすることが望ましい。そして、トランジスタTR21のゲート端子には、バイアス電圧 V_b を加える。そして、トランジスタTR22のゲート端子に加える電圧を、補正動作の時と通常動作の時とで、変える。具体的には、補正動作の時には、トランジスタTR22がオフするように、低電位側電源(V_{ss})を加える。通常動作時には、バイアス電圧 V_b を加える。これにより、補正動作を行う時の電流量を、通常動作の時の電流量の半分にする。

【0066】

このように、バイアス用のトランジスタに流れる電流の大きさを変えることにより、補正動作時と通常動作時とで、動作点を近くすることが出来る。動作点が近い方が、より、誤差が小さくなる。

【0067】

次に、能動負荷回路を用いた場合の差動増幅回路を対象として、スイッチの接続を変更した場合の例について述べる。

【0068】

図2において、スイッチ1801～1804の配置を変更できることは、既に述べた。そこで、負荷1812、1813として、能動負荷回路を用いた差動増幅回路において、スイッチ1801～1804の配置を変更した場合の例を示す。図27に、スイッチ1801を省いた場合を示す。

【0069】

各スイッチの動作は、次のようになる。まず、トランジスタTR11に電流を流し、トランジスタTR12に電流を流さない場合は、スイッチ1802をオンにし、スイッチ1803をオンにして、スイッチ1804をオフにする。すると、トランジスタ1813のゲート・ソース間電圧が0Vになるため、トランジスタ1813はオフする。トランジスタ1812もオフするが、スイッチ1803からスイッチ1802を通過して電流が流れる。次に、トランジスタTR11に電流を流さず、トランジスタTR12に電流を流す場合は、スイッチ1802をオフにし、スイッチ1803は、どちらでもよく、スイッチ1804をオンにする。すると、トランジスタTR12にのみ電流が流れる。最後に、トランジスタTR11とトランジスタTR12とに電流を流す場合は、つまり、通常動作の場合は、スイッチ1802をオンにし、スイッチ1803をオフにして、スイッチ1804をオフにすればよい。

【0070】

このように配置すれば、スイッチの配置を変更できる。なお、接続例は、これに限定されない。

【0071】

このように、本発明を差動回路に適用することにより、様々な回路を構成することが出来る。

【0072】

なお、これまでは主に、トランジスタTR11、トランジスタTR12がnチャネル型の場合について述べてきた。しかし、pチャネル型にした場合にも、容易に適用できる。一例として、図1の回路をpチャネル型にした場合を、図28に示す。

【0073】

また、基準電圧の大きさは任意であるので、基準電圧を与えている端子は、別の配線や接点や端子に接続してもよい。例えば、図1において、基準電圧 V_{x1} 、 V_{x2} を与えている端子は、入力電圧 V_{i1} 、 V_{i2} を与えている端子と接続してもよいし、トランジスタのドレイン端子と接続してもよい。

【0074】

(実施の形態2)

本実施の形態では、本発明のアナログ回路の一例として、ソースフォロワ回路を示し、その構成と動作について説明する。まず、本発明のソースフォロワ回路の構成を図18を用いて説明する。

【0075】

図18において、トランジスタTR1はnチャンネル型のトランジスタであり、電流を増幅させる機能を有する。トランジスタTR2はnチャンネル型のトランジスタであり、通常は、電流源として動作し、ソースフォロワ回路に対するバイアスを決定している。容量素子104は、トランジスタTR1のゲート・ソース間電圧を保持する機能を有する。また、101~103、105は、スイッチであり、好ましくはトランジスタなどの半導体素子が用いられる。スイッチ101~103、105を制御することによって、補正動作の時と通常動作の時とで、ソースフォロワ回路の接続状況を変える。

【0076】

図18において、トランジスタTR1のドレイン端子は、高電位側電源(V_{dd})に接続されている。トランジスタTR2のソース端子は、低電位側電源(V_{ss})に接続されている。なお、簡単のため、低電位側電源(V_{ss})の電位は、0Vであるとする。端子106は、トランジスタTR1のソース端子であり、トランジスタTR2のドレイン端子と接続されており、スイッチ105を介して、出力端子110と接続されている。

【0077】

端子107には、基準電圧 V_x が加えられており、スイッチ101を介して、トランジスタTR1のゲート端子、容量素子104の一方の端子と接続されている。入力端子108には、入力電圧 V_i が加えられており、スイッチ102を介して、容量素子104の他方の端子と接続されている。そして、容量素子104の他方の端子は、スイッチ103を介して、トランジスタTR1のソース端子106と接続されている。トランジスタTR2のゲート端子109には、バイアス電圧 V_b が加えられている。

【0078】

次に、図18に示したソースフォロワ回路の動作について、説明する。

【0079】

まず、補正動作を行う。スイッチ101、103をオンにして導通状態にし、スイッチ102、105をオフにして非導通状態にする。トランジスタTR2のゲート端子109には、バイアス電圧 V_b が加えられているので、トランジスタTR2に電流が流れる。この時、端子106は、端子107と容量素子104を介して接続されており、端子107には、基準電圧 V_x が加えられている。よって、端子107から端子106の間に電流が流れる。そして、容量素子104の両端の電圧が、トランジスタTR1のしきい値電圧よりも大きくなると、トランジスタTR1がオンし、トランジスタTR1のソース・ドレイン間にも電流が流れるようになる。そして、トランジスタTR2のソース・ドレイン間に流れる電流値と、トランジスタTR1のソース・ドレイン間に流れる電流値が等しくなると、容量素子104には電流が流れなくなり、定常状態となる。

【0080】

この時、容量素子104には、トランジスタTR2に流れる電流と同量の電流がトランジスタTR1に流れるのに必要な電圧、つまり、トランジスタTR1のゲート・ソース間電圧が保持されている。したがって、トランジスタTR1の電流特性やトランジスタサイズなどがばらつければ、トランジスタTR1のゲート・ソース間電圧の大きさも、それによって、異なった値となる。この時のトランジスタTR1のゲート・ソース間電圧の大きさを V_a とする。すると、端子106の電位は、基準電圧 V_x よりも、 V_a だけ低い電位になる。

【0081】

10

20

30

40

50

なお、すでに、定常状態になっており、端子106と端子107の間には電流が流れていないため、スイッチ101、103をオフにしても、問題ない。その結果、容量素子104の電荷は保持され、容量素子104の両端の電圧は、電荷保存の法則により、変化しなくなる。

【0082】

以上の動作により、補正動作が終了する。この補正動作により、容量素子104に、適切な電圧が保持されることになる。

【0083】

なお、補正動作の時に、出力端子110の方へ電流が流れ続けなければ、つまり、出力端子110の入力インピーダンスが十分高いならば、スイッチ105は省略して、端子106と出力端子110を直接接続してもよい。

【0084】

なお、補正動作は、通常動作を行う前に、すくなくとも1度行えばよい。つまり、容量素子104に、適切な電圧が保持されていれば、何回でも通常動作を行うことができる。ただし、容量素子104に保存されている電荷は、ノイズやもれ電流などが原因となって、徐々に、変化してしまう場合がある。その時には、容量素子104に保存されている電荷が、大きく変化してしまう前に、再び、補正動作を行えばよい。

【0085】

そして次に、通常動作を行う。スイッチ102、105をオンにして、スイッチ101、103をオフにする。端子108には、入力電圧 V_i が加えられている。よって、トランジスタTR1のゲート端子には、入力電圧 V_i に、容量素子104の電圧 V_a が上乘せされた電圧が加えられることになる。そして、定常状態になると、トランジスタTR2のソース・ドレイン間に流れる電流値と、トランジスタTR1のソース・ドレイン間に流れる電流値が等しくなる。その時のトランジスタTR1のゲート・ソース間電圧は、 V_a である。

【0086】

したがって、端子106の電位は、トランジスタTR1のゲート端子の電位よりも、トランジスタTR1のゲート・ソース間電圧である V_a だけ、低い電位になる。そして、トランジスタTR1のゲート端子の電位は、入力電圧 V_i より V_a だけ、高い電位になる。以上のことから、端子106の電位は、入力電圧 V_i と等しくなる。つまり、出力電圧 V_o は、入力電圧 V_i と等しくなる。

【0087】

従って、出力電圧 V_o には、基準電圧 V_x の値には依存しない。これは、基準電圧 V_x の大きさが、どのような大きさであっても、問題ない、ということを表していることになる。つまり、正常に補正動作を行えば、基準電圧 V_x の大きさは任意である。ただし、基準電圧 V_x の大きさは、トランジスタTR1とトランジスタTR2とが、飽和領域で動作できる大きさにすることが、より望ましい。なぜなら、通常、ソースフォロワ回路では、飽和領域で動作させることが多いためである。

【0088】

また、基準電圧 V_x の大きさは任意であるので、端子107は、別の配線や接点や端子に接続してもよい。例えば、端子107を入力端子108に接続してもよい。このとき、基準電圧 V_x の大きさは任意であるので、補正動作を行っている時の入力電圧 V_i の大きさも、任意である。よって、補正動作を行っている時と、通常動作を行っている時とで、入力電圧 V_i の大きさが異なってもよい。

【0089】

同様に、端子107は、高電位側電源 (V_{dd}) に接続してもよいし、トランジスタTR1のドレイン端子に接続してもよいし、出力端子110に接続してもよいし、端子109に接続してもよい。このように、端子107は、任意の場所に接続することが可能である。

【0090】

また、出力電圧 V_o は、基準電圧 V_x の値に依存しないのと同様、トランジスタTR1ゲート・ソース間電圧 V_a にも依存しない。これは、 V_a の大きさが、どのような大きさであっても、問題ない、ということを表していることになる。つまり、トランジスタTR1の電流特性

10

20

30

40

50

(移動度やしきい値電圧など)やトランジスタサイズ(ゲート長 L 、ゲート幅 W)などがばらついていても、その影響が出ない、ということを表している。

【0091】

また、出力電圧 V_o は、トランジスタ TR_1 やトランジスタ TR_2 のソース・ドレイン間に流れる電流の大きさにも依存しない。つまり、出力電圧 V_o は、トランジスタ TR_2 のゲート端子109に加えられているバイアス電圧 V_b の大きさに依存しない。また、トランジスタ TR_2 の電流特性(移動度やしきい値電圧など)やトランジスタサイズ(ゲート長 L 、ゲート幅 W)にも依存しない。

【0092】

このように、通常動作では、トランジスタ TR_1 のゲート端子には、入力電圧 V_i がそのまま加わるのではなく、容量素子104に保存されている電圧が上乘せされて、加えられる。容量素子104に保存されている電圧の大きさは、状況に応じた大きさになる。つまり、トランジスタ TR_1 やトランジスタ TR_2 の電流特性やトランジスタサイズなどがばらついていても、それに応じて、容量素子104に保存されている電圧の大きさが変わる。そのため、結果として、トランジスタ TR_1 やトランジスタ TR_2 のバラツキの影響を低減することが可能となる。

10

【0093】

なお、図18では、トランジスタ TR_1 やトランジスタ TR_2 が n チャネル型の場合について示した。しかし、 p チャネル型の場合にも、本発明を容易に適用できる。図13に、トランジスタ TR_1 やトランジスタ TR_2 が p チャネル型の場合のソースフォロワ回路について示す。トランジスタ TR_1 は、電流を増幅させる機能を有している。トランジスタ TR_2 は、通常は、電流源として動作し、ソースフォロワ回路に対するバイアスを決定している。104は容量素子であり、トランジスタ TR_1 のゲート・ソース間電圧を保持する機能を有する。なお、動作や構成に関しては、 n チャネル型の場合と同様なので、詳しい説明を省略する。

20

【0094】

なお、図18や図13では、電流源として動作し、ソースフォロワ回路に対するバイアスを決定しているトランジスタ TR_2 が配置されていた。しかし、トランジスタ TR_2 が配置されていなくてもよい。これは、トランジスタ TR_2 の電流値が0である場合に相当する。

【0095】

図18のソースフォロワ回路に対して、トランジスタ TR_2 を配置していない場合の回路図を図7に示す。スイッチ701が、端子106と低電位側電源(V_{ss})との間に接続されている。スイッチ701により、補正動作の時に、トランジスタ TR_1 をオン状態にすることが出来る。したがって、補正動作の時に、トランジスタ TR_1 をオン状態にすることが出来るのなら、スイッチ701を別の場所に接続してもよいし、スイッチ701自体を配置しなくてもよい。

30

【0096】

次に、図7に示すトランジスタ TR_2 を配置していない場合の回路の動作について、説明する。

【0097】

まず、補正動作を行う。補正動作は、大きく2つの段階に分けられる。第1段階では、トランジスタ TR_1 がオン状態になるようにする。その後、第2段階では、トランジスタ TR_1 のゲート・ソース間電圧が、トランジスタ TR_1 のしきい値電圧に概ね等しい電圧になるようにする。

40

【0098】

図18の回路の場合は、補正動作を2つの段階に分ける必要がなかった。しかし、図7の回路の場合、補正動作における各段階によって、回路の接続状況などを変更する必要がある。

【0099】

補正動作の第1段階では、スイッチ101、103、701をオンにして、スイッチ102、105をオフにすることにより、トランジスタ TR_1 がオン状態になるようにしている。よって、この時のトランジスタ TR_1 のゲート・ソース間電圧は、トランジスタ TR_1 のしきい値電圧より

50

も大きい。

【0100】

なお、この段階では、トランジスタTR1がオン状態になればよいだけなので、この方法に限定されない。例えば、スイッチ701を除去し、端子106と低電位側電源（ V_{ss} ）が接続されないような状況にして、スイッチ102もオンになるようにし、基準電圧 V_x と入力電圧 V_i の値を調節すれば、トランジスタTR1をオン状態にすることができる。

【0101】

次に、補正動作の第2段階では、スイッチ101、103をオンにして、スイッチ102、105、701をオフにする。これにより、トランジスタTR1のソース端子は、容量素子104にのみ、接続されるようになる。すると、トランジスタTR1がオン状態なら、トランジスタTR1のソース・ドレイン間に電流が流れる。その電流は、容量素子104の方へ流れる。その結果、容量素子104に保存されている電荷が放電されていく。これは、トランジスタTR1がオフするまで、つまり、トランジスタTR1のゲート・ソース間電圧が、トランジスタTR1のしきい値電圧に等しくなるまで続く。トランジスタTR1のゲート・ソース間電圧が、トランジスタTR1のしきい値電圧に等しくなると、トランジスタTR1や容量素子104には、電流がほとんど流れなくなる。

【0102】

なお、すでに、電流が流れない状態になっており、端子106と端子107の間には電流が流れていないため、スイッチ101、103をオフにしても、問題ない。その結果、容量素子104の電荷は保持され、容量素子104の両端の電圧は、電荷保存の法則により、変化しなくなる。

【0103】

以上の動作により、補正動作が終了する。この補正動作により、容量素子104に、トランジスタTR1のしきい値電圧が保持されることになる。

【0104】

なお、容量素子104の電圧が、トランジスタTR1のしきい値電圧に等しくなるまで、動作を続けているが、必ずしも、その必要はない。容量素子104の電圧が、トランジスタTR1のしきい値電圧に、概ね等しくなればよい。

【0105】

そして次に、通常動作を行う。スイッチ102、105をオンにして、スイッチ101、103、701をオフにする。端子108には、入力電圧 V_i が加えられている。よって、トランジスタTR1のゲート端子には、入力電圧 V_i に、容量素子104の電圧、つまり、トランジスタTR1のしきい値電圧が上乘せされた電圧が加えられることになる。そして、定常状態になると、トランジスタTR1のソース・ドレイン間に電流がほとんど流れなくなる。その時のトランジスタTR1のゲート・ソース間電圧は、トランジスタTR1のしきい値電圧に概ね等しい。

【0106】

したがって、端子106の電位は、トランジスタTR1のゲート端子の電位よりも、トランジスタTR1のしきい値電圧だけ、低い電位になる。そして、トランジスタTR1のゲート端子の電位は、入力電圧 V_i より、容量素子104の電圧、つまり、トランジスタTR1のしきい値電圧だけ、高い電位になる。以上のことから、端子106の電位は、入力電圧 V_i と等しくなる。つまり、出力電圧 V_o は、入力電圧 V_i と等しくなる。

【0107】

なお、図7では、電流源として動作するトランジスタTR2を配置していなかった。しかし、図7の回路において、トランジスタTR2を配置してもよい。その時の回路図を図15に示す。動作に関しては、補正動作に関しては同様であり、容量素子104には、しきい値電圧が保持される。ただし、通常動作を行う場合は、トランジスタTR2が電流源として動作しなければならないので、図15におけるスイッチ701をオンにしておく必要がある。

【0108】

なお、トランジスタTR2にも、容量素子を配置して、そこにトランジスタTR2のしきい値電圧を保存し、トランジスタTR2のバラツキを補正するようにしてもよい。

【0109】

このように、トランジスタTR2を配置していない場合の回路に対しても、同様に適用できる。よって、基準電圧 V_x が任意なことや、トランジスタTR1の電流特性（移動度やしきい値電圧など）やトランジスタサイズ（ゲート長 L 、ゲート幅 W ）などがばらついていても、その影響が出ないことなども同様である。また、図7では、トランジスタTR1がnチャンネル型の場合について示したが、pチャンネル型の場合にも、容易に適用できる。

【0110】

また、トランジスタTR1がnチャンネル型の場合と、pチャンネル型の場合とを組み合わせ、両方を増幅用トランジスタとして用いて、プッシュプル形式にしてもよい。その場合の回路図を図14に示す。pチャンネル型のトランジスタTR1pは、低電位側電源（ V_{ss} ）に接続されており、ゲート・ソース間には、容量素子104pが接続されている。nチャンネル型のトランジスタTR1nは、高電位側電源（ V_{dd} ）に接続されており、ゲート・ソース間には、容量素子104nが接続されている。動作などについては、図7の場合などと同様であるため、説明を省略する。

10

【0111】

なお、図15のように、容量素子に、トランジスタのゲート・ソース間電圧を保持させるのではなく、トランジスタのしきい値電圧をさせることは、ソースフォロワ回路だけでなく、差動回路に対して適用してもよい。例えば、図1に適用する場合は、トランジスタTR1のソース端子とトランジスタTR21のドレイン端子の間と、トランジスタTR12のソース端子とトランジスタTR21のドレイン端子の間とに、各々スイッチを入れる必要がある。

20

【0112】

また、本実施の形態では、ソースフォロワ回路に適用した場合について述べてきたが、ソースフォロワ回路と非常に構成が類似した回路として、カスコード回路があり、それにも、本発明を適用できる。カスコード回路がソースフォロワ回路と異なるのは、図21で考えると、トランジスタTR2のゲート端子4309が入力端子になっており、トランジスタTR1のゲート端子4308がバイアス電圧を加える端子になっており、トランジスタTR1のドレイン端子と高電位側電源（ V_{dd} ）との間に、抵抗素子などの負荷が配置され、前記負荷とトランジスタTR1のドレイン端子の間の接点が、出力端子になっている、という点である。

【0113】

そこで、カスコード回路に、本発明を適用した場合の回路図を図16に示す。トランジスタTR1のドレイン端子と高電位側電源（ V_{dd} ）の間に、負荷1601が配置されている。なお、図16では、トランジスタTR1、トランジスタTR2がnチャンネル型であるが、pチャンネル型の場合にも適用できることは、もちろんである。なお、動作などは、ソースフォロワ回路と同様であるので、説明は省略する。

30

【0114】

最後に、回路の消費電力を低減する方法について述べる。アナログ回路では、定常状態であっても、電流が流れ続ける場合が多い。例えば、ソースフォロワ回路では、通常、定常状態であっても、トランジスタTR1からトランジスタTR2へと、電流が流れ続ける。そのため、消費電力が大きい。そこで、定常状態の時に流れ続ける電流を遮断すれば、消費電力を低減することが可能となる。例として、図18の回路に対して、消費電力を低減するための工夫を施した回路を、図17に示す。図17では、高電位側電源（ V_{dd} ）と、トランジスタTR1のドレイン端子との間に、スイッチ1701を配置している。このスイッチを制御することにより、定常状態であっても、トランジスタTR1からトランジスタTR2へと、流れ続ける電流を遮断することが出来る。なお、スイッチ1701は、流れ続ける電流を遮断することが出来れば、どこに配置してもよい。また、スイッチ1701を配置せずに、流れ続ける電流を遮断してもよい。例えば、トランジスタTR2のゲート端子109の電圧 V_b を調節することにより、トランジスタTR2に電流が流れないようにしてもよい。同様に、トランジスタTR1のゲート端子の電位を調節することにより、電流が流れないようにしてもよい。

40

【0115】

なお、消費電力を低減するために、定常状態の時に流れ続ける電流を遮断することは、

50

ソースフォロワ回路だけでなく、差動回路に適用してもよい。

【0116】

なお、実施の形態1で説明した内容は、本実施の形態にも適用でき、本実施の形態で説明した内容は、実施の形態1にも適用できる。

【0117】

(実施の形態3)

前述した実施の形態1、2では、本発明を適用したソースフォロワ回路や差動回路について説明した。それらの回路をさらに組み合わせれば、様々な回路にも、適用できる。そこで、本実施の形態では、一例として、本発明を適用したオペアンプについて説明する。

【0118】

なお、オペアンプの回路構成としては、さまざまなものがある。よって、オペアンプの回路構成は、本実施の形態に限定されない。本発明は、さまざまな構成のオペアンプに適用できる。

【0119】

まず、もっとも簡単な構成の場合として、差動増幅回路にソースフォロワ回路を組み合わせた構成によるオペアンプについて述べる。図29に示すように、差動回路として図1の回路を用い、差動回路の負荷として、能動回路を用い、ソースフォロワ回路として図18の回路を用いている。点線で囲った領域2910がソースフォロワ回路に相当する。プラス側入力端子2901とマイナス側入力端子2902から信号を入力し、出力端子2903から信号を取り出す。バイアス端子2904に加える電圧を調節して、バイアスとして流す電流の大きさを制御する。端子2905～2909までの端子に入力する信号のタイミングを制御することにより、各部分の補正動作と通常動作とを切り替える。なお、端子2905～2909などへの接続を変更することにより、同時に複数の回路部分において、補正動作を行ったりすることが可能である。

【0120】

次に、出力段のバッファとして、プッシュプル形式にした場合のオペアンプを図30に示す。プッシュプル形式のソースフォロワ回路として、図14の回路を用いている。点線で囲った領域3011がプッシュプル形式のソースフォロワ回路に相当する。図30では、プラス側入力端子3001とマイナス側入力端子3002から信号を入力し、出力端子3003から信号を取り出す。バイアス端子3004に加える電圧を調節して、バイアスとして流す電流の大きさを制御する。端子3005～3010までの端子に入力する信号のタイミングを制御することにより、各部分の補正動作と通常動作とを切り替える。なお、端子3005～3010などへの接続を変更することにより、同時に複数の回路部分において、補正動作を行ったりすることが可能である。

【0121】

次に、増幅段を2段にした場合のオペアンプを図31に示す。2段目の増幅段として、ソース接地増幅回路を用いている。点線で囲った領域3111がソース接地増幅回路に相当する。図31では、プラス側入力端子3101とマイナス側入力端子3102から信号を入力し、出力端子3103から信号を取り出す。バイアス端子3104に加える電圧を調節して、バイアスとして流す電流の大きさを制御する。端子3105～3109までの端子に入力する信号のタイミングを制御することにより、各部分の補正動作と通常動作とを切り替える。なお、端子3105～3109などへの接続を変更することにより、同時に複数の回路部分において、補正動作を行ったりすることが可能である。

【0122】

容量素子3110は、位相補償を行うために、設けられており、別の場所に配置してもよいし、容量素子3110と直列に抵抗も配置してもよい。また、2段目の増幅段の先に、さらに、ソースフォロワ回路を配置してもよい。

【0123】

ここで、ソース接地増幅回路について、簡単に述べる。図32に、本発明を適用したソース接地増幅回路を示す。

10

20

30

40

50

【 0 1 2 4 】

なお、従来のソース接地増幅回路では、バイアス電流を供給するためのトランジスタTR4のドレイン端子と、増幅用のトランジスタTR3のドレイン端子とが接続され、そこが出力端子となっている。トランジスタTR3もトランジスタTR4もソース端子が接地されており、その結果、互いのトランジスタ極性は逆になる。トランジスタTR4のゲート端子に、バイアス用電圧が加えられて、トランジスタTR3のゲート端子には、入力電圧が加えられる。

【 0 1 2 5 】

それに対し、図32のソース接地増幅回路では、スイッチ3201～3203、3205と、容量素子3204が追加されている。なお、出力端子3210の入力インピーダンスが高い場合は、スイッチ3205を省略し、トランジスタTR3のドレインと出力端子3210を直接接続することが可能

10

である。

【 0 1 2 6 】

次に、図32のソース接地増幅回路の動作について、図33、図34を用いて説明する。まず、補正動作を行う。図33に示すように、スイッチ3203、3202をオンにして、スイッチ3201、3205をオフにする。すると、容量素子3204に、トランジスタTR3のゲート・ソース間電圧 V_a が保存される。

【 0 1 2 7 】

その後、通常動作を行う。図34に示すように、スイッチ3201、3205をオンにして、スイッチ3202、3203をオフにする。そして、入力端子3208から入力電圧 V_i を加える。すると、容量素子3204に保存した電圧 V_a が、入力電圧 V_i に上乘せられて、トランジスタTR3のゲート

20

端子に加えられる。容量素子3204に保存した電圧 V_a は、トランジスタTR3の電流特性に応じた大きさとなる。したがって、トランジスタTR3がばらついて、その影響を低減することが可能となる。

【 0 1 2 8 】

なお、補正動作は、少なくとも1回行えばよい、という点は、ソースフォロワ回路などの場合と同様である。

【 0 1 2 9 】

また、図7などのように、容量素子3204に保存される電圧が、トランジスタのしきい値電圧になるようにしてもよい。

【 0 1 3 0 】

また、このソース接地増幅回路が、オペアンプの回路の一部として構成される場合は、オペアンプの位相補償を行うための容量や抵抗が、ソース接地増幅回路に配置されることがある。例として、図35には、入力端子3208とトランジスタTR3のドレイン端子との間に、容量素子3501を配置した場合の回路図を示す。なお、オペアンプの位相補償を行うことが出来るのであれば、どこに、どのような素子を配置してもよい。

30

【 0 1 3 1 】

なお、実施の形態1、2で説明した内容は、本実施の形態にも適用できる。

【 0 1 3 2 】

例えば、補正動作を、いつ、どれくらいの頻度で行うかは、本実施の形態でも同様である。

40

【 0 1 3 3 】

また、基準電圧の大きさは任意であるので、基準電圧を与えている端子は、別の配線や接点や端子に接続してもよい。

【 0 1 3 4 】

また、容量素子に、トランジスタのゲート・ソース間電圧を保持させるのではなく、トランジスタのしきい値電圧をさせるようにしてもよい。

【 0 1 3 5 】

また、消費電力を低減するために、定常状態の時に流れ続ける電流を遮断することについても、本実施の形態にも適用できる。

【 0 1 3 6 】

50

また、本実施の形態では、主に、トランジスタがnチャンネル型の場合について述べてきた。しかし、pチャンネル型にした場合にも、容易に適用できる。

【0137】

なお、本実施の形態では、オペアンプに適用した場合について述べてきた。しかし、OTA(Operational Transconductance Amplifier)、センスアンプ、コンパレータなどの回路に適用することも可能である。また、トランジスタの接続をカスケード接続にした場合なども、本発明を適用できる。

【0138】

なお本実施の形態は、実施の形態1、2と任意に組み合わせることが可能である。

【0139】

(実施の形態4)

本実施の形態では、本発明を適用した電気回路において、時間を節約する方法について説明する。

【0140】

これまで述べてきた通り、本発明の回路では、動作状態として、補正動作と通常動作とがある。補正動作は、頻繁に行う必要はないが、通常動作を行う前には、少なくとも1回行う必要がある。

【0141】

そこで、1組の入力端子と出力端子の間に、1個の回路(例えば、1つのソースフォロワ回路)がある場合、補正動作を行うタイミングには、以下のようなものがある。

【0142】

1つ目としては、通常動作を行うまえに、必ず、補正動作を行う、というものである。例えば、ある期間、信号を入出力する場合に、その期間を2つに分け、前半の期間に補正動作を行い、後半の期間に通常動作を行う。

【0143】

2つ目としては、信号の入出力を行っていない期間において、補正動作を行い、その後、通常動作を何回も行う、というものである。

【0144】

その他のタイミング例として、補正動作を行いながら、同時に通常動作を行う、ということが考えられる。その場合、1組(1対)の入力端子と出力端子の間に、1個の回路のみを配置する構成では、補正動作と通常動作とを同時に行うことが出来ない。そこで、1組の入力端子と出力端子の間に、例えば、2個以上の回路を並列に配置する。すると、各々の回路での動作を制御することにより、補正動作を行いながら、同時に通常動作を行うことが出来る。

【0145】

図8には、1組の入力端子と出力端子の間に、2個のソースフォロワ回路を並列に配置した場合の例を示す。入力端子3601と出力端子3602の間に、回路3603が配置されている。回路3603には、ソースフォロワ回路3604、3605が配置されている。そして、一方のソースフォロワ回路において通常動作を行って、出力端子3602に信号を出力し、同時に、他方のソースフォロワ回路において補正動作を行う。どちらのソースフォロワ回路で、どちらの動作を行うかは、端子3606から入力する信号を用いて、切り替える。図8では、端子3606がH信号の場合、ソースフォロワ回路3604において補正動作を行い、端子3606がL信号の場合、ソースフォロワ回路3605において補正動作を行う。

【0146】

このようにすることにより、補正動作を行いながら、通常動作を行うことが可能となる。その結果、同時に2つのことができ、動作に無駄がなく、無駄な時間が必要なくなり、各動作を行う時間を、長くとることができる。よって、補正動作において、定常状態になるまで動作を行うことができるので、補正が正確に行えるようになる。

【0147】

なお、補正動作を行うタイミングとしては、上記のものに限定されない。

10

20

30

40

50

【 0 1 4 8 】

図8では、ソースフォロワ回路を用いた例を示したが、1組の入力端子と出力端子の間に、2個以上の回路を配置することは、差動回路やオペアンプなどの別の回路にも、適用することができる。

【 0 1 4 9 】

なお本実施の形態は、実施の形態1～3と任意に組み合わせることが可能である。

【 0 1 5 0 】

(実施の形態5)

本実施の形態では、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部に、本発明の回路を適用することができる。

10

【 0 1 5 1 】

表示装置は、図9に示すように、画素3701、ゲート線駆動回路3702、信号線駆動回路3710を有している。ゲート線駆動回路3702は、画素3701に選択信号を順次出力する。信号線駆動回路3710は、画素3701にビデオ信号を順次出力する。画素3701では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路3710から画素3701へ入力するビデオ信号は、電圧であることが多い。つまり、画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路3710から入力されるビデオ信号(電圧)によって、状態を変化させるものであることが多い。画素に配置する表示素子の例としては、液晶(LCD)や有機ELやFED(フィールドエミッションディスプレイ)などがあげられる。

20

【 0 1 5 2 】

なお、ゲート線駆動回路3702や信号線駆動回路3710は、複数配置されていてもよい。

【 0 1 5 3 】

信号線駆動回路3710は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ3703、第1ラッチ回路3704、第2ラッチ回路3705、デジタル・アナログ変換回路3706、バッファ回路(増幅回路)3707に分けられる。

【 0 1 5 4 】

そこで、信号線駆動回路3710の動作を簡単に説明する。シフトレジスタ3703は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(SP)、クロック反転信号(S-CLKb)が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

30

【 0 1 5 5 】

シフトレジスタ3703より出力されたサンプリングパルスは、第1ラッチ回路3704に入力される。第1ラッチ回路3704には、ビデオ信号線3708より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。なお、デジタル・アナログ変換回路3706を配置している場合は、ビデオ信号はデジタル値である。

【 0 1 5 6 】

第1ラッチ回路3704において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線3709よりラッチパルス(Latch Pulse)が入力され、第1ラッチ回路3704に保持されていたビデオ信号は、一斉に第2ラッチ回路3705に転送される。その後、第2ラッチ回路3705に保持されたビデオ信号は、1行分が同時に、デジタル・アナログ変換回路3706へと入力される。そして、デジタル・アナログ変換回路3706から出力される信号は、バッファ回路(増幅回路)3707へ入力される。そして、バッファ回路(増幅回路)3707から画素3701へ信号が入力される。

40

【 0 1 5 7 】

第2ラッチ回路3705に保持されたビデオ信号がデジタル・アナログ変換回路3706に入力され、そして、画素3701に入力されている間、シフトレジスタ3703においては再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

50

【 0 1 5 8 】

以上のような動作を行う信号線駆動回路3710において、バッファ回路（増幅回路）3707に、本発明を適用できる。バッファ回路（増幅回路）3707は、画素3701に多くの電流を供給する能力を有している。つまり、バッファ回路（増幅回路）3707は、インピーダンスを変換する機能を有している。このバッファ回路（増幅回路）3707に、ソースフォロワ回路や差動増幅回路やオペアンプなどを用いることができる。差動増幅回路やオペアンプを用いる場合、出力端子をマイナス側入力端子に接続し、信号を帰還させることなどによって、電圧フォロワ回路などとして機能させることができる。

【 0 1 5 9 】

また、図8のように、ソースフォロワ回路や差動増幅回路やオペアンプなどを複数配置して、補正動作や通常動作を同時に行えるようにしてもよい。

10

【 0 1 6 0 】

なお、第1ラッチ回路3704や第2ラッチ回路3705が、アナログ値を保存できる回路である場合は、デジタル・アナログ変換回路3706は省略できる場合が多い。また、画素3701に出力するデータが2値、つまり、デジタル値である場合は、デジタル・アナログ変換回路3706は省略できる場合が多い。また、デジタル・アナログ変換回路3706には、ガンマ補正回路が内蔵されている場合もある。このように、信号線駆動回路3710の構成は、図9に限定されず、様々なものがある。

【 0 1 6 1 】

そこで、第1ラッチ回路3704や第2ラッチ回路3705が、アナログ値を保存できる回路である場合の信号線駆動回路3710を図10に示す。ビデオ信号線3708より、アナログ値のビデオ信号が入力される。第1ラッチ回路3704と第2ラッチ回路3705の1列分3801の例を、図11に示す。前記1列分3801には、1列分の第1ラッチ回路3704と1列分の第2ラッチ回路3705とを有する。1列分の第1ラッチ回路3704は、容量素子3901とバッファ回路（増幅回路）3902を有している。1列分の第2ラッチ回路3705は、容量素子3903とバッファ回路（増幅回路）3904を有している。

20

【 0 1 6 2 】

第1ラッチ回路3704と第2ラッチ回路3705の1列分3801は、以下のように動作する。まず、ビデオ信号線3708から、アナログのビデオ信号が容量素子3901に入力され、そこで保存される。そして、ラッチ制御線3709の信号により、容量素子3901に保存されているデータが容量素子3903に転送される。このとき、バッファ回路（増幅回路）3902は、インピーダンスを変換している。よって、容量素子3901、3902の大きさを調節すれば、バッファ回路（増幅回路）3902を省くことが可能となる。そして、容量素子3903に保存された信号をバッファ回路（増幅回路）3904を通して、画素へ出力する。

30

【 0 1 6 3 】

このバッファ回路（増幅回路）3902、3904を、ソースフォロワ回路や差動増幅回路やオペアンプなどを用いることができる。例として、バッファ回路（増幅回路）としてソースフォロワ回路を用いた場合の回路図を図12に示す。また、図8のように、バッファ回路（増幅回路）を複数配置して、補正動作や通常動作を同時に行えるようにしてもよい。

【 0 1 6 4 】

なお、本実施の形態は、実施の形態1～実施の形態4と任意に組み合わせることが可能である。

40

【 0 1 6 5 】

（実施の形態6）

本実施の形態では、本発明を用いた電気回路のレイアウト図について説明する。

【 0 1 6 6 】

本実施の形態では、例として、本発明を適用したソースフォロワ回路のレイアウト図について述べる。図19に、図18のソースフォロワ回路の回路図を、レイアウト図と類似させて記述した場合の回路図を示す。

【 0 1 6 7 】

50

図19では、容量素子104は、MOS容量として形成している。つまり、MOS容量をトランジスタとして考えたときに、ソース端子とドレイン端子を接続して、その接点を容量の一方の端子とし、ゲート端子を容量の他方の端子とする。このようにMOS容量を用いて容量素子を形成すると、容量値を大きくすることができる。なお、この場合、容量素子104をトランジスタだと考えた場合の極性は、トランジスタTR1と同じ極性にすることが望ましい。なぜなら、この場合のMOS容量は、トランジスタだと考えた場合、そのトランジスタがオンしている状態にしておく必要がある。もし、そのトランジスタがオフしている状態になると、MOS容量の容量値は0になる。そのため、容量素子104オンしている状態にするには、トランジスタTR1と同じ極性にすることが望まれる。

【0168】

10

図20には、図19のソースフォロワ回路のレイアウト図を示す。多結晶シリコンなどによる半導体層4201の上の層にゲート絶縁膜の層があり、その上の層にゲート配線(第1配線)4202がある部分がトランジスタである。ゲート配線(第1配線)4202の上の層には、層間絶縁膜があり、その上には第2配線4204がある。第2配線4204と半導体層4201や、第2配線4204とゲート配線(第1配線)4202は、コンタクト4203を開口することにより、接続している。

【0169】

図20のようなレイアウト図を使って、公知の技術を用いれば、本発明の電気回路を実現することが出来る。

【0170】

20

なお、トランジスタTR1とトランジスタTR2は、通常、飽和領域で動作することが多い。理想的なトランジスタは、飽和領域では、ソース・ドレイン間の電圧が変化しても、ソース・ドレイン間に流れる電流量は、変化しない。しかし、実際には、キंक効果やアーリー効果などと呼ばれる現象により、飽和領域においても、トランジスタのソース・ドレイン間に流れる電流量が変化してしまう。そのため、電流値が変化してしまい、誤差が生じてしまう。そこで、キंक効果やアーリー効果などを低減するため、図20では、トランジスタTR1とトランジスタTR2のゲート長 L を大きくしている。なお、キंक効果やアーリー効果などを低減するための方法は、直列にトランジスタを追加することなど、他にもあり、それを本願に適用することもできる。

【0171】

30

また、理想的な動作を行う場合は、容量素子104の電圧は、補正動作のときと、通常動作のときとで、変化しない。しかし実際には、容量素子104がゲート端子に接続されているトランジスタ(ここでは、トランジスタTR1)の寄生容量(ゲート容量)により、加えた電圧が分圧されてしまう。その結果、容量素子104の電圧は、補正動作のときと、通常動作のときとで、わずかに変化してしまう。その結果、誤差が生じてしまう。その誤差を小さくするためには、容量素子104の容量値を、容量素子104がゲート端子に接続されているトランジスタの寄生容量(ゲート容量)よりも、十分大きくしておく必要がある。具体的には、少なくとも、容量素子104の容量値を、容量素子104がゲート端子に接続されているトランジスタの寄生容量(ゲート容量)の5倍以上にすることが望まれる。

【0172】

40

なお、本実施例は、実施の形態1～実施の形態5と任意に組み合わせることが可能である。

【0173】

(実施の形態7)

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら

50

の電子機器の具体例を図36に示す。

【0174】

図36(A)は表示装置であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する電気回路に用いることができる。また本発明により、図36(A)に示す表示装置が完成される。表示部13003は、有機ELディスプレイや、液晶ディスプレイなどを用いることができる。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0175】

図36(B)はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する電気回路に用いることができる。また本発明により、図36(B)に示すデジタルスチルカメラが完成される。

10

【0176】

図36(C)はノート型パーソナルコンピュータであり、本体13201、筐体13202、表示部13203、キーボード13204、外部接続ポート13205、ポインティングマウス13206等を含む。本発明は、表示部13203を構成する電気回路に用いることができる。また本発明により、図36(C)に示す表示装置が完成される。

【0177】

図36(D)はモバイルコンピュータであり、本体13301、表示部13302、スイッチ13303、操作キー13304、赤外線ポート13305等を含む。本発明は、表示部13302を構成する電気回路に用いることができる。また本発明により、図36(D)に示すモバイルコンピュータが完成される。

20

【0178】

図36(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体(DVD等)読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、本発明は、表示部A、B13403、13404を構成する電気回路に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図36(E)に示すDVD再生装置が完成される。

30

【0179】

図36(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体13501、表示部13502、アーム部13503を含む。本発明は、表示部13502を構成する電気回路に用いることができる。また本発明により、図36(F)に示すゴーグル型ディスプレイが完成される。

【0180】

図36(G)はビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、受像部13606、バッテリー13607、音声入力部13608、操作キー13609等を含む。本発明は、表示部13602を構成する電気回路に用いることができる。また本発明により、図36(G)に示すビデオカメラが完成される。

40

【0181】

図36(H)は携帯電話であり、本体13701、筐体13702、表示部13703、音声入力部13704、音声出力部13705、操作キー13706、外部接続ポート13707、アンテナ13708等を含む。本発明は、表示部13703を構成する電気回路に用いることができる。なお、表示部13703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図36(H)に示す携帯電話が完成される。

50

【 0 1 8 2 】

なお、将来的に表示材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【 0 1 8 3 】

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【 0 1 8 4 】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 1 8 5 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態1～実施の形態6に示したいずれの構成の電気回路、又は半導体装置を用いても良い。

【 図面の簡単な説明 】

【 0 1 8 6 】

【図1】本発明の差動回路の構成を説明する図。

【図2】本発明の差動回路の動作を説明する図。

【図3】本発明の差動回路の動作を説明する図。

【図4】本発明の差動回路の動作を説明する図。

【図5】本発明の差動回路の動作を説明する図。

【図6】本発明の差動回路の動作を説明する図。

【図7】本発明のソースフォロワ回路の構成を説明する図。

【図8】本発明の切り替え型増幅回路の構成を説明する図。

【図9】本発明の表示装置の構成を示す図。

【図10】本発明の表示装置の構成を示す図。

【図11】本発明の信号線駆動回路の構成の一例を示す図。

【図12】本発明の信号線駆動回路の構成の一例を示す図。

【図13】本発明のソースフォロワ回路の構成を説明する図。

【図14】本発明のソースフォロワ回路の構成を説明する図。

【図15】本発明のソースフォロワ回路の構成を説明する図。

【図16】本発明のカスコード回路の構成を説明する図。

【図17】本発明のソースフォロワ回路の構成を説明する図。

【図18】本発明のソースフォロワ回路の構成を説明する図。

【図19】本発明のソースフォロワ回路の構成を説明する図。

【図20】本発明のソースフォロワ回路のレイアウトを説明する図。

【図21】従来ソースフォロワ回路の構成を説明する図。

【図22】本発明の基本回路の構成を説明する図。

【図23】本発明の基本回路の構成を説明する図。

【図24】従来ソースフォロワ回路の構成を説明する図。

【図25】本発明の差動増幅回路の構成を説明する図。

【図26】本発明の差動増幅回路の構成を説明する図。

【図27】本発明の差動増幅回路の構成を説明する図。

【図28】本発明の差動増幅回路の構成を説明する図。

【図29】本発明のオペアンプの構成の一例を示す図。

【図30】本発明のオペアンプの構成の一例を示す図。

【図31】本発明のオペアンプの構成の一例を示す図。

10

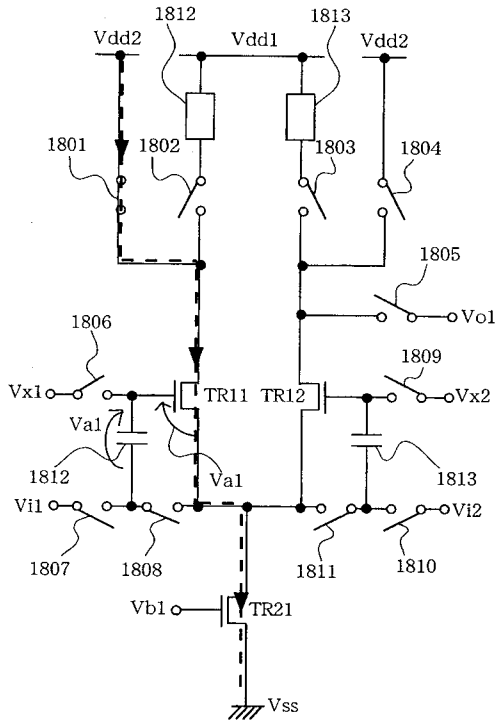
20

30

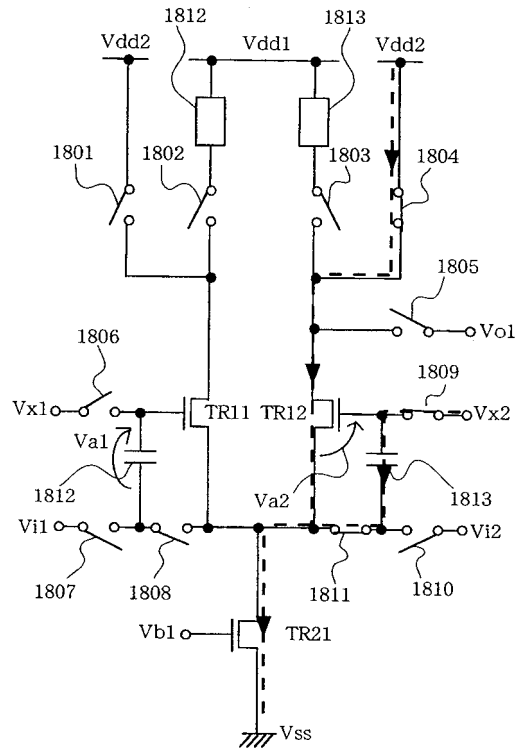
40

50

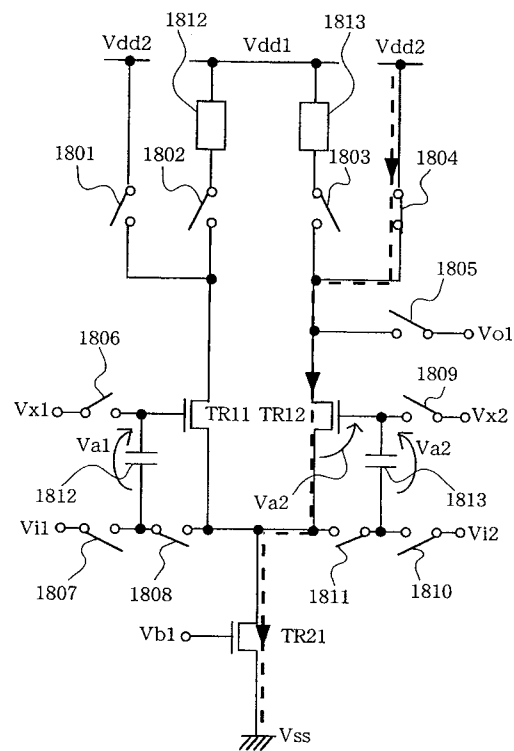
【図3】



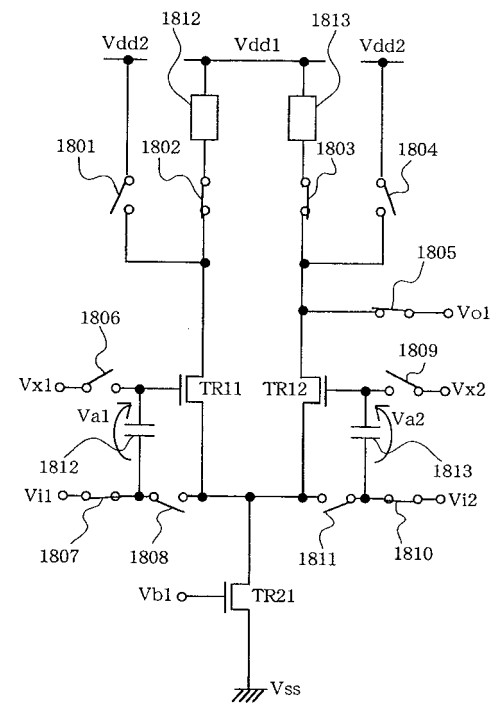
【図4】



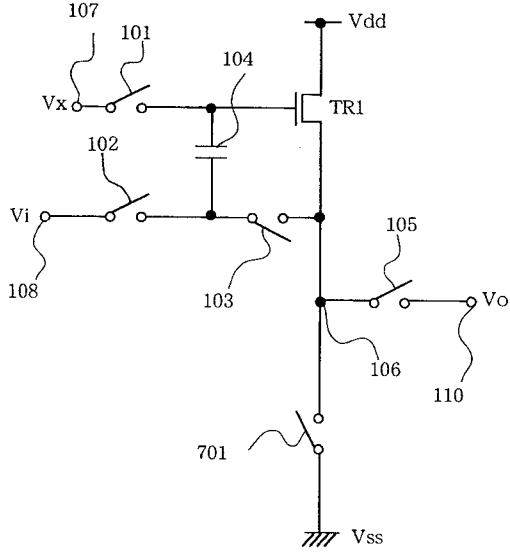
【図5】



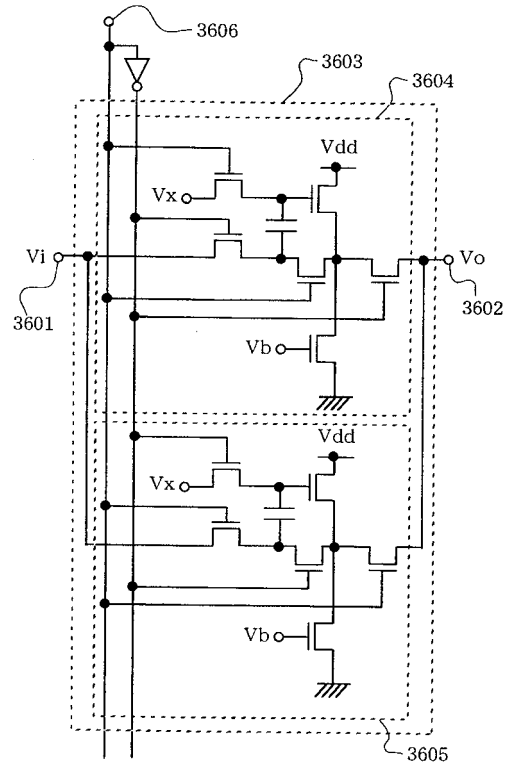
【図6】



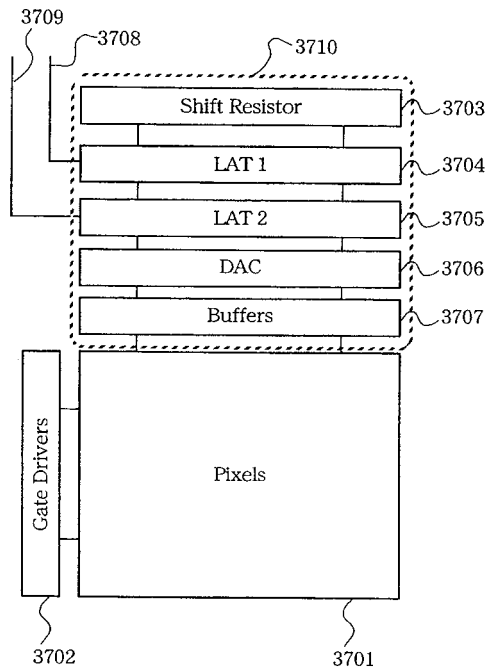
【 図 7 】



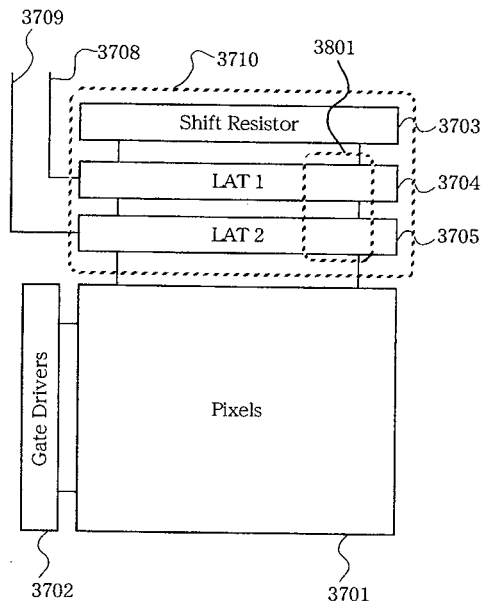
【 図 8 】



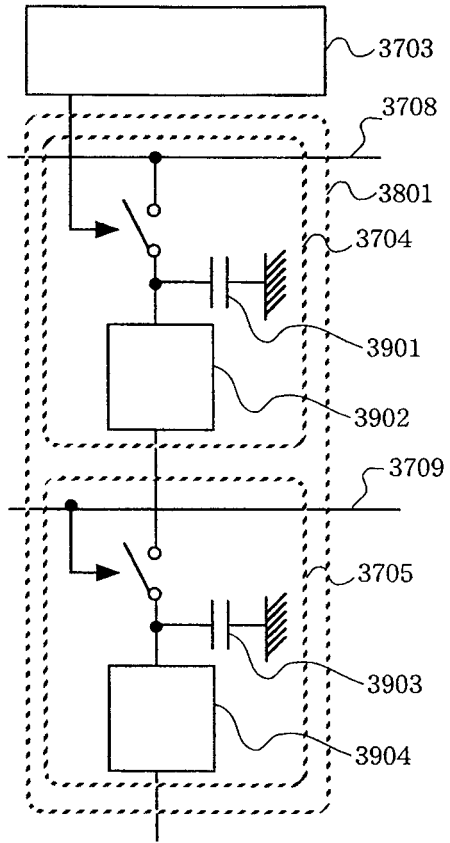
【 図 9 】



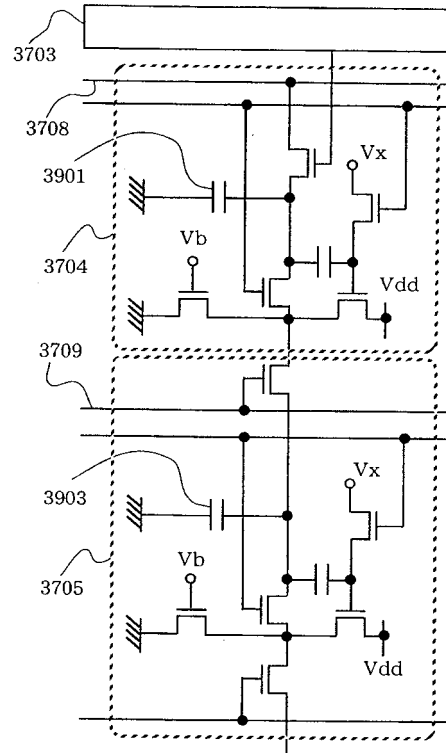
【 図 10 】



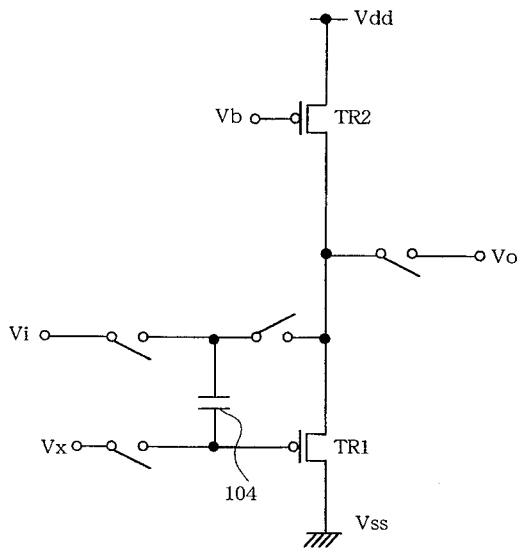
【図 1 1】



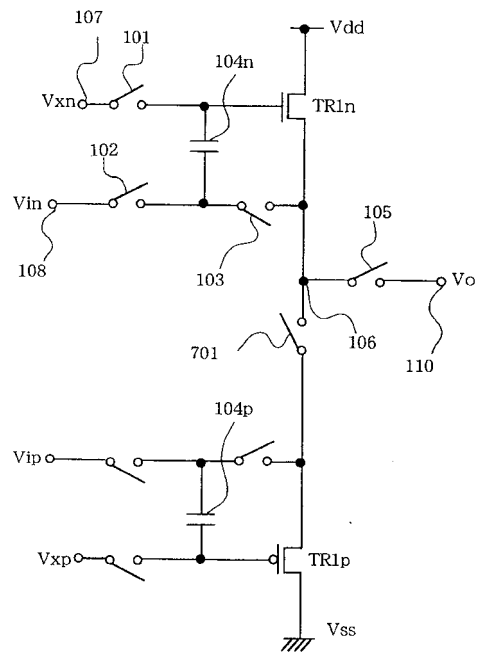
【図 1 2】



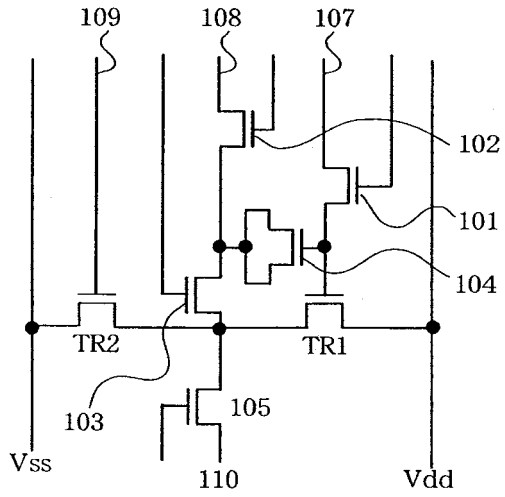
【図 1 3】



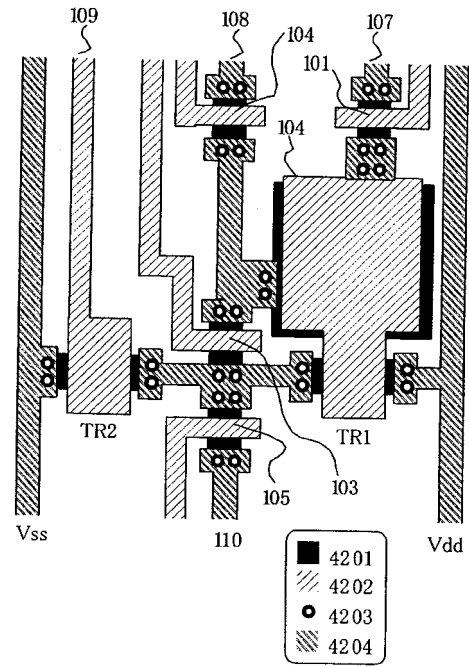
【図 1 4】



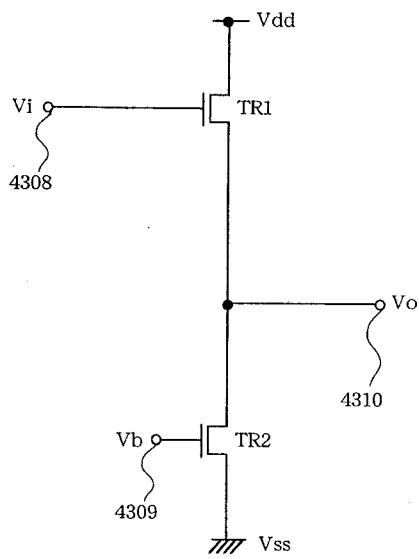
【図19】



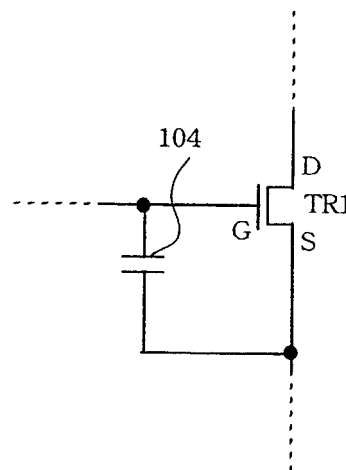
【図20】



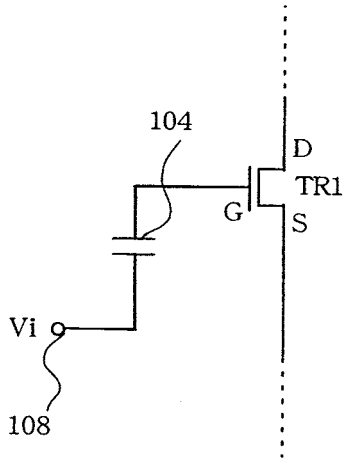
【図21】



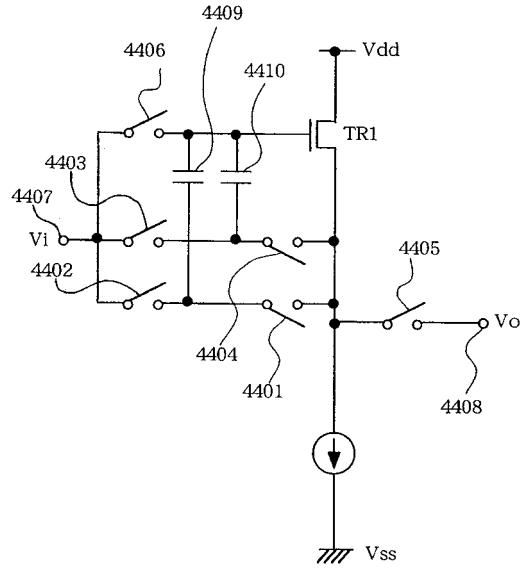
【図22】



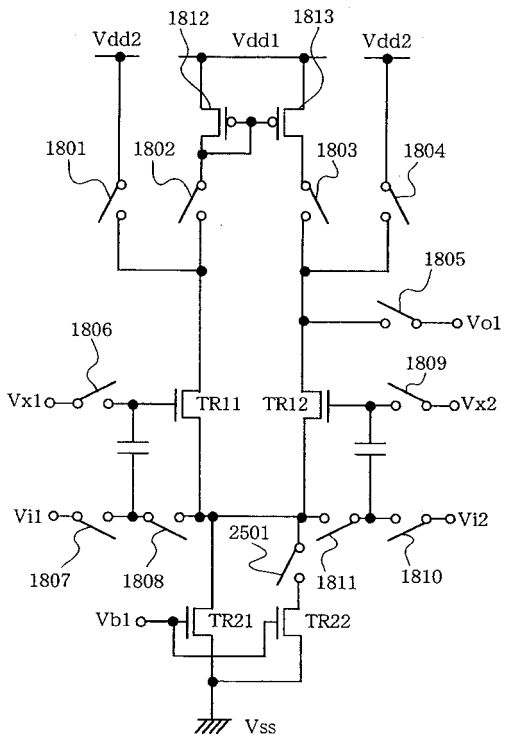
【図23】



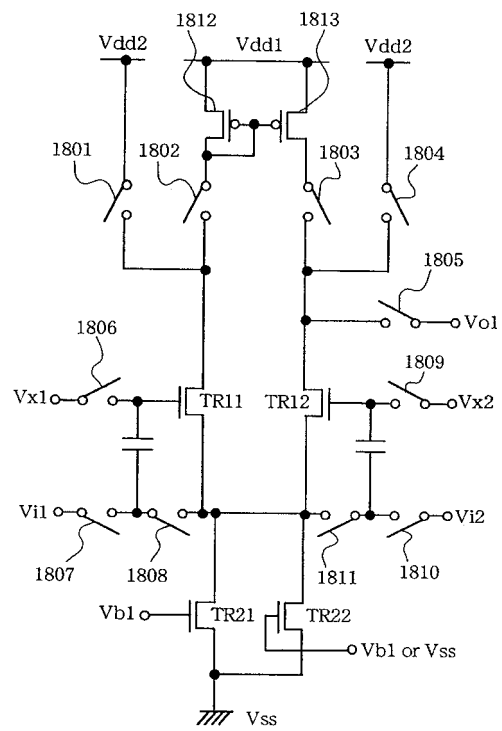
【図24】



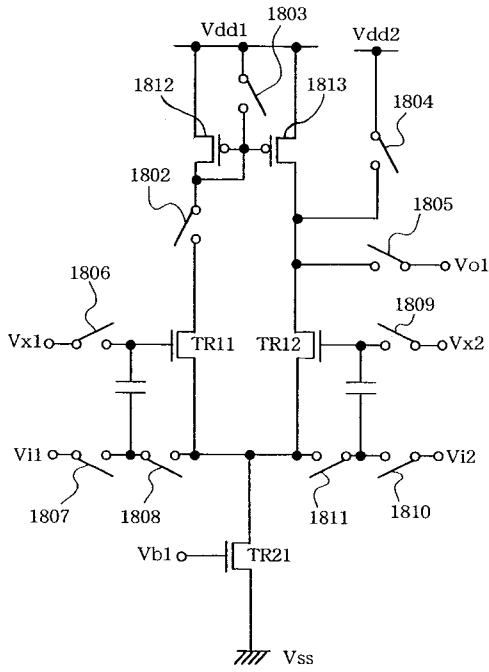
【図25】



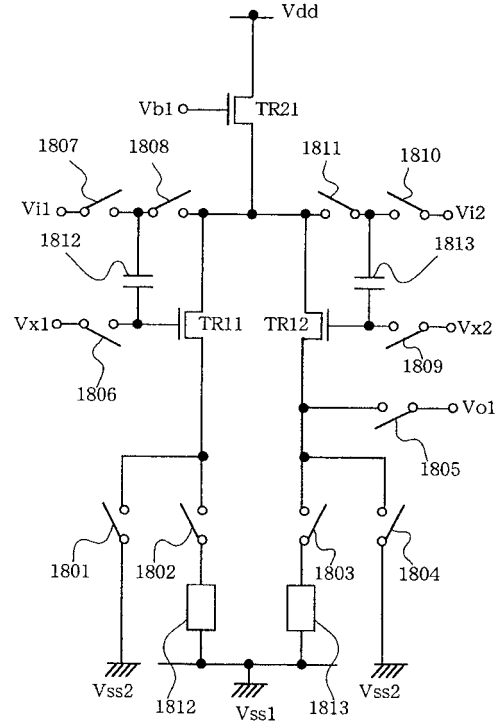
【図26】



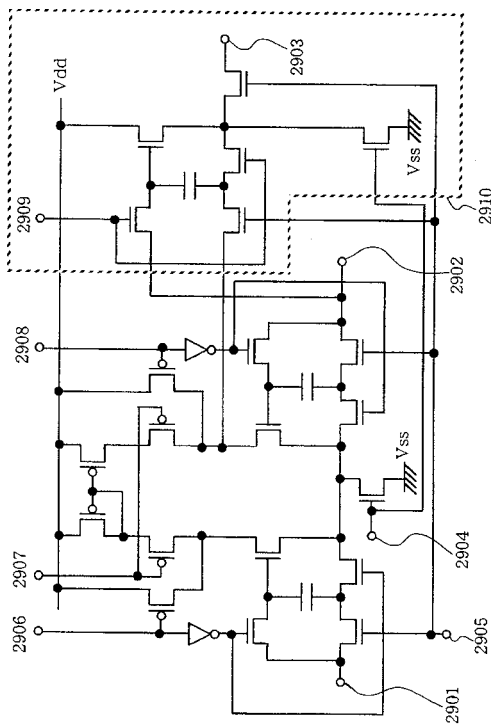
【図27】



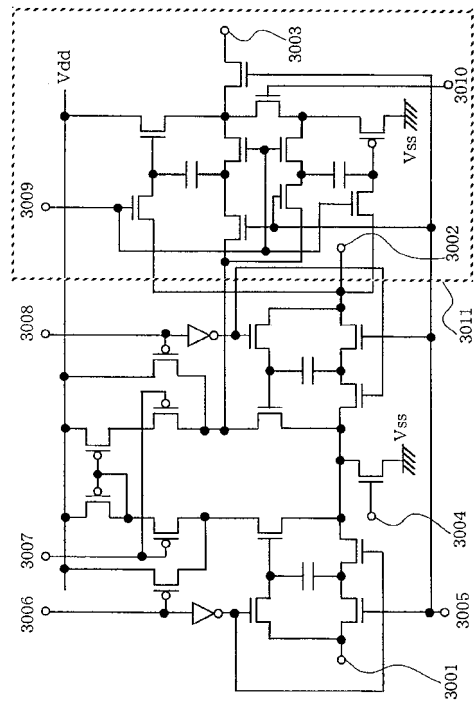
【図28】



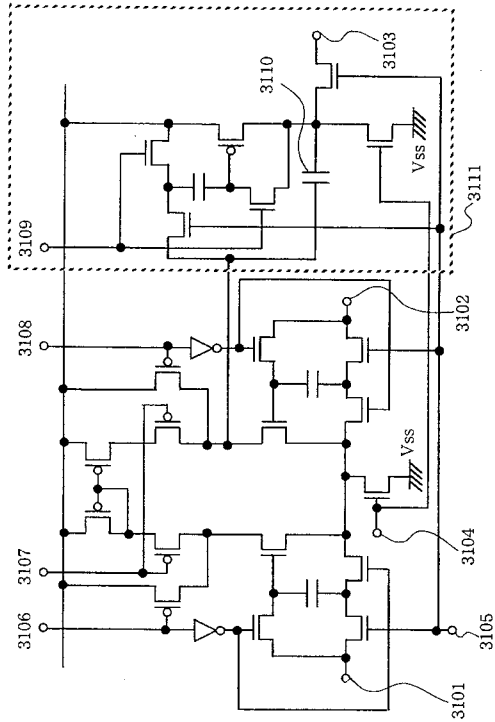
【図29】



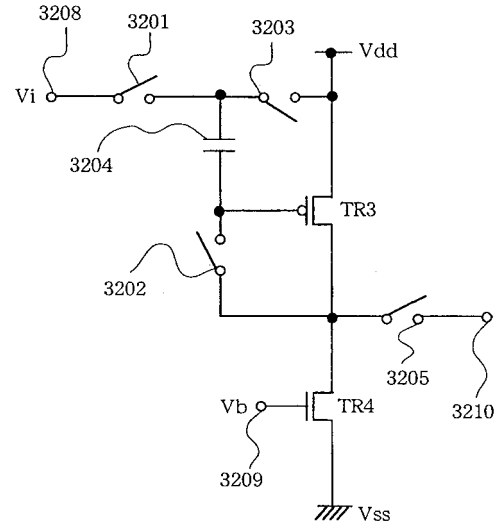
【図30】



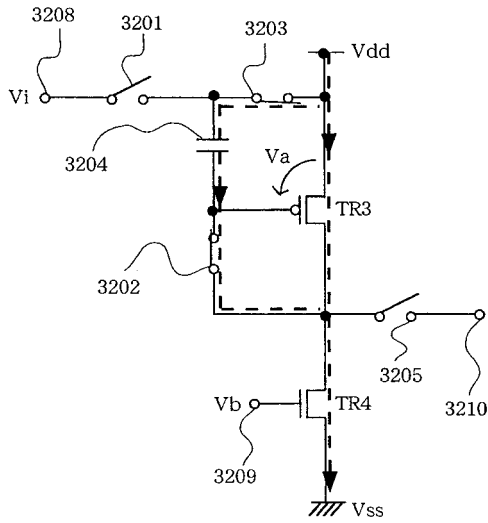
【図 3 1】



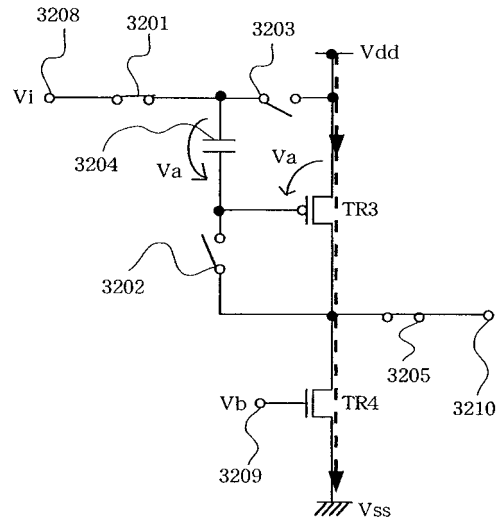
【図 3 2】



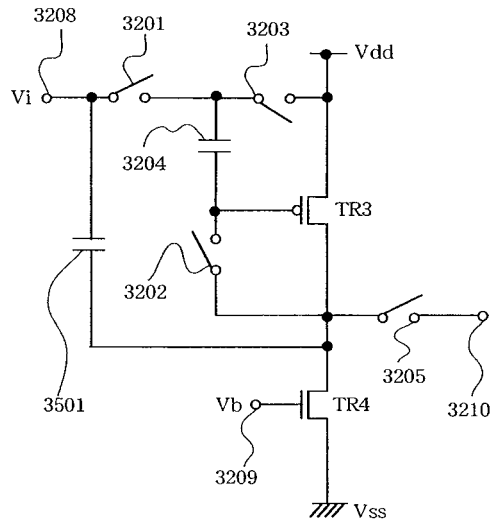
【図 3 3】



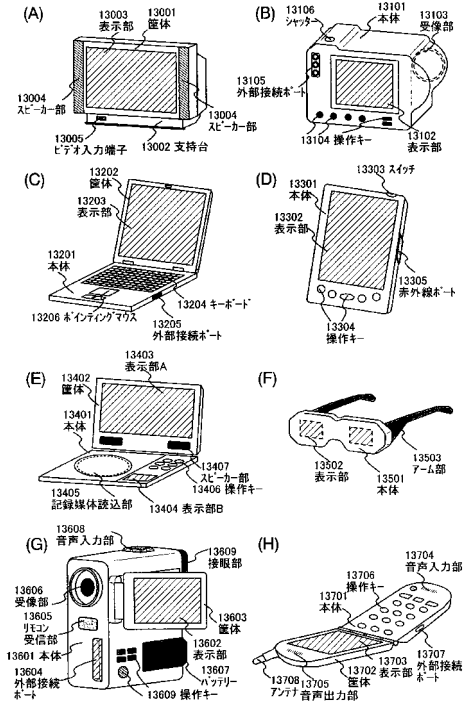
【図 3 4】



【図35】



【図36】



フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>27/04</i>	<i>(2006.01)</i>	G 0 9 G	3/30	J
<i>H 0 3 F</i>	<i>3/34</i>	<i>(2006.01)</i>	G 0 9 G	3/36	
<i>H 0 3 F</i>	<i>3/50</i>	<i>(2006.01)</i>	H 0 1 L	27/04	A
			H 0 1 L	27/04	F
			H 0 3 F	3/34	B
			H 0 3 F	3/50	

- (56)参考文献 特開昭55-072863(JP,A)
 特開平11-073165(JP,A)
 米国特許第05274284(US,A)
 特開2001-085989(JP,A)
 実開昭61-131171(JP,U)
 特開平03-139908(JP,A)
 国際公開第02/075709(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8、
 H 0 1 L 2 1 / 0 0 - 2 1 / 0 2、2 1 / 0 4 - 2 1 / 1 6、
 2 1 / 8 2 2、2 7 / 0 4、
 H 0 3 F 1 / 0 0 - 3 / 4 5、3 / 5 0 - 3 / 5 2、
 3 / 6 2 - 3 / 6 4、3 / 6 8 - 3 / 7 2