



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 96109992.5

[43] 授权公告日 2003 年 1 月 22 日

[11] 授权公告号 CN 1099637C

[22] 申请日 1996.8.16 [21] 申请号 96109992.5

[30] 优先权

[32] 1995. 8. 18 [33] DE [31] 19530483.7

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 X · —Y · 何

[56] 参考文献

CN1075021A 1993.08.04 G06F9/46

US4642756 1987.02.10 G06F9/40

审查员 丁文勍

[74] 专利代理机构 中国专利代理(香港)有限公司

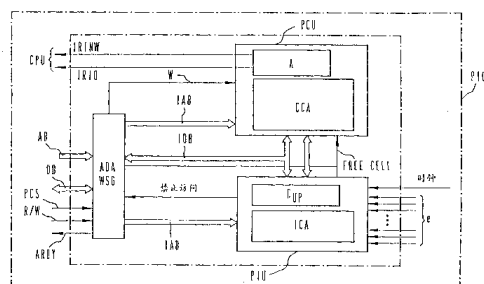
代理人 董巍 蕭掄昌

权利要求书 3 页 说明书 13 页 附图 4 页

[54] 发明名称 多任务实时处理的设备和方法

[57] 摘要

实时数据处理设备中处理多任务的一种设备和方法，其中每一任务按照其紧迫性动态分配一个优先级。为此为每一要处理的任务建立一个带一定数目的 t 和 i 位的初始化单元 (IC)，并把该初始化单元登入一个争用部件 (PCU) 的一个空单元 (CC) 中。比较争用部件 (PCU) 的所有单元 (CC) 的 t 位中包含的时间流程信息，查明包含最小时间流程信息的那个任务。如果与先前查明的任务不一致，则给处理器发送一个中断信号 (IRINW)，开始处理新查明的任务。



1. 一种由实时数据处理设备的处理器处理多任务的方法，其中每一任务按照一个动态分配的优先级独立地、并且在一个预先规定的时间段内由一处理器处理，其特征在于，该方法包括下述步骤：

- 5 - 对一个要处理的任务建立一个初始化单元（IC），它带有一定数目的 t 位和一定数目的 i 位，t 位中包含时间流程信息，i 位中包含变址信息，并且把该建立起来的初始化单元登入一个争用部件（PCU）的一个空单元（CC）中，在该争用部件（PCU）中为每一个由处理器（CPU）处理的任務分配一个这样的单元（CC），
- 10 - 比较该争用部件（PCU）的所有单元（CC）的 t 位包含的时间信息，以查明包含最小时间流程信息的那个任务，和在查明的任务与正由处理器（CPU）处理的先前查明的任务不一致时，给处理器（CPU）发送一个中断信号（IRINW），以开始处理新查明的任务。

2. 根据权利要求 1 的方法，其特征在于，该时间流程信息规定，
15 在该时间段内该任务的處理要完成，而变址信息指向数据处理设备的任务控制块。

3. 根据权利要求 1 或 2 的方法，其特征在于，初始化单元（IC）由进程初始化部件（PIU）建立，可以为每一允许的外部事件发出一个要由处理器（CPU）处理的任務的信号，所述信号包含一个带预编
20 码的或者由处理器（CPU）初始化的 t 位的初始化单元（IC）。

4. 根据权利要求 1 或 2 的方法，其特征在于，对每一要处理的内部任务，由处理器（CPU）建立争用单元（CC）的 t 和 i 位并登入争用部件（PCU）中。

5. 根据权利要求 4 所述的方法，其特征在于，所述内部任务是一个
25 子任务。

6. 根据权利要求 1 或 2 或 5 所述的方法，其特征在于，在争用部件（PCU）的每一单元（CC）配备一个 r 位，它指示该单元是否被占用，并且在把一个初始化单元（IC）登入争用部件（PCU）的一个单元（CC）之前检验该 r 位，以确定该单元空或不空。

30 7. 根据权利要求 1 或 2 或 5 所述的方法，其特征在于，在一个初始化单元（IC）的 t 位中包含的相对时间信息在登入争用部件（PCU）的一个空单元（CC）之前加上一个向上计数的计数器（CUP）的值，

以产生一个绝对时间信息，该值将登入争用单元（CC）的t位中。

8. 根据权利要求1或2或5所述的方法，其特征在于，在一个初始化单元的t位中包含的相对时间信息直接登入争用部件的一个单元中，以及所有争用单元的t位的内容相应于一个向下计数的计数器的脉冲速率而减小。

9. 根据权利要求1或2或5所述的方法，其特征在于，争用部件（PCU）的每一单元（CC）包含f位，它设计用于任务之间的通信，通过该f位，可以暂时抑制一个争用单元（CC）参与比较在t位中包含的时间流程信息。

10. 根据权利要求9所述的方法，其特征在于，所述f位用于信号机、事件标志和信息箱。

11. 根据权利要求1或2或5或10所述的方法，其特征在于，争用单元时间流程信息的比较仅在对争用部件的写操作发生后，至少改变了一个争用单元（CC）的状态后执行。

12. 根据权利要求1, 2, 5或10任意之一所述的方法，其特征在于，不依赖争用单元（CC）的状态，另外周期地比较所有占用的争用单元（CC）的时间流程信息，只要确定一个任务不能在t位中规定的时间内处理完，便指示过载。

13. 在一个预先规定的时间期间、在一个处理器中按照一个动态分配的优先级处理多任务的设备，其特征在于，为一个要处理的外部任务，它有供建立一个初始化单元的设备（PIU，CPU），该单元至少由包含时间流程信息的一定数目的t位和包含变址信息的一定数目的i位组成；它有为把每一要处理的任务的初始化单元登入一争用部件（PCU）中的设备，为此在其中装备了多个争用单元（CC）；它有为比较争用部件（PCU）的所有为一个任务分配的单元（CC）的t位中包含的时间信息的设备（A），以查明包含最早运行时间信息的那个任务；以及配备其它为给处理器（CPU）发送中断信号（IRINW）的设备，以便在新查明的任务与正由处理器（CPU）处理的先前查明的任务不一致的场合开始处理新查明的任务。

14. 根据权利要求13的设备，其特征在于，建立初始化单元的设备是一个进程初始化部件（PIU），其中为一个要处理的外部任务配备一个带预编码或由处理器（CPU）初始化的t位的初始化单元（IC）。

15. 根据权利要求 14 的设备, 其特征在于, 建立初始化单元的设备是处理器 (CPU) 自身。

16. 根据权利要求 15 所述的设备, 其特征在于, 为产生一个子任务建立初始化单元的设备是处理器 (CPU) 自身。

5 17. 根据权利要求 14 到 16 中任何一个权利要求的设备, 其特征在于, 比较在争用单元 (CC) 的 t 位中包含的时间流程信息的设备是一个仲裁电路 (A)。

18. 根据权利要求 14 到 16 中任何一个权利要求的设备, 其特征在于, 它有为检验争用单元 (CC) 的一个 r 位的设备 (FREECELL),
10 其指示该单元是否被占用。

19. 根据权利要求 18 的设备, 其特征在于, 它还有为置位和复位争用部件 (PCU) 的每一单元 (CC) 的 f 位的设备, 其设计用于任务之间的通信, 通过这些设备可以暂时抑制一个争用单元 (CC) 参与在 t 位中包含的时间流程信息的比较。

15 20. 根据权利要求 19 所述的设备, 其特征在于, 所述 f 位的设备是信号机, 事件标志或信息箱。

21. 根据权利要求 14 - 16 或 19 中任何一个权利要求的设备, 其特征在于, 它有为把一个向上计数的计数器 (CUP) 的内容加在一个初始化单元 (IC) 的 t 位中包含的相对时间信息上的设备, 以产生一个
20 绝对时间信息, 其登入争用部件 (PCU) 中分配的单元 (CC) 的 t 位中。

22. 根据权利要求 14 - 16 和 19 中任何一个权利要求的设备, 其特征在于, 它有为按照向下计数的计数器的脉冲速率减小在每一争用单元的 t 位中包含的相对时间信息的设备。

25 23. 根据权利要求 21 的设备, 其特征在于, 它有为与一个向上计数的计数器 (CUP) 比较所有被占用的争用单元 (CC) 的最小时间流程信息的设备 (COMP), 以便在最小时间流程信息的值小于计数器 (CUP) 的值时指示过载。

24. 根据权利要求 22 的设备, 其特征在于, 如果最小时间流程信息
30 达到零值时, 它有指示过载状态的设备。

25. 根据权利要求 23 或 24 的设备, 其特征在于, 另外还设计有封锁过载指示的若干设备 (b)。

多任务实时处理的设备和方法

5 技术领域

本发明涉及的是实时数据处理设备的处理器中多任务处理的设备和方法，其中每一任务按照一个动态分配的优先级单独地、并且在一个预先规定的时间段内由该处理器处理。

背景技术

10 专利 CN1075021A 公开了一种由实时数据处理设备的处理器处理多任务的方法，其中每一任务按照一个动态分配的优先级独立地、并且在一个预先规定的时间段内由一处理器处理。

在上述具有动态优先级分配技术的实时系统中，一个任务或中断的优先级按照相对的紧迫性分配，并且涉及那一时刻，在该时刻有一个任务供处理，或请求一个中断。

在许多迄今为止应用的系统中，为任务和中断请求存在一个静态的优先级分配，它不随时间的推移而改变。为了在一个这样的有 n 个独立的周期性任务的系统中实现所有任务的及时处理，处理器的负荷不得超过理论值 $n(2^{1/n} - 1)$ 。在 n 大时，这个值迅速趋向于 2 的自然对数，即 0.69。也就是说，在一个这样的系统中，处理器的负荷最大只可达到 70%，该处理器最低需要 30% 的空闲时间才能及时处理所有的任务。

为改善处理器的负荷，进而改善整个数据处理设备的性能，已经尝试过实现动态优先级分配。这种动态优先级分配的理论基础发表在计算机协会杂志第 20 卷 1973 年 1 月号第 46 - 61 页题目为“在硬实时环境中多道程序的调度算法”的文章中。根据这种理论，处理器的负荷可以达到 100%。文中说明一种优先级的分配算法，该法以最早截止期优先（第一）（EDF）表示。从所有要处理的排队等待的任务中根据 EDF 那个任务得到最高优先级，据此优先级对其处理的时间段最早结束。在所述发表的文章中此外还进行了静态优先级分配系统和动态优先级分配系统之间理论性能的比较，以及进一步这

些系统与混合优先级分配系统的比较。

虽然按照EDF的动态优先级分配可以达到100%的处理器负荷，但是系统性能并不能改善，因为此时处理器必须另外处理优先级分配的算法。实践表明，优先级分配的算法在一些场合下产生高达80%处理器操作时间，以至只有20%的处理器时间用于实际的任

务处理。

可以用一个专门负责处理优先级分配算法的另外的处理器来避免由于优先级分配算法而导致的处理器负荷的减少。这样的解决方案可以从IEEE计算机学报，7/88，第177页及以后有关页上发表的“时间驱动调度处理器的实现和评估”中获知。使用这样的系统，可以达到98%的处理任务的处理器时间。然而这种技术解决方案有下述缺点：硬件开销增加太多，因而对许多应用来说这种系统昂贵。

发明内容

因此本发明的一个任务是：提供一种方法和设备，利用这种方法和设备在应用一按照EDF的动态优先级分配时在建已知的系统相比不增加另外的处理器的设备上。处理器负荷可大大提高，另外这样的解决方案还应该在不过多增加开支的情况下能够实现。

根据本发明，通过由一个数据处理设备的处理器使用一种多任务处理方法而解决了上述任务，其中每一任务按照一个动态分配的优先级独立地、并且在一个预先规定的时间段内由该处理器处理，该方法包括下述步骤：

- 对要处理的任务建立一个初始化单元，该初始化单元带有包含时间流程信息的一定数目的t位和包含变址信息的一定数目的i位，并且把该建立起来的初始化单元装入争用部件的一个空单元，每一个要由处理器处理的任务都在争用部件中分配一个这样的单元。

- 比较争用部件所有单元在t位中包含的时间信息，以查明包含最小时间流程信息的那项任务，如果该任务和正由处理器处理的先前查明的任务不一致的话，给处理器发送一个中断信号，以便开始处理最新查明的任务。

同样，所提出的任务通过使用由一个处理器按照动态分配的优先级在一个预先规定的时间段内处理多任务的设备而解决，在该设备

中, 装备若干个为要处理的一外部任务建立初始化单元的部件, 该初始化单元至少包含一定数目的 t 位, 它们包含时间流程信息, 和包含一定数目的 i 位, 它们包含变址信息, 在该设备中, 还有为在争用部件 (PCU) 中登入每一待处理的任务的初始化单元的另外的部件, 为此其中装备了多个争用单元, 另外还有比较在争用部件的所有单元的 t 位中包含的时间信息的部件, 以查明包含最早到期的时间信息的那个任务, 以及给处理器发送中断信号的部件, 如果在该查明的任务与前此查明的正由处理器处理的任務不一致时, 则开始新查明的任务的處理。在 t 位中包含的时间流程信息通常规定, 在多大的时间内该任务必需完成, 而在 i 位中包含的变址信息指向该数据处理设备的任务控制块。

通过这种方法及设备, 可以极大改善处理器的负荷, 因为处理器不必处理任何为分配优先级而需要开销的代码。因此处理器可以加载任务到其 100% 的理论极限。争用部件的硬件开销与一个附加的处理器相比十分小。争用部件例如可以是一个简单的静态 RAM 存储块, 或者是一个简单的二进制计数器, 其中存储争用单元。

在本方法及本设备的一个实施形式中, 初始化单元以有利的方式由进程初始化部件建立, 其中, 对每一允许的外部事件 - 它触发一个由处理器处理的任務 - 包含一个带预编码或者通过处理器初始化的 t 和 i 位的初始化单元。在本发明的框架内另外还设计, 对一个待处理的内部任务, 例如一子任务, 由处理器建立争用单元的 t 和 i 位并登入争用部件中。

本发明框架内的另外的优点是争用部件的每一单元的 r 位指示该单元是否被占用。在把一个单元登入争用部件之前总要检验该 r 位, 以确认打算用的单元未由登入其它任务而被占用。当所属任务结束, 该 r 位被重新释放, 指示它为一个空单元。

另外被证明为优点的是争用部件的每一单元另外包含 f 位, 它们设计用于任务间通信, 例如信号机, 事件标志或者信息箱, 通过它们可以暂时抑制一个争用单元参与比较在 t 位中包含的时间流程信息。当一个任务必需等待一个规定的前提条件时, 则在该任务的争用单元中置一 f 位, 以便将其从对在 t 位中包含的时间流程信息的比较中暂时排除。当继续处理该任务的前提条件满足时, 分配的争用单元的该

f 位重新复位,使得此后该单元又能参与对 t 位的比较。由此可以以简单的方式表示一个争用单元的激活和非激活的状态。

5 根据本发明的方法的一个特别有利的实施例可以通过下述事实得到,在一个初始化单元的 t 位中包含的相对时间信息,在把该单元往争用部件登入之前要加上一个向上计数的计数器的值,以产生一个绝对时间信息,其通过争用单元的 t 位体现。因为在争用单元中只还存储了绝对时间信息,因此只还必须互相比较这些登录项,以确定哪个任务包含最小时间流程信息。

10 仅在至少争用单元之一的 r 和 f 位的状态发生改变时才以有利的方式比较激活的争用单元的时间流程信息。这就是说,仅在一个争用单元往争用部件中新登入时或从其中清除时或者一个争用单元参与时间流程信息的比较被抑制或重新允许时这种比较才能执行。然而,不依赖争用单元的 r 和 f 位的状态,另外周期地比较所有被占用的争用单元(激活的和未激活的单元)的时间流程信息,只要被查明的最小时间流程信息值小于计数器的时间流程信息值时,就显示过载。这种过载保险用于,在超过 100% 的处理器满负荷的情况下激活也能在这种场合下使数据处理继续可靠地运行的子例程。同样,可以通过该中断子例程处理死循环。

20 在本发明的框架内以下面的方式区分相对和绝对时间流程信息。相对时间信息规定一个时间段,例如 15 毫秒,在该时间段内该任务的处理最晚必须结束。一个这样的相对时间流程信息在下面叙述的优选实施例中首先包含在初始化单元的 t 位中。为简单起见,相对时间流程信息也可以间接地通过一个二进制值,例如一个二进制计数器的一定数目的脉冲周期表示,其用作时间参量。与此相对,一个绝对时间流程信息规定一个时刻,例如 10 点 15 分 45 秒 1 毫秒,最迟到该时刻该任务的处理必须结束。这种类型的绝对时间信息自然也可以不依赖日间的时间而由一个向上计数的计数器实现。一个这样的绝对时间信息在该优选实施例中包含在争用单元的 t 位中。由于把一个单元登入争用部件中时相对时间信息变换为绝对时间信息,因此有

25 利的是争用单元的 t 位不必在每一脉冲周期后更新。

30

附图描述

下面根据一个具体的实施例,但不局限于该实施例,参考附图

1、2、3和4详细叙述本发明，这些附图表示：

图1是带初始化部件和争用部件的按照本发明的设备的原理框图；

图2是根据图1的设备的框图，其中用数字表示各个运行流程；

5 图3是争用部件的仲裁电路的原理详图；

图4表示仲裁电路的不同信号的典型的时间曲线。

具体实施例

首先参照图1，其中原理示出根据本发明技术的一个P I C U
(进程初始化和争用部件)设备，它包含一个进程初始化部件P I U
10 和一个争用部件P C U (进程争用部件)。

在进程初始化部件P I U上连接有多条信号线，每一条表示一个外部事件，由处理器C P U (此处未示出)要处理的一个规定的任务可以通过这些信号线发出信号。为此目的，进程初始化部件为每一外部事件信号分配一个初始化单元I C，这些初始化单元包含在一个初始化单元阵列I C A中。每一初始化单元I C包含规定数目的位，亦
15 即n数目的t位，其为相应的任务规定一个相对的时间信息，处理器C P U最迟必须在该时间段内处理完该任务，以满足实时处理的要求；每一初始化单元还包括多个i位，它们建立起一个变址，该变址指向数据处理设备的任务控制块T C B，在该任务控制块中存储有处理当时任务的其它信息；每一初始化单元还包含一定数目的f位，其
20 作为标志例如用于任务之间的通信。t位可以对每一可能的任务在阵列I C A中预先编码或者在数据处理设备起动时写入阵列I C A中。

i位在一个任务初始化阶段由处理器C P U在分配的单元中写入。在进程初始化部件P I U中另外还装备一个向上计数的n位宽计数器C
25 U P，该计数器的内容要在一个初始化单元I C登入争用部件P C U前，加在该初始化单元的t位的内容上，以产生一个绝对时间信息，它规定，从初始化开始到哪一时刻，该任务最迟必须由处理器处理。计数器C U P由一外部节拍CLOCK同步。

P I C U设备的争用部件P C U包括多个争用单元C C，它们同
30 样包含在一个阵列C C A (争用单元阵列)中。在争用部件P C U中的争用单元C C的数目和在进程初始化部件P I U中的初始化单元I C的数目彼此独立。每一争用单元C C分配规定数目的位，亦即n +

1 数目的 t 位，它包含加上计数器 CUP 中包含的信息而得到的绝对时间信息，到此时间该任务必须处理，每一争用单元还分配初始化单元所有的 i 位和 f 位以及另外一个 r 位，它表示分配的争用单元是空还是被占用。在本实施例中初始化单元的 t 位的数目和内容与争用单元的 t 位的数目和内容不同，因为在初始化单元 IC 中的 t 位包含的是相对时间信息，与此相反，争用单元包含的是绝对时间信息，它是通过把相对时间信息和在计数器 CUP 中包含的当时值相加而得到的。在所叙述的实施例中还为争用单元另外分配一仲裁电路 A，它比较被占用的争用单元 CC 的 t 位中存储的时间流程信息，以查明时间流程信息具有最小值的那个单元。后面参考图 3 和图 4 进一步更准确地叙述该仲裁电路的功能。仲裁电路 A 通过 IRI NW（指明新拥有者的中断请求）中断信号线和 IRI O（指明过载的中断请求）中断信号线与数据处理设备的处理器 CPU 连接。

在带有计数器 CUP 的本优选实施例中，无论是进程初始化部件 PIU 还是争用部件 PCU 都可以模仿静态 RAM 建立。因为为此仅需少量的三极管，相对于其它的二进制计数器来说，制造该设备简单而成本适宜。不过本发明并不局限于本实施例。所有其它的、为此目的适宜的进程初始化部件和争用部件均包含在本发明的框架内。

进程初始化部件 PIU 通过一导线 FREE CELL 和一内部数据总线 IDB 与 PICU 设备的争用部件 PCU 连接。通过导线 FREECELL，借助争用单元 CC 的 r 位，检验争用部件的这样一个单元是否可以用于一个登录项，也就是说，确定它是空还是被占用。通过内部数据总线 IDB 可以从 PIU 到 PCU 传输 t 、 i 和 f 位。

为与数据处理设备的处理器 CPU 通信，另外还装备一传输部件 ADWSG（地址解码和等待状态产生部件），它一方面与内部地址和数据总线、另一方面与 CPU 的地址和数据总线连接。另外传输部件 ADWSG 还拥有到导线 FREE CELL 的通路。进程初始化部件 PIU 通过一条访问禁止信号线 ACCESS DIS ABLE 与传输部件 ADWSG 连接，以避免在初始化时期或在通过进程初始化部件 PIU 向争用部件 PCU 登入一个单元时处理器 CPU 动作。该访问禁止线 ACCESS DIS ABLE 的信号通过传输部件 ADWSG 转变为一个信号，它导向处理器 CPU 的异步准备就

绪入口 ARDY。另外，传输部件还连接到外部芯片选择 PCS 的出口和处理器的 R / W 上。

5 PICU 设备的内部地址总线的位数分为两段，亦即一 c 段和一 s 段，通过 c 段，进程初始化部件或者争用部件的单元被寻址，通过 s 段，每一单元内部的部分区域（t 位、i 位、f 位）被寻址。连接到 CPU 的地址总线也可以以这种方式分成两段，亦即一 c 段和一 s 段。

下面参考图 2 详细叙述上面说明的设备的典型的运行流程，分两方面来说明，一方面是情形 A，在该情形下外部事件发出一个任务处理的信号，另一方面是情形 B，在该情形下通过处理器产生一个子任务。下面在括号中给出的数字相应于在图 2 中给出的数字。

A) 在出现一个外部事件后，例如事件 e，在为此装备的进程初始化部件 PIU 的信号线之一上执行下述工作步骤：

15 (1) 在一个加法寄存器中装入为所要求任务装备的初始化单元 IC 的 n 个预先编码的 t 位；

(2) 在传输部件 ADWSG 上，将信号线 ACCESS DISABLE 置位，以便在所要求的任务初始化完成以前处理器 CPU 不能存取争用部件 PCU。当亲自 CPU 的一个 PCS 信号到达 ADWSG 部件时，则通过 ADWSG 部件作为对信号线 ACCESS DISABLE 的相应置位 ARDY 信号；

20 (3) 同时通过进程初始化部件将 FREE CELL 信号线置位，以便能够对一个空的争用单元（带已复位的 r 位）进行随之而来的写操作；

25 (4) 在 n 个 t 位中包含的时间流程数值加在 n 位宽计数器 CUP 的内容上。这种相加产生一个 n + 1 位的结果，它表示一个绝对时间信息，该绝对时间信息写入空的争用单元的 n + 1 位的 t 位中。初始化单元中的 i 位和 f 位中的内容不加改变地写入相应的争用单元的 i 位和 f 位中。

30 (5) 然后信号线 ACCESS DISABLE 由进程初始化部件 PIU 再次复位，以便再次释放处理器 CPU 对争用部件的存取。如果其间出现一 PCS 请求，则通过传输部件 ADWSG 将 ARDY 信号复位；

(6) 同样通过进程初始化部件 P I U 将信号线 F R E E C E L L 复位。

B) 在出现一个内部事件时, 也就是说, 当一个任务由一个其它的任务请求时, 执行下面的步骤:

5 (11) 在处理器 C P U 的地址总线上置一备用码, 例如在 c 段置一 0 X F F, 以表明请求一个空单元。同样, 在地址总线的 s 段的 t 位上置一指针;

10 (12) 传输部件 A D A W S G 接着产生一 F R E E C E L L 信号, 只要 A C C E S S D I S A B L E 信号一不显示在 A D A W S G 部件上时, 它就被放置在争用部件的 F R E E C E L L 入口上;

 (13) t 位的数值放在 C P U 的数据总线上;

 (14) 在 A D A W S G 部件的 R / W 入口置 W R I T E 信号;

15 (15) n 个 t 位的内容装入进程初始化部件 P I U 的加法寄存器中。如果 t 位的数目大于数据总线的宽度, 则重复执行 (11) 到 (15) 的步骤, 直到所有 n 个 t 位装入加法寄存器中;

 (16) n 个 t 位与 n 位宽计数器 C U P 的内容相加产生一个结果, 其写入一个空单元的 n + 1 的 t 位中。i 位和 f 位仿照步骤 (11) 到 (16) 直接写入有关的争用单元中。

20 因为一个任务的处理最迟必须完成的时刻在为该任务建立争用单元 C C 时业已确定, 所以争用部件 P C U 的内容仅在当一个争用单元 C C 新建立或者撤消时或者当一个已经存在的争用单元 C C 的状态改变时才改变。例如通过改变一个争用单元的 f 位可以抑制或重新参与由仲裁电路 A 进行的 t 位的比较, 或者可以通过改变已有的争用单元 C C 的 t 位而改变已分配的任务的时间流程信息。换句话说, 对请求任务处理的优先级分配只能在争用部件的内容改变时才能改变。争用部件的所有改变由硬件通过对该争用部件的写操作实现。这就是说, 对争用部件的所有占用单元的 t 位进行比较, 以确定包含最小时间流程信息的争用单元, 需要的话给处理器 C P U 发送一个中断请求, 这种操作仅必须在该争用部件的写操作实现后才能执行。在所有其它的时刻, 争用部件 P C U 和仲裁电路 A 可以用于其它目的。

30

 下面参考图 3 和图 4 详细叙述仲裁电路的逻辑结构及其功能, 其中在图 3 中以 3 个带多个 f 位、一个 r 位和多个 t 位的争用单元为例

详细叙述仲裁电路逻辑，而在图 4 中示出图 3 的仲裁电路逻辑的不同信号的典型时间曲线。争用单元的 i 位在图 3 中为明了起见未示出，因为它对仲裁电路的功能无任何影响。

5 作为对争用部件的 w 信号线的写信号的响应，在一个规定的时间，在 c 信号线上置一“高”值信号。该高值信号的持续时间依赖于在该仲裁电路之内的信号延迟。 c 信号线的信号通过一与门电路与一逻辑功能电路 PLA （程序逻辑阵列）的输出逻辑连接。功能电路 PLA 是争用单元 CC 的所有 f 位的逻辑连接，并由其输出（0 或 1）指示，该争用单元当时是否参与由仲裁电路对 t 位的比较。 c 信号线上的高值信号的作用为使得到仲裁电路 A 的动态触发器 $D - FF$ 的输出只包含争用部件的那些单元 CC ，它们被占用，而且它们的 f 位（ PLA 功能电路）允许参予这种比较。从图 3 进一步得知，只有分配给最小时间流程信息的那个单元的触发器 $D - FF$ 的输出可为零。刚才叙述的仲裁电路的操作方式用于确定，占用的（ r 位 = 置位）和激活的（ PLA 功能电路为 1）争用单元中那一个包含最短时间流程信息并因此按照 EDF 原则得到最高优先级。仲裁电路的这种操作方式在下面简称为优先级分配。

20 在所有其它时间，也就是说当争用部件上没有写操作发生时， c 信号线置低位。 c 信号线上的低位的作用为使所有被占用的争用部件的单元不依赖由 PLA 功能电路表示的状态，而参予比较在 t 位中包含的时间流程信息。这种比较的结果装入一个 n 位宽比较器 $COMP$ 中，且与计数器 CUP 的值比较。只要计数器的数值大于刚才查出的争用部件所有占用单元的最小时间流程信息，则比较器 $COMP$ 的输出从低值变为高值。这意味着，处理器不能在其予计的時刻处理一个任务而仲裁电路 A 给处理器 CPU 发送一个中断请求过载指示 $IRIO$ ，以便指明处理器的此种状态。由于在争用部件中所有登入的单元均参予这种比较，因此以一种特别简单的方式附带监视在未激活的争用单元中包含的时间流程信息的遵守，它们例如是根据任务间通信不允许首先处理的那些任务。仲裁电路的这种操作方式下面简称为过载指示。

30 图 4 表示出图 3 的仲裁电路对上面叙述的两种操作方式（优先级分配以及过载指示）的不同信号的时间曲线。当要对一个争用单元进

行写操作时，w信号线置为高值。借助在w信号线上的信号的上升边仲裁电路过渡到优先级分配的操作方式，在这种操作方式下，仅在未由P L A的功能电路的结果从该比较中排除的那些单元比较时间流程信息。同时借助在w信号线上的高值信号为此目的在c信号线上置一高值，以便激活f位的作用。在c信号线上的高值信号在持续时间t内施加，该时间是为在一个争用单元上实行写操作需要的持续时间加上由仲裁电路逻辑产生的信号延迟。在一段另外的持续时间t之后，也就是说，通过c信号线上的信号的下降也起a信号线上的信号置为高值，以便把通过在图3中表示的逻辑连接得到的所有允许单元的t位的比较结果在仲裁电路的每一D - F F中锁定(latchen)。当仲裁电路A的触发器D - F F的逻辑连接的结果改变时，则在I R I N W信号线上对处理器C P U提出中断请求。为避免优先级分配对过载指示的操作方式有影响，同时，也就是说，同样在c信号线的高值信号的上升边和在持续时间2 t对信号线b置低值，它封锁把比较器C O M P的结果锁定在一个为过载指示装备的触发器R S - F F中的脉冲。在持续时间t过去之后，通过信号线b再释放该封锁。

在b信号线的信号上升边，仲裁电路A再次过渡到过载指示操作方式，在这种操作方式下，周期地比较争用部件的所有被占用的单元，而不依赖于由f位(P L A功能电路)指示的这些单元的状态。这由c信号线上的低值信号实现。使比较器C O M P的结果(高或低)锁定在触发器R S - F F中的脉冲的封锁通过在b信号线上的高值信号释放。为避免该操作方式影响优先级分配，通过在a信号线上的低值信号保证在过载指示操作方式下仲裁电路逻辑无任何输出被锁定在触发器D - F F中。

在图3中详细绘出的争用单元的单个位通过仲裁电路逻辑的逻辑连接对专业人员来说从图中可以理解，下面不再详细解释。

当在仲裁电路A的上述优先级分配的操作方式中比较时间流程信息时确定，刚刚查明的带最小时间流程信息的争用单元是另外一个，而与最后一次比较中查明的不同，也就是说，当查明争用部件P C U的一个新的选中单元C C时，则执行下述步骤(见图2)：

(21) 在中断线I R I N W上给处理器C P U传送一个中断请求以便实行任务切换；

(25) 作为对在(21)中的中断请求的响应, 由处理器CPU在CPU地址总线的c段置一备用码, 例如0X00, 以便指示, 该处理器CPU希望读取选中单元的i位。在地址总线的s段置指示选中单元的i位的地址;

- 5 (26) 如果在传输部件ADAWSG未置ACCESSDISABLE(存取禁止)信号的话(争用部件正由初始化部件占用), 则在该部件的R/W输入端置一个READ信号并且读取选中单元的i位。i位的内容用于在数据处理设备的任务控制块中找出处理所属任务需要的信息。以同样的方式读取选中单元的地址, 因为很可能在晚些时候用它进行任务间的通信, 通过该通信改变争用单元的f位。
- 10

当在过载指示操作方式下由比较器COMP的输出端的高值信号确定, 不能按时处理一个任务的话, 则执行下面另外的步骤:

(31) 在中断信号线IRIO上给处理器CPU传送一个中断请求, 以表示过载状态;

- 15 (32) 在地址总线的c段置一预先规定的码, 例如0XFF, 以表明现在要处理已清掉过载信号的那个单元。为确定哪个单元清掉了过载信号, 为此需要使用中断应答信号INT-ACK, 把仲裁电路的结果锁定在触发器D-FF中。在该时刻IRINW信号线被封锁;

- 20 (33) 清掉过载信号的单元的i位由ADAWSG读取, 和

- (34) 在R/W信号线上置READ信号, 以便向处理器CPU传送这些i位, 这些i位由CPU的予装中断处理子例程分析。该子例程进行所有必要的处理, 例如, 当确定为处理所属进程的任务需要大于2n脉冲周期时(n=计数器CUP的宽度)则该中断子例程重新计算分配的争用单元的t位, 以至于余下的码能够按照EDF继续处理(参考图3)。
- 25

为改变一个争用单元的t位, 需要执行下述步骤:

- (35) 将改变了的t位的内容置于CPU的数据总线上;
- (36) 在R/W信号线上置WRITE信号;
- 30 (37) t位的内容装入加法寄存器;
- (38) t位的内容与计数器CUP的内容相加形成一个n+1位的结果, 其写入相应争用单元的t位中。

以这种方式也可以在这种结构的内部实现例如无限循环。

5 n 位计数器 CUP 将按照 2^{n-p} 的时间单位表示溢出。这种溢出用于将所有占用的争用单元 CC 的 t 位的 MSB（最有意义位）复位，之后，争用部件 PCU 的所有单元的绝对时间信息重新由计数器 CUP 同步。

10 在每一争用单元 CC 中，装备有多个 f 位，以便实现任务间的通信，例如信号机，事件标志或者信息箱。通过 f 位，定义一个逻辑功能电路 PLA，它的结果（0 或者 1）指示，争用部件 PCU 的指定单元是否参与由仲裁电路 A 进行的 t 位的比较。下面以一信号机和信息箱为例详细叙述其流程。

15 信号机可以通过一个由多个结构组成的阵列管理，其中每一结构又带两个元件。每一结构通过信号机标识表明。该阵列的每一结构的第一元件是一个标志，它指示该信号机是否被占用。第二元件是一个表，它包含那些争用单元的变址，分配给这些单元的任务等待该信号机。

20 为用标识 $id = i$ 置位信号机，需进行下述流程步骤：如果第 i 个结构的第一元件指示，该信号机未被置位，则分配给该元件一个值，它指示信号机被置位，任务继续运行。否则正被处理的任务的单元变址写入第 i 个结构的第二元件的表中，和该任务分配的 f 位置位。该运行的任务现在是否从由仲裁电路执行的对 t 位的比较中排除，依赖于上面叙述的逻辑功能电路 PLA 的结果。

25 为用标识 $id = i$ 复位信号机，相反需进行下述流程步骤：在阵列中找出第 i 个结构，如果第二元件的表空，则给该结构的第一元件分配一个值，它指示信号机被复位，否则将争用单元中分配的 f 位复位，其变址由第 i 个结构的第二元件的表中的第一个登录项给定。

30 以相似的方式可以在进程之间交换信息。每一信息箱支持两张表，第一张表有等待信息的进程的单元变址连同接收信息的地址（= 数据指针），第二张表带有信息数据。信息箱的结构同样按照一个阵列来组织。每一信息箱通过一个信息箱号码标识。

 当一个进程要从信息箱号码为 m 的信息箱接收信息时，它将寻找阵列中的第 m 项。如果信息数据的表不空，则从该表中取出第一登录项并复制到一个自己的变量中。该进程可以继续运行。然而如果信息

数据的表是空的, 则该进程的单元变址记入第一表的第一位置, 而准备接收其信息的一个本地变量的地址 (= 数据指针) 记入第二位置。在这一位置该进程必需等待信息并把分配的争用单元的相应的 f 位置位, 以便把该进程从下一个对 t 位的比较中排除, 从而自动地实现任务切换。

5 当一个进程要向信息箱号码为 m 的信息箱发送一个信息时, 它将在阵列中寻找第 m 项。如果信息数据不空, 则把该信息复制到由第一表的第二位置给出的数据指针指示的位置。然后, 所属争用单元的 f 位复位, 以便该单元能够参与后继的对 t 位的比较。然而, 如果单元变址为空, 则该数据简单地记入第 m 个结构的信息数据表中。

10 此外本发明的设备的一个优点, 还在于 P I C U 设备除执行动态优先级分配和过载指示以外, 还附带管理信号机和邮政信箱。因此操作系统可以进一步减轻负荷, 并提高处理器的负荷。

15 最后必须申明, 本发明并不局限于所叙述的实施例。代替由仲裁电路执行绝对时间信息的比较, 在一个此处未叙述的根据本发明的设备的实施形式中可以使用由一个二进制的、向下计数的计数器来实现每一争用单元, 在其中登入一个进程的相对时间流程信息, 使得每一争用单元的时间流程信息相应于一个向下计数的计数器的脉冲速率而减小。使用二进制计数器虽然制造成本略高, 然而此情况在小型 P I C U 设备中却可由下述方面抵消, 即不再需要加法寄存器以计算绝对时间信息和仲裁电路逻辑的结构可以简化。

图 1

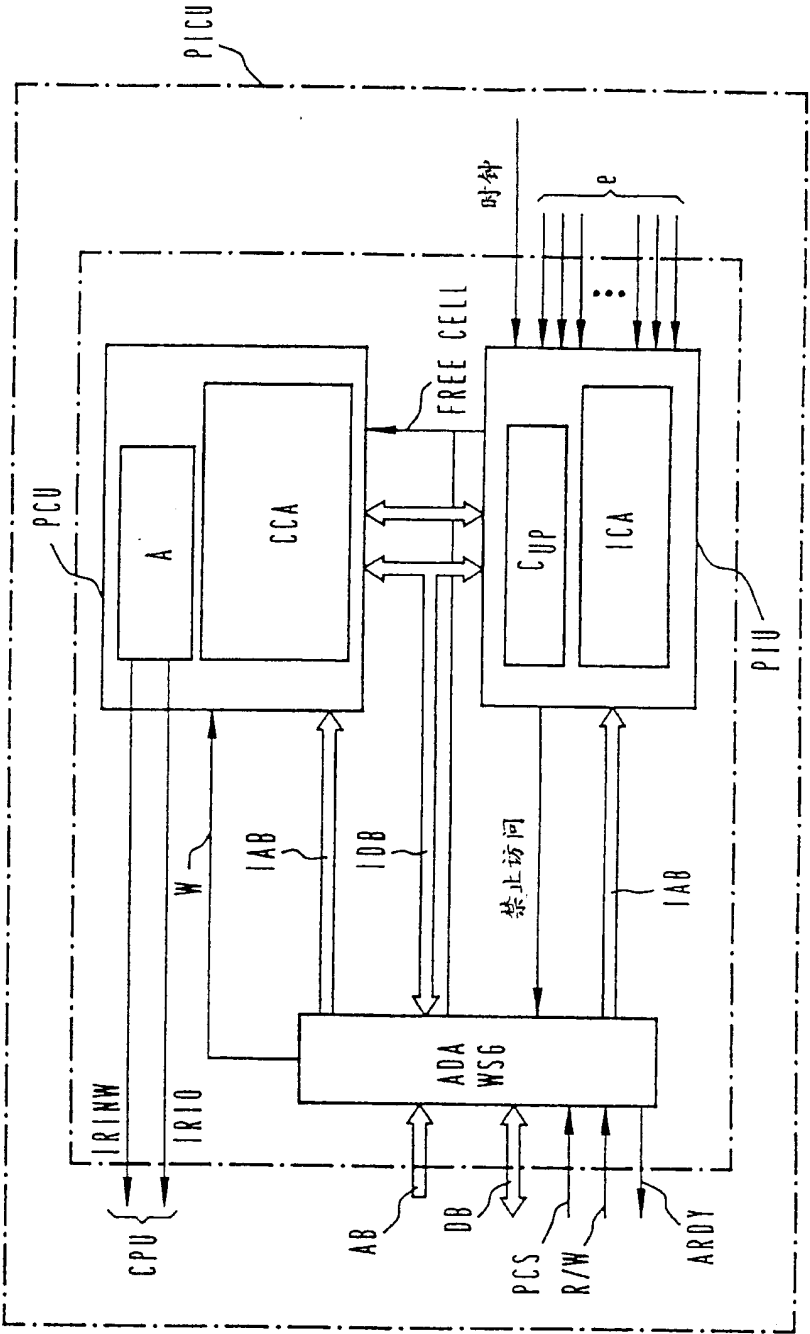
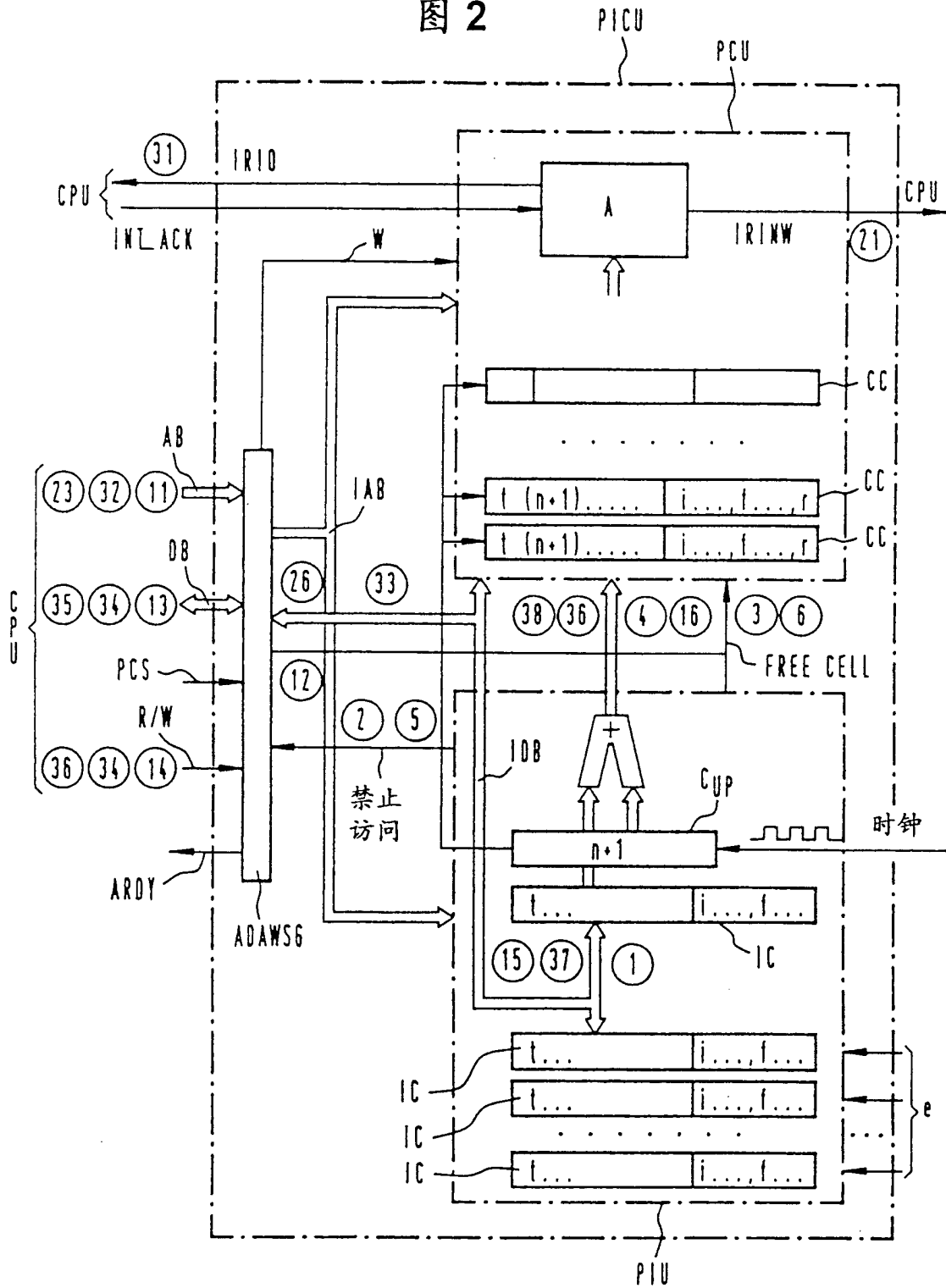


图 2



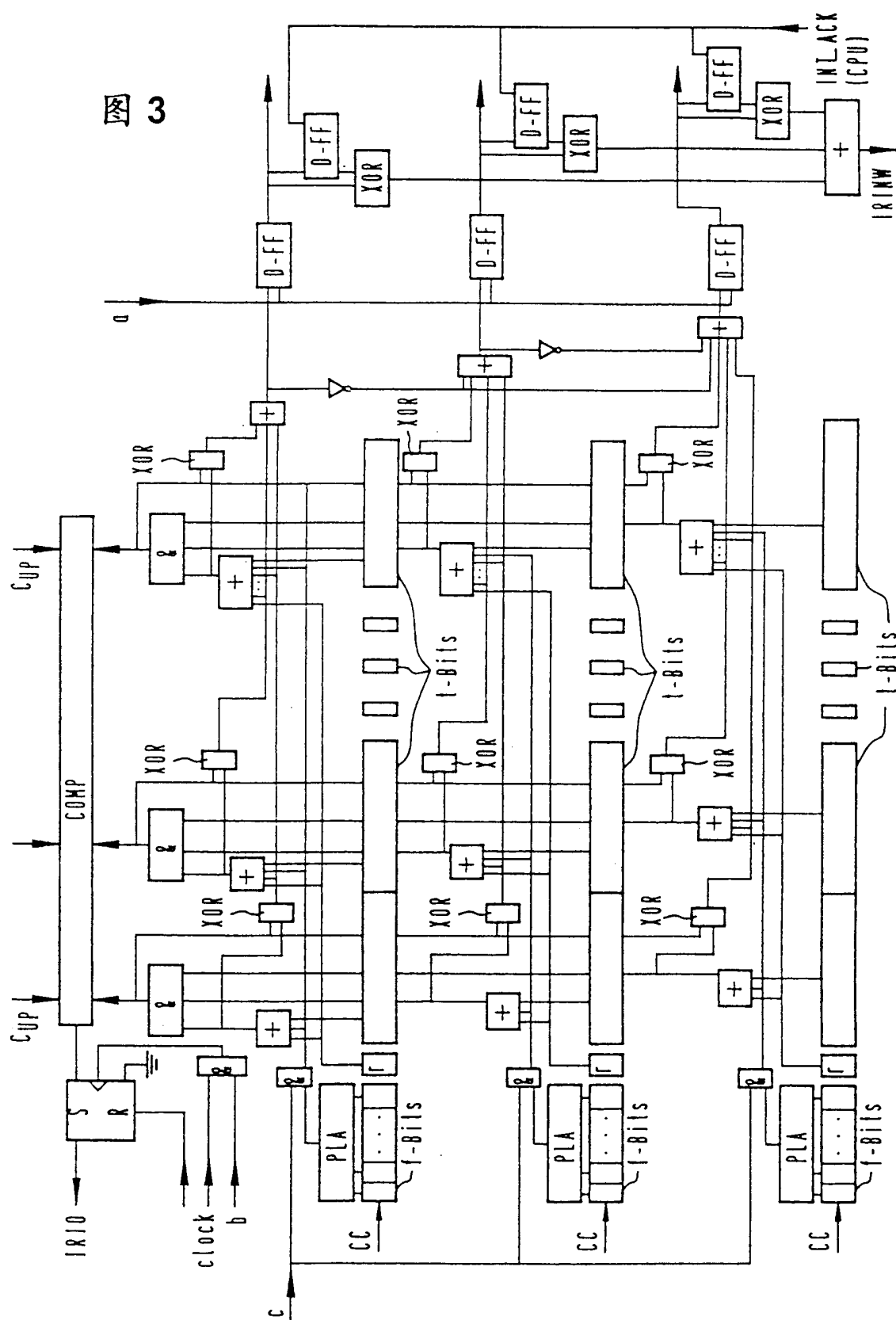


图 4

