

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】令和6年6月25日(2024.6.25)

【国際公開番号】WO2024/018715  
 【出願番号】特願2023-563899(P2023-563899)

【国際特許分類】

H 0 1 L 2 9 / 7 8 ( 2 0 0 6 . 0 1 )

H 0 1 L 2 1 / 3 3 6 ( 2 0 0 6 . 0 1 )

【 F I 】

H 0 1 L 2 9 / 7 8 6 5 2 S

H 0 1 L 2 9 / 7 8 6 5 6 A

H 0 1 L 2 9 / 7 8 6 5 2 G

H 0 1 L 2 9 / 7 8 6 5 3 C

H 0 1 L 2 9 / 7 8 6 5 2 Q

H 0 1 L 2 9 / 7 8 6 5 2 M

H 0 1 L 2 9 / 7 8 6 5 8 J

H 0 1 L 2 9 / 7 8 6 5 2 F

10

【手続補正書】

20

【提出日】令和5年10月17日(2023.10.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、  
半導体基板と、  
前記半導体基板上に形成された半導体層と、  
前記半導体層の第1の領域に形成された、複数の第1のゲートトレンチを有する第1の  
縦型MOSトランジスタと、  
前記半導体層の平面視において、前記第1の領域に隣接した第2の領域に形成された、  
複数の第2のゲートトレンチを有する第2の縦型MOSトランジスタと、  
前記半導体基板の裏面に接触して形成された金属層と、を備え、  
前記半導体基板は、前記第1の縦型MOSトランジスタおよび前記第2の縦型MOSト  
ランジスタの共通ドレイン領域であり、  
前記平面視において、前記半導体層は矩形形状であり、前記半導体層の長辺の長さが前記  
第1の領域の外周を成す辺のうち最長の辺の長さとは一致するように、前記第1の領域と前  
記第2の領域とは前記半導体層を面積で二等分する一方と他方とであり、  
前記第1の領域には前記第1の縦型MOSトランジスタの導通を制御する第1のゲート  
電極と、前記第1のゲート電極と接続された第1のゲート配線とが備わり、  
前記第2の領域には前記第2の縦型MOSトランジスタの導通を制御する第2のゲート  
電極と、前記第2のゲート電極と接続された第2のゲート配線とが備わり、  
前記平面視において、前記第1のゲート電極と前記第1のゲート配線とが成す形状と、  
前記第2のゲート電極と前記第2のゲート配線とが成す形状とは、前記第1の領域と前記  
第2の領域との境界線を対称の軸とする線対称の関係になく、  
前記平面視において、前記第1のゲート電極と前記第1のゲート配線とが成す形状と、  
前記第2のゲート電極と前記第2のゲート配線とが成す形状とは、前記半導体層の中心を

30

40

50

対称の中心とする点対称の関係になく、

前記平面視において、前記第 1 の領域と前記第 2 の領域は各々長方形状であり、

前記平面視において、前記複数の第 1 のゲートレンチが延在する方向は、前記第 1 の領域の短辺と平行する方向であり、

前記平面視において、前記複数の第 2 のゲートレンチが延在する方向は、前記第 2 の領域の長辺と平行する方向である

半導体装置。

【請求項 2】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、

半導体基板と、

前記半導体基板上に形成された半導体層と、

前記半導体層の第 1 の領域に形成された、複数の第 1 のゲートレンチを有する第 1 の縦型 MOS トランジスタと、

前記半導体層の平面視において、前記第 1 の領域に隣接した第 2 の領域に形成された、複数の第 2 のゲートレンチを有する第 2 の縦型 MOS トランジスタと、

前記半導体基板の裏面に接触して形成された金属層と、を備え、

前記半導体基板は、前記第 1 の縦型 MOS トランジスタおよび前記第 2 の縦型 MOS トランジスタの共通ドレイン領域であり、

前記平面視において、前記半導体層は矩形状であり、前記半導体層の長辺の長さが前記第 1 の領域の外周を成す辺のうち最長の辺の長さとも一致するように、前記第 1 の領域と前記第 2 の領域とは前記半導体層を面積で二等分する一方と他方とであり、

前記第 1 の領域には前記第 1 の縦型 MOS トランジスタの導通を制御する第 1 のゲート電極と、前記第 1 のゲート電極と接続された第 1 のゲート配線とが備わり、

前記第 2 の領域には前記第 2 の縦型 MOS トランジスタの導通を制御する第 2 のゲート電極と、前記第 2 のゲート電極と接続された第 2 のゲート配線とが備わり、

前記平面視において、前記第 1 のゲート電極と前記第 1 のゲート配線とが成す形状と、前記第 2 のゲート電極と前記第 2 のゲート配線とが成す形状とは、前記第 1 の領域と前記第 2 の領域との境界線を対称の軸とする線対称の関係になく、

前記平面視において、前記第 1 のゲート電極と前記第 1 のゲート配線とが成す形状と、前記第 2 のゲート電極と前記第 2 のゲート配線とが成す形状とは、前記半導体層の中心を対称の中心とする点対称の関係になく、

前記第 1 のゲート電極と前記第 1 のゲート配線とは連続しており、

前記第 2 のゲート電極と前記第 2 のゲート配線とは連続しておらず、前記第 2 のゲート電極は前記第 2 のゲート配線と、ゲート抵抗素子を直列に介して接続される

半導体装置。

【請求項 3】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、

半導体基板と、

前記半導体基板上に形成された半導体層と、

前記半導体層の第 1 の領域に形成された、複数の第 1 のゲートレンチを有する第 1 の縦型 MOS トランジスタと、

前記半導体層の平面視において、前記第 1 の領域に隣接した第 2 の領域に形成された、複数の第 2 のゲートレンチを有する第 2 の縦型 MOS トランジスタと、

前記半導体基板の裏面に接触して形成された金属層と、を備え、

前記半導体基板は、前記第 1 の縦型 MOS トランジスタおよび前記第 2 の縦型 MOS トランジスタの共通ドレイン領域であり、

前記平面視において、前記半導体層は矩形状であり、前記半導体層の長辺の長さが前記第 1 の領域の外周を成す辺のうち最長の辺の長さとも一致するように、前記第 1 の領域と前記第 2 の領域とは前記半導体層を面積で二等分する一方と他方とであり、

前記第 1 の領域には前記第 1 の縦型 MOS トランジスタの導通を制御する第 1 のゲート

10

20

30

40

50

電極と、前記第 1 のゲート電極と接続された第 1 のゲート配線とが備わり、  
 前記第 2 の領域には前記第 2 の縦型 MOS トランジスタの導通を制御する第 2 のゲート電極と、前記第 2 のゲート電極と接続された第 2 のゲート配線とが備わり、  
 前記平面視において、前記第 1 のゲート電極と前記第 1 のゲート配線とが成す形状と、前記第 2 のゲート電極と前記第 2 のゲート配線とが成す形状とは、前記第 1 の領域と前記第 2 の領域との境界線を対称の軸とする線対称の関係になく、  
 前記平面視において、前記第 1 のゲート電極と前記第 1 のゲート配線とが成す形状と、前記第 2 のゲート電極と前記第 2 のゲート配線とが成す形状とは、前記半導体層の中心を対称の中心とする点对称の関係になく、  
 前記平面視において、前記第 1 の領域と前記第 2 の領域は各々長方形状であり、  
 前記平面視において、前記複数の第 1 のゲートトレンチが延在する方向は、前記第 1 の領域の短辺と平行する方向であり、  
 前記平面視において、前記第 1 の領域の外周を成す 4 辺のうち、前記境界線と重複する辺を第 1 の辺とし、前記第 1 の辺に対向する辺を第 2 の辺とし、前記第 1 の辺および前記第 2 の辺に直交し、互に対向する一方を第 3 の辺、他方を第 4 の辺とすると、  
 前記第 1 のゲート配線は少なくとも前記第 1 の辺、前記第 2 の辺、前記第 3 の辺の略全長に沿って連続して設置されており、  
 前記複数の第 1 のゲートトレンチは、前記第 1 のゲート配線と、前記第 1 のゲート配線のうち前記第 1 の辺に沿った部分と前記第 2 の辺に沿った部分との両方において接続されるものが最も多く、  
 前記第 1 のゲート配線は前記第 4 の辺に沿った部分には設置されない半導体装置。

10

20

【請求項 4】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、  
 半導体基板と、  
 前記半導体基板上に形成された半導体層と、  
 前記半導体層の第 1 の領域に形成された、複数の第 1 のゲートトレンチを有する第 1 の縦型 MOS トランジスタと、  
 前記半導体層の平面視において、前記第 1 の領域に隣接した第 2 の領域に形成された、複数の第 2 のゲートトレンチを有する第 2 の縦型 MOS トランジスタと、  
 前記半導体基板の裏面に接触して形成された金属層と、を備え、  
 前記半導体基板は、前記第 1 の縦型 MOS トランジスタおよび前記第 2 の縦型 MOS トランジスタの共通ドレイン領域であり、  
 前記平面視において、前記半導体層は矩形状であり、前記半導体層の長辺の長さが前記第 1 の領域の外周を成す辺のうち最長の辺の長さとも一致するように、前記第 1 の領域と前記第 2 の領域とは前記半導体層を面積で二等分する一方と他方とであり、  
 前記第 1 の領域には前記第 1 の縦型 MOS トランジスタの導通を制御する第 1 のゲート電極と、前記第 1 のゲート電極と接続された第 1 のゲート配線とが備わり、  
 前記第 2 の領域には前記第 2 の縦型 MOS トランジスタの導通を制御する第 2 のゲート電極と、前記第 2 のゲート電極と接続された第 2 のゲート配線とが備わり、  
 前記平面視において、前記第 1 のゲート電極と前記第 1 のゲート配線とが成す形状と、前記第 2 のゲート電極と前記第 2 のゲート配線とが成す形状とは、前記第 1 の領域と前記第 2 の領域との境界線を対称の軸とする線対称の関係になく、  
 前記平面視において、前記第 1 のゲート電極と前記第 1 のゲート配線とが成す形状と、前記第 2 のゲート電極と前記第 2 のゲート配線とが成す形状とは、前記半導体層の中心を対称の中心とする点对称の関係になく、  
 前記平面視において、前記第 1 の領域と前記第 2 の領域は各々長方形状であり、  
 前記平面視において、前記複数の第 1 のゲートトレンチが延在する方向は、前記第 1 の領域の短辺と平行する方向であり、  
 前記平面視において、前記第 1 の領域の外周を成す 4 辺のうち、前記境界線と重複する

30

40

50

辺を第 1 の辺とし、前記第 1 の辺に対向する辺を第 2 の辺とし、前記第 1 の辺および前記第 2 の辺に直交し、互いに対向する一方を第 3 の辺、他方を第 4 の辺とすると、

前記第 1 のゲート配線は少なくとも前記第 1 の辺、前記第 2 の辺、前記第 3 の辺の略全長に沿って連続して設置されており、

前記複数の第 1 のゲートトレンチは、前記第 1 のゲート配線と、前記第 1 のゲート配線のうち前記第 1 の辺に沿った部分と前記第 2 の辺に沿った部分との両方において接続されるものが最も多く、

さらに前記第 1 の領域には第 1 の E Q R が備わり、

前記第 1 の E Q R は前記第 1 の辺、前記第 2 の辺、前記第 3 の辺の略全長に沿って連続して設置され、前記第 4 の辺に沿った部分には設置されない

10

半導体装置。

【請求項 5】

前記平面視において、前記複数の第 1 のゲートトレンチのうち、前記第 4 の辺に最も近接するものと前記第 4 の辺との間の距離が、前記複数の第 1 のゲートトレンチのうち、前記第 3 の辺に最も近接するものと前記第 3 の辺との間の距離よりも小さい

請求項 3 または 4 に記載の半導体装置。

【請求項 6】

前記平面視において、前記第 1 のゲート配線は、前記第 3 の辺に沿った部分あるいは前記第 4 の辺に沿った部分の他に、前記第 1 の辺に沿った部分と前記第 2 の辺に沿った部分とを最短で接続する部分を有する

20

請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 の縦型 M O S トランジスタの総ゲート幅と前記第 2 の縦型 M O S トランジスタの総ゲート幅とは同等である

請求項 6 に記載の半導体装置。

30

40

50