



(12)发明专利申请

(10)申请公布号 CN 107785259 A

(43)申请公布日 2018.03.09

(21)申请号 201610721246.7

(22)申请日 2016.08.24

(71)申请人 中芯国际集成电路制造(北京)有限公司

地址 100176 北京市大兴区北京经济技术开发区文昌大道18号

申请人 中芯国际集成电路制造(上海)有限公司

(72)发明人 张城龙

(74)专利代理机构 北京市磐华律师事务所 11336

代理人 高伟 冯永贞

(51)Int.Cl.

H01L 21/336(2006.01)

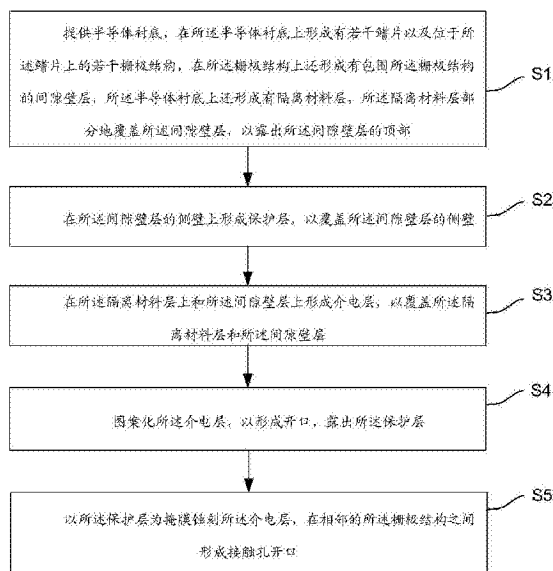
权利要求书1页 说明书13页 附图7页

(54)发明名称

一种半导体器件及制备方法、电子装置

(57)摘要

本发明涉及一种半导体器件及制备方法、电子装置。所述方法包括:提供半导体衬底,在半导体衬底上形成有若干鳍片以及位于所述鳍片上的若干栅极结构,在所述栅极结构上还形成有包围所述栅极结构的间隙壁层,所述半导体衬底上还形成有隔离材料层,所述隔离材料层部分地覆盖所述间隙壁层,以露出所述间隙壁层的顶部;在所述间隙壁层的侧壁上形成保护层,以覆盖所述间隙壁层的侧壁;在所述隔离材料层上和所述间隙壁上形成介电层,以覆盖所述隔离材料层和所述间隙壁层;图案化所述介电层,以形成开口,露出所述保护层;以所述保护层为掩膜蚀刻所述介电层,在相邻的所述栅极结构之间形成接触孔开口。所述方法增大了自对准接触孔的蚀刻工艺窗口。



CN 107785259 A

1. 一种半导体器件的制备方法,其特征在于,所述方法包括:

提供半导体衬底,在所述半导体衬底上形成有若干鳍片以及位于所述鳍片上的若干栅极结构,在所述栅极结构上还形成有包围所述栅极结构的间隙壁层,所述半导体衬底上还形成有隔离材料层,所述隔离材料层部分地覆盖所述间隙壁层,以露出所述间隙壁层的顶部;

在所述间隙壁层的侧壁上形成保护层,以覆盖所述间隙壁层的侧壁;

在所述隔离材料层上和所述间隙壁层上形成介电层,以覆盖所述隔离材料层和所述间隙壁层;

图案化所述介电层,以形成开口,露出所述保护层;

以所述保护层为掩膜蚀刻所述介电层,以在相邻的所述栅极结构之间形成接触孔开口。

2. 根据权利要求1所述的方法,其特征在于,在形成所述保护层之前还进一步包括对露出的所述间隙壁层进行修剪的步骤,以减小露出的所述间隙壁层的宽度。

3. 根据权利要求1或2所述的方法,其特征在于,形成所述保护层的方法包括:

在所述隔离材料层上和所述间隙壁层上形成保护材料层,以覆盖所述隔离材料层和所述间隙壁层;

蚀刻所述保护材料层,以在所述间隙壁层的侧壁上形成所述保护层。

4. 根据权利要求1或2所述的方法,其特征在于,所述保护层包括BN和TiN中的一种。

5. 根据权利要求1所述的方法,其特征在于,在形成所述接触孔开口之后所述方法还进一步包括去除所述保护层的步骤。

6. 根据权利要求1所述的方法,其特征在于,形成所述间隙壁层的步骤包括:

提供半导体衬底,在所述半导体衬底上形成有所述鳍片和所述栅极结构,所述栅极结构至少包括位于顶部的导电层,所述栅极结构的侧壁上形成有间隙壁材料层;

回蚀刻所述导电层,以在所述间隙壁材料层之间形成凹槽;

使用所述间隙壁材料层填充所述凹槽,以覆盖所述导电层,以形成包围所述栅极结构的所述间隙壁层。

7. 根据权利要求6所述的方法,其特征在于,形成所述隔离材料层的步骤包括:

在所述鳍片以及所述间隙壁层上形成隔离材料层,以覆盖所述鳍片和所述间隙壁层;

回蚀刻所述隔离材料层,以露出所述间隙壁层的顶部。

8. 根据权利要求1所述的方法,其特征在于,所述开口的关键尺寸大于所述接触孔开口的关键尺寸。

9. 一种半导体器件,其特征在于,所述半导体器件通过权利要求1至8之一所述方法制备得到。

10. 一种电子装置,其特征在于,所述电子装置包括权利要求9所述的半导体器件。

一种半导体器件及制备方法、电子装置

技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种半导体器件及制备方法、电子装置。

背景技术

[0002] 随着半导体技术的不断发展,集成电路性能的提高主要是通过不断缩小集成电路器件的尺寸以提高它的速度来实现的。目前,由于高器件密度、高性能和低成本的需求,半导体工业已经进步到纳米技术工艺节点,半导体器件的制备受到各种物理极限的限制。

[0003] 随着CMOS器件尺寸的不断缩小,来自制造和设计方面的挑战促使了三维设计如鳍片场效应晶体管(FinFET)的发展。相对于现有的平面晶体管,FinFET是用于20nm及以下工艺节点的先进半导体器件,其可以有效控制器件按比例缩小所导致的难以克服的短沟道效应,还可以有效提高在衬底上形成的晶体管阵列的密度,同时,FinFET中的栅极环绕鳍片(鳍形沟道)设置,因此能从三个面来控制静电,在静电控制方面的性能也更突出。

[0004] 在FinFET器件中通常需要通过多个中间掩膜工艺(several-reticle approach)图案化以形成接触孔开口,其中接触孔仅位于栅极区域,自对准接触孔(self-aligned CT, SAC)电连接有源区和栅极。

[0005] 在自对准接触孔(self-aligned CT, SAC)的制备过程中所述栅极上的间隙壁用于定义所述SAC的轮廓,但目前所述间隙壁往往会被过蚀刻,造成损失,严重影响SAC的轮廓。

[0006] 因此,有必要提出一种新的半导体器件及制备方法,以解决现有的技术问题。

发明内容

[0007] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0008] 为了克服目前存在的问题,本发明提供了一种半导体器件的制备方法,所述方法包括:

[0009] 提供半导体衬底,在所述半导体衬底上形成有若干鳍片以及位于所述鳍片上的若干栅极结构,在所述栅极结构上还形成有包围所述栅极结构的间隙壁层,所述半导体衬底上还形成有隔离材料层,所述隔离材料层部分地覆盖所述间隙壁层,以露出所述间隙壁层的顶部;

[0010] 在所述间隙壁层的侧壁上形成保护层,以覆盖所述间隙壁层的侧壁;

[0011] 在所述隔离材料层上和所述间隙壁层上形成介电层,以覆盖所述隔离材料层和所述间隙壁层;

[0012] 图案化所述介电层,以形成开口,露出所述保护层;

[0013] 以所述保护层为掩膜蚀刻所述介电层,在相邻的所述栅极结构之间形成接触孔开口。

- [0014] 可选地,在形成所述保护层之前还进一步包括对露出的所述间隙壁层进行修剪的步骤,以减小露出的所述间隙壁层的宽度。
- [0015] 可选地,形成所述保护层的方法包括:
- [0016] 在所述隔离材料层上和所述间隙壁层上形成保护材料层,以覆盖所述隔离材料层和所述间隙壁层;
- [0017] 蚀刻所述保护材料层,以在所述间隙壁层的侧壁上形成所述保护层。
- [0018] 可选地,所述保护层包括BN和TiN中的一种。
- [0019] 可选地,在形成所述接触孔开口之后所述方法还进一步包括去除所述保护层的步骤。
- [0020] 可选地,形成所述间隙壁层的步骤包括:
- [0021] 提供半导体衬底,在所述半导体衬底上形成有所述鳍片和所述栅极结构,所述栅极结构至少包括位于顶部的导电层,所述栅极结构的侧壁上形成有间隙壁材料层;
- [0022] 回蚀刻所述导电层,以在所述间隙壁材料层之间形成凹槽;
- [0023] 使用所述间隙壁材料层填充所述凹槽,以覆盖所述导电层,以形成包围所述栅极结构的所述间隙壁层。
- [0024] 可选地,形成所述隔离材料层的步骤包括:
- [0025] 在所述鳍片以及所述间隙壁层上形成隔离材料层,以覆盖所述鳍片和所述间隙壁层;
- [0026] 回蚀刻所述隔离材料层,以露出所述间隙壁层的顶部。
- [0027] 可选地,所述开口的关键尺寸大于所述接触孔开口的关键尺寸。
- [0028] 本发明还提供了一种半导体器件,所述半导体器件通过上述方法制备得到。
- [0029] 本发明还提供了一种电子装置,所述电子装置包括上述的半导体器件。
- [0030] 为了解决目前工艺中存在的上述问题,本发明提供了一种半导体器件的制备方法,所述方法中在露出的所述间隙壁层的侧壁上形成保护层,所述保护层位于所述间隙壁的顶角处,所述保护层具有较大的硬度,在后续的接触孔开口的蚀刻过程中所述保护层保护所述接触孔开口的侧壁(例如所述间隙壁的侧壁或者介电层)轮廓,避免造成过蚀刻,造成轮廓性能变差,通过所述方法增大了所述自对准接触孔(self-aligned CT,SAC)的蚀刻工艺窗口,进一步提高了所述半导体器件的良率和性能。
- [0031] 本发明的半导体器件,由于采用了上述制造方法,因而同样具有上述优点。本发明的电子装置,由于采用了上述半导体器件,因而同样具有上述优点。

附图说明

- [0032] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。
- [0033] 附图中:
- [0034] 图1示出了本发明所述半导体器件的制备工艺流程图;
- [0035] 图2a-2f示出了本发明所述半导体器件的制备方法依次实施所获得结构的剖面示意图;
- [0036] 图3a-3e示出了本发明所述半导体器件的制备方法依次实施所获得结构的剖面示

意图；

[0037] 图4示出了根据本发明一实施方式的电子装置的示意图。

具体实施方式

[0038] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0039] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0040] 应当明白,当元件或层被称为“在…上”、“与…相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在…上”、“与…直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0041] 空间关系术语例如“在…下”、“在…下面”、“下面的”、“在…之下”、“在…之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在…下面”和“在…下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0042] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用时,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0043] 为了彻底理解本发明,将在下列的描述中提出详细的结构以及步骤,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0044] 为了解决目前工艺中存在的上述问题,本发明提供了一种半导体器件的制备方法,所述方法包括:

[0045] 提供半导体衬底,在所述半导体衬底上形成有若干鳍片以及位于所述鳍片上的若

干栅极结构,在所述栅极结构上还形成有包围所述栅极结构的间隙壁层,所述半导体衬底上还形成有隔离材料层,所述隔离材料层部分地覆盖所述间隙壁层,以露出所述间隙壁层的顶部;

[0046] 在所述间隙壁层的侧壁上形成保护层,以覆盖所述间隙壁层的侧壁;

[0047] 在所述隔离材料层上和所述间隙壁层上形成介电层,以覆盖所述隔离材料层和所述间隙壁层;

[0048] 图案化所述介电层,以形成开口,露出所述保护层;

[0049] 以所述保护层为掩膜蚀刻所述介电层,在相邻的所述栅极结构之间形成接触孔开口。

[0050] 其中,作为一种替换实施方式,在形成所述保护层之前还进一步包括对露出的所述间隙壁层进行修剪的步骤,以减小露出的所述间隙壁层的宽度。

[0051] 其中,所述保护层使用与所述介电层具有较大蚀刻选择比的材料,以防止在蚀刻过程中过蚀刻。

[0052] 例如,所述保护层使用较大硬度的硬掩膜层,以保证在所述间隙壁的顶角处形成硬度较大的保护层,从而保证所述自对准接触孔(self-aligned CT,SAC)的轮廓。

[0053] 可选地,所述保护层可以使用BN和TiN中的一种。

[0054] 当所述保护层使用TiN时,在形成所述接触孔开口之后所述方法还进一步包括去除所述保护层的步骤。

[0055] 为了解决目前工艺中存在的上述问题,本发明提供了一种半导体器件的制备方法,所述方法中在露出的所述间隙壁层的侧壁上形成保护层,所述保护层位于所述间隙壁的顶角处,所述保护层具有较大的硬度,在后续的接触孔开口的蚀刻过程中所述保护层保护所述接触孔开口的侧壁(例如所述间隙壁的侧壁或者介电层)轮廓,避免造成过蚀刻,造成轮廓性能变差,通过所述方法增大了所述自对准接触孔(self-aligned CT,SAC)的蚀刻工艺窗口,进一步提高了所述半导体器件的良率和性能。

[0056] 本发明的半导体器件,由于采用了上述制造方法,因而同样具有上述优点。本发明的电子装置,由于采用了上述半导体器件,因而同样具有上述优点。

[0057] 实施例一

[0058] 下面参考图1和图2a-2f对本发明的半导体器件的制备方法做详细描述,图1示出了本发明所述半导体器件的制备工艺流程图;图2a-2f示出了本发明所述半导体器件的制备方法依次实施所获得结构的剖面示意图。

[0059] 本发明提供一种半导体器件的制备方法,如图1所示,该制备方法的主要步骤包括:

[0060] 步骤S1:提供半导体衬底,在所述半导体衬底上形成有若干鳍片以及位于所述鳍片上的若干栅极结构,在所述栅极结构上还形成有包围所述栅极结构的间隙壁层,所述半导体衬底上还形成有隔离材料层,所述隔离材料层部分地覆盖所述间隙壁层,以露出所述间隙壁层的顶部;

[0061] 步骤S2:在所述间隙壁层的侧壁上形成保护层,以覆盖所述间隙壁层的侧壁;

[0062] 步骤S3:在所述隔离材料层上和所述间隙壁层上形成介电层,以覆盖所述隔离材料层和所述间隙壁层;

[0063] 步骤S4:图案化所述介电层,以形成开口,露出所述保护层;

[0064] 步骤S5:以所述保护层为掩膜蚀刻所述介电层,在相邻的所述栅极结构之间形成接触孔开口。

[0065] 下面,对本发明的半导体器件的制备方法的具体实施方式做详细的说明。

[0066] 首先,执行步骤一,提供半导体衬底,在所述半导体衬底上形成有若干鳍片201以及位于所述鳍片上的若干栅极结构204,在所述栅极结构204上还形成有包围所述栅极结构的间隙壁层203,所述半导体衬底上还形成有隔离材料层202,所述隔离材料层部分地覆盖所述间隙壁层,以露出所述间隙壁层的顶部。

[0067] 具体地,如图2a所示,在该步骤中所述半导体衬底可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。

[0068] 在该实施例中半导体衬底使用硅。

[0069] 其中,所述栅极结构的形成方法可以包括以下步骤:

[0070] 在所述半导体衬底上形成垫氧化物层(Pad oxide),其中所述垫氧化物层(Pad oxide)的形成方法可以通过沉积的方法形成,例如化学气相沉积、原子层沉积等方法,还可以通过热氧化所述半导体衬底的表面形成,在此不再赘述。

[0071] 进一步,在该步骤中还可以进一步包含执行离子注入的步骤,以在所述半导体衬底中形成阱,其中注入的离子种类以及注入方法可以为本领域中常用的方法,在此不一一赘述。

[0072] 所述方法还可以进一步包括以下步骤:

[0073] 在半导体衬底上形成多个鳍片,鳍片的宽度全部相同,或者鳍片分为具有不同宽度的多个鳍片组。

[0074] 具体地,所述鳍片的形成方法并不局限于某一种,下面给出一种示例性的形成方法:在半导体衬底上形成硬掩膜层(图中未示出),形成所述硬掩膜层可以采用本领域技术人员所熟习的各种适宜的工艺,例如化学气相沉积工艺,所述硬掩膜层可以为自下而上层叠的氧化物层和氮化硅层;图案化所述硬掩膜层,形成用于蚀刻半导体衬底以在其上形成鳍片的多个彼此隔离的掩膜,在一个实施例中,采用自对准双图案(SADP)工艺实施所述图案化过程;蚀刻半导体衬底以在其上形成鳍片。

[0075] 在所述半导体衬底以及所述鳍片上形成虚拟栅极氧化物层和虚拟栅极,以覆盖所述鳍片。具体地,在该步骤中沉积虚拟栅极氧化物层和虚拟栅极材料层。

[0076] 其中,所述虚拟栅极氧化物层可以使用常用的氧化物,例如 SiO_2 ,所述虚拟栅极材料层可以使用本领域常用的半导体材料,例如可以使用多晶硅等,并不局限于某一种,在此不再一一列举、

[0077] 所述栅极材料层的沉积方法可以使用化学气相沉积或者原子层沉积等方法。然后图案化所述虚拟栅极氧化物层和栅极材料层,以形成环绕所述鳍片的虚拟栅极。

[0078] 具体地,在所述虚拟栅极材料层上形成光刻胶层,然后曝光显影,以形成开口,然后以所述光刻胶层为掩膜蚀刻所述虚拟栅极材料层,以形成虚拟栅极。

[0079] 在所述虚拟栅极结构的侧壁上形成偏移侧墙和间隙壁。

[0080] 具体地,所述方法还进一步包括在所述虚拟栅极的两侧形成偏移侧墙(offset

spacer)。所述偏移侧墙的材料例如是氮化硅,氧化硅或者氮氧化硅等绝缘材料。随着器件尺寸的进一步变小,器件的沟道长度越来越小,源漏极的粒子注入深度也越来越小,偏移侧墙的作用在于以提高形成的晶体管的沟道长度,减小短沟道效应和由于短沟道效应引起的热载流子效应。在栅极结构两侧形成偏移侧墙的工艺可以为化学气相沉积,本实施例中,所述偏移侧墙的厚度可以小到80埃。

[0081] 可选地,在所述虚拟栅极两侧执行LDD离子注入步骤并活化。

[0082] 可选地,在所述虚拟栅极的偏移侧墙上形成间隙壁。

[0083] 具体地,在所形成的偏移侧墙上形成间隙壁(Spacer)材料层,所述间隙壁材料层可以为氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。作为本实施例的一中实施方式,所述间隙壁材料层为氧化硅、氮化硅共同组成,具体工艺为:在半导体衬底上形成第一氧化硅层、第一氮化硅层以及第二氧化硅层。

[0084] 执行源漏LDD注入,并在所述虚拟栅极的两侧外延生长半导体材料层,以形成抬升源漏。具体地,在该步骤中可以使用本领域常用的方法执行源漏LDD注入,在此不再赘述。

[0085] 可选地,还可以再次执行离子注入步骤并进行快速热退火。

[0086] 在本发明中为了证激活杂质又能抑制杂质的深度和横向扩散,执行完所述离子注入后进行快速热退火,可选地,所述快速热退火温度为1000-1050℃。

[0087] 沉积所述层间介电层202并平坦化,以填充所述虚拟栅极之间的间隙。

[0088] 具体地,沉积层间介电层202并平坦化,平坦化所述对层间介电层至所述虚拟栅极的顶部。

[0089] 其中,所述层间介电层可以使用本领域中常用的介电材料,例如各种氧化物等,在该实施例中层间介电层202可以使用SiO₂,其厚度并不局限于某一数值。

[0090] 所述平坦化处理的非限制性实例包括机械平坦化方法和化学机械抛光平坦化方法。

[0091] 去除所述虚拟栅极氧化物层和所述虚拟栅极,以形成凹槽。具体地,所述去除的方法可以是光刻和蚀刻。在蚀刻过程中所用的气体包括HBr,其作为主要蚀刻气体;还包括作为刻蚀补充气体的O₂或Ar,其可以提高刻蚀的品质。

[0092] 然后使用SiCoNi的方法去除所述虚拟栅极氧化物层,以露出所述鳍片。在该步骤中为了减小去除所述虚拟栅极氧化物层过程中对其他材料层的损坏,不再使用HF进行蚀刻,而是使用选择性更高的SiCoNi制程,通过所述方法去除所述虚拟栅极氧化物层,不会对器件造成损坏。

[0093] 在所述凹槽中形成界面层、高K介电层。

[0094] 其中所述高K介电层可以使用本领域常用的介电材料,例如在HfO₂中引入Si、Al、N、La、Ta等元素并优化各元素的比率来得到的高K材料等。形成所述高K介电层的方法可以是物理气相沉积工艺或原子层沉积工艺。

[0095] 在所述高K介电层上形成功函数层,所述功函数层使用TiAl,然后形成粘结胶层,在所述粘结胶层上沉积导电层,以覆盖所述粘结胶层同时填充所述凹槽。

[0096] 所述导电层使用金属,例如W。

[0097] 执行步骤二,回蚀刻所述导电层,以在所述间隙壁之间形成凹槽。

[0098] 具体地,例如在本发明中可以选择N₂作为蚀刻气氛,还可以同时加入其它少量气

体例如 CF_4 、 CO_2 、 O_2 ，所述蚀刻压力可以为50-200mTorr，优选为100-150mTorr，功率为200-600W，在本发明中所述蚀刻时间为5-80s，更优选10-60s，同时在本发明中使用较大的气体流量，可选地，在本发明所述 N_2 的流量为30-300sccm，例如为50-100sccm。

[0099] 执行步骤三，在所述凹槽中沉积间隙壁材料层，以覆盖所述导电层，以形成包围所述栅极结构的所述间隙壁层。

[0100] 具体地，在该步骤中，所述间隙壁材料层可以使用氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。

[0101] 其中，沉积所述间隙壁材料层的方法包括先执行原子层沉积(ALD)。

[0102] 然后沉积隔离材料层，以覆盖所述鳍片结构。

[0103] 具体地，沉积隔离材料层，以完全填充鳍片之间的间隙。在一个实施例中，采用具有可流动性的化学气相沉积工艺实施所述沉积。隔离材料层的材料可以选择氧化物，例如HARP。

[0104] 然后回蚀刻所述隔离材料层，以露出所述间隙壁层的顶部。具体地，回蚀刻所述隔离材料层，以露出部分所述间隙壁层的顶部，如图2b所示，例如回蚀刻所述隔离材料层至所述栅极结构顶部以上以及所述间隙壁层以下。

[0105] 执行步骤四，在所述间隙壁层的侧壁上形成保护层2051，以覆盖所述间隙壁层的侧壁。

[0106] 具体地，在所述间隙壁层的侧壁上形成保护层的方法包括：

[0107] 在所述隔离材料层上和所述间隙壁层上形成保护材料层205，以覆盖所述隔离材料层和所述间隙壁层，如图2c所示；

[0108] 蚀刻所述保护材料层，以在所述间隙壁层的侧壁上形成所述保护层2051，如图2d所示。

[0109] 其中，所述保护层使用与所述介电层具有较大蚀刻选择比的材料，以防止在蚀刻过程中过蚀刻。

[0110] 例如，所述保护层使用较大硬度的硬掩膜层，以保证在所述间隙壁的顶角处具有硬度较大的保护层，从而保证所述自对准接触孔(self-aligned CT,SAC)的轮廓。

[0111] 可选地，所述保护层可以使用BN和TiN中的一种。

[0112] 当所述保护层使用TiN时，在形成所述接触孔开口之后所述方法还进一步包括去除所述保护层的步骤。

[0113] 执行步骤五，在所述隔离材料层上和所述间隙壁层上形成介电层206，以覆盖所述隔离材料层和所述间隙壁层。

[0114] 具体地，如图2e所示，在该步骤通过所述介电层206的形成方法使用流动式化学气相沉积法(Flowable CVD:FCVD)。

[0115] 可选地，在本发明的一具体实施方式中所述介电层206可以使用 SiO_2 。

[0116] 该步骤还包括平坦化所述介电层至所述间隙壁层，以得到平坦的表面。

[0117] 所述平坦化处理的非限制性实例包括机械平坦化方法和化学机械抛光平坦化方法。

[0118] 执行步骤六，图案化所述介电层，以形成开口，露出所述保护层；以所述保护层为掩膜蚀刻所述介电层，在相邻的所述栅极结构之间形成接触孔开口。

[0119] 具体地,如图2f所示,所述开口的关键尺寸大于所述接触孔开口的关键尺寸。

[0120] 在所述蚀刻中在形成所述开口之后,可以露出所述保护层,由于所述保护层使用较大硬度的硬掩膜层,以保证在所述间隙壁的顶角处具有硬度较大的保护层,从而保证所述自对准接触孔(self-aligned CT,SAC)的轮廓。

[0121] 至此,完成了本发明实施例的半导体器件的制备方法的相关步骤的介绍。所述方法还可以包括形成晶体管的步骤以及其他相关步骤,此处不再赘述。并且,除了上述步骤之外,本实施例的制备方法还可以在上述各个步骤之中或不同的步骤之间包括其他步骤,这些步骤均可以通过目前工艺中的各种工艺来实现,此处不再赘述。

[0122] 为了解决目前工艺中存在的上述问题,本发明提供了一种半导体器件的制备方法,所述方法中在露出的所述间隙壁层的侧壁上形成保护层,所述保护层位于所述间隙壁的顶角处,所述保护层具有较大的硬度,在后续的接触孔开口的蚀刻过程中所述保护层保护所述接触孔开口的侧壁(例如所述间隙壁的侧壁或者介电层)轮廓,避免造成过蚀刻,造成轮廓性能变差,通过所述方法增大了所述自对准接触孔(self-aligned CT,SAC)的蚀刻工艺窗口,进一步提高了所述半导体器件的良率和性能。

[0123] 实施例二

[0124] 本发明还提供了一种替换性实施方式,下面结合图3a-3e做进一步说明。

[0125] 首先,执行步骤一,提供半导体衬底,在所述半导体衬底上形成有若干鳍片301以及位于所述鳍片上的若干栅极结构304,在所述栅极结构304上还形成有包围所述栅极结构的间隙壁层303,所述半导体衬底上还形成有隔离材料层302,所述隔离材料层部分地覆盖所述间隙壁层,以露出所述间隙壁层的顶部。

[0126] 具体地,如图3a所示,在该步骤中所述半导体衬底可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。

[0127] 在该实施例中半导体衬底使用硅。

[0128] 其中,所述栅极结构的形成方法可以包括以下步骤:

[0129] 在所述半导体衬底上形成垫氧化物层(Pad oxide),其中所述垫氧化物层(Pad oxide)的形成方法可以通过沉积的方法形成,例如化学气相沉积、原子层沉积等方法,还可以通过热氧化所述半导体衬底的表面形成,在此不再赘述。

[0130] 进一步,在该步骤中还可以进一步包含执行离子注入的步骤,以在所述半导体衬底中形成阱,其中注入的离子种类以及注入方法可以为本领域中常用的方法,在此不一一赘述。

[0131] 所述方法还可以进一步包括以下步骤:

[0132] 在半导体衬底上形成多个鳍片,鳍片的宽度全部相同,或者鳍片分为具有不同宽度的多个鳍片组。

[0133] 具体地,所述鳍片的形成方法并不局限于某一种,下面给出一种示例性的形成方法:在半导体衬底上形成硬掩膜层(图中未示出),形成所述硬掩膜层可以采用本领域技术人员所熟习的各种适宜的工艺,例如化学气相沉积工艺,所述硬掩膜层可以为自下而上层叠的氧化物层和氮化硅层;图案化所述硬掩膜层,形成用于蚀刻半导体衬底以在其上形成鳍片的多个彼此隔离的掩膜,在一个实施例中,采用自对准双图案(SADP)工艺实施所述图

案化过程;蚀刻半导体衬底以在其上形成鳍片。

[0134] 在所述半导体衬底以及所述鳍片上形成虚拟栅极氧化物层和虚拟栅极,以覆盖所述鳍片。具体地,在该步骤中沉积虚拟栅极氧化物层和虚拟栅极材料层。

[0135] 其中,所述虚拟栅极氧化物层可以使用常用的氧化物,例如 SiO_2 ,所述虚拟栅极材料层可以使用本领域常用的半导体材料,例如可以使用多晶硅等,并不局限于某一种,在此不再一一列举、

[0136] 所述栅极材料层的沉积方法可以使用化学气相沉积或者原子层沉积等方法。然后图案化所述虚拟栅极氧化物层和栅极材料层,以形成环绕所述鳍片的虚拟栅极。

[0137] 具体地,在所述虚拟栅极材料层上形成光刻胶层,然后曝光显影,以形成开口,然后以所述光刻胶层为掩膜蚀刻所述虚拟栅极材料层,以形成虚拟栅极。

[0138] 在所述虚拟栅极结构的侧壁上形成偏移侧墙和间隙壁材料层。

[0139] 具体地,所述方法还进一步包括在所述虚拟栅极的两侧形成偏移侧墙(offset spacer)。所述偏移侧墙的材料例如是氮化硅,氧化硅或者氮氧化硅等绝缘材料。随着器件尺寸的进一步变小,器件的沟道长度越来越小,源漏极的粒子注入深度也越来越小,偏移侧墙的作用在于以提高形成的晶体管的沟道长度,减小短沟道效应和由于短沟道效应引起的热载流子效应。在栅极结构两侧形成偏移侧墙的工艺可以为化学气相沉积,本实施例中,所述偏移侧墙的厚度可以小到80埃。

[0140] 可选地,在所述虚拟栅极两侧执行LDD离子注入步骤并活化。

[0141] 可选地,在所述虚拟栅极的偏移侧墙上形成间隙壁材料层。

[0142] 具体地,在所形成的偏移侧墙上形成间隙壁材料层(Spacer),所述间隙壁材料层可以为氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。作为本实施例的一中实施方式,所述间隙壁材料层为氧化硅、氮化硅共同组成,具体工艺为:在半导体衬底上形成第一氧化硅层、第一氮化硅层以及第二氧化硅层。

[0143] 执行源漏LDD注入,并在所述虚拟栅极的两侧外延生长半导体材料层,以形成抬升源漏。具体地,在该步骤中可以使用本领域常用的方法执行源漏LDD注入,在此不再赘述。

[0144] 可选地,还可以再次执行离子注入步骤并进行快速热退火。

[0145] 在本发明中为了证激活杂质又能抑制杂质的深度和横向扩散,执行完所述离子注入后进行快速热退火,可选地,所述快速热退火温度为1000-1050℃。

[0146] 沉积所述层间介电层302并平坦化,以填充所述虚拟栅极之间的间隙。

[0147] 具体地,沉积层间介电层302并平坦化,平坦化所述对层间介电层至所述虚拟栅极的顶部。

[0148] 其中,所述层间介电层可以使用本领域中常用的介电材料,例如各种氧化物等,在该实施例中层间介电层302可以使用 SiO_2 ,其厚度并不局限于某一数值。

[0149] 所述平坦化处理的非限制性实例包括机械平坦化方法和化学机械抛光平坦化方法。

[0150] 去除所述虚拟栅极氧化物层和所述虚拟栅极,以形成凹槽。具体地,所述去除的方法可以是光刻和蚀刻。在蚀刻过程中所用的气体包括HBr,其作为主要蚀刻气体;还包括作为刻蚀补充气体的 O_2 或Ar,其可以提高刻蚀的品质。

[0151] 然后使用SiCoNi的方法去除所述虚拟栅极氧化物层,以露出所述鳍片。在该步骤

中为了减小去除所述虚拟栅极氧化物层过程中对其他材料层的损坏,不再使用HF进行蚀刻,而是使用选择性更高的SiCoNi制程,通过所述方法去除所述虚拟栅极氧化物层,不会对器件造成损坏。

[0152] 在所述凹槽中形成界面层、高K介电层。

[0153] 其中所述高K介电层可以使用本领域常用的介电材料,例如在HfO₂中引入Si、Al、N、La、Ta等元素并优化各元素的比率来得到的高K材料等。形成所述高K介电层的方法可以是物理气相沉积工艺或原子层沉积工艺。

[0154] 在所述高K介电层上形成功函数层,所述功函数层使用TiAl,然后形成粘结胶层,在所述粘结胶层上沉积导电层,以覆盖所述粘结胶层同时填充所述凹槽。

[0155] 所述导电层使用金属,例如W。

[0156] 执行步骤二,回蚀刻所述导电层,以在所述间隙壁之间形成凹槽。

[0157] 具体地,例如在本发明中可以选择N₂中的作为蚀刻气氛,还可以同时加入其它少量气体例如CF₄、CO₂、O₂,所述蚀刻压力可以为50-200mTorr,优选为100-150mTorr,功率为200-600W,在本发明中所述蚀刻时间为5-80s,更优选10-60s,同时在本发明中使用较大的气体流量,可选地,在本发明所述N₂的流量为30-300sccm,例如为50-100sccm。

[0158] 执行步骤三,在所述凹槽中沉积间隙壁材料层,以覆盖所述导电层,以形成包围所述栅极结构的所述间隙壁层。

[0159] 具体地,在该步骤中,所述间隙壁材料层可以使用氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。

[0160] 其中,沉积所述间隙壁材料层的方法包括先执行原子层沉积(ALD)。

[0161] 然后沉积隔离材料层,以覆盖所述鳍片结构。

[0162] 具体地,沉积隔离材料层,以完全填充鳍片结构之间的间隙。在一个实施例中,采用具有可流动性的化学气相沉积工艺实施所述沉积。隔离材料层的材料可以选择氧化物,例如HARP。

[0163] 然后回蚀刻所述隔离材料层,以露出所述间隙壁层的顶部。具体地,回蚀刻所述隔离材料层,以露出部分所述间隙壁层的顶部,例如回蚀刻所述隔离材料层至所述栅极结构顶部以上以及所述间隙壁层以下。

[0164] 执行步骤四,对露出所述间隙壁层进行修剪,以减小所述露出所述间隙壁层的宽度。

[0165] 具体地,如图3a所示,在该步骤中对所述间隙壁层顶部的侧壁进行修剪,例如通过蚀刻去除部分所述间隙壁层顶部的侧壁,以减小所述间隙壁层顶部的侧壁的关键尺寸。

[0166] 在该步骤中去除的宽度可以与后续工艺中形成的保护层的宽度相同。

[0167] 执行步骤五,在所述间隙壁层的侧壁上形成保护层3051,以覆盖所述间隙壁层的侧壁。

[0168] 具体地,在所述间隙壁层的侧壁上形成保护层的方法包括:

[0169] 在所述隔离材料层上和所述间隙壁层上形成保护材料层305,以覆盖所述隔离材料层和所述间隙壁层,如图3b所示;

[0170] 蚀刻所述保护材料层,以在所述间隙壁层的侧壁上形成所述保护层3051,如图3c所示。

[0171] 其中,所述保护层使用与所述介电层具有较大蚀刻选择比的材料,以防止在蚀刻过程中过蚀刻。

[0172] 例如,所述保护层使用较大硬度的硬掩膜层,以保证在所述间隙壁的顶角处具有硬度较大的保护层,从而保证所述自对准接触孔(self-aligned CT,SAC)的轮廓。

[0173] 可选地,所述保护层可以使用BN和TiN中的一种。

[0174] 当所述保护层使用TiN时,在形成所述接触孔开口之后所述方法还进一步包括去除所述保护层的步骤。

[0175] 执行步骤六,在所述隔离材料层上和所述间隙壁层上形成介电层306,以覆盖所述隔离材料层和所述间隙壁层。

[0176] 具体地,如图3d所示,在该步骤通过所述介电层306的形成方法使用流动式化学气相沉积法(Flowable CVD:FCVD)。

[0177] 可选地,在本发明的一具体实施方式中所述介电层306可以使用SiO₂。

[0178] 该步骤还包括平坦化所述介电层至所述间隙壁层,以得到平坦的表面。

[0179] 所述平坦化处理的非限制性实例包括机械平坦化方法和化学机械抛光平坦化方法。

[0180] 执行步骤七,图案化所述介电层,以形成开口,露出所述保护层;以所述保护层为掩膜蚀刻所述介电层,在相邻的所述栅极结构之间形成接触孔开口。

[0181] 具体地,如图3d所示,所述开口的关键尺寸大于所述接触孔开口的关键尺寸。

[0182] 在所述蚀刻中在形成所述开口之后,可以露出所述保护层,由于所述保护层使用较大硬度的硬掩膜层,以保证在所述间隙壁的顶角处具有硬度较大的保护层,从而保证所述自对准接触孔(self-aligned CT,SAC)的轮廓。

[0183] 至此,完成了本发明实施例的半导体器件的制备方法的相关步骤的介绍。所述方法还可以包括形成晶体管的步骤以及其他相关步骤,此处不再赘述。并且,除了上述步骤之外,本实施例的制备方法还可以在上述各个步骤之中或不同的步骤之间包括其他步骤,这些步骤均可以通过目前工艺中的各种工艺来实现,此处不再赘述。

[0184] 为了解决目前工艺中存在的上述问题,本发明提供了一种半导体器件的制备方法,所述方法中在露出的所述间隙壁层的侧壁上形成保护层,所述保护层位于所述间隙壁的顶角处,所述保护层具有较大的硬度,在后续的接触孔开口的蚀刻过程中所述保护层保护所述接触孔开口的侧壁(例如所述间隙壁的侧壁或者介电层)轮廓,避免造成过蚀刻,造成轮廓性能变差,通过所述方法增大了所述自对准接触孔(self-aligned CT,SAC)的蚀刻工艺窗口,进一步提高了所述半导体器件的良率和性能。

[0185] 实施例三

[0186] 本发明还提供了一种半导体器件,所述半导体器件包括:

[0187] 半导体衬底;

[0188] 鳍片,位于所述半导体衬底上;

[0189] 栅极结构,位于所述鳍片上方,所述栅极结构的侧壁上形成有间隙壁,在所述间隙壁的顶部侧壁上形成有保护层;

[0190] 接触孔开口,位于相邻的所述栅极结构之间。

[0191] 其中,所述半导体器件包括半导体衬底,所述半导体衬底可以是以下所提到的材

料中的至少一种：硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。在该实施例中半导体衬底101使用硅。

[0192] 具体地,在半导体衬底上形成有多个鳍片,鳍片的宽度全部相同,或者鳍片分为具有不同宽度的多个鳍片组。

[0193] 所述半导体器件还进一步包括环绕所述鳍片设置的栅极结构,所述栅极结构的侧壁上形成有偏移侧墙和间隙壁。

[0194] 所述偏移侧墙的材料例如是氮化硅,氧化硅或者氮氧化硅等绝缘材料。随着器件尺寸的进一步变小,器件的沟道长度越来越小,源漏极的粒子注入深度也越来越小,偏移侧墙的作用在于以提高形成的晶体管的沟道长度,减小短沟道效应和由于短沟道效应引起的热载流子效应。

[0195] 在所形成的偏移侧墙上形成有间隙壁(Spacer),所述间隙壁可以为氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。

[0196] 在所述栅极结构的两侧形成有抬升源漏。所述栅极结构包括界面层,在本发明中使用臭氧对所述半导体衬底进行化学氧化,形成界面层。

[0197] 其中,所述保护层使用与所述介电层具有较大蚀刻选择比的材料,以防止在蚀刻过程中过蚀刻。

[0198] 例如,所述保护层使用较大硬度的硬掩膜层,以保证在所述间隙壁的顶角处具有硬度较大的保护层,从而保证所述自对准接触孔(self-aligned CT,SAC)的轮廓。

[0199] 可选地,所述保护层可以使用BN和TiN中的一种。

[0200] 当所述保护层使用TiN时,在形成所述接触孔开口之后所述方法还进一步包括去除所述保护层的步骤。

[0201] 为了解决目前工艺中存在的上述问题,本发明提供了一种半导体器件,所述半导体器件在制备方法中在露出的所述间隙壁层的侧壁上形成保护层,所述保护层位于所述间隙壁的顶角处,所述保护层具有较大的硬度,在后续的接触孔开口的蚀刻过程中所述保护层保护所述接触孔开口的侧壁(例如所述间隙壁的侧壁或者介电层)轮廓,避免造成过蚀刻,造成轮廓性能变差,通过所述方法增大了所述自对准接触孔(self-aligned CT,SAC)的蚀刻工艺窗口,进一步提高了所述半导体器件的良率和性能。

[0202] 本发明的半导体器件,由于采用了上述制造方法,因而同样具有上述优点。

[0203] 实施例四

[0204] 本发明的另一个实施例提供一种电子装置,其包括半导体器件,该半导体器件为前述实施例三中的半导体器件,或根据实施例一或二所述的半导体器件的制备方法所制得的半导体器件。

[0205] 该电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP等任何电子产品或设备,也可以是具有上述半导体器件的中间产品,例如:具有该集成电路的手机主板等。

[0206] 由于包括的半导体器件具有更高的性能,该电子装置同样具有上述优点。

[0207] 其中,图4示出移动电话手机的示例。移动电话手机400被设置有包括在外壳401中的显示部分402、操作按钮403、外部连接端口404、扬声器405、话筒406等。

[0208] 其中所述移动电话手机包括前述的半导体器件,或根据实施例一或二所述的半导体器件的制备方法所制得的半导体器件,所述半导体器件包括半导体衬底;鳍片,位于所述半导体衬底上;栅极结构,位于所述鳍片上方,所述栅极结构的侧壁上形成有间隙壁,在所述间隙壁的顶部侧壁上形成有保护层;接触孔开口,位于相邻的所述栅极结构之间。所述半导体器件在制备方法中在露出的所述间隙壁层的侧壁上形成保护层,所述保护层位于所述间隙壁的顶角处,所述保护层具有较大的硬度,在后续的接触孔开口的蚀刻过程中所述保护层保护所述接触孔开口的侧壁(例如所述间隙壁的侧壁或者介电层)轮廓,避免造成过蚀刻,造成轮廓性能变差,通过所述方法增大了所述自对准接触孔(self-aligned CT,SAC)的蚀刻工艺窗口,进一步提高了所述半导体器件的良率和性能。

[0209] 本发明的电子装置,由于采用了上述半导体器件,因而同样具有上述优点。

[0210] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

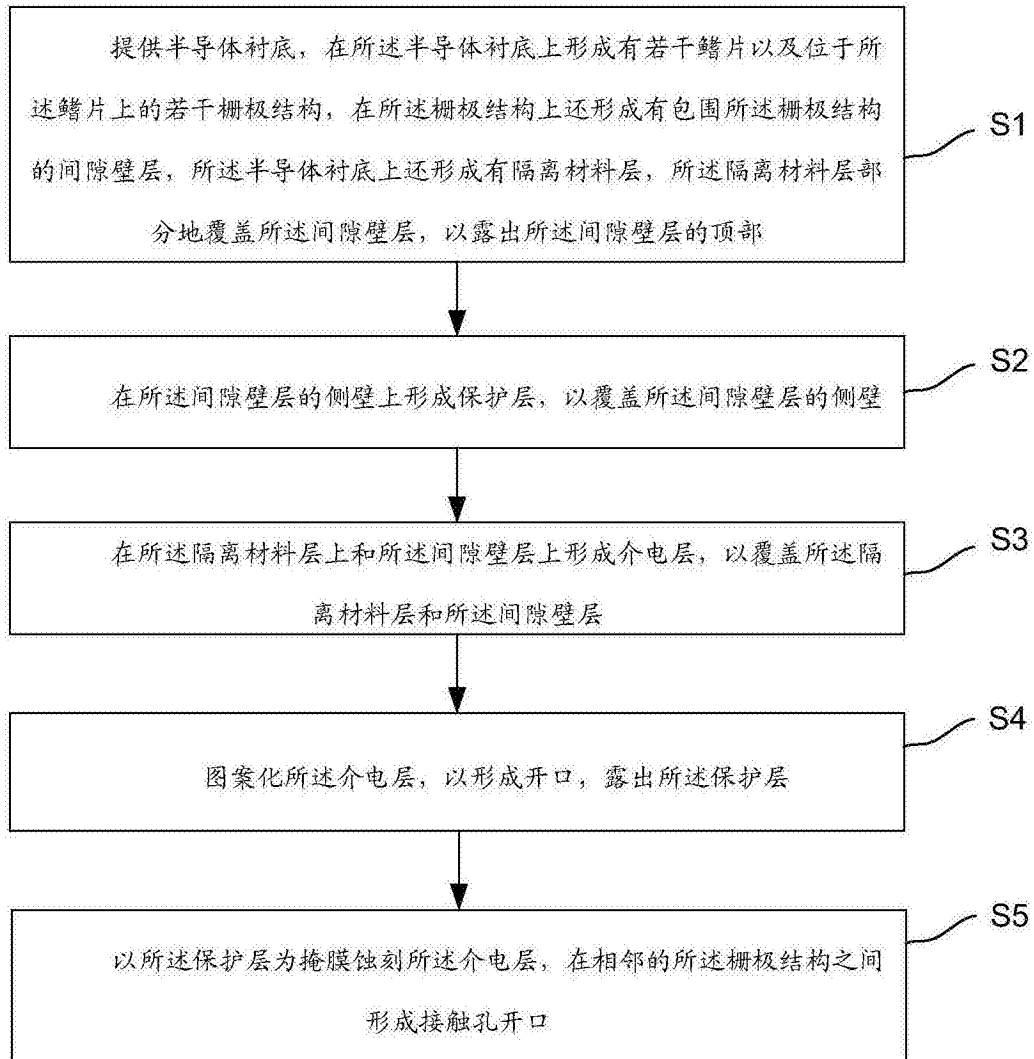


图1

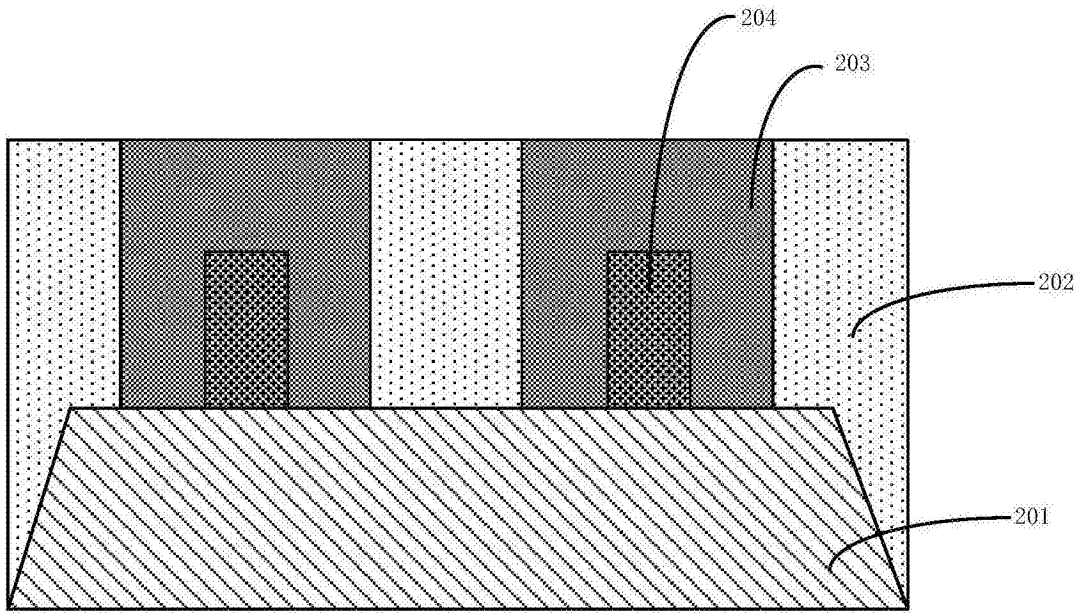


图2a

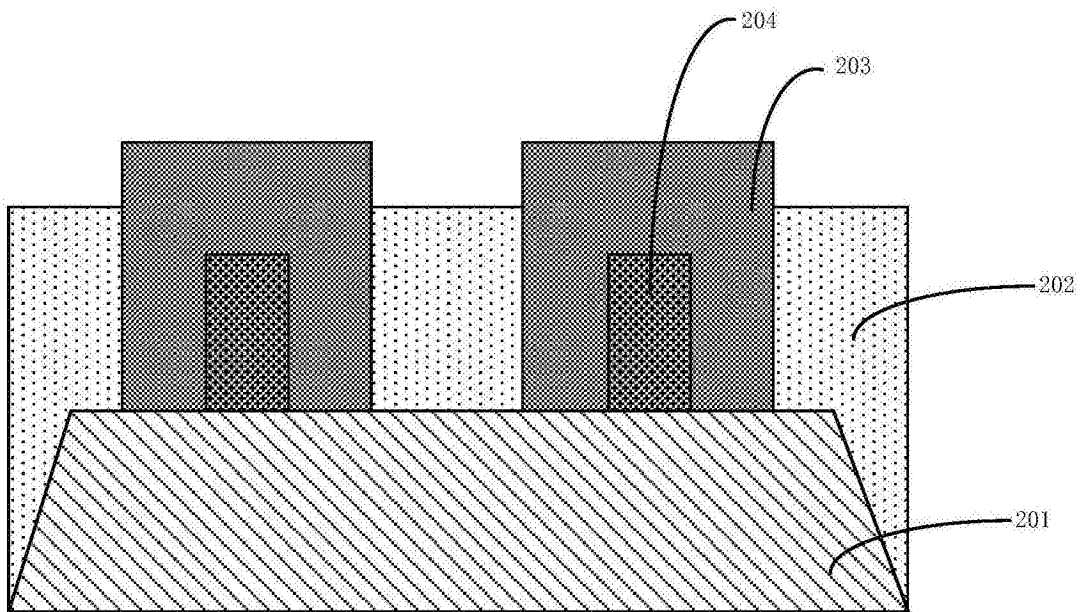


图2b

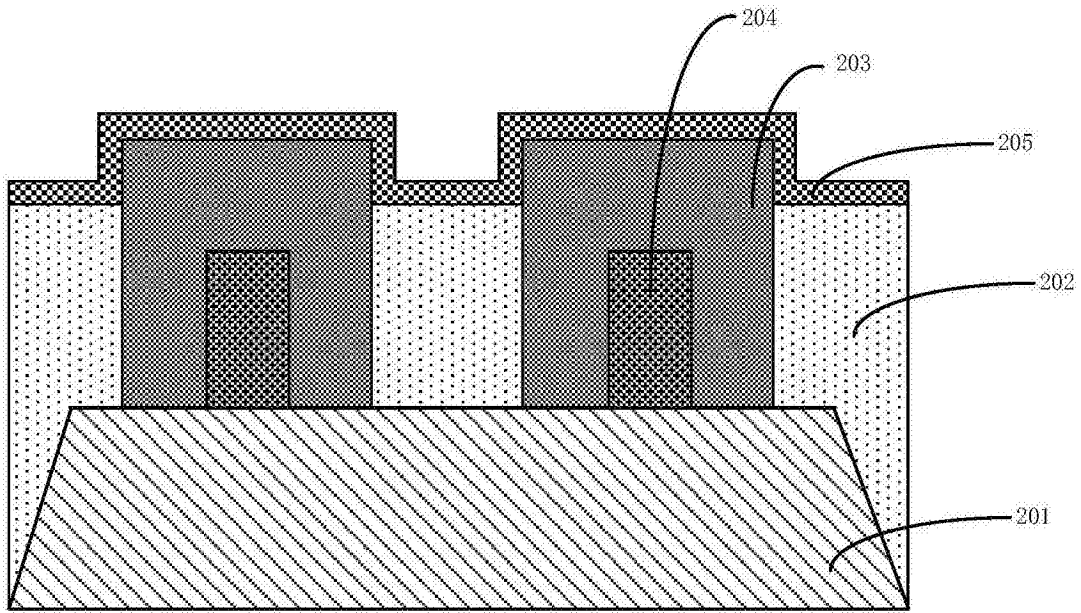


图2c

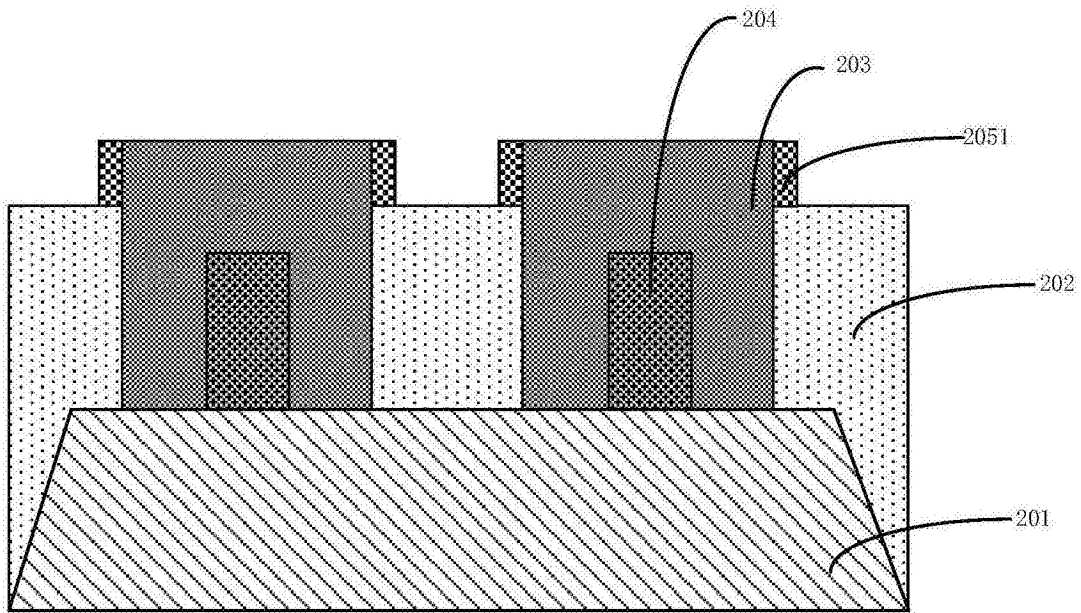


图2d

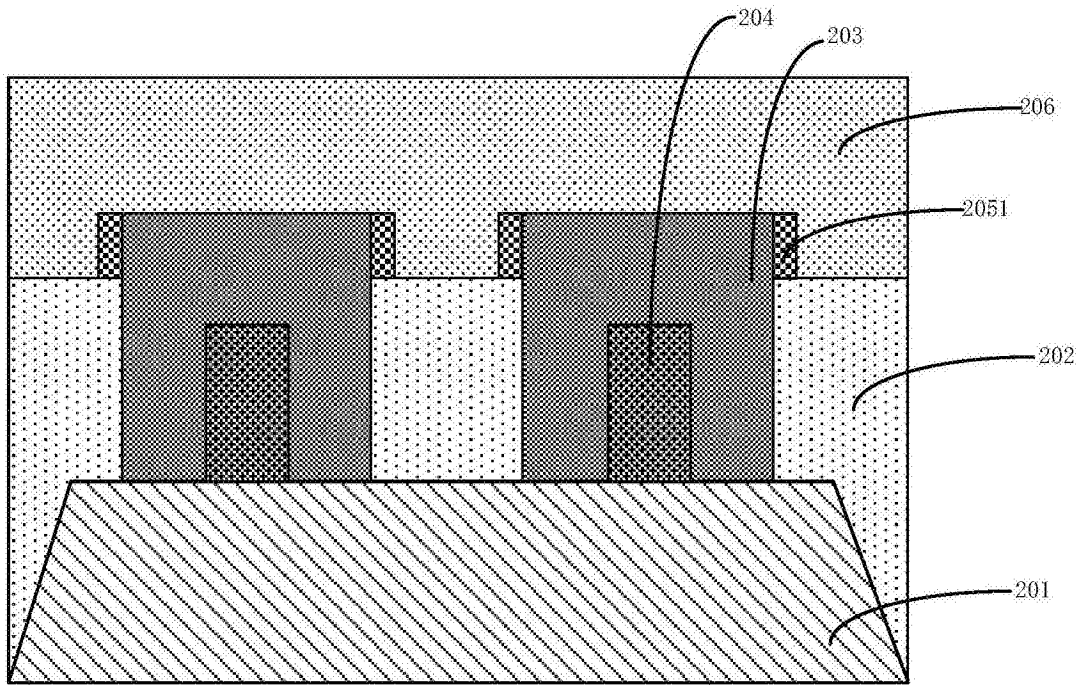


图2e

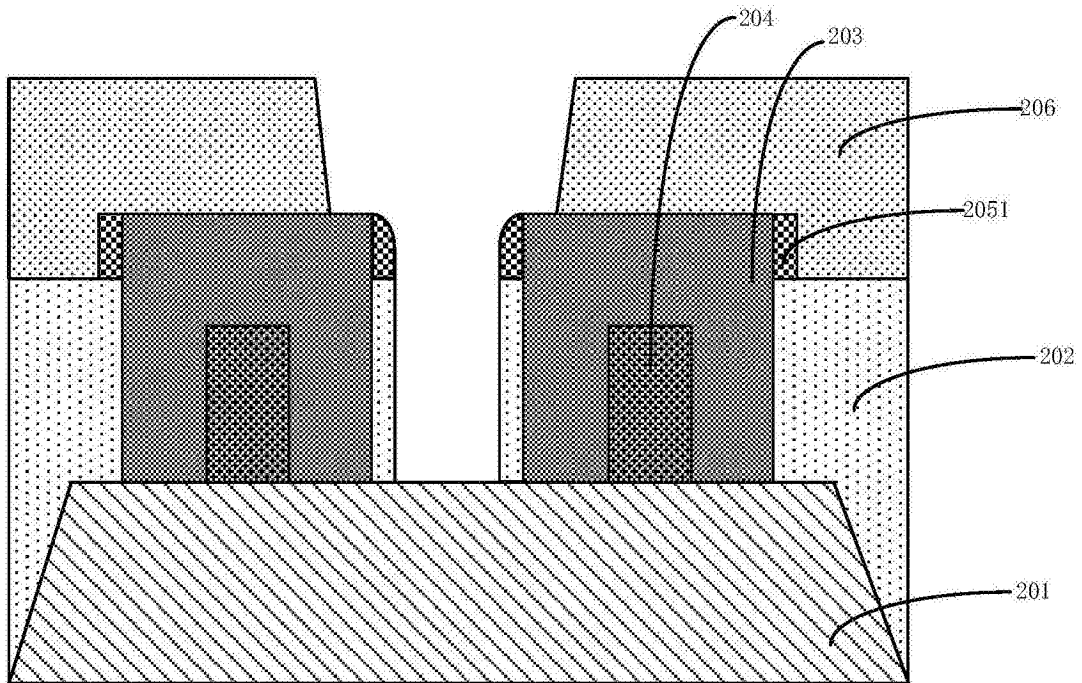


图2f

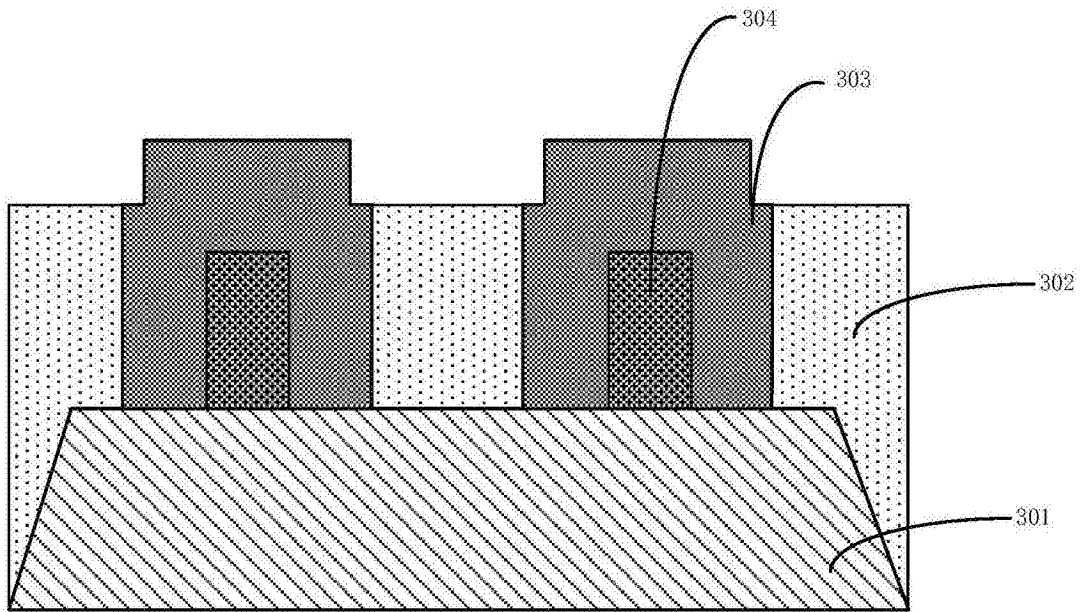


图3a

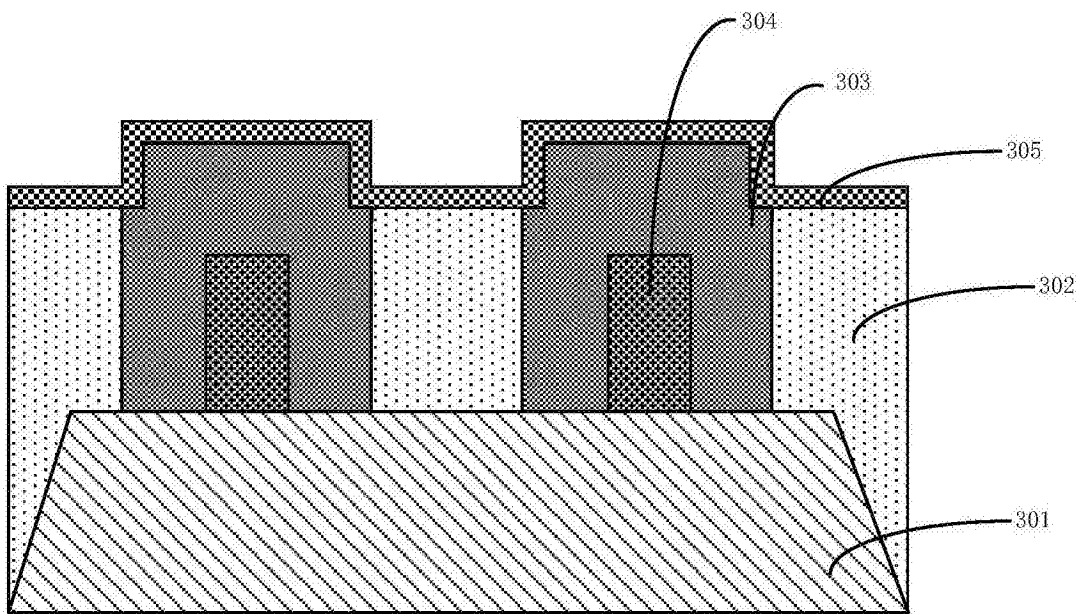


图3b

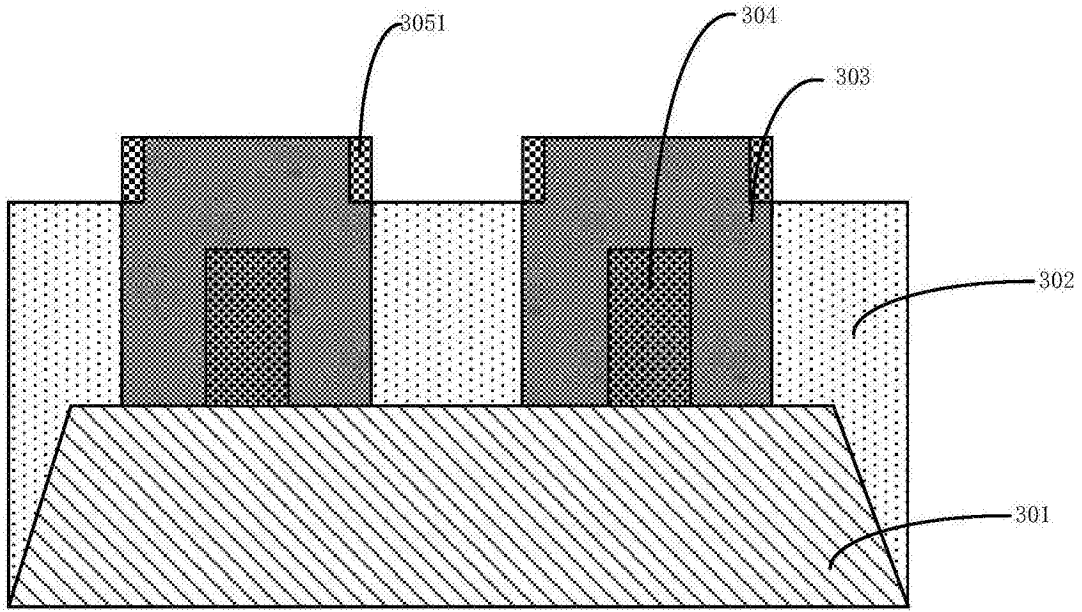


图3c

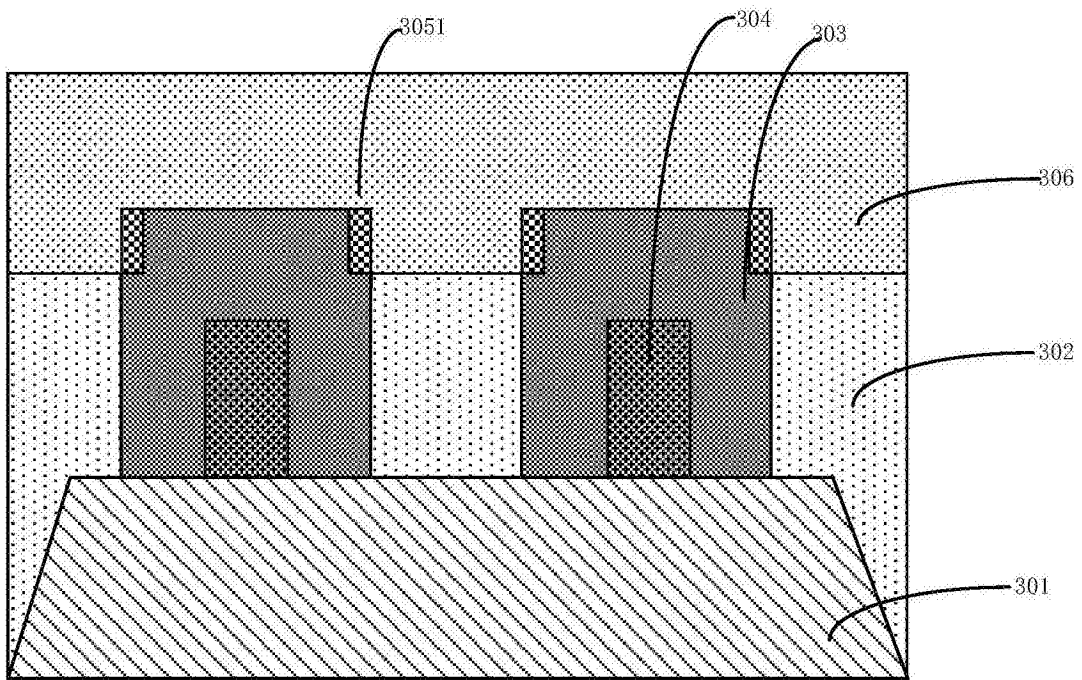


图3d

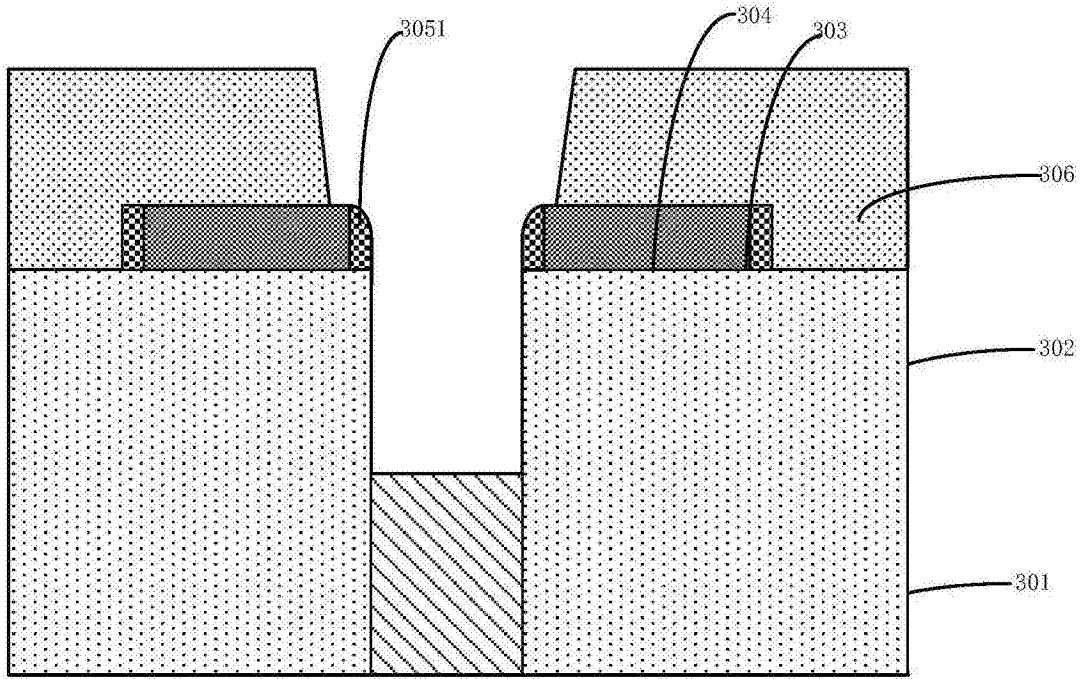


图3e

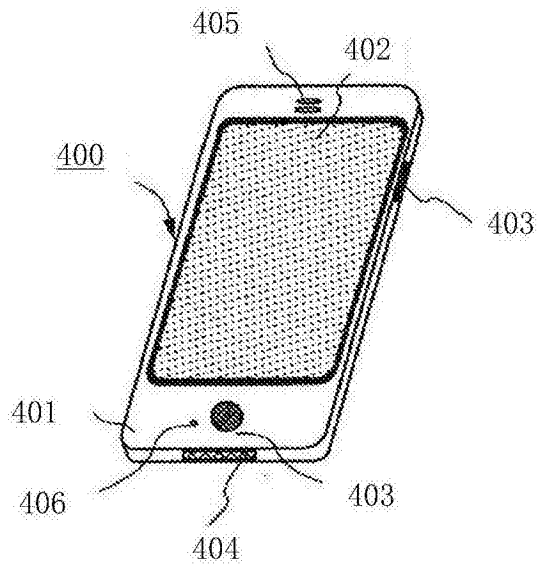


图4